

특허청구의 범위

청구항 1

탄화규소로 이루어지고, 전위 밀도가 $5 \times 10^3 \text{ cm}^{-2}$ 이하인 제1 도전형의 기판(2)과,

상기 기판(2) 상에 형성되고, 상기 제1 도전형과는 상이한 제2 도전형의 도전성 불순물 농도가 $1 \times 10^{20} \text{ cm}^{-3}$ 이상 $5 \times 10^{21} \text{ cm}^{-3}$ 이하인 불순물층(25, 36, 54)

을 구비하는 탄화규소 반도체 장치(1).

청구항 2

제1항에 있어서, 상기 기판(2)의 전위 밀도는 $1 \times 10^3 \text{ cm}^{-2}$ 이하인 것인 탄화규소 반도체 장치(1).

청구항 3

제1항에 있어서, 상기 기판(2)의 나선 전위 밀도는 1 cm^{-2} 이하인 것인 탄화규소 반도체 장치(1).

청구항 4

제3항에 있어서, 상기 기판(2)의 나선 전위 밀도는 0.1 cm^{-2} 이하인 것인 탄화규소 반도체 장치(1).

청구항 5

제1항에 있어서, 상기 불순물층(25, 36, 54)에서의 상기 제2 도전형의 도전성 불순물 농도는 $4 \times 10^{20} \text{ cm}^{-3}$ 이상 $5 \times 10^{21} \text{ cm}^{-3}$ 이하인 것인 탄화규소 반도체 장치(1).

청구항 6

제1항에 있어서, 상기 불순물층(25, 36, 54)에 접촉하도록 형성되는 오믹 전극(11, 55)과,

상기 기판(2)에 접촉하도록 형성되는 다른 오믹 전극(12, 58)을 구비하고,

상기 오믹 전극(11, 55)과 상기 다른 오믹 전극(12, 58)은 동일한 재료에 의해 구성되는 것인 탄화규소 반도체 장치(1).

청구항 7

제6항에 있어서, 상기 오믹 전극(11, 55)과 상기 다른 오믹 전극(12, 58)을 구성하는 재료는 니켈을 포함하는 것인 탄화규소 반도체 장치(1).

청구항 8

제6항에 있어서, 상기 오믹 전극(11, 55)과 상기 다른 오믹 전극(12, 58)을 구성하는 재료는 티탄과 알루미늄을 포함하는 것인 탄화규소 반도체 장치(1).

명세서

기술분야

[0001] 본 발명은 탄화규소 반도체 장치에 관한 것으로, 보다 특정적으로는, 오믹 전극을 구비하는 탄화규소 반도체 장치에 관한 것이다.

배경기술

[0002] 종래, 탄화규소(SiC)를 이용한 FET(전계 효과 트랜지스터) 등의 탄화규소 반도체 장치가 알려져 있다[예컨대,

반도체 SiC 기술과 응용 제191쪽(비특허 문헌 1) 참조]. 예컨대, SiC를 이용한 MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)는 유니폴라 소자이면서, Si를 이용한 소자에서는 GTO(Gate Turn-Off thyristor)나 IGBT(Insulated Gate Bipolar Transistor) 등의 바이폴라 트랜지스터 소자에서만 실현되는 높은 내압(예컨대, 1 kV 이상)을 실현할 수 있기 때문에, 고내압, 저손실 또한 고속 스위칭이 가능한 소자로서 기대되고 있다. 또, Si를 이용한 파워 디바이스로서의 MOSFET에서는, DMOSFET(Double-Diffused-MOSFET) 구조가 널리 채용되고 있으나, SiC를 이용한 MOSFET의 경우, 선택적인 도전성 불순물의 도핑을 이온 주입에 의해 실시하기 때문에, 그러한 이온 주입에 의해 도전성 불순물이 주입된 MOSFET는 DiMOSFET(Double-Implanted MOSFET)라고 불리고 있다.

선행기술문헌

비특허문헌

[0003] (비특허문헌 0001) 반도체 SiC 기술과 응용, 일본, 일간 공업 신문사, 2003년 3월 31일, p.191

발명의 내용

해결하려는 과제

[0004] 전술한 MOSFET에 있어서는, 예컨대 도전성이 n형인 SiC 기판의 표면 상에, SiC로 이루어지는 에피택셜층을 형성하고, 그 에피택셜층에 도전성이 p형인 도전성 불순물을 이온 주입함으로써 p형 영역을 형성한다. 그 p형 영역에 접촉하도록 p형의 오믹 전극이 형성된다.

[0005] 여기서, p형 영역과 오믹 전극의 접촉 저항을 저감시키기 위해, p형 영역에서의 p형 도전성 불순물의 농도를 높게 하는(즉, 상기 도전성 불순물의 주입량을 많게 하는) 것이 고려된다. 그러나, 이 경우 p형 영역에 있어서 이온 주입에 기인하는 결함이 많이 형성된다. 이러한 결함은 전류의 누설 경로(leak path)로서 작용하기 때문에, MOSFET의 내압 성능이 열화하게 된다. 즉, SiC를 이용한 반도체 장치에 있어서, 오믹 전극과 불순물 영역의 접촉 저항을 저감시키는 동시에, 높은 내압 특성을 실현하는 것은 종래에는 어려웠다.

[0006] 본 발명은 상기와 같은 과제를 해결하기 위해 이루어진 것으로, 본 발명의 목적은 오믹 전극의 접촉 저항을 저감시키고, 높은 내압 특성을 실현하는 것이 가능한 탄화규소 반도체 장치를 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명에 따른 탄화규소 반도체 장치는 기판과 불순물층을 구비한다. 기판은 탄화규소로 이루어지고, 전위 밀도가 $5 \times 10^3 \text{ cm}^{-2}$ 이하이며, 도전성은 제1 도전형이다. 불순물층은 기판 상에 형성되고, 제1 도전형과는 상이한 제2 도전형의 도전성 불순물 농도가 $1 \times 10^{20} \text{ cm}^{-3}$ 이상 $5 \times 10^{21} \text{ cm}^{-3}$ 이하이다.

[0008] 이렇게 하면, 불순물층에 접촉하도록 오믹 전극을 형성한 경우에, 그 오믹 전극과 불순물층과의 접촉 저항을 실용상 문제없을 정도로 낮게 할 수 있고, 전위 밀도가 전술한 바와 같은 값으로 저감된 기판을 이용함으로써, 기판이나 그 기판 상에 형성되는 불순물층에 있어서 누설 경로가 될 수 있는 결함의 밀도를 충분히 저감시킬 수 있기 때문에, 탄화규소 반도체 장치의 내압 특성을 양호하게 할 수 있다.

[0009] 또, 기판의 전위 밀도를 $5 \times 10^3 \text{ cm}^{-2}$ 이하로 한 것은, 이렇게 하면 탄화규소 반도체 장치의 내압 특성을 양호하게 유지하는 것이 가능하기 때문이다. 또한, 불순물층에서의 도전성 불순물 농도의 하한을 $1 \times 10^{20} \text{ cm}^{-3}$ 로 한 것은, 이 값보다 도전성 불순물 농도를 내리면, 불순물층에 접촉하도록 오믹 전극을 형성했을 때에 그 오믹 전극과 불순물층과의 접촉 저항이 허용 범위를 넘어 커지기 때문이다. 또한, 불순물층에서의 도전성 불순물 농도의 상한을 $5 \times 10^{21} \text{ cm}^{-3}$ 로 한 것은, 이 이상 도전성 불순물을 도입하면, 불순물층의 결정성이 저하되어, 탄화규소 반도체 장치의 특성이 열화되기 때문이다.

발명의 효과

[0010] 이와 같이, 본 발명에 따르면, 오믹 전극의 접촉 저항을 문제없을 정도로 저감시킬 수 있는 동시에, 내압 특성

이 양호한 탄화규소 반도체 장치를 얻을 수 있다.

도면의 간단한 설명

- [0011] 도 1은 본 발명에 따른 반도체 장치의 실시형태 1을 도시하는 단면 모식도이다.
- 도 2는 도 1에 도시한 반도체 장치의 제조 방법을 설명하기 위한 흐름도이다.
- 도 3은 본 발명에 따른 반도체 장치의 실시형태 2를 도시하는 단면 모식도이다.
- 도 4는 도 3에 도시한 반도체 장치의 제조 방법을 설명하기 위한 흐름도이다.
- 도 5는 실험을 위해 작성한 발명예의 시료를 도시하는 단면 모식도이다.
- 도 6은 도 5에 도시한 반도체 장치의 p⁺형층 및 p형층에서의 최외측 표면으로부터의 깊이 방향에서의 도전성 불순물의 농도 분포를 도시하는 그래프이다.
- 도 7은 본 발명의 발명예의 시료에 대한 역방향 전류 전압 특성을 도시하는 그래프이다.
- 도 8은 비교예 1의 시료에 대한 역방향 전류 전압 특성을 도시하는 그래프이다.
- 도 9는 실시예 2에서의 측정 결과를 도시하는 그래프이다.
- 도 10은 실시예 3에서의 측정 결과를 도시하는 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 이하, 도면에 기초하여 본 발명의 실시형태를 설명한다. 또, 이하의 도면에서 동일 또는 상당하는 부분에는 동일한 참조 번호를 붙이고 그 설명은 반복하지 않는다.
- [0013] (실시형태 1)
- [0014] 도 1을 참조하여, 본 발명의 반도체 장치의 실시형태 1을 설명한다.
- [0015] 도 1을 참조하면, 본 발명에 따른 반도체 장치(1)는, 탄화규소 반도체 장치의 일레인 중형 DiMOSFET(Double Implanted MOSFET)로서, 기판(2), 버퍼층(21), 내압 유지층(22), p 영역(23), n⁺ 영역(24), p⁺ 영역(25), 산화막(26), 소스 전극(11) 및 상부 소스 전극(27), 게이트 전극(10) 및 기판(2)의 이면측에 형성된 드레인 전극(12)을 구비한다. 구체적으로는, 도전형이 n형인 탄화규소(SiC)로 이루어지는 기판(2)의 표면 상에, 탄화규소로 이루어지는 버퍼층(21)이 형성된다. 이 버퍼층(21)은 도전형이 n형이고, 그 두께는 예컨대 0.5 μm이며, 불순물 농도는 예컨대 5×10¹⁷ cm⁻³이다. 또한, 이 버퍼층(21) 상에는 내압 유지층(22)이 형성된다. 이 내압 유지층(22)은 도전형이 n형인 탄화규소로 이루어지고, 예컨대 그 두께는 예컨대 10 μm이다. 또한, 내압 유지층(22)에서의 n형의 도전성 불순물의 농도로서는, 예컨대 5×10¹⁵ cm⁻³의 값을 이용할 수 있다. 또, 전술한 버퍼층(21)을 형성하지 않고, 기판(2) 상에 직접 내압 유지층(22)을 형성할 수도 있다.
- [0016] 이 내압 유지층(22)의 표면에는, 도전형이 p형인 p 영역(23)이 서로 간격을 두고 형성된다. p 영역(23)에서의 p형의 도전성 불순물의 농도로서는, 예컨대 1×10¹⁷ cm⁻³의 값을 이용할 수 있다. p 영역(23)의 내부에 있어서는, p 영역(23)의 표면층에 n⁺ 영역(24)이 형성된다. n⁺ 영역(24)에서의 n형의 도전성 불순물의 농도로서는, 예컨대 1×10¹⁹ cm⁻³의 값을 이용할 수 있다. 또한, 이 n⁺ 영역(24)에 인접하는 위치에는, p⁺ 영역(25)이 형성된다. 이 p⁺ 영역(25)에서의 p형의 도전성 불순물의 농도로서는, 예컨대 1×10²⁰ cm⁻³의 값을 이용할 수 있다. 한쪽의 p 영역(23)에서의 n⁺ 영역(24) 상으로부터, p 영역(23), 2개의 p 영역(23) 사이에서 노출되는 내압 유지층(22), 다른쪽의 p 영역(23) 및 그 다른쪽의 p 영역(23)에서의 n⁺ 영역(24) 상에까지 연장되도록, 산화막(26)이 형성된다. 산화막(26) 상에는 게이트 전극(10)이 형성된다. 또한, n⁺ 영역(24) 및 p⁺ 영역(25) 상에는 소스 전극(11)이 형성된다. 이 소스 전극(11) 상에는 상부 소스 전극(27)이 형성된다. 그리고, 기판(2)에 있어서, 버퍼층(21)이 형성된 측의 표면과는 반대측의 이면에, 드레인 전극(12)이 형성된다.
- [0017] 여기서, 전술한 반도체 장치(1)는 기판(2)과 불순물층으로서의 p⁺ 영역(25)을 구비한다. 기판(2)은 탄화규소로

이루어지고, 전위 밀도가 $5 \times 10^3 \text{ cm}^{-2}$ 이하이며, 도전형은 제1 도전형(n형)이다. p^+ 영역(25)은 기판 상에 형성되고, 상기 제1 도전형과는 상이한 제2 도전형의 도전성 불순물 농도가 $1 \times 10^{20} \text{ cm}^{-3}$ 이상 $5 \times 10^{21} \text{ cm}^{-3}$ 이하이다.

[0018] 이렇게 하면, p^+ 영역(25)에 접촉하도록 오믹 전극인 소스 전극(11)을 형성한 경우에, 상기 소스 전극(11)과 p^+ 영역(25)의 접촉 저항을 실용상 문제없을 정도로 낮게 할 수 있다. 또한, 전위 밀도가 전술한 바와 같은 값으로 저감된 기판(2)을 이용함으로써, 기판(2)이나 상기 기판 상에 형성되는 에피택셜층 등에 있어서 누설 경로가 될 수 있는 결함의 밀도를 충분히 저감시킬 수 있다. 이 때문에, 반도체 장치(1)의 내압 특성을 양호하게 할 수 있다.

[0019] 또, 기판(2)의 전위 밀도는 기판(2)의 표면을 KOH 등의 약액을 이용하여 에칭해서, 그 에칭에 의해 형성되는 에치 피트수를 측정함으로써 측정할 수 있다. 또한, p^+ 영역(25)에서의 도전성 불순물 농도는, 예컨대 SIMS(Secondary Ionization Mass Spectrometer) 등을 이용하여 측정할 수 있다.

[0020] 다음으로, 도 1에 도시한 반도체 장치(1)의 동작에 대해 설명한다. 도 1을 참조하면, 게이트 전극(10)에 임계값 이하의 전압을 부여한 상태, 즉 오프 상태에서는, 게이트 절연막으로서의 산화막(26) 바로 아래에 위치하는 p 영역(23)과 도전형이 n형인 내압 유지층(22) 사이가 역바이어스가 되어, 비도통 상태가 된다. 한편, 게이트 전극(10)에 플러스 전압을 인가하게 되면, p 영역(23)의 산화막(26)과 접촉하는 부근인 채널 영역에서, 반전층이 형성된다. 그 결과, n^+ 영역(24)과 내압 유지층(22)이 전기적으로 접촉되어, 소스 전극(11)과 드레인 전극(12) 사이에 전류가 흐른다.

[0021] 다음으로, 도 1에 도시한 반도체 장치(1)의 제조 방법을 설명한다. 도 2를 참조하여, 본 발명에 따른 반도체 장치의 실시형태 1의 제조 방법을 설명한다.

[0022] 먼저, 도 2에 나타내는 바와 같이, 기판 준비 공정(S10)을 실시한다. 이 공정에서는, 구체적으로는 (0001)면의 <11-20> 방향에서의 오프 각도가 8도인 탄화규소 기판을 준비한다. 그 탄화규소 기판의 도전형은 n형이다. 이러한 기판(2)(도 1 참조)은, 예컨대 (0001)면을 주표면으로 하는 SiC 잉곳으로부터 전술한 오프각이 되도록 기판을 잘라내는 방법에 의해 얻을 수 있다.

[0023] 다음으로, 버퍼층 형성 공정(S20)을 실시한다. 구체적으로는, 버퍼층으로서 도전형이 n형인 탄화규소로 이루어지는 에피택셜층을 형성한다. 또, 이 버퍼층 형성 공정(S20)을 실시하지 않고, 상기 공정(S10)에 이어서 후술하는 에피택셜층 형성 공정(S30)을 실시해도 된다.

[0024] 다음으로 에피택셜층 형성 공정(S30)을 실시한다. 구체적으로는, 버퍼층(21) 상에 내압 유지층(22)을 형성한다. 이 내압 유지층(22)으로서, 도전형이 n형인 탄화규소로 이루어지는 층을 에피택셜 성장법에 의해 형성한다. 이 에피택셜층 형성 공정(S30)에서는, 원료 가스로서 예컨대 SiH_4 가스 및 C_3H_8 가스를 이용할 수 있다.

[0025] 다음으로, 주입 공정(S40)을 실시한다. 구체적으로는, 포토리소그래피 및 에칭을 이용해서 형성한 산화막을 마스크로서 이용하여, 도전형이 p형인 불순물을 내압 유지층(22)에 주입한다. 이렇게 하여, p 영역(23)(도 1 참조)을 형성한다. 또한, 전술한 주입 공정에서 이용한 산화막을 제거한 후, 재차 새로운 패턴을 갖는 산화막을, 포토리소그래피 및 에칭을 이용하여 형성한다. 그리고, 그 산화막을 마스크로서 이용하여, n형의 도전성 불순물을 정해진 영역에 주입함으로써, n^+ 영역(24)(도 1 참조)을 형성한다. 또한, 동일한 방법에 의해, 도전형이 p형인 도전성 불순물을 주입함으로써, p^+ 영역(25)을 형성한다.

[0026] 전술한 바와 같은 주입 공정(S40) 후에, 활성화 열처리를 실시한다. 이 활성화 열처리의 처리 조건으로서, 예컨대 아르곤 가스를 분위기 가스로서 이용하고, 가열 온도를 1700°C , 가열 시간을 30분으로 한 조건을 이용할 수 있다.

[0027] 다음으로, 도 2에 나타내는 바와 같이 게이트 절연막 형성 공정(S50)을 실시한다. 구체적으로는, 내압 유지층(22), p 영역(23), n^+ 영역(24), p^+ 영역(25) 위를 덮도록 산화막(26)(도 1 참조)이 되어야 할 산화막을 형성한다. 이 게이트 절연막이 되어야 할 산화막을 형성하는 방법으로서, 예컨대 드라이 산화(열산화)를 실시해도 된다. 이 드라이 산화의 조건으로서, 예컨대 산소 함유 분위기 내에서 가열 온도를 1200°C , 가열 시간을 30분이라고 하는 조건을 이용할 수 있다.

[0028] 다음으로, 전극 형성 공정(S60)을 실시한다. 구체적으로는, 상기 산화막 상에 포토리소그래피를 이용하여 패턴

을 갖는 레지스트막을 형성한다. 그 레지스트막을 마스크로서 이용하여, n^+ 영역(24) 및 p^+ 영역(25) 상에 위치하는 산화막의 부분을 에칭에 의해 제거한다. 이 후, 레지스트막 위에, 그리고 그 산화막에 형성된 개구부 내부에 있어서 n^+ 영역(24) 및 p^+ 영역(25)과 접촉하도록 금속 등으로 이루어지는 도전체막을 형성한다. 그 후, 레지스트막을 제거함으로써, 그 레지스트막 상에 위치해 있던 도전체막을 제거(리프트오프)한다.

[0029] 여기서, 도전체막의 재료로서는, 예컨대 니켈(Ni)을 이용할 수 있다. 또한, 그 재료로서, 티탄(Ti), 알루미늄(Al) 및 이들 금속에 실리콘(Si)을 함유한 재료를 이용해도 된다. 이 결과, 도 1에 도시하는 바와 같이, 소스 전극(11)을 얻을 수 있다. 또한, 기판(2)의 이면 상에 드레인 전극(12)(도 1 참조)을 형성한다. 또, 여기서 열로이화를 위한 열처리를 실시하는 것이 바람직하다. 구체적으로는, 예컨대 분위기 가스로서 비활성 가스인 아르곤(Ar)을 이용해서 가열 온도를 950℃, 가열 시간을 2분으로 하는 열처리(열로이화 처리)를 실시해도 된다.

[0030] 그 후, 소스 전극(11) 상에 상부 소스 전극(27)(도 1 참조)을 형성한다. 또한, 이때 한쪽의 n^+ 영역(24) 상으로부터 다른쪽의 n^+ 영역(24) 상까지 연장되도록, 산화막(26) 상에 게이트 전극(10)을 형성한다. 이렇게 하여, 도 1에 도시하는 반도체 장치를 얻을 수 있다.

[0031] (실시형태 2)

[0032] 도 3을 참조하여, 본 발명에 따른 반도체 장치의 실시형태 2를 설명한다.

[0033] 도 3을 참조하면, 본 발명에 따른 반도체 장치(1)는 탄화규소 반도체 장치의 일례인 횡형 구조의 JFET로서, 탄화규소(SiC)로 이루어지고, 도전형이 n형인 기판(2)과, 제1 p형층(32)과, n형층(33)과, 제2 p형층(34)과, 소스 영역(35)과, 게이트 영역(36)과, 드레인 영역(37)과, 산화막(38)과, 콘택트 전극(39)과, 상부 소스 전극(27)과, 상부 게이트 전극(28)과, 상부 드레인 전극(29)과, 전위 유지 영역(43)을 구비한다. 제1 p형층(32)은 기판(2)의 상부 표면 상에 형성된다. 제1 p형층(32)의 두께는 예컨대 10 μm 로 할 수 있다. 또한, 제1 p형층(32)에서의 p형의 도전성 불순물의 농도는 예컨대 $1 \times 10^{16} \text{ cm}^{-3}$ 로 할 수 있다. n형층(33)은 제1 p형층(32) 상에 형성된다. n형층(33)의 두께는 예컨대 0.4 μm 로 할 수 있다. 또한, n형층(33)에서의 n형의 도전성 불순물의 농도는 예컨대 $2 \times 10^{17} \text{ cm}^{-3}$ 로 할 수 있다. 제2 p형층(34)은 n형층(33) 상에 형성된다. 제2 p형층(34)의 두께는 예컨대 0.3 μm 로 할 수 있다. 또한, 제2 p형층(34)에서의 p형의 도전성 불순물의 농도는 예컨대 $2 \times 10^{17} \text{ cm}^{-3}$ 로 할 수 있다. 전술한 p형층 및 n형층은 각각 도전형이 p형 및 n형인 탄화규소로 이루어진다.

[0034] 제2 p형층(34) 및 n형층(33)에는, n형층(33)보다 고농도의 도전형이 n형인 불순물(n형 불순물)을 포함하는 소스 영역(35) 및 드레인 영역(37)이 형성된다. 또한, 제2 p형층(34) 및 n형층(33)에는, 전술한 소스 영역(35) 및 드레인 영역(37) 사이에 끼워지도록, 제1 p형층(32) 및 제2 p형층(34)보다 고농도의 도전형이 p형인 불순물(p형 불순물)을 포함하는 게이트 영역(36)이 형성된다. 이와 같이, 소스 영역(35), 게이트 영역(36) 및 드레인 영역(37)은, 각각 제2 p형층(34)을 관통하여 n형층(33)에까지 도달하도록 형성된다. 또한, 소스 영역(35), 게이트 영역(36) 및 드레인 영역(37)의 바닥부는, 제1 p형층(32)의 상부 표면[제1 p형층(32)과 n형층(33)의 경계부]으로부터 간격을 두고 배치된다.

[0035] 또한, 소스 영역(35)에서 보아 게이트 영역(36)과는 반대측에는, 제2 p형층(34)의 상부 표면(34A)[n형층(33)에 면하는 표면과는 반대측의 주요면]으로부터 제2 p형층(34)을 관통하여 n형층(33)에까지 도달하도록 홈부(41)가 형성된다. 홈부(41)의 바닥벽은 제1 p형층(32)과 n형층(33)의 계면으로부터 간격을 두고, n형층(33)의 내부에 배치된다. 또한, 홈부(41)의 바닥벽으로부터 n형층(33)을 관통하여, 제1 p형층(32)에 이르도록, 제1 p형층(32) 및 제2 p형층(34)보다 고농도의 p형 불순물을 포함하는 전위 유지 영역(43)이 형성된다. 이 전위 유지 영역(43)의 바닥부는 n형인 기판(2)의 상부 표면[기판(2)과 제1 p형층(32)의 경계부]으로부터 간격을 두고 배치된다.

[0036] 소스 영역(35), 게이트 영역(36), 드레인 영역(37), 및 전위 유지 영역(43)의 각각의 상부 표면에 접촉하도록, 콘택트 전극(39)이 형성된다. 콘택트 전극(39)은 소스 영역(35), 게이트 영역(36), 드레인 영역(37) 및 전위 유지 영역(43)과 오믹 접촉 가능한 재료로 이루어진다. 콘택트 전극(39)의 재료로서, 예컨대 Ni를 이용할 수 있다. 또한, 콘택트 전극(39)은 Ti, Al, 또는 이들 금속의 실리사이드(silicide)로 구성될 수도 있다.

[0037] 인접하는 콘택트 전극(39) 사이에는, 산화막(38)이 형성된다. 즉, 절연층으로서의 산화막(38)은 제2 p형층(34)의 상부 표면, 홈부(41)의 바닥벽 및 측벽에 있어서, 콘택트 전극(39)이 형성되어 있는 영역 이외의 영역 전체를 덮도록 형성된다. 이 결과, 인접하는 콘택트 전극(39)들 사이는 절연 상태가 된다.

- [0038] 소스 영역(35), 게이트 영역(36) 및 드레인 영역(37) 상에 위치하는 콘택트 전극(39)의 상부 표면 상에 접촉하도록, 각각 상부 소스 전극(27), 상부 게이트 전극(28), 상부 드레인 전극(29)이 형성된다. 이 결과, 상부 소스 전극(27), 상부 게이트 전극(28), 상부 드레인 전극(29)은, 콘택트 전극(39)을 통해, 각각 소스 영역(35), 게이트 영역(36) 및 드레인 영역(37)과 전기적으로 접속된다. 또한, 상부 소스 전극(27)은 소스 영역(35) 상의 콘택트 전극(39)의 상부 표면 상으로부터, 전위 유지 영역(43) 상의 콘택트 전극(39)의 상부 표면 상에까지 연장되도록 형성된다. 이 결과, 전위 유지 영역(43) 상의 콘택트 전극(39)은 소스 영역(35) 상의 콘택트 전극(39)과 동전위로 유지된다. 상부 소스 전극(27), 상부 게이트 전극(28), 상부 드레인 전극(29)은, 예컨대 Al 등의 도전체에 의해 구성된다.
- [0039] 도 3에 도시한 반도체 장치(1)는 기판(2)과 불순물층으로서의 게이트 영역(36)을 구비한다. 기판(2)은 탄화규소로 이루어지고, 전위 밀도가 $5 \times 10^3 \text{ cm}^{-2}$ 이하이며, 도전형은 제1 도전형(n형)이다. 불순물층인 게이트 영역(36)은 기판(2) 상에 형성되고, n형과는 상이한 제2 도전형(p형)의 도전성 불순물 농도가 $1 \times 10^{20} \text{ cm}^{-3}$ 이상 $5 \times 10^{21} \text{ cm}^{-3}$ 이하이다.
- [0040] 이렇게 하면, 실시형태 1에 나타난 반도체 장치(1)와 마찬가지로, 불순물층인 게이트 영역(36)에 접촉하도록 오믹 전극인 콘택트 전극(39)을 형성한 경우에, 그 콘택트 전극(39)과 게이트 영역(36)의 접촉 저항을 실용상 문제없을 정도로 낮게 할 수 있다. 또한, 전위 밀도가 전술한 바와 같은 값으로 저감된 기판(2)을 이용함으로써, 기판(2)이나 그 기판 상에 형성되는 에피택셜층[제1 p형층(32), n형층(33), 제2 p형층(34)]에 있어서 누설 경로가 될 수 있는 결함의 밀도를 충분히 저감시킬 수 있다. 이 때문에, 반도체 장치(1)의 내압 특성을 양호하게 할 수 있다.
- [0041] 다음으로, 반도체 장치(1)의 동작에 대해 간단히 설명한다. 도 3을 참조하면, 상부 게이트 전극(28)에 인가되는 전압이 0 V인 상태에서는, n형층(33)에 있어서 게이트 영역(36)과 드레인 영역(37) 사이에 끼워진 영역 및 그 끼워진 영역과 제1 p형층(32) 사이에 끼워진 영역(드리프트 영역), 및 게이트 영역(36)과 제1 p형층(32) 사이에 끼워진 영역(채널 영역)은 공핍화되지 않는다. 이 때문에, 소스 영역(35)과 드레인 영역(37)은 n형층(33)을 통해 전기적으로 접속된 상태가 된다. 이에, 소스 영역(35)으로부터 드레인 영역(37)을 향해 전자가 이동함으로써 전류가 흐른다.
- [0042] 한편, 상부 게이트 전극(28)에 마이너스 전압을 인가하게 되면, 전술한 채널 영역 및 드리프트 영역의 공핍화가 진행된다. 이 결과, 소스 영역(35)과 드레인 영역(37)은 전기적으로 차단된 상태가 된다. 이에, 소스 영역(35)으로부터 드레인 영역(37)을 향해 전자가 이동할 수 없어, 전류는 흐르지 않는다.
- [0043] 다음으로, 도 3에 도시한 반도체 장치의 제조 방법에 대해 설명한다. 도 4를 참조하여, 본 발명에 따른 반도체 장치의 실시형태 2의 제조 방법을 설명한다.
- [0044] 도 4에 나타내는 바와 같이, 도 3에 도시한 반도체 장치(1)의 제조 방법에 있어서는, 먼저 기판 준비 공정(S10)을 실시한다. 구체적으로는, 도 2에 나타난 공정(S10)과 마찬가지로, 도전형이 n형이고 전위 밀도가 $5 \times 10^3 \text{ cm}^{-2}$ 이하인 탄화규소로 이루어지는 기판(2)을 준비한다.
- [0045] 다음으로, 도 4에 나타내는 바와 같이, 에피택셜층 형성 공정(S30)을 실시한다. 구체적으로는, 전술한 공정(S10)에서 준비된 기판(2)의 한쪽 주표면 상에 예컨대 기상 에피택셜 성장법을 이용하여 탄화규소로 이루어지는 제1 p형층(32), n형층(33), 및 제2 p형층(34)을 순차 형성한다. 기상 에피택셜 성장법에 있어서, 예컨대 재료 가스로서 실란(SiH_4) 가스 및 프로판(C_3H_8) 가스를 이용할 수 있다. 또한, 이때 캐리어 가스로서는 예컨대 수소(H_2) 가스를 이용할 수도 있다. 또한, p형층을 형성하기 위해, 도전형이 p형인 불순물을 도입하는 p형 불순물 소스로서는, 예컨대 디보란(B_2H_6)이나 트리메틸알루미늄(TMA)을 이용할 수 있다. 또한, n형층을 형성하기 위해 이용하는 n형 불순물 소스로서는, 예컨대 질소(N_2) 가스를 이용할 수 있다.
- [0046] 다음으로 전술한 바와 같이 하여 형성한 제2 p형층(34) 및 n형층(33)에 홈부를 형성한다. 구체적으로는, 제2 p형층(34)의 상부 표면(34A)으로부터 제2 p형층(34)을 관통하여 n형층(33)에 도달하도록, 예컨대 드라이 에칭을 이용하여 홈부(41)를 형성한다. 이 홈부(41)의 형성 공정에서는, 예컨대 홈부(41)를 형성해야 할 위치에 개구부를 갖는 마스크층을 제2 p형층(34)의 상부 표면(34A) 상에 형성하고, 그 마스크층을 마스크로서 이용하여 SF_6 가스를 이용한 드라이 에칭을 실시해도 된다.

- [0047] 다음으로, 도 4에 나타내는 바와 같이 주입 공정(S40)을 실시한다. 구체적으로는, 먼저 제1 이온 주입 공정으로서, 고농도의 n형 불순물을 포함하는 영역인 소스 영역(35) 및 드레인 영역(37)을 형성한다. 구체적으로는, 먼저 제2 p형층(34)의 상부 표면(34A) 위에 그리고 홈부(41)의 내벽에 레지스트를 도포한 후, 노광 및 현상 처리를 실시함으로써(포토리소그래피에 의해), 원하는 소스 영역(35) 및 드레인 영역(37)의 형상에 따른 영역에 개구를 갖는 레지스트막을 형성한다. 그리고, 이 레지스트막을 마스크로서 이용하여, 인(P) 또는 질소(N) 등의 n형 불순물이 이온 주입법에 의해 제2 p형층(34) 및 n형층(33)에 주입된다. 이에 따라, 소스 영역(35) 및 드레인 영역(37)이 형성된다.
- [0048] 다음으로, 주입 공정(S40)으로서, 제2 이온 주입 공정을 실시한다. 구체적으로는, 전술한 제1 이온 주입 공정과 마찬가지로, 원하는 게이트 영역(36) 및 전위 유지 영역(43)의 평면 형상에 따른 영역에 개구를 갖는 레지스트막이 포토리소그래피법을 이용하여 형성된다. 그리고, 이 레지스트막을 마스크로서 이용하여, 알루미늄(Al) 또는 붕소(B) 등의 p형 불순물이 이온 주입법에 의해 제2 p형층(34), n형층(33) 및 제1 p형층(32)의 정해진 영역에 도입된다. 이 결과, 게이트 영역(36) 및 전위 유지 영역(43)이 형성된다.
- [0049] 다음으로, 주입한 n형 불순물 또는 p형 불순물을 활성화하기 위한 활성화 어닐링 공정을 실시한다. 이 활성화 어닐링 공정에서는, 전술한 주입 공정(S40)에서 이용된 레지스트막을 제거한 후, 이온이 주입된 제2 p형층(34), n형층(33) 및 제1 p형층(32)을 가열한다. 이 결과, 전술한 이온 주입에 의해 도입된 불순물이 활성화된다. 상기 활성화 어닐링 처리로서는, 예컨대 아르곤 가스를 분위기로서 이용하고, 가열 온도를 1700°C 정도로 하며, 유지 시간을 30분 정도로 하는 열처리를 실시해도 된다.
- [0050] 다음으로, 도 4에 나타내는 바와 같이, 절연막 형성 공정(S70)을 실시한다. 이 공정(S70)에서는, 전술한 공정을 실시함으로써 정해진 이온 주입층이 형성된 제2 p형층(34), n형층(33) 및 제1 p형층(32)이 형성된 기판(2)의 표면이 열산화된다. 이에 따라, 이산화규소(SiO₂)로 이루어지는 산화막(38)이 제2 p형층(34)의 상부 표면(34A) 및 홈부(41)의 내벽을 덮도록 형성된다.
- [0051] 다음으로, 도 4에 나타내는 바와 같이 전극 형성 공정(S60)을 실시한다. 구체적으로는, 소스 영역(35), 게이트 영역(36), 드레인 영역(37) 및 전위 유지 영역(43)의 각각의 상부 표면에 접촉하도록, 콘택트 전극(39)을 형성한다. 콘택트 전극(39)의 형성 방법으로서, 먼저 형성해야 할 콘택트 전극(39)의 평면 형상에 따른 영역에, 포토리소그래피법을 이용하여 개구 패턴을 갖는 레지스트막을 형성한다. 그리고, 이 레지스트막을 마스크로서 이용하여, 예컨대 반응성 이온 에칭(RIE)에 의해 소스 영역(35), 게이트 영역(36), 드레인 영역(37) 및 전위 유지 영역(43) 상의 산화막(38)을 부분적으로 제거한다. 그 후, 예컨대 니켈(Ni)을 증착함으로써, 산화막(38)이 부분적으로 제거됨으로써 형성된 개구부로부터 노출되는 소스 영역(35), 게이트 영역(36), 드레인 영역(37) 및 전위 유지 영역(43)의 상부 표면 및 레지스트막의 상부 표면 상에 도전층(니켈막)이 형성된다. 그 후, 레지스트막을 제거함으로써, 레지스트막 상의 도전체층이 제거(리프트오프)된다. 이 결과, 산화막(38)의 개구부로부터 노출된 소스 영역(35), 게이트 영역(36), 드레인 영역(37) 및 전위 유지 영역(43)의 상부 표면 상에 도전체층이 잔존한다. 그 후, 예컨대 1000°C 정도로 가열하는 열처리 공정을 실시함으로써, 전술한 도전체층이 실리사이드화된다. 이 결과, 소스 영역(35), 게이트 영역(36), 드레인 영역(37) 및 전위 유지 영역(43)에 오믹 접촉 가능한 NiSi(니켈실리사이드)로 이루어지는 콘택트 전극(39)이 형성된다. 또, 콘택트 전극(39)을 구성하는 재료로서 Ti 또는 Al, 또는 이들의 실리사이드를 이용해도 된다.
- [0052] 그 후, 콘택트 전극(39) 상에 상부 소스 전극(27), 상부 게이트 전극(28) 및 상부 드레인 전극(29)을 형성한다. 구체적으로는, 산화막(38) 상에 상부 소스 전극(27), 상부 게이트 전극(28) 및 상부 드레인 전극(29)의 평면 형상과 동일한 개구 패턴을 갖는 레지스트막을 형성한다. 이 레지스트막의 개구 패턴의 내부에서는 콘택트 전극(39)이 노출된다. 그리고, 그 레지스트막의 상부 표면 및 개구 패턴의 내부에 알루미늄 등의 도전체막을 증착한다. 그 후, 레지스트막과 함께 레지스트막 상의 도전체막을 제거한다(리프트오프). 이 결과, 도 3에 도시하는 바와 같은 상부 소스 전극(27), 상부 게이트 전극(28) 및 상부 드레인 전극(29)을 형성할 수 있다. 이렇게 하여, 도 3에 도시하는 바와 같은 반도체 장치를 얻을 수 있다.
- [0053] 여기서, 전술한 실시형태 1, 2에 나타난 반도체 장치의 바람직한 변형예를 설명한다.
- [0054] 상기 반도체 장치(1)에 있어서, 기판(2)의 전위 밀도는 $1 \times 10^3 \text{ cm}^{-2}$ 이하여도 된다. 이 경우, 반도체 장치(1)의 내압 특성을 더욱 향상시킬 수 있다.
- [0055] 상기 반도체 장치(1)에 있어서, 기판(2)의 나선 전위 밀도는 1 cm^{-2} 이하여도 된다. 여기서, 기판(2)의 나선 전

위는 내압 특성의 열화를 초래하기(에발란치 파괴 전압을 저하시키는 요인이 되기) 때문에, 특히 그 밀도를 저감하는 것이 유효하다. 여기서, 기관(2)의 나선 전위 밀도의 상한을 1 cm^{-2} 로 한 것은, 나선 전위 밀도가 이 값을 초과하면, 내압이 열화되는 경우가 있기 때문이다.

[0056] 상기 반도체 장치(1)에 있어서, 기관(2)의 나선 전위 밀도는 0.1 cm^{-2} 이하여도 된다. 이 경우, 반도체 장치(1)의 내압 특성을 더욱 향상시킬 수 있다. 여기서, 기관(2)의 나선 전위 밀도의 보다 바람직한 상한을 0.1 cm^{-2} 로 한 것은, 이렇게 하면 확실하게 내압 향상을 실현할 수 있기 때문이다.

[0057] 상기 반도체 장치(1)에서는, 불순물층으로서의 p^+ 영역(25) 또는 게이트 영역(36)에서의 제2 도전형(p형)의 도전성 불순물 농도가 $4 \times 10^{20} \text{ cm}^{-3}$ 이상 $5 \times 10^{21} \text{ cm}^{-3}$ 이하여도 된다. 이 경우, 불순물층에 접촉하도록 오믹 전극으로서의 소스 전극(11) 또는 콘택트 전극(39)을 형성했을 때에, 그 소스 전극(11)과 p^+ 영역(25) 사이, 또는 콘택트 전극(39)과 게이트 영역(36) 사이의 접촉 저항을 더욱 저감시킬 수 있다. 여기서, 도전성 불순물 농도의 보다 바람직한 하한을 $4 \times 10^{20} \text{ cm}^{-3}$ 로 한 것은, 접촉 저항을 보다 저감할 수 있기 때문이라는 이유에 따른다. 또한, 도전성 불순물 농도의 보다 바람직한 상한을 $5 \times 10^{21} \text{ cm}^{-3}$ 로 한 것은, 이 이상 도전성 불순물을 도입하면, 불순물층의 결정성이 저하되어, 탄화규소 반도체 장치의 특성이 열화되기 때문이다.

[0058] 상기 반도체 장치(1)에 있어서, 불순물층[p^+ 영역(25)]에 접촉하도록 형성되는 오믹 전극[소스 전극(11)]과, 기관(2)에 접촉하도록 형성되는 다른 오믹 전극[드레인 전극(12)]을 구비하여도 된다. 소스 전극(11)과 드레인 전극(12)은 동일한 재료로 구성되어도 된다. 이 경우, 상기 소스 전극(11)과 드레인 전극(12)을 동일한 재료를 이용하여 형성할 수 있기 때문에, 그 소스 전극(11) 및 드레인 전극(12)을 동시 또는 연속하여 형성할 수 있다. 이 때문에, 소스 전극(11) 및 드레인 전극(12)을 서로 상이한 재료로 구성하는 경우보다, 반도체 장치(1)의 제조 프로세스를 간략화할 수 있다.

[0059] 상기 반도체 장치(1)에 있어서, 소스 전극(11) 및 드레인 전극(12)을 구성하는 재료는 니켈(Ni)을 포함하여도 된다. 이 경우, 서로 도전형이 상이한 불순물층[p^+ 영역(25)]과 기관(2)에 각각 접촉하는 소스 전극(11) 및 드레인 전극(12)을, 니켈을 포함하는 재료로 형성함으로써, 동일한 재료를 이용하여, 불순물층[p^+ 영역(25)]과 기관(2)의 양쪽에 대해 오믹 접촉한 전극[소스 전극(11) 및 드레인 전극(12)]을 형성할 수 있다.

[0060] 상기 반도체 장치(1)에 있어서, 소스 전극(11) 및 드레인 전극(12)을 구성하는 재료는 티탄(Ti)과 알루미늄(Al)을 포함하여도 된다. 또한, 상기 반도체 장치(1)에 있어서, 소스 전극(11) 및 드레인 전극(12)을 구성하는 재료는 티탄과 알루미늄에 더하여 실리콘(Si)을 포함하여도 된다. 이 경우, 동일한 재료를 이용하여, 서로 도전형이 상이한 불순물층[p^+ 영역(25)]과 기관(2)에 각각 오믹 접촉하는 전극[소스 전극(11) 및 드레인 전극(12)]을 형성할 수 있다.

[0061] 상기 반도체 장치(1)에 있어서, 상기 소스 전극(11) 및 드레인 전극(12), 또는 콘택트 전극(39)을 구성하는 재료는 티탄, 알루미늄, 실리콘의 적층 구조를 이용해도 된다. 이 경우, 예컨대 티탄의 두께를 0 nm 이상 40 nm 이하, 알루미늄의 두께를 20 nm 이상 100 nm 이하, 실리콘의 두께를 10 nm 이상 50 nm 이하로 할 수 있다. 보다 바람직하게는, 티탄의 두께를 5 nm 이상 30 nm 이하, 알루미늄의 두께를 30 nm 이상 70 nm 이하, 실리콘의 두께를 15 nm 이상 35 nm 이하로 할 수 있다.

[0062] (실시예 1)

[0063] 본 발명의 효과를 확인하기 위해, 이하와 같은 실험을 하였다.

[0064] (시료)

[0065] 발명예의 시료:

[0066] 도 5는 실험을 위해 작성한 발명예의 시료를 도시하는 단면 모식도이다. 도 5를 참조하여, 실시예에서 제작한 발명예의 시료의 구조를 설명한다.

[0067] 도 5에 도시하는 바와 같이, 발명예의 시료인 소자에서는, 기관(2)의 주표면 상에 버퍼층(21)을 형성한다. 이 버퍼층(21) 상에는 n^- 형층(52)이 형성된다. 이 n^- 형층(52) 상에는 p형층(53)이 형성된다. p형층(53) 상에는 p^+ 형

층(54)이 형성된다. 이 p⁺형층(54)의 상부 표면 상에는 오믹 전극(55)이 형성된다. 오믹 전극(55)의 상부 표면 상에는 알루미늄으로 이루어지는 전극(56)이 형성된다. 그리고, 오믹 전극(55)의 단부면으로부터 기판(2)의 상부 표면에까지 도달하도록, 소자의 측면 상에는 산화막으로 이루어지는 절연막(57)이 형성된다. 또한, 기판(2)의 이면[버퍼층(51)이 형성된 측의 표면과는 반대측의 이면]에는 이면 전극(58)이 형성된다.

[0068] 기판(2)으로서는, 탄화규소로 이루어지고, (0001)면의 <11-20> 방향에서의 오프 각도가 8도로 된 기판을 준비하였다. 기판(2)의 전위 밀도는 $1 \times 10^3 \text{ cm}^{-2}$ 였다. 또한, 버퍼층(21)에서의 n형의 도전성 불순물의 농도는 $5 \times 10^{17} \text{ cm}^{-3}$ 이다. n형의 도전성 불순물로서는 질소를 이용하였다. 또한, 버퍼층(21)의 두께는 0.5 μm 로 하였다.

[0069] 또한, n⁻형층(52)에서의 도전형이 n형인 도전성 불순물의 농도는 $5 \times 10^{15} \text{ cm}^{-3}$ 로 하고, 그 두께는 2.2 μm 로 하였다. 또, n⁻형층(52)에서의 도전형이 n형인 도전성 불순물로서는 전술한 버퍼층(21)과 동일한 원소를 이용하였다. 또한, p형층(53) 및 p⁺형층(54)에서의 도전성 불순물의 농도 프로파일은 도 6에 도시하는 바와 같다.

[0070] 도 6을 참조하면, 가로축은 p⁺형층(54)의 상부 표면으로부터 기판(2)을 향하는 방향에서의 깊이(단위: μm)를 나타내고, 세로축은 p형을 나타내는 도전성 불순물의 농도를 나타낸다. 도 6으로부터도 알 수 있듯이, p⁺형층(54)의 두께는 약 0.1 μm 정도이고, 그 도전성 불순물 농도는 대략 $3 \times 10^{20} \text{ cm}^{-3}$ 정도이다. 또한, p형층(53)은 그 두께가 대략 0.8 μm 정도이고, 도 6에 도시하는 바와 같은 도전성 불순물의 농도 분포를 갖는다. 또한, 도 5에 도시한 반도체 장치의 평면 형상은 원형 형상이며 직경이 500 μm 이다.

[0071] 비교예의 시료:

[0072] 비교예의 시료로서, 구조는 동일하지만, 기판(2)에서의 전위 밀도가 $1 \times 10^4 \text{ cm}^{-2}$ 인 기판을 이용하였다. 그리고, 다른 구조는 도 5에 도시한 발명예의 시료와 동일한 구조로 하였다.

[0073] 비교예 2의 시료:

[0074] 비교예 2의 시료도, 도 5에 도시한 반도체 장치와 동일한 구조를 구비하지만, 기판(2)에서의 전위 밀도와 p⁺형층(54)에서의 도전성 불순물의 농도가 발명예의 시료와는 상이하다. 구체적으로는, 비교예 2의 반도체 장치를 구성하는 기판(2)에서의 전위 밀도는 $1 \times 10^4 \text{ cm}^{-2}$ 로 하였다. 또한, p⁺형층(54)에서의 도전성 불순물의 농도를 $5 \times 10^{19} \text{ cm}^{-3}$ 로 하였다.

[0075] (측정)

[0076] 전술한 발명예 및 비교예 1, 2의 시료에 대해, 오믹 전극(55)과 p⁺형층(54)의 접촉 저항 및 형성한 시료에서의 역방향의 전류 전압 특성을 측정하였다. 접촉 저항의 측정 방법으로서, TLM(Transmission Line Model)법을 이용하였다. 또한, 역방향의 전류 전압 특성의 측정 방법으로서, 컵트레이서에 의한 전류 전압 특성 측정이라고 하는 방법을 이용하였다.

[0077] (결과)

[0078] 발명예의 측정 결과를 도 7에 도시한다. 도 7에서 세로축은 전류(μA)를 나타내고, 가로축은 전압(V)을 나타낸다. 세로축의 1매스는 10 μA 이고, 가로축의 1매스는 100 V를 나타낸다. 또, 도 7의 그래프에서는, 우측 위의 코너가 원점이다.

[0079] 도 7로부터 알 수 있듯이, 발명예의 시료에서는 약 450 V 정도에서 애발란치 파괴를 나타내었다. 이 데이터는 그 시료가 거의 이상(理想) 내압을 나타낸 것을 의미한다. 또한, 발명예의 시료에서의 오믹 전극(55)과 p⁺형층(54)과의 접촉 저항은 $2 \times 10^{-3} \Omega \text{ cm}^{-2}$ 였다.

[0080] 다음으로, 비교예 1의 측정 결과를 도 8에 도시한다. 도 8의 그래프에서의 세로축 및 가로축은 도 7에 도시한 그래프와 동일하다. 단, 도 8의 가로축에서는, 1매스가 10 V를 나타낸다. 도 8로부터도 알 수 있듯이, 비교예 1의 시료에서는 비교적 낮은 전압(거의 25 V 정도)으로부터 누설 전류가 검출되었다. 또한, 오믹 전극(55)의 접

축 저항은 $2 \times 10^{-3} \Omega \text{cm}^{-2}$ 였다. 이 오믹 전극의 접촉 저항 자체는 전술한 발명예의 시료에서의 오믹 전극의 접촉 저항과 거의 동등하였다.

[0081] 비교예 2의 시료에 대해서는, 역방향에서의 전류 전압 특성은 비교예 1의 시료와 동일하고, 비교적 낮은 전압으로부터 누설 전류가 검출되었다. 또한, 비교예 2의 시료에서는, 오믹 전극의 접촉 저항은 $2 \times 10^{-2} \Omega \text{cm}^{-2}$ 로, 실시예 2나 비교예 1의 시료보다 큰 접촉 저항을 나타내었다.

[0082] (실시예 2)

[0083] 본 발명에서의 기관의 전위 밀도와 내압의 관계를 확인하기 위해, 이하와 같은 실험을 하였다.

[0084] (시료)

[0085] 측정용의 시료로서, 실시예 1과 마찬가지로 도 5에 도시한 구조의 시료를 준비하였다. 또, 여기서는 전위 밀도가 상이한 기관(2)(전위 밀도가 $1 \times 10^3 \text{cm}^{-2} \sim 1 \times 10^5 \text{cm}^{-2}$ 에 분포하는 8종류의 기관)을 이용하여 시료를 작성하였다. 또, 각 시료 모두 p⁺형층(54)에서의 도전성 불순물의 농도를 $4 \times 10^{20} \text{cm}^{-3}$ 로 하였다. 다른 구조는 실시예 1에서의 시료와 동일하다.

[0086] (측정)

[0087] 실시예 1과 동일한 방법에 의해, 각 시료에 대해 역방향의 전류 전압 특성을 측정하였다. 그리고, 흐른 전류(누설 전류)가 10 μA 를 초과했을 때의 전압을 내압이라고 정의하고, 각 시료에 대해 내압의 값을 결정하였다.

[0088] (결과)

[0089] 측정 결과를 도 9에 도시한다. 도 9를 참조하면, 가로축은 각 시료의 기관의 전위 밀도(단위: cm^{-2})를 나타내고, 세로축은 내압(단위: V)을 나타낸다. 도 9로부터 알 수 있듯이, 기관의 전위 밀도가 $5 \times 10^3 \text{cm}^{-2}$ 정도 이하이면 충분히 높은 내압을 나타내나, 전위 밀도가 $1 \times 10^4 \text{cm}^{-2}$ 를 초과하면 내압이 50 V 이하로 매우 낮아지는 것을 알 수 있다. 이 때문에, 기관의 전위 밀도는 $5 \times 10^3 \text{cm}^{-2}$ 로 하면 되는 것을 알 수 있다.

[0090] (실시예 3)

[0091] 본 발명에 있어서, 오믹 전극이 접촉하도록 형성되는 불순물층의 도전성 불순물 농도와 오믹 전극의 접촉 저항의 관계를 확인하기 위해, 이하와 같은 실험을 하였다.

[0092] (시료)

[0093] 측정용의 시료로서, 실시예 1의 발명예와 마찬가지로 도 5에 도시한 구조의 시료를 준비하였다. 또, 여기서는 본 발명의 불순물층에 대응하는 p⁺형층(54)의 불순물 농도를 변경한 시료[p⁺형층(54)의 불순물 농도가 $1 \times 10^{19} \text{cm}^{-3} \sim 5 \times 10^{20} \text{cm}^{-3}$ 에 분포하는 5종류의 시료]를 작성하였다. 또, 다른 구조는 실시예 1에서의 발명예의 시료와 동일하다.

[0094] (측정)

[0095] 실시예 1과 동일한 방법에 의해, 각 시료에 대해 오믹 전극(55)과 p⁺형층(54)의 접촉 저항을 측정하였다.

[0096] (결과)

[0097] 측정 결과를 도 10에 도시한다. 도 10을 참조하면, 가로축은 각 시료의 p⁺형층의 불순물 농도(단위: cm^{-3})를 나타내고, 세로축은 접촉 저항(접촉 저항률이라고도 말함)(단위: Ωcm^{-2})을 나타낸다.

[0098] 도 10으로부터 알 수 있듯이, p⁺형층(54)의 불순물 농도가 높아지면 접촉 저항이 저감하는 것을 알 수 있다. 그리고, 접촉 저항의 허용 최대값을 $1 \times 10^{-2} \Omega \text{cm}^{-2}$ 로 규정하면, p⁺형층(54)의 불순물 농도를 $1 \times 10^{20} \text{cm}^{-3}$ 이상으로 함으로써, 접촉 저항을 허용 범위에 들어가게 하는(충분히 낮은 값으로 하는) 것이 가능한 것을 알 수 있다.

[0099] 이번에 개시된 실시형태 및 실시예는 모든 점에서 예시이며 제한적인 것은 아니라고 생각되어야 한다. 본 발명

의 범위는 상기한 설명이 아니라 특허청구범위에 의해 나타나며, 특허청구범위와 균등한 의미 및 범위 내에서의 모든 변경이 포함되는 것이 의도된다.

산업상 이용가능성

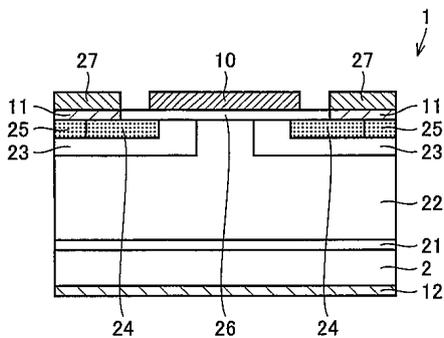
[0100] 본 발명은 오믹 전극을 구비하는 탄화규소 반도체 장치에 적용될 수 있고, 특히 DiMOSFET나 JFET 등에 유리하게 적용된다.

부호의 설명

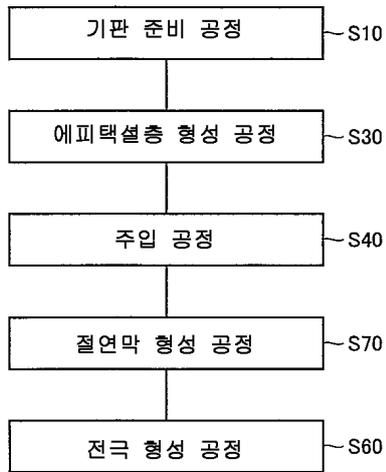
- | | | |
|--------|-----------------------|-----------------------|
| [0101] | 1: 반도체 장치 | 2: 기판 |
| | 10: 게이트 전극 | 11: 소스 전극 |
| | 12: 드레인 전극 | 21, 51: 버퍼층 |
| | 22: 내압 유지층 | 23: p 영역 |
| | 24: n ⁺ 영역 | 25: p ⁺ 영역 |
| | 26, 38: 산화막 | 27: 상부 소스 전극 |
| | 28: 상부 게이트 전극 | 29: 상부 드레인 전극 |
| | 32: 제1 p형층 | 33: n형층 |
| | 34: 제2 p형층 | 34A: 상부 표면 |
| | 35: 소스 영역 | 36: 게이트 영역 |
| | 37: 드레인 영역 | 39: 콘택트 전극 |
| | 41: 홈부 | 43: 전위 유지 영역 |
| | 52: n ⁻ 형층 | 53: p형층 |
| | 54: p ⁺ 형층 | 55: 오믹 전극 |
| | 56: 전극 | 57: 절연막 |
| | 58: 이면 전극 | |

도면

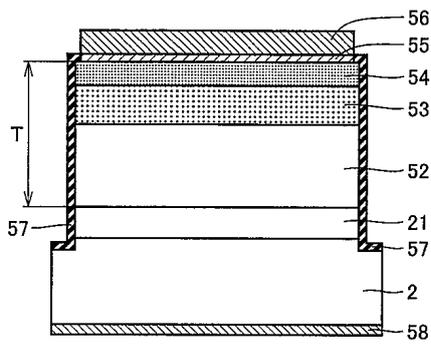
도면1



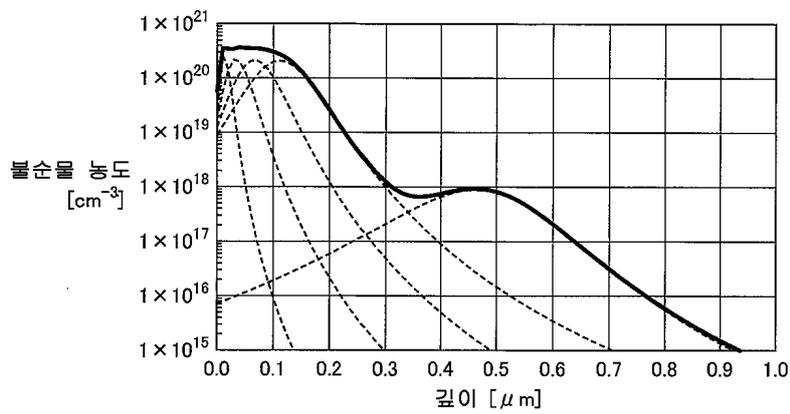
도면4



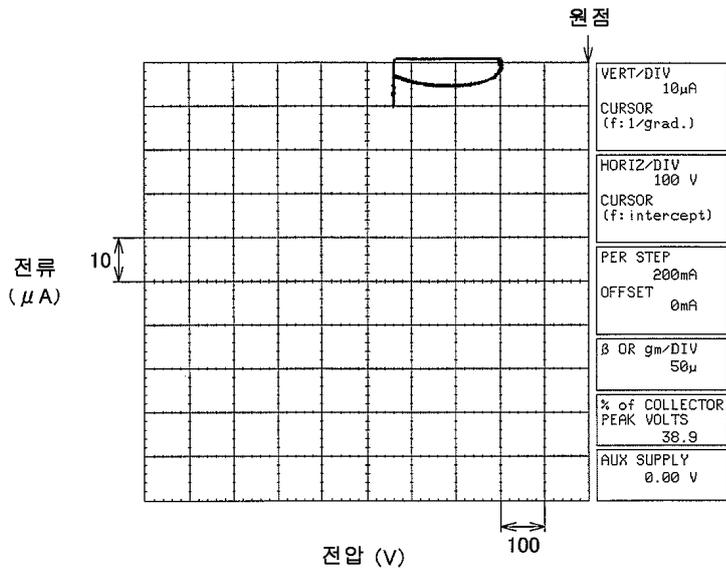
도면5



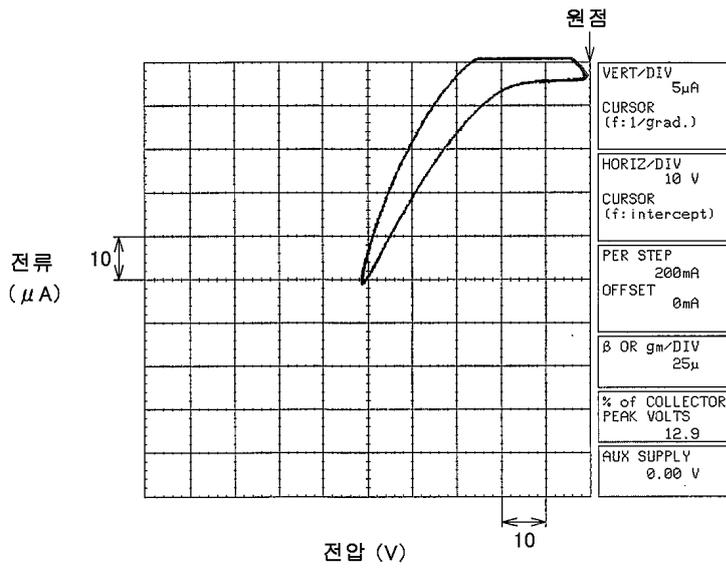
도면6



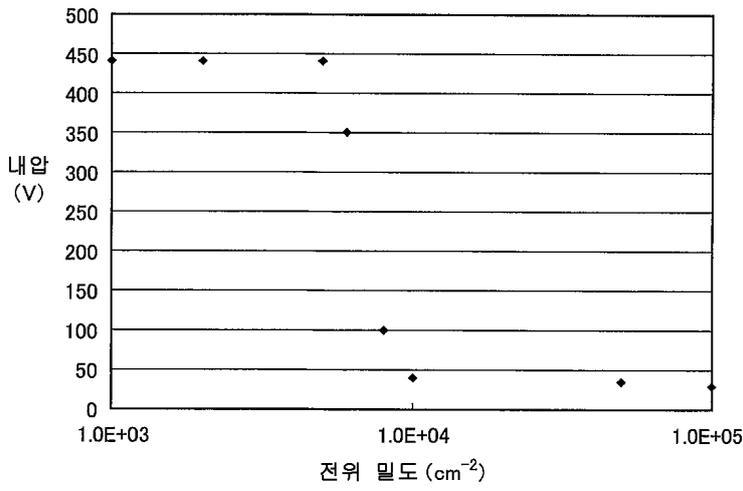
도면7



도면8



도면9



도면10

