



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：メモリ回路、集積回路装置及び電子機器

技術分野

[0001] 本発明は、メモリ回路、集積回路装置及び電子機器に関する。

背景技術

[0002] 半導体記憶装置の代表格の1つであるDRAM (Dynamic Random Access Memory) は様々な電子機器において使用されている。これは、メモリセルの構成が1素子型 (1トランジスタ及び1キャパシタ) であり、メモリセル自体の構造が単純で集積度を高めやすいからである。現在では1Gb (ギガビット) クラスの集積度のDRAMが製造されている。また、例えば、特開平4-3463号公報には、DRAMをさらに集積度を高めるための提案が開示されている。DRAMは、ある一定期間を過ぎると、メモリセル内のデータが破壊される性質がある。したがって、これを防ぐために、定期的にデータを読み出して再書き込みを行う、リフレッシュ動作が必要である。しかし、DRAMは電源を切るとデータが消えてしまう揮発性のメモリである。

[0003] また、近年では、電源を切ってもデータが消えない不揮発性メモリ (例えば、フラッシュメモリなど) が開発されている。フラッシュメモリはトンネル電流などを利用して浮遊ゲートと呼ばれる領域に電子を蓄積し、浮遊ゲートに電子があるかないかによりトランジスタのしきい値電圧が変化し、それにより「1」を表すデータと「0」を表すデータとを記憶する方式である。NAND構造のフラッシュメモリ (NAND型フラッシュとも呼ぶ) はビット線とソース線の間に浮遊ゲートと制御ゲートを積層した構造のものをビット線方向に16個あるいは32個並べたものである。現在では、8Gbや16Gbクラスのフラッシュメモリが製造されている。さらに最近においては、ReRAM (Resistivity Change Random Access Memory) としてMRAM (Magnetoresistive Random Access Memory) やPCM (Phase Change Memory) などの各種抵抗変化素子を用いたものが提案されている。その一つとして

、国際公開第WO 2008/021912号には、カーボンナノチューブを抵抗変化素子として用いた不揮発性メモリが開示されている。

発明の概要

発明が解決しようとする課題

[0004] しかしながら、NAND構造をとったDRAMである特開平4-3463号公報では集積度は向上できるがDRAMであり不揮発性ではない。また、国際公開第WO 2008/021912号に記載の回路では、DRAMと同じようなメモリ回路構成をとるため集積度を高めることができないという問題点があった。

[0005] 本発明は、以上のような問題点に鑑みてなされたものである。本発明のいくつかの態様によれば、不揮発性でありながら、ビットごとにランダムにアクセスすることも、ブロックごとのデータ消去を行いそのブロックのビットごとに書き込むことも可能であり、回路の集積度を高めたメモリ回路、集積回路装置及び電子機器を提供することができる。

課題を解決するための手段

[0006] (1) 本発明に係るメモリ回路の態様の一つは、

トランジスタと、該トランジスタのソース及びドレインのいずれか一方に一端が接続された抵抗変化素子を備えるメモリセルを構成し、前記トランジスタとしての第1トランジスタ～第Nトランジスタまでが順に直列接続されたN個の前記メモリセルを含むメモリブロックを含み、

前記第1トランジスタのソース及びドレインのいずれか他方は、ビット線に接続され、

直列接続された前記トランジスタの各ゲートは、それぞれ異なるワード線に接続され、

直列接続された前記トランジスタのソース及びドレインのいずれか一方は、それぞれ異なる前記抵抗変化素子を介して、それぞれ異なるプログラム線に接続され、

前記抵抗変化素子は、

2つの電極間に存在する複数のカーボンナノチューブを含み、相対的に低抵抗となる低抵抗状態と相対的に高抵抗となる高抵抗状態のいずれかの状態をとり、

前記2つの電極間に電圧及び電流が印加されていない場合には、前記高抵抗状態又は前記低抵抗状態を保持し、

前記2つの電極間に電圧及び電流が印加されることにより、前記高抵抗状態と前記低抵抗状態のいずれかの状態に変化する。

[0007] 本態様によれば、2つの電極間に存在する複数のカーボンナノチューブを含み、相対的に低抵抗となる低抵抗状態と相対的に高抵抗となる高抵抗状態のいずれかの状態をとる抵抗変化素子を用い、直列接続されたトランジスタのソース及びドレインのいずれか一方は、少なくともそれぞれ異なる抵抗変化素子を介して、それぞれ異なるプログラム線に接続されているため、ビットごとにランダムにアクセスできるメモリ回路や、抵抗変化素子をブロックごとに高抵抗状態（又は低抵抗状態）に変化させてからビットごとにデータを書き込んでいく不揮発性のメモリ回路を提供できる。

[0008] また、本態様によれば、順に直列接続された第1のトランジスタ～第NのトランジスタまでのN個のトランジスタのうち、第1のトランジスタの一端がビット線に接続され、N個のトランジスタで1本のビット線を共用するため、回路の集積度を高めることができる。

[0009] （2）このメモリ回路では、

前記抵抗変化素子は、前記2つの電極間に印加される第1電圧及び第1電流による発熱により前記複数のカーボンナノチューブ間の距離が変化することによって前記低抵抗状態から前記高抵抗状態に変化し、前記2つの電極間に印加される第2電圧及び第2電流に基づくクーロン力により前記複数のカーボンナノチューブ間の距離が変化することによって前記高抵抗状態から前記低抵抗状態に変化してもよい。

[0010] （3）このメモリ回路では、

前記第1電流は前記第2電流よりも大きくてもよい。

[0011] また、前記第 1 電圧は前記第 2 電圧よりも大きくてもよい。

[0012] (4) このメモリ回路では、

前記抵抗変化素子は、導電性のカーボンナノチューブを含んでもよい。

[0013] 抵抗変化素子が導電性（金属性）のカーボンナノチューブを多く含むことにより、低抵抗状態と高抵抗状態の抵抗値の差が大きくなる。したがって、「1」を表すデータと「0」を表すデータとの読み出しの差が明確になり良好なメモリ特性が得られる。

[0014] (5) このメモリ回路では、

前記抵抗変化素子は、マルチウォールカーボンナノチューブよりもシングルウォールカーボンナノチューブを多く含んでもよい。

[0015] シングルウォールカーボンナノチューブは、非常に細いため電界などの力により曲がったり、熱的な振動によって屈曲が変化したりしやすい性質がある。すなわち、複数のカーボンナノチューブ間の距離の変化を起こしやすい。このため、抵抗変化素子の電極間にあるカーボンナノチューブ間が電氣的に接続されていない高抵抗な状態からクーロン力で引き付けられることにより電氣的に接続された低抵抗状態への変化や、熱による振動を受けて低抵抗状態から電氣的に接続されていない高抵抗状態への変化を起こしやすい。したがって、「1」を表すデータと「0」を表すデータとの読み出しの差が明確になり良好なメモリ特性が得られる。

[0016] (6) このメモリ回路では、

前記ビット線、前記ワード線及び前記プログラム線の少なくとも 1 つに電圧及び電流を印加することにより前記抵抗変化素子の前記 2 つの電極間に電圧及び電流を印加し、前記抵抗変化素子の状態を、前記低抵抗状態と前記高抵抗状態のいずれかの状態に変化させる制御回路を含んでもよい。

[0017] (7) このメモリ回路では、

前記メモリブロックを複数含んでもよい。

[0018] (8) このメモリ回路では、

複数の前記メモリブロックに含まれる第 1 トランジスタのうち少なくとも

1つは、他のメモリブロックに含まれる第1トランジスタとは異なるビット線に接続されていてもよい。

[0019] (9) このメモリ回路では、

複数の前記メモリブロックに含まれる第1トランジスタと前記ビット線とが電氣的に接続するビット線コンタクトを有し、

複数の前記メモリブロックで1つの前記ビット線コンタクトを共有していてもよい。

[0020] これにより、メモリ回路の面積をさらに小さくできる。

[0021] (10) 本発明に係る集積回路装置の態様の一つは、

これらのいずれかのメモリ回路を含む。

[0022] 本態様によれば、不揮発性でありながら、ビットごとにランダムにアクセスすることも、ブロックごとに書き換えることも可能であり、回路の集積度を高めることができるメモリ回路を含む集積回路装置を提供できる。

[0023] (11) 本発明に係る電子機器の態様の一つは、

これらのいずれかのメモリ回路を含む。

[0024] 本態様によれば、不揮発性でありながら、ビットごとにランダムにアクセスすることも、ブロックごとに書き換えることも可能であり、回路の集積度を高めることができるメモリ回路を含む電子機器を提供できる。

図面の簡単な説明

[0025] [図1] 図1は、本実施形態に係るメモリ回路の回路構成例を示す回路図である。

[図2] 図2は、本実施形態に係るメモリ回路の他の回路構成例を示す回路図である。

[図3] 図3は、本実施形態に係るメモリ回路の動作例の概念を示すタイミングチャートである。

[図4] 図4は、本実施形態に係るメモリ回路の要部であるメモリブロックの第1構造例及びその製造方法を説明するための図である。

[図5] 図5は、本実施形態に係るメモリ回路の要部であるメモリブロックの第

1 構造例及びその製造方法を説明するための図である。

[図6] 図 6 は、本実施形態に係るメモリ回路の要部であるメモリブロックの第 1 構造例及びその製造方法を説明するための図である。

[図7] 図 7 は、本実施形態に係るメモリ回路の要部であるメモリブロックの第 1 構造例及びその製造方法を説明するための図である。

[図8] 図 8 は、本実施形態に係るメモリ回路の要部であるメモリブロックの第 1 構造例及びその製造方法を説明するための図である。

[図9] 図 9 は、本実施形態に係るメモリ回路の要部であるメモリブロックの第 1 構造例及びその製造方法を説明するための図である。

[図10] 図 10 は、本実施形態に係るメモリ回路の要部であるメモリブロックの第 1 構造例及びその製造方法を説明するための図である。

[図11] 図 11 は、本実施形態に係るメモリ回路の要部であるメモリブロックの第 2 構造例及びその製造方法を説明するための図である。

[図12] 図 12 は、本実施形態に係るメモリ回路の要部であるメモリブロックの第 2 構造例及びその製造方法を説明するための図である。

[図13] 図 13 は、本実施形態に係るメモリ回路の要部であるメモリブロックの第 2 構造例及びその製造方法を説明するための図である。

[図14] 図 14 は、本実施形態に係るメモリ回路の要部であるメモリブロックの第 2 構造例及びその製造方法を説明するための図である。

[図15] 図 15 は、本実施形態に係るメモリ回路の要部であるメモリブロックの第 2 構造例及びその製造方法を説明するための図である。

[図16] 図 16 (A) は、第 1 構造例のメモリブロックにおいて、2つのメモリセルブロックで1つのビット線コンタクトを共有した例、図 16 (B) は、第 2 構造例のメモリブロックにおいて、2つのメモリセルブロックで1つのビット線コンタクトを共有した例を示す断面図である。

[図17] 図 17 は、本実施形態に係る集積回路装置の構成例である。

[図18A] 図 18 A は、本実施形態に係る電子機器の構成例である。

[図18B] 図 18 B は、本実施形態に係る電子機器の構成例である。

[図18C] 図 1 8 C は、本実施形態に係る電子機器の構成例である。

発明を実施するための形態

[0026] 以下、本発明の好適な実施形態について図面を用いて詳細に説明する。なお、以下に説明する実施形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成の全てが本発明の必須構成要件であるとは限らない。

[0027] 1. メモリ回路

1-1. 回路構成

図 1 は、本実施形態に係るメモリ回路の回路構成例を示す回路図である。

[0028] 本実施形態に係るメモリ回路 1 は、トランジスタと、該トランジスタのソース及びドレインのいずれか一方に一端が接続された抵抗変化素子を備えるメモリセルを構成し、前記トランジスタとしての第 1 トランジスタ～第 N トランジスタまでが順に直列接続された N 個のメモリセルを含むメモリブロック 10 を含む。メモリセルの数 N は、2 以上の整数で任意に設定してもよい。

[0029] 図 1 に示す例では、メモリブロック 10 は、4 個のメモリセル C e l l - 1 ～ C e l l - 4 を含んでいる。図 1 に示す例では、第 1 トランジスタ T 1 と、第 1 トランジスタ T 1 のソース及びドレインのいずれか一方（例えば、ソース。以下同じ。）に一端が接続された抵抗変化素子 R C 1 を備えるメモリセル C e l l - 1 を構成し、第 2 トランジスタ T 2 と、第 2 トランジスタ T 2 のソース及びドレインのいずれか一方に一端が接続された抵抗変化素子 R C 2 を備えるメモリセル C e l l - 2 を構成し、第 3 トランジスタ T 3 と、第 3 トランジスタ T 3 のソース及びドレインのいずれか一方に一端が接続された抵抗変化素子 R C 3 を備えるメモリセル C e l l - 3 を構成し、第 4 トランジスタ T 4 と、第 4 トランジスタ T 4 のソース及びドレインのいずれか一方に一端が接続された抵抗変化素子 R C 4 を備えるメモリセル C e l l - 4 を構成している。

[0030] また、図 1 に示す例では、第 1 トランジスタ T 1 のソース及びドレインの

いずれか他方（例えば、ドレイン。以下同じ。）は、ビット線BL1に接続されている。また、第1トランジスタT1～第4トランジスタT4までの4個のトランジスタが順に直列接続されている。すなわち、第1トランジスタT1のソース及びドレインのいずれか一方は、第2トランジスタT2のソース及びドレインのいずれか他方に接続されている。第2トランジスタT2のソース及びドレインのいずれか一方は、第3トランジスタT3のソース及びドレインのいずれか他方に接続されている。第3トランジスタT3のソース及びドレインのいずれか一方は、第4トランジスタT4のソース及びドレインのいずれか他方に接続されている。

[0031] 直列接続された第1のトランジスタT1～第4のトランジスタT4の各ゲートは、それぞれ異なるワード線に接続されている。図1に示す例では、第1トランジスタT1のゲートはワード線WL1に、第2トランジスタT2のゲートはワード線WL2に、第3トランジスタT3のゲートはワード線WL3に、第4トランジスタT4のゲートはワード線WL4に、それぞれ接続されている。

[0032] 直列接続された第1のトランジスタT1～第4のトランジスタT4のソース及びドレインのいずれか一方は、少なくともそれぞれ異なる抵抗変化素子を介して、それぞれ異なるプログラム線に接続されている。図1に示す例では、第1のトランジスタT1のソース及びドレインのいずれか一方は抵抗変化素子RC1を介してプログラム線PL1に、第2のトランジスタT2のソース及びドレインのいずれか一方は抵抗変化素子RC2を介してプログラム線PL2に、第3のトランジスタT3のソース及びドレインのいずれか一方は抵抗変化素子RC3を介してプログラム線PL3に、第4のトランジスタT4のソース及びドレインのいずれか一方は抵抗変化素子RC4を介してプログラム線PL4に、それぞれ接続されている。

[0033] 本実施形態に係るメモリ回路1は、抵抗変化素子RC1～RC4を含む。抵抗変化素子RC1～RC4は、2つの電極間に存在する複数のカーボンナノチューブを含み、当該複数のカーボンナノチューブ間の距離が変化するこ

とにより、相対的に低抵抗となる低抵抗状態と相対的に高抵抗となる高抵抗状態のいずれかの状態をとる。抵抗変化素子RC1～RC4の詳細については後述する。

[0034] 本実施形態に係るメモリ回路1は、制御回路20を含んでもよい。制御回路20は、ビット線BL1、ワード線WL1～WL4及びプログラム線PL1～PL4の少なくとも1つに電圧及び電流を印加することにより抵抗変化素子RC1～RC4の2つの電極間に電圧及び電流を印加し、抵抗変化素子RC1～RC4の状態を、低抵抗状態と高抵抗状態のいずれかの状態に変化させる。制御回路20は、ビット線BL1、ワード線WL1～WL4及びプログラム線PL1～PL4に対して、それぞれ異なるタイミングで、それぞれ異なる電圧及び電流を印加することができる。すなわち、ビット線BL1、ワード線WL1～WL4及びプログラム線PL1～PL4は、それぞれ互いに独立した制御線である。本実施形態においては、制御回路20は、ビット線BL1に電圧を印加するためのBL制御回路202、ワード線WL1～WL4に電圧を印加するためのWL制御回路204、プログラム線PL1～PL4に電圧及び電流を印加するためのPL制御回路206を含んで構成されている。

[0035] なお、メモリブロックを複数有する構成も可能である。図2は、本実施形態に係るメモリ回路の他の回路構成例を示す回路図である。図2に示すメモリ回路2は、2つのメモリブロック11、12を有する例について示しているが、3つ以上のメモリブロックを有していてもよい。

[0036] また、メモリ回路2は制御回路21を含んでもよい。制御回路21は、ビット線BL1、BL2、ワード線WL1～WL4及びプログラム線PL1～PL4の少なくとも1つに電圧及び電流を印加することにより抵抗変化素子RC11～RC14、RC21～RC24の2つの電極間に電圧及び電流を印加し、抵抗変化素子RC11～RC14、RC21～RC24の状態を、低抵抗状態と高抵抗状態のいずれかの状態に変化させる。制御回路21は、ビット線BL1、BL2、ワード線WL1～WL4及びプログラム線PL1

～PL 4に対して、それぞれ異なるタイミングで、それぞれ異なる電圧及び電流を印加することができる。すなわち、ビット線BL 1、BL 2、ワード線WL 1～WL 4及びプログラム線PL 1～PL 4は、それぞれ互いに独立した制御線である。本実施形態においては、制御回路2 1は、ビット線BL 1、BL 2に電圧を印加するためのBL制御回路2 1 2、ワード線WL 1～WL 4に電圧を印加するためのWL制御回路2 1 4、プログラム線PL 1～PL 4に電圧及び電流を印加するためのPL制御回路2 1 6を含んで構成されている。

[0037] 図2に示す例では、メモリブロック1 1は、4個のメモリセルCe l l e r 1 1～Ce l l e r 1 4を含んでいる。図2に示す例では、第1トランジスタT 1 1と、第1トランジスタT 1 1のソース及びドレインのいずれか一方に一端が接続された抵抗変化素子RC 1 1を備えるメモリセルCe l l e r 1 1を構成し、第2トランジスタT 1 2と、第2トランジスタT 1 2のソース及びドレインのいずれか一方に一端が接続された抵抗変化素子RC 1 2を備えるメモリセルCe l l e r 1 2を構成し、第3トランジスタT 1 3と、第3トランジスタT 1 3のソース及びドレインのいずれか一方に一端が接続された抵抗変化素子RC 1 3を備えるメモリセルCe l l e r 1 3を構成し、第4トランジスタT 1 4と、第4トランジスタT 1 4のソース及びドレインのいずれか一方に一端が接続された抵抗変化素子RC 1 4を備えるメモリセルCe l l e r 1 4を構成している。

[0038] また、メモリブロック1 1は、第1トランジスタT 1 1～第4トランジスタT 1 4までの4個のトランジスタが順に直列接続されている。すなわち、第1トランジスタT 1 1のソース及びドレインのいずれか一方は、第2トランジスタT 1 2のソース及びドレインのいずれか他方に接続されている。第2トランジスタT 1 2のソース及びドレインのいずれか一方は、第3トランジスタT 1 3のソース及びドレインのいずれか他方に接続されている。第3トランジスタT 1 3のソース及びドレインのいずれか一方は、第4トランジスタT 1 4のソース及びドレインのいずれか他方に接続されている。

[0039] 図2に示す例では、メモリブロック12は、4個のメモリセルC e l l - 2 1 ~ C e l l - 2 4を含んでいる。図2に示す例では、第1トランジスタT 2 1と、第1トランジスタT 2 1のソース及びドレインのいずれか一方に一端が接続された抵抗変化素子R C 2 1を備えるメモリセルC e l l - 2 1を構成し、第2トランジスタT 2 2と、第2トランジスタT 2 2のソース及びドレインのいずれか一方に一端が接続された抵抗変化素子R C 2 2を備えるメモリセルC e l l - 2 2を構成し、第3トランジスタT 2 3と、第3トランジスタT 2 3のソース及びドレインのいずれか一方に一端が接続された抵抗変化素子R C 2 3を備えるメモリセルC e l l - 2 3を構成し、第4トランジスタT 2 4と、第4トランジスタT 2 4のソース及びドレインのいずれか一方に一端が接続された抵抗変化素子R C 2 4を備えるメモリセルC e l l - 2 4を構成している。

[0040] また、メモリブロック12は、第1トランジスタT 2 1~第4トランジスタT 2 4までの4個のトランジスタが順に直列接続されている。すなわち、第1トランジスタT 2 1のソース及びドレインのいずれか一方は、第2トランジスタT 2 2のソース及びドレインのいずれか他方に接続されている。第2トランジスタT 2 2のソース及びドレインのいずれか一方は、第3トランジスタT 2 3のソース及びドレインのいずれか他方に接続されている。第3トランジスタT 2 3のソース及びドレインのいずれか一方は、第4トランジスタT 2 4のソース及びドレインのいずれか他方に接続されている。

[0041] なお、抵抗変化素子R C 1 1 ~ R C 1 4、R C 2 1 ~ R C 2 4は、2つの電極間に存在する複数のカーボンナノチューブを含み、相対的に低抵抗となる低抵抗状態と相対的に高抵抗となる高抵抗状態のいずれかの状態をとる。抵抗変化素子R C 1 1 ~ R C 1 4、R C 2 1 ~ R C 2 4の詳細については後述する。

[0042] また、複数のメモリブロックに含まれる第1トランジスタのうち少なくとも1つは、異なるビット線に接続されていてもよい。図2に示すメモリ回路2では、メモリブロック11に含まれる第1トランジスタT 1 1のソース及

びドレインのいずれか他方はビット線B L 1に、メモリブロック1 2に含まれる第1トランジスタT 1 2のソース及びドレインのいずれか他方はビット線B L 2に接続されている。

[0043] また、複数のメモリブロックにおいて、ビット線、ワード線及びプログラム線の少なくとも1つを共用してもよい。図2に示す例では、メモリブロック1 1とメモリブロック1 2とでワード線及びプログラム線を共用している。ワード線W L 1は第1トランジスタT 1 1のゲートと第1トランジスタT 2 1のゲートに、ワード線W L 2は第2トランジスタT 1 2のゲートと第2トランジスタT 2 2のゲートに、ワード線W L 3は第3トランジスタT 1 3のゲートと第3トランジスタT 2 3のゲートに、ワード線W L 4は第4トランジスタT 1 4のゲートと第4トランジスタT 2 4のゲートに、それぞれ接続されている。また、プログラム線P L 1は抵抗変化素子R C 1 1とR C 2 1に、プログラム線P L 2は抵抗変化素子R C 1 2とR C 2 2に、プログラム線P L 3は抵抗変化素子R C 1 3とR C 2 3に、プログラム線P L 4は抵抗変化素子R C 1 4とR C 2 4に、それぞれ接続されている。

[0044] なお、図示はしないが、1つのビット線が複数のメモリセルの第1トランジスタに接続されてもよい。これにより、ビット線コンタクトの面積を2つのメモリブロックで共有化することができ、メモリチップの面積を小さくできる。また、直列接続するトランジスタが増える場合、その中央部でビット線コンタクトを取った方が、ビット線から各トランジスタまでの抵抗が小さくなるというメリットがある。

[0045] このように、本実施形態に係るメモリ回路1及びメモリ回路2によれば、それぞれがメモリセルを構成し、順に直列接続された第1のトランジスタT 1～第4のトランジスタT 4までの4個のトランジスタのうち、第1のトランジスタT 1の一端がビット線B L 1に接続され、4個のトランジスタで1本のビット線を共用するため、1個のトランジスタで1本のビット線を利用する場合に比べて回路の集積度を高めることができる。

[0046] 1－2. 抵抗変化素子

上述したように、抵抗変化素子 $RC1 \sim RC4$ 、 $RC11 \sim RC14$ 、 $RC21 \sim RC24$ は、2つの電極間に存在する複数のカーボンナノチューブを含み、相対的に低抵抗となる低抵抗状態と相対的に高抵抗となる高抵抗状態のいずれかの状態をとる。すなわち、本実施形態における抵抗変化素子 $RC1 \sim RC4$ 、 $RC11 \sim RC14$ 、 $RC21 \sim RC24$ は、スイッチ素子として機能できる。

[0047] また、本実施形態における抵抗変化素子 $RC1 \sim RC4$ 、 $RC11 \sim RC14$ 、 $RC21 \sim RC24$ は、制御回路20又は制御回路21から2つの電極間に電圧及び電流が印加されていない場合又は電源が遮断された場合には、高抵抗状態又は低抵抗状態を保持する。また、抵抗変化素子 $RC1 \sim RC4$ 、 $RC11 \sim RC14$ 、 $RC21 \sim RC24$ は、2つの電極間に電圧及び電流が印加されることにより、高抵抗状態と低抵抗状態のいずれかの状態に変化する。すなわち、本実施形態における抵抗変化素子 $RC1 \sim RC4$ 、 $RC11 \sim RC14$ 、 $RC21 \sim RC24$ は、不揮発性のスイッチ素子として機能できる。

[0048] 本実施形態における抵抗変化素子 $RC1 \sim RC4$ 、 $RC11 \sim RC14$ 、 $RC21 \sim RC24$ は、制御回路20又は制御回路21から2つの電極間に印加される第1電圧 $V1$ 及び第1電流 I_{p1} による発熱により、抵抗変化素子 $RC1 \sim RC4$ 、 $RC11 \sim RC14$ 、 $RC21 \sim RC24$ に含まれる複数のカーボンナノチューブ間の距離が変化することによって低抵抗状態から高抵抗状態に変化してもよい。また、抵抗変化素子 $RC1 \sim RC4$ 、 $RC11 \sim RC14$ 、 $RC21 \sim RC24$ は、制御回路20又は制御回路21から2つの電極間に印加される第2電圧 $V2$ 及び第2電流 I_{p2} に基づくクーロン力により、抵抗変化素子 $RC1 \sim RC4$ 、 $RC11 \sim RC14$ 、 $RC21 \sim RC24$ に含まれる複数のカーボンナノチューブ間の距離が変化することによって高抵抗状態から低抵抗状態に変化してもよい。

[0049] すなわち、抵抗変化素子 $RC1 \sim RC4$ 、 $RC11 \sim RC14$ 、 $RC21 \sim RC24$ は、制御回路20又は制御回路21から2つの電極間に印加され

る第1電圧 V_1 と第1電流 I_{p1} により抵抗変化素子に含まれるカーボンナノチューブを流れる電流による発熱により前記複数のカーボンナノチューブ間の距離が2つの電極間を電氣的に接続するような位置関係から電氣的に接続しないような位置関係に変化することによって低抵抗状態から高抵抗状態に変化する。また、制御回路20又は制御回路21から2つの電極間に印加される第2電圧 V_2 と第2電流 I_{p2} によって発生する電界により発生するクーロン力によって2つの電極間を電氣的に接続しないような位置関係から電極間を電氣的に接続するような位置関係に変化することによって高抵抗状態から低抵抗状態に変化する。

[0050] 通常、第1電流 I_{p1} は第2電流 I_{p2} よりも大きくてもよい。また、第1電圧 V_1 は第2電圧 V_2 よりも大きくてもよい。

[0051] 前記発熱は、カーボンナノチューブを流れる電流により発生したジュール熱であるが、カーボンナノチューブに近い領域での発熱部位（電極やその接続部など）の抵抗により発生するジュール熱による発熱でもよい。カーボンナノチューブは熱伝導性が良く局所的に発生した熱が伝わりやすいという性質を持っている。カーボンナノチューブのジュール熱による格子散乱（振動）により低抵抗状態から高抵抗状態への変化を実現するためには第1の電流値 I_{p1} の設定が重要である。回路の規模、組み込むトランジスタの内部抵抗、配線部の抵抗などの大きさによって電流値を設定するのが望ましい。ここでは、第2電圧 V_2 を印加した場合に抵抗変化素子に流れる電流を第2電流 I_{p2} としたときに $I_{p1} > I_{p2}$ の関係となるように第1電流 I_{p1} を設定する。

[0052] このような、本実施形態における抵抗変化素子 $RC1 \sim RC4$ 、 $RC11 \sim RC14$ 、 $RC21 \sim RC24$ は、DRAMやフラッシュメモリのような電荷を貯める方式に比べて高速なスイッチ素子として動作できる。したがって、高速に読み書き可能なメモリ回路1及びメモリ回路2を実現することができる。

[0053] また、本実施形態における抵抗変化素子 $RC1 \sim RC4$ 、 $RC11 \sim RC$

14、RC21～RC24は、DRAMやフラッシュメモリのような電荷を貯める方式に比べて、電荷の量に影響を受けないのでメモリを微細化したときに蓄積する電荷量が減少したりすることが無い。このためメモリ回路を微細化しても記憶した状態の保持期間が電荷蓄積型の不揮発性メモリに比べて長い。

[0054] 従来のフラッシュメモリの構造では、微細化に伴い、電荷を貯める構造そのものが小さくなる。そのため、不揮発メモリの「1」を表すデータと「0」を表すデータ（ONとOFF）の記憶に用いる電荷が少なくなる。すると、「1」を表すデータと「0」を表すデータ（ONとOFF）の電荷量による違いが小さくなり、「1」を表すデータと「0」を表すデータの読み出しの差が不明確となるため、信頼性を維持したまま微細化するには限界がある。しかし、本実施形態における抵抗変化素子のON／OFF機構（低抵抗状態と高抵抗状態との切り換え原理）は、電荷量には関係ない。したがって、従来のフラッシュメモリの構造における微細化の制限を撤廃できる。

[0055] したがって、長期間に亘ってデータを保持することが可能なメモリ回路1及びメモリ回路2を、メモリ回路を微細化して高集積型にしても実現することができる。

[0056] さらに、本実施形態における抵抗変化素子RC1～RC4、RC11～RC14、RC21～RC24は、例えばフラッシュメモリのように、電子がトランジスタの絶縁酸化膜を貫通する構成に比べて、状態変化に対する耐久性が高い。したがって、書き換え寿命の長いメモリ回路1及びメモリ回路2を実現することができる。

[0057] 本実施形態における抵抗変化素子RC1～RC4、RC11～RC14、RC21～RC24は、導電性のカーボンナノチューブを含んでもよい。さらに、抵抗変化素子RC1～RC4、RC11～RC14、RC21～RC24は、半導体性のカーボンナノチューブよりも金属性（導電性）のカーボンナノチューブを多く含むことが好ましい。金属性のカーボンナノチューブを多く含むことにより、低抵抗状態と高抵抗状態の抵抗値の差が大きくなる

。したがって、「1」を表すデータと「0」を表すデータとの読み出しの差が明確になり信頼性の高い良好なメモリ特性が得られる。

[0058] 本実施形態における抵抗変化素子RC1～RC4、RC11～RC14、RC21～RC24は、マルチウォールカーボンナノチューブよりもシングルウォールカーボンナノチューブを多く含むことが好ましい。金属性のシングルウォールカーボンナノチューブは、クーロン力の影響を受けやすく状態が曲がりやすく、ジュール熱による振動（格子散乱）により状態が変形しやすいという特徴がある。したがって、低抵抗状態と高抵抗状態の抵抗値の差が大きくなり、良好なメモリ特性が得られる。

[0059] 1－3. 動作例

次に、本実施形態に係るメモリ回路2の動作例について説明する。なお、メモリ回路1についてもメモリ回路2と同様に動作する。

[0060] 図3は、本実施形態に係るメモリ回路2の動作例の概念を示すタイミングチャートである。図3は、概念を説明するものであるので各電圧、電流印加タイミングのマージンや実際の波形の時間変動などは考慮されていないものである。横軸は時間、縦軸は、図3（A）はBL制御回路212からビット線BL1に印加される電圧、図3（B）はビット線BL1に流れる電流、図3（C）はBL制御回路212からビット線BL2に印加される電圧、図3（D）はWL制御回路214からワード線WL1に印加される電圧、図3（E）はWL制御回路214からワード線WL2に印加される電圧、図3（F）はWL制御回路214からワード線WL3に印加される電圧、図3（G）はWL制御回路214からワード線WL4に印加される電圧、図3（H）はPL制御回路216からプログラム線PL1に印加される電圧、図3（I）はPL制御回路216からプログラム線PL2に印加される電圧、図3（J）はPL制御回路216からプログラム線PL2に印加される電流、図3（K）はPL制御回路216からプログラム線PL3に印加される電圧、図3（L）はPL制御回路216からプログラム線PL4に印加される電圧を表す。なお、図3に示すタイミングチャートではPL制御回路216から読み

出し時の電圧を印加した例を示したが、プログラム線 $PL1 \sim PL4$ 側を接地レベル（ $0V$ ）にしておき、選択したビット線 $BL1 \sim BL2$ 側に読み出しの電圧を印加しても同じようにビット線 $BL1 \sim BL2$ 電流のレベルで「 0 」、「 1 」を表すデータを読み出すことが出来る。

[0061] 以下、本実施形態に係るメモリ回路2の動作の一例として、メモリセル $Ce11 \sim 12$ の抵抗変化素子 $RC12$ にデータを書き込む動作と、抵抗変化素子 $RC12$ に書き込まれたデータを読み出す動作について、図3を参照して説明する。また、抵抗変化素子 $RC12$ が低抵抗状態である場合に「 1 」を表すデータが抵抗変化素子 $RC12$ に書き込まれているものとし、抵抗変化素子 $RC12$ が高抵抗状態である場合に「 0 」を表すデータが抵抗変化素子 $RC12$ に書き込まれているものとする。

[0062] 図3において、時刻 $t1 \sim$ 時刻 $t2$ までの期間は、抵抗変化素子 $RC12$ に「 0 」を表すデータを書き込む期間である。時刻 $t3 \sim$ 時刻 $t4$ までの期間は、時刻 $t1 \sim$ 時刻 $t2$ までの期間に書き込まれた「 0 」を表すデータを抵抗変化素子 $RC12$ から読み出す期間である。時刻 $t5 \sim$ 時刻 $t6$ までの期間は、抵抗変化素子 $RC12$ に「 1 」を表すデータを書き込む期間である。時刻 $t7 \sim$ 時刻 $t8$ までの期間は、時刻 $t5 \sim$ 時刻 $t6$ までの期間に書き込まれた「 1 」を表すデータを抵抗変化素子 $RC12$ から読み出す期間である。

[0063] 時刻 $t1 \sim$ 時刻 $t2$ において、プログラム線 $PL2$ には第1電圧 $V1$ と第1電流 I_{p1} が印加され（図3（I）、図3（J））、ワード線 $WL1$ と $WL2$ にはトランジスタ $T11$ とトランジスタ $T12$ が導通状態（ON状態）となるゲート電圧 V_h が印加される（図3（D）、図3（E））。ここではトランジスタ $T11$ は単なるスイッチとしての役割を果たしているだけである。ビット線 $BL1$ とワード線 $WL3$ と $WL4$ には、 $0V$ （接地電位）が印加される（図3（A）、図3（F）、図3（G））。この状態では $T13$ 、 $T14$ 、 $T23$ 、 $T24$ はオフ状態となる。ビット線 $BL2$ 、プログラム線 $PL1$ 、 $PL3$ 、 $PL4$ は非選択状態（ハイインピーダンス）とされる（図

3 (C)、図 3 (H)、図 3 (K)、図 3 (L))。

[0064] この場合、抵抗変化素子 RC 1 1、RC 1 3、RC 1 4、RC 2 1～RC 2 4 の両端には電位差が生じないため、抵抗変化素子 RC 1 1、RC 1 3、RC 1 4、RC 2 1～RC 2 4 の状態は変化しない。一方、抵抗変化素子 RC 1 2 の両端には、第 1 電圧 V_1 の電位差が生じるため、2 つの電極間に電界が発生し、電極と電氣的に接続された複数のカーボンナノチューブ間に発生したクーロン力によって抵抗変化素子 RC 1 2 の状態は一旦低抵抗状態になるものの、抵抗変化素子 RC 1 2 を介してプログラム線 PL 2 とビット線 BL 1 との間を流れる電流 I_{p1} による発熱が起こり、複数のカーボンナノチューブ間の距離の変化によって 2 つの電極間を電氣的に接続していたカーボンナノチューブが電氣的に接続されていない状態に変化する。カーボンナノチューブが電氣的に接続されていない状態に変化すると RC 1 2 を通じた電流が流れなくなり発熱が停止する。すなわち、抵抗変化素子 RC 1 2 の状態は低抵抗状態から高抵抗状態に変化する。これにより、抵抗変化素子 RC 1 2 に「0」を表すデータが書き込まれる。

[0065] 時刻 t_3 ～時刻 t_4 において、プログラム線 PL 2 には読み出し電圧 V_r 及び非常に小さな読み出し電流 I_{pr} が印加される (図 3 (I)、図 3 (J))。読み出し電圧 V_r は、抵抗変化素子 RC 1 2 の状態を変化させない電圧であり、第 1 電圧 V_1 及び第 2 電圧 V_2 よりも低い電圧である。すなわち、第 1 電圧 V_1 と第 2 電圧 V_2 と読み出し電圧 V_r との大小関係は、不等式 $V_1 > V_2 > V_r$ で表される。また、第 1 電流 I_{p1} と第 2 電流 I_{p2} 、読み出し電流 I_{pr} の大小関係は、不等式 $I_{p1} > I_{p2} > I_{pr}$ で表される。なお、 V_1 、 V_2 及び V_r の関係及び I_{p1} 、 I_{p2} 、 I_{pr} の関係については、メモリブロック 1 1 及び 1 2 のトランジスタ内部抵抗の値や配線抵抗などの値によって適宜最適化することが好ましい。ワード線 WL 1 とワード線 WL 2 には、トランジスタ T 1 1 とトランジスタ T 1 2 が導通状態 (ON 状態) となるゲート電圧 V_h が印加される (図 3 (D)、図 3 (E))。ビット線 BL 1 とワード線 WL 3 と WL 4 には、0 V (接地電位) が印加さ

れる（図3（A）、図3（F）、図3（G））。ビット線BL2、プログラム線PL1、PL3、PL4は非選択状態（ハイインピーダンス）とされる（図3（C）、図3（H）、図3（K）、図3（L））。

[0066] この場合、抵抗変生素子RC11、RC13、RC14、RC21～RC24の両端には電位差が生じないため、抵抗変生素子RC11、RC13、RC14、RC21～RC24の状態は変化しない。一方、抵抗変生素子RC12の両端には、読み出し電圧 V_r の電位差が印加されるが、2つの電極間に配置された複数のカーボンナノチューブ間の距離の変化が起こるほどの電界は発生しないように電圧 V_r の値を設定する。トランジスタT12とT11のドレイン側に相当する抵抗変生素子側の電圧は抵抗変生素子が高抵抗状態である為に直列トランジスタをONさせるほどの電圧にならず、トランジスタT11とT12の直列に接続されたトランジスタは完全なON状態にならず、可変抵抗が高抵抗の状態であるので流れる電流は非常に小さくなる。したがって、ビット線BL1には大きな電流は流れない（図3（B））。

[0067] したがって、例えば基準電流値 I_{ref} を $I_{ref} > I_{bs}$ となるように設定し、BL制御回路212側で基準電流値 I_{ref} と電流 I_{bs} とを比較することにより電流が基準電流 I_{ref} より小さいので抵抗変生素子RC12が高抵抗状態であることが判別できる。なお、図3においては、 $I_{bs} = 0$ であるものとしてタイミングチャートを表現している。これにより、時刻 t_1 ～時刻 t_2 までの期間に抵抗変生素子RC12に書き込まれた「0」を表すデータを抵抗変生素子RC12から読み出すことができる。また、読み出し電圧 V_r 及び読み出し電流 I_{pr} により抵抗変生素子RC12の状態は変化しないため、抵抗変生素子RC11～RC14、RC21～RC24の全ての状態を変化させることなく抵抗変生素子RC12に書き込まれたデータを読み出すことができる。

[0068] 時刻 t_5 ～時刻 t_6 において、プログラム線PL2には第2電圧 V_2 と第2電流 I_{p2} が印加され（図3（I）、図3（J））、ワード線WL1とワード線WL2にはトランジスタT11とトランジスタT12が導通状態（O

N状態)となるゲート電圧 V_h が印加される(図3(D)、図3(E))。ビット線BL1とワード線WL3とWL4には、0V(接地電位)が印加される(図3(A)、図3(F)、図3(G))。ビット線BL2、プログラム線PL1、PL3、PL4は非選択状態(ハイインピーダンス)とされる(図3(C)、図3(H)、図3(K)、図3(L))。第2電流 I_{p2} は前記 I_{p1} に比べて小さい値である。

[0069] この場合、抵抗変化素子RC11、RC13、RC14、RC21~RC24の両端には電位差が生じないため、抵抗変化素子RC11、RC13、RC14、RC21~RC24の状態は変化しない。一方、抵抗変化素子RC12の両端には、第2電圧 V_2 の電位差が生じるため、2つの電極間に電界が発生し、電極に電氣的に接続されたカーボンナノチューブ間にクーロン力が働き電氣的に接続されていなかったカーボンナノチューブが電氣的に接続されるように変化する。よって抵抗変化素子RC12の状態は低抵抗状態になる。また、PL制御回路216から印加される電流 I_{p2} によって抵抗変化素子RC12に流れる電流は、第1電流 I_{p1} よりも小さな第2電流 I_{p2} である。抵抗変化素子RC12に流れる電流 I_{p2} による発熱に基づく複数のカーボンナノチューブ間の距離の変化によっては、抵抗変化素子RC12の状態が低抵抗状態から高抵抗状態に変化することは無い。したがって、抵抗変化素子RC12の状態は低抵抗状態となる。これにより、抵抗変化素子RC12に「1」を表すデータが書き込まれる。

[0070] 時刻 t_3 ~時刻 t_4 において、プログラム線PL2には読み出し電圧 V_r 及び非常に小さな読み出し電流 I_{pr} が印加される(図3(I)、図3(J))。ワード線WL1とワード線WL2にはトランジスタT11とトランジスタT12が導通状態(ON状態)となるゲート電圧 V_h が印加される(図3(D)、図3(E))。ビット線BL1とワード線WL3とWL4には、0V(接地電位)が印加される(図3(A)、図3(F)、図3(G))。ビット線BL2、プログラム線PL1、PL3、PL4は非選択状態(ハイインピーダンス)とされる(図3(C)、図3(H)、図3(K)、図3(L))。

L))。

[0071] この場合、抵抗変化素子RC11、RC13、RC14、RC21～RC24の両端には電位差が生じないため、抵抗変化素子RC11、RC13、RC14、RC21～RC24の状態は変化しない。直列接続されたトランジスタT12とT11のドレイン側に相当する抵抗変化素子側の電圧は抵抗変化素子が低抵抗状態である為にトランジスタT11とT12の直列に接続されたトランジスタのドレイン側には直列トランジスタがONする為に十分な電圧値となるので直列トランジスタT11とT12はON状態になる。したがって、ビット線BL1には大きなON電流 I_{br} が流れる(図3(B))。電流 I_{br} と電流 I_{bs} との大小関係は、不等式 $I_{br} > I_{bs}$ で表される。

[0072] したがって、例えば基準電流値 I_{ref} を $I_{br} > I_{ref} > I_{bs}$ となるように設定し、BL制御回路212側で基準電流値 I_{ref} と電流 I_{br} とを比較することにより抵抗変化素子RC12が低抵抗状態であることが判別できる。これにより、時刻 t_5 ～時刻 t_6 までの期間に抵抗変化素子RC12に書き込まれた「1」を表すデータを抵抗変化素子RC12から読み出すことができる。また、読み出し電圧 V_r により抵抗変化素子RC12の状態は変化しないため、抵抗変化素子RC11～RC14、RC21～RC24の全ての状態を変化させることなく抵抗変化素子RC12に書き込まれたデータを読み出すことができる。

[0073] 図3に示す例では、抵抗変化素子RC12にデータを書き込む動作と読み出す動作について説明したが、他の抵抗変化素子RC11、RC13、RC14、RC21～RC24にデータを書き込む動作と読み出す動作についても同様である。すなわち、操作対象となる抵抗変化素子の2つの電極間に電圧及び電流が印加されるように、制御回路21がビット線BL1、BL2、ワード線WL1～WL4、プログラム線PL1～PL4に所定の電圧及び電流を印加することにより、ビットごとにランダムにアクセスできるメモリ回路2が実現できる。

[0074] また、上述の図3を用いた説明では、メモリセルC e l l ー 1 2に選択的に「0」を表すデータを書き込み、「0」を表すデータを読み出し、「1」を表すデータを書き込み、「1」を表すデータを読み出すという基本動作について述べた。この他にも例えば、メモリセルのデータを読み込んで、データを書き換えたい場合だけ「0」を表すデータや「1」を表すデータに書き換えるという動作を行うこともできる。このようにすることにより書き換えの効率を向上することができる。また、書き換えの消費電力という面から考えると、「1」を表すデータの書き込みに比べて大きな電流を必要とする「0」を表すデータの書き込み動作を減らすために、複数のメモリセルを含むブロックごとに書き換えを行う動作も行ってもよい。すなわち、メモリセルのデータを読み込んだ後、1ビットごとにデータの書き換えを行う代わりに、ブロックのある領域に全て「1」を表すデータを書き込み、「0」を表すデータに書き換える必要のあるメモリセルだけを選択的に読み込んで連続的に書き換える動作である。このようにすることにより書き換えの速度を向上したり、書き換え時の消費電力を削減したりできる。

[0075] また、本実施形態に係るメモリ回路1及びメモリ回路2は、他のメモリセルに記憶されたデータを破壊することなくビットごとに読み出しできる。そのため、読み出しにかかる工程（トランジスタのスイッチング動作等）が、従来のNAND型フラッシュメモリに比べて少なくなる。したがって、高集積化できるNAND型構造のメモリ回路でありながら、従来のNAND型フラッシュメモリに比べて高速に読み出すことができる。

[0076] 1ー4. 第1構造例及び製造方法

次に、本実施形態に係るメモリ回路の構造例及びその製造方法について説明する。図4～図10は、本実施形態に係るメモリ回路の要部であるメモリブロックの第1構造例及びその製造方法を説明するための図である。図4～図10のいずれにおいても、各図の（A）はメモリブロックの平面図、各図の（B）は同図の（A）での一点鎖線における断面図である。以下、シリコン基板上に本実施形態に係るメモリ回路のメモリブロックを製造する方法に

ついて説明する。

[0077] まず、図4（A）及び図4（B）に示すように、P型シリコン基板300の主表面側に素子分離膜302を形成する。例えば、公知のSTI（shallow trench isolation）法やLOCOS（local oxidation of silicon）法等により素子分離膜302を形成してもよい。図4（A）及び図4（B）に示す例では、STI法により素子分離膜302を形成している。ここでは図示を省略しているが、P型シリコン基板300の中にN型ウェルやN型ウェル中にP型ウェルを形成したダブルウェル構造を用いてもよい。

[0078] 次に、図5（A）及び図5（B）に示すように、P型シリコン基板300の表面の素子形成領域にゲート絶縁膜304を形成する。例えば、P型シリコン基板300の表面を熱酸化することにより酸化シリコン膜を形成することによりゲート絶縁膜304を形成してもよい。また、ゲート絶縁膜304として、酸化シリコン膜と窒化シリコン膜（ Si_3N_4 膜）の複合膜を用いてもよい。

[0079] 次に、ゲート絶縁膜304上にワード線WL1～WL4を形成する。ワード線WL1～WL4を、例えば、以下の手順で形成してもよい。まず、ポリシリコン層を堆積し、その上にキャップ層310となる窒化シリコン膜（ Si_3N_4 膜）を堆積する。その後、マスクを用いたフォトリソグラフィ工程で所望のレジストパターンを形成し、その後レジストパターンをマスクにして例えば反応性イオンエッチング（RIE; Reactive Ion Etching）法などのドライエッチング法等を用いてパターニングし、レジスト膜を除去する事により所望のWLパターンを形成する。

[0080] 次に、n型拡散層306を形成する。例えば、ワード線WL1～WL4をマスクとしてイオン打ち込み法により燐（P）イオンや砒素（As）イオン等を打ち込むことにより、n型拡散層306としてn⁺型拡散領域を形成する。この時ゲート直下のチャネル領域にはn型拡散層306は形成されないようにする。

[0081] 次に、ワード線WL1～WL4の両脇に、側壁膜308を形成する。例え

ば、基板全面にCVD法を用いて酸化シリコン膜を堆積し、その後全面を反応性ドライエッチング（RIE）法などの異方性ドライエッチング法を用いてエッチングすることにより側壁膜308を形成する。

[0082] 次に、ワード線WL1～WL4及び側壁膜308をマスクとしてイオン打ち込み法によりAsイオン等をn型拡散層306に打ち込んでn⁺型拡散領域を形成する。これにより、n型拡散層306は、ゲート直下付近の領域が低濃度のn⁻型拡散領域、他の領域が高濃度のn⁺型拡散領域となる。このようにして、LDD（lightly doped drain）構造のMOSトランジスタを形成することができる。

[0083] ワード線WL1～WL4上に形成されたキャップ膜310は側壁膜308を形成するときのゲート電極段差を増加させる役割とゲート電極をマスクにイオン注入する場合のマスクの膜厚を増加させイオン注入時にチャネル領域にイオンが突き抜けるのを防止する効果がある。

[0084] 次に、図6（A）及び図6（B）に示すように、P型シリコン基板300の主表面側に層間絶縁膜312を形成する。例えば、CVD（chemical vapor deposition）法により形成された酸化シリコン膜で層間絶縁膜312を形成してもよい。この後、層間絶縁膜312をCMP（chemical mechanical polishing）法などを用いて平坦化してもよい。

[0085] 次に、層間絶縁膜312を貫通し、n型拡散層306のn⁺型拡散領域の表面まで達するコンタクトホール（貫通孔）を形成する。例えば、フォトリソグラフィ及びRIE法などを用いたエッチング処理等により、所望の領域において層間絶縁膜312を除去することによりコンタクトホールを形成する。その後、PVD（physical vapor deposition）法を用いて基板全面にコンタクトホール側壁、底面をカバーするようにチタン膜（Ti）、窒化チタン膜（TiN）を堆積する。更にCVD法を用いてタングステン膜（W）を堆積し、その後CMP法により、タングステン膜、窒化チタン膜及びチタン膜をコンタクトホール中に選択的に埋め込み、タングステンプラグとなるビア314を形成する。

- [0086] 次に、図 7 (A) 及び図 7 (B) に示すように、下部電極 3 1 6 を全面に形成する。例えば、スパッタリング法により形成された窒化チタン膜で下部電極 3 1 6 を形成してもよい。この時にコンタクトホールに埋め込まれたビア 3 1 4 と下部電極 3 1 6 は電氣的な接続が出来るように形成する。
- [0087] 次に、下部電極 3 1 6 上に、カーボンナノチューブ層 3 1 8 を全面に形成する。例えば、カーボンナノチューブを含んだ分散液をスピンコート法等により塗布することによりカーボンナノチューブ層 3 1 8 を形成してもよい。
- [0088] 次に、カーボンナノチューブ層 3 1 8 上に、上部電極 3 2 0 を全面に形成する。例えば、スパッタリング法により形成された窒化チタン膜で上部電極 3 2 0 を形成してもよい。この後、通常のリソグラフィ法とドライエッチング法を用いて上部電極 3 2 0、カーボンナノチューブ層 3 1 8 及び下部電極 3 1 6 を、図 7 (A) に示すようにビット線方向（後の工程で形成されるビット線 B L 1 の長手方向）に細長い形に加工する。この後、加工に用いたレジスト膜（図示せず）を除去する。
- [0089] 次に、図 8 (A) 及び図 8 (B) に示すように、プログラム線 P L 1 ~ P L 4 となるタンゲステン膜を全面に C V D 法などにより堆積した後、リソグラフィ及びエッチング処理等により、タンゲステン膜、上部電極 3 2 0、カーボンナノチューブ層 3 1 8 及び下部電極 3 1 6 を連続的に加工する。
- [0090] このようにして、上部電極 3 2 0 と電氣的に接続し、ワード線 W L 1 ~ W L 4 の長手方向につながったプログラム線 P L 1 ~ P L 4 を形成する。下部電極 3 1 6、カーボンナノチューブ層 3 1 8 及び上部電極 3 2 0 は、メモリセルごとに独立して形成されることになる。下部電極 3 1 6 はトランジスタのソース及びドレインのいずれか一方と電氣的に接合され、また、上部電極 3 2 0 はプログラム線 P L 1 ~ P L 4 に電氣的に接続される。
- [0091] 次に、図 9 (A) 及び図 9 (B) に示すように、プログラム線 P L 1 ~ P L 4 及び層間絶縁膜 3 1 2 を覆うように層間絶縁膜 3 2 2 を形成する。例えば、C V D 法により形成された酸化シリコン膜で層間絶縁膜 3 2 2 を形成し

てもよい。

[0092] 次に、層間絶縁膜 3 2 2 を CMP 法により平坦化する。その後、層間絶縁膜 3 1 2 及び層間絶縁膜 3 2 2 を貫通し、 n 型拡散層 3 0 6 の n^+ 型拡散領域の表面まで達するコンタクトホール（貫通孔） 3 2 4 を形成する。例えば、フォトリソグラフィ及び R I E 法を用いたドライエッチング処理等により、所望の領域において層間絶縁膜 3 1 2 及び層間絶縁膜 3 2 2 を除去することによりコンタクトホール 3 2 4 を形成してもよい。

[0093] 次に、図 1 0（A）及び図 1 0（B）に示すように、コンタクトホール 3 2 4 を介して n 型拡散層 3 0 6 の n^+ 型拡散領域と電氣的に接続するビット線 B L 1 を絶縁層間膜 3 2 2 上に形成する。例えば、C V D 法により形成されたタングステン膜により形成し、その後に不要部分をフォトリソグラフィ及びエッチング処理等により除去することにより、ビット線 B L 1 を形成してもよい。

[0094] 次に、ビット線 B L 1 及び層間絶縁膜 3 2 2 を覆うように層間絶縁膜 3 2 4 を形成する。例えば、C V D 法により形成された酸化シリコン膜で層間絶縁膜 3 2 4 を形成してもよい。

[0095] この後は、図示しないが、通常のメタル配線工程を行い層間絶縁膜形成、パッド開口、必要なシンタリング熱処理などを行い L S I（large scale integration）が完成する。

[0096] このようにしてできたメモリブロックの図 1 0（B）に示す断面図と、図 1 に示す回路図とを対比する。図 1 0（B）に示す断面図によれば、ワード線 W L 1 をゲートとし n 型拡散層 3 0 6 をソース又はド레인とするトランジスタ T 1、ワード線 W L 2 をゲートとし n 型拡散層 3 0 6 をソース又はド레인とするトランジスタ T 2、ワード線 W L 3 をゲートとし n 型拡散層 3 0 6 をソース又はド레인とするトランジスタ T 3、ワード線 W L 4 をゲートとし n 型拡散層 3 0 6 をソース又はド레인とするトランジスタ T 4 が形成されていることがわかる。また、図 1 0（B）に示す断面図によれば、下部電極 3 1 6、カーボンナノチューブ層 3 1 8 及び上部電極 3 2 0 から構成

された抵抗変化素子RC1～RC4が形成されていることがわかる。すなわち、図10（B）に示されている構成は、図1に示す回路図のメモリブロック10に相当することがわかる。

[0097] このように、複数のメモリセルで1本のビット線を共用する構成とすることにより、メモリ回路の集積度を高めることができる。

[0098] 1-5. 第2構造例及び製造方法

次に、本実施形態に係るメモリ回路の他の構造例及びその製造方法について説明する。図11～図15は、本実施形態に係るメモリ回路の要部であるメモリブロックの第2構造例及びその製造方法を説明するための図である。図11～図15のいずれにおいても、各図の（A）はメモリブロックの平面図、各図の（B）は同図の（A）での一点鎖線における断面図である。なお、第1構造例と共通する構成には同一の符号を付し、詳細な説明を省略する。

[0099] また、第2構造例の製造方法の一部は、図6までの第1構造例の製造方法と同一である。以下、図6に示す構成まで形成された後におけるメモリ回路の製造方法について説明する。

[0100] まず、図11（A）及び図11（B）に示すように、コンタクトホール314内のタングステン膜の一部をリセスエッチング処理することにより凹部を形成し、凹部内に下部電極316を形成する。例えば、スパッタリング法により形成された窒化チタン膜を全面に堆積後、CMP法で平坦化することにより凹部に選択的に下部電極316を形成する。

[0101] 次に、図12（A）及び図12（B）に示すように、凹部に埋め込まれた下部電極316と電氣的に接続するように、全面にカーボンナノチューブ層318を形成する。例えば、カーボンナノチューブを含んだ分散液をスピコート法等により塗布することによりカーボンナノチューブ層318を形成してもよい。

[0102] 次に、カーボンナノチューブ層318上に、上部電極320を形成する。例えば、スパッタリング法により形成された窒化チタン膜で上部電極320

を形成してもよい。

- [0103] 次に、フォトリソグラフィ及びエッチング処理等を用いて、カーボンナノチューブ層 318 及び上部電極 320 をビット線方向（後の工程で形成されるビット線 BL1 の長手方向）に細長い所望の形状に加工する。
- [0104] 次に、図 13（A）及び図 13（B）に示すように、プログラム線 PL1～PL4 となるタングステン膜を全面に CVD 法などにより堆積した後、フォトリソグラフィ及びエッチング処理等により、タングステン膜、上部電極 320 及びカーボンナノチューブ層 318 を連続的に加工する。
- [0105] このようにして、上部電極 320 と電氣的に接続し、ワード線 WL1～WL4 の長手方向につながったプログラム線 PL1～PL4 を形成する。下部電極 316、カーボンナノチューブ層 318 及び上部電極 320 は、メモリセルごとに独立して形成されることになる。下部電極 316 はトランジスタのソース及びドレインのいずれか一方と電氣的に接合され、また、上部電極 320 はプログラム線 PL1～PL4 に電氣的に接続される。
- [0106] 次に、図 14（A）及び図 14（B）に示すように、プログラム線 PL1～PL4 及び層間絶縁膜 312 を覆うように層間絶縁膜 322 を形成する。例えば、CVD 法により形成された酸化シリコン膜で層間絶縁膜 322 を形成してもよい。
- [0107] 次に、層間絶縁膜 322 を CMP 法により平坦化する。その後、層間絶縁膜 312 及び層間絶縁膜 322 を貫通し、n 型拡散層 306 の n⁺型拡散領域の表面まで達するコンタクトホール（貫通孔）324 を形成する。例えば、フォトリソグラフィ及びエッチング処理等により、所望の領域において層間絶縁膜 312 及び層間絶縁膜 322 を除去することによりコンタクトホール 324 を形成してもよい。
- [0108] 次に、図 15（A）及び図 15（B）に示すように、コンタクトホール 324 を介して n 型拡散層 306 の n⁺型拡散領域と電氣的に接続するビット線 BL1 を絶縁層間膜 322 上に形成する。例えば、CVD 法により形成されたタングステン膜により形成し、不要部分をフォトリソグラフィ及びエッチ

ング処理等により除去することによりビット線BL1を形成してもよい。

[0109] 次に、ビット線BL1及び層間絶縁膜322を覆うように層間絶縁膜324を形成する。例えば、CVD法により形成された酸化シリコン膜で層間絶縁膜324を形成してもよい。

[0110] この後は、図示しないが、通常のメタル配線工程を行い層間絶縁膜形成、パッド開口、必要なシンタリング熱処理などを行いLSIが完成する。

[0111] このようにしてできたメモリブロックの図15(B)に示す断面図と、図1に示す回路図とを対比する。図15(B)に示す断面図によれば、ワード線WL1をゲートとしn型拡散層306をソース又はドレインとするトランジスタT1、ワード線WL2をゲートとしn型拡散層306をソース又はドレインとするトランジスタT2、ワード線WL3をゲートとしn型拡散層306をソース又はドレインとするトランジスタT3、ワード線WL4をゲートとしn型拡散層306をソース又はドレインとするトランジスタT4が形成されていることがわかる。また、図15(B)に示す断面図によれば、下部電極316、カーボンナノチューブ層318及び上部電極320から構成された抵抗変化素子RC1~RC4が形成されていることがわかる。すなわち、図15(B)に示されている構成は、図1に示す回路図のメモリブロック10に相当することがわかる。

[0112] このように、第2構成例においても第1構成例と同様に、複数のメモリセルで1本のビット線を共用する構成とすることにより、メモリ回路の集積度を高めることができる。更に下部電極316がコンタクトホールの中に埋め込み形成されることにより下部電極316の微細化が実現できる。

[0113] 1-6. 第1構造例及び第2構造例の変形例

上述の第1構造例及び第2構造例のメモリブロックにおいて、複数のメモリセルブロックで、ビット線BL1と第1トランジスタT1のn拡散層306とが電氣的に接続する1つのビット線コンタクトBCを共有することもできる。図16(A)は、第1構造例のメモリブロックにおいて、2つのメモリセルブロックで1つのビット線コンタクトを共有した例、図16(B)は

、第2構造例のメモリブロックにおいて、2つのメモリセルブロックで1つのビット線コンタクトを共有した例を示す断面図である。

[0114] 図16(A)及び図16(B)のいずれに示す例も、メモリブロック11とメモリブロック12とが同一のビット線BL1に接続された場合の例である。ビット線コンタクトBCを中心に、メモリブロック11とメモリブロック12とが配置され、メモリブロック11及びメモリブロック12の2つのメモリブロックで1つのビット線コンタクトBCを共有している。

[0115] このように、ビット線コンタクトBCを2つのメモリセルブロックで共有することにより、メモリ回路の面積をさらに縮小できる。

[0116] 2. 集積回路装置

図17は、本実施形態に係る集積回路装置の構成例である。本実施形態に係る集積回路装置500は、メモリ回路2と演算処理回路550とを含んで構成されている。メモリ回路2と演算処理回路550とは、同一の半導体基板上に形成されていてもよい。なお、メモリ回路2に代えて、メモリ回路1を含んで構成してもよい。

[0117] 演算処理回路500は、メモリ回路2に記憶されたデータを用いて種々の演算処理を行ってもよい。また、演算処理回路500は、種々の演算処理を行った結果をメモリ回路2に記憶させてもよい。

[0118] 本実施形態によれば、不揮発性でありながら、ビットごとにランダムにアクセスすることも、ブロックごとに書き換えることも可能であり、回路の集積度を高めることができるメモリ回路を含む集積回路装置が実現できる。

[0119] 3. 電子機器

図18A～図18Cは、本実施形態に係る電子機器の構成例である。図18Aはノートパソコン1000、図18Bは携帯電話2000、図18CはICレコーダ3000である。

[0120] 本実施形態に係るノートパソコン1000、携帯電話2000、ICレコーダ3000は、それぞれが有する記憶装置の一部としてメモリ回路2を含んで構成されている。また、メモリ回路2を含んだ集積回路装置500を含

んで構成されてもよい。

[0121] 本実施形態によれば、不揮発性でありながら、ビットごとにランダムにアクセスすることも、ブロックごとに書き換えることも可能であり、回路の集積度を高めることができるメモリ回路を含む電子機器が実現できる。また、不揮発性のメモリ回路を用いているため、低消費電力を実現できる。

[0122] なお、本発明は本実施の形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。

[0123] 本発明は、実施の形態で説明した構成と実質的に同一の構成（例えば、機能、方法および結果が同一の構成、あるいは目的及び効果が同一の構成）を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

符号の説明

[0124] 1, 2 メモリ回路、10, 11, 12 メモリブロック、20, 21 制御回路、202 BL制御回路、204 WL制御回路、206 PL制御回路、212 BL制御回路、214 WL制御回路、216 PL制御回路、300 P型シリコン基板、302 素子分離膜、304 ゲート絶縁膜、306 n⁺型拡散層、308 側壁膜、310 キャップ膜、312 層間絶縁膜、314 ビア、316 下部電極、318 カーボンナノチューブ層、320 上部電極、322 層間絶縁膜、324 層間絶縁膜、500 集積回路装置、550 演算処理回路、1000 ノートパソコン、2000 携帯電話、3000 ICレコーダ、BC ビット線コンタクト、BL1, BL2 ビット線、Cell-1~Cell-4, Cell-11~Cell-14, Cell-21~Cell-24 メモリセル、RC1~RC4, RC11~RC14, RC21~RC24 抵抗変化素子、T1~T4, T11~T14, T21~T24 トランジスタ、WL1~WL

4 ワード線、PL 1 ~ PL 4 プログラム線

請求の範囲

[請求項1]

トランジスタと、該トランジスタのソース及びドレインのいずれか一方に一端が接続された抵抗変化素子を備えるメモリセルを構成し、前記トランジスタとしての第1トランジスタ～第Nトランジスタまでが順に直列接続されたN個の前記メモリセルを含むメモリブロックを含み、

前記第1トランジスタのソース及びドレインのいずれか他方は、ビット線に接続され、

直列接続された前記トランジスタの各ゲートは、それぞれ異なるワード線に接続され、

直列接続された前記トランジスタのソース及びドレインのいずれか一方は、それぞれ異なる前記抵抗変化素子を介して、それぞれ異なるプログラム線に接続され、

前記抵抗変化素子は、

2つの電極間に存在する複数のカーボンナノチューブを含み、相対的に低抵抗となる低抵抗状態と相対的に高抵抗となる高抵抗状態のいずれかの状態をとり、

前記2つの電極間に電圧及び電流が印加されていない場合には、前記高抵抗状態又は前記低抵抗状態を保持し、

前記2つの電極間に電圧及び電流が印加されることにより、前記高抵抗状態と前記低抵抗状態のいずれかの状態に変化する、メモリ回路。

[請求項2]

請求項1に記載のメモリ回路において、

前記抵抗変化素子は、前記2つの電極間に印加される第1電圧及び第1電流による発熱により前記複数のカーボンナノチューブ間の距離が変化することによって前記低抵抗状態から前記高抵抗状態に変化し、前記2つの電極間に印加される第2電圧及び第2電流に基づくクーロン力により前記複数のカーボンナノチューブ間の距離が変化するこ

とによって前記高抵抗状態から前記低抵抗状態に変化する、メモリ回路。

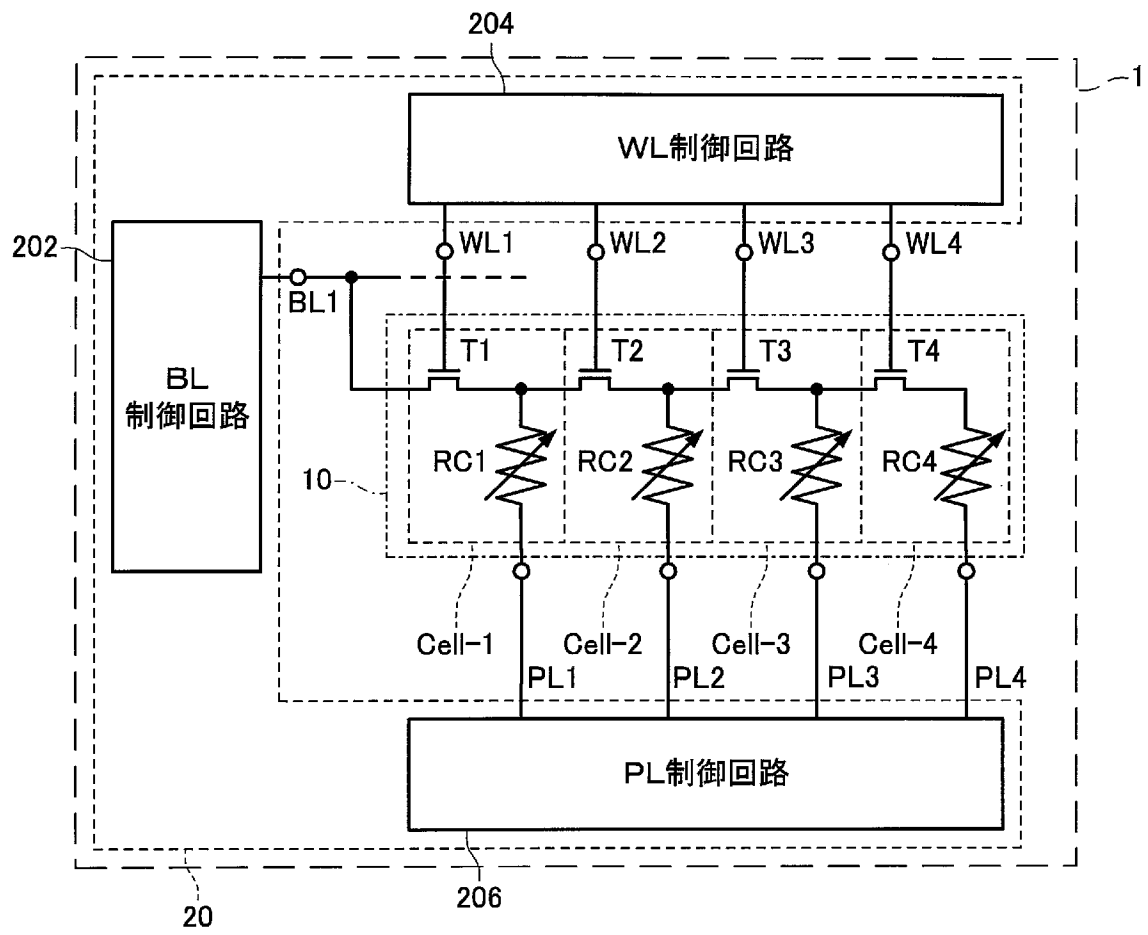
- [請求項3] 請求項2に記載のメモリ回路において、
前記第1電流は前記第2電流よりも大きい、メモリ回路。
- [請求項4] 請求項1ないし3のいずれかに記載のメモリ回路において、
前記抵抗変化素子は、導電性のカーボンナノチューブを含む、メモリ回路。
- [請求項5] 請求項1ないし4のいずれかに記載のメモリ回路において、
前記抵抗変化素子は、マルチウォールカーボンナノチューブよりもシングルウォールカーボンナノチューブを多く含む、メモリ回路。
- [請求項6] 請求項1ないし5のいずれかに記載のメモリ回路において、
前記ビット線、前記ワード線及び前記プログラム線の少なくとも1つに電圧及び電流を印加することにより前記抵抗変化素子の前記2つの電極間に電圧及び電流を印加し、前記抵抗変化素子の状態を、前記低抵抗状態と前記高抵抗状態のいずれかの状態に変化させる制御回路を含む、メモリ回路。
- [請求項7] 請求項1ないし6のいずれかに記載のメモリ回路において、
前記メモリブロックを複数含む、メモリ回路。
- [請求項8] 請求項7に記載のメモリ回路において、
複数の前記メモリブロックに含まれる第1トランジスタのうち少なくとも1つは、他のメモリブロックに含まれる第1トランジスタとは異なるビット線に接続されている、メモリ回路。
- [請求項9] 請求項7及び8のいずれかに記載のメモリ回路において、
複数の前記メモリブロックに含まれる第1トランジスタと前記ビット線とが電氣的に接続するビット線コンタクトを有し、
複数の前記メモリブロックで1つの前記ビット線コンタクトを共有する、メモリ回路。
- [請求項10] 請求項1ないし9のいずれかに記載のメモリ回路を含む、集積回路

装置。

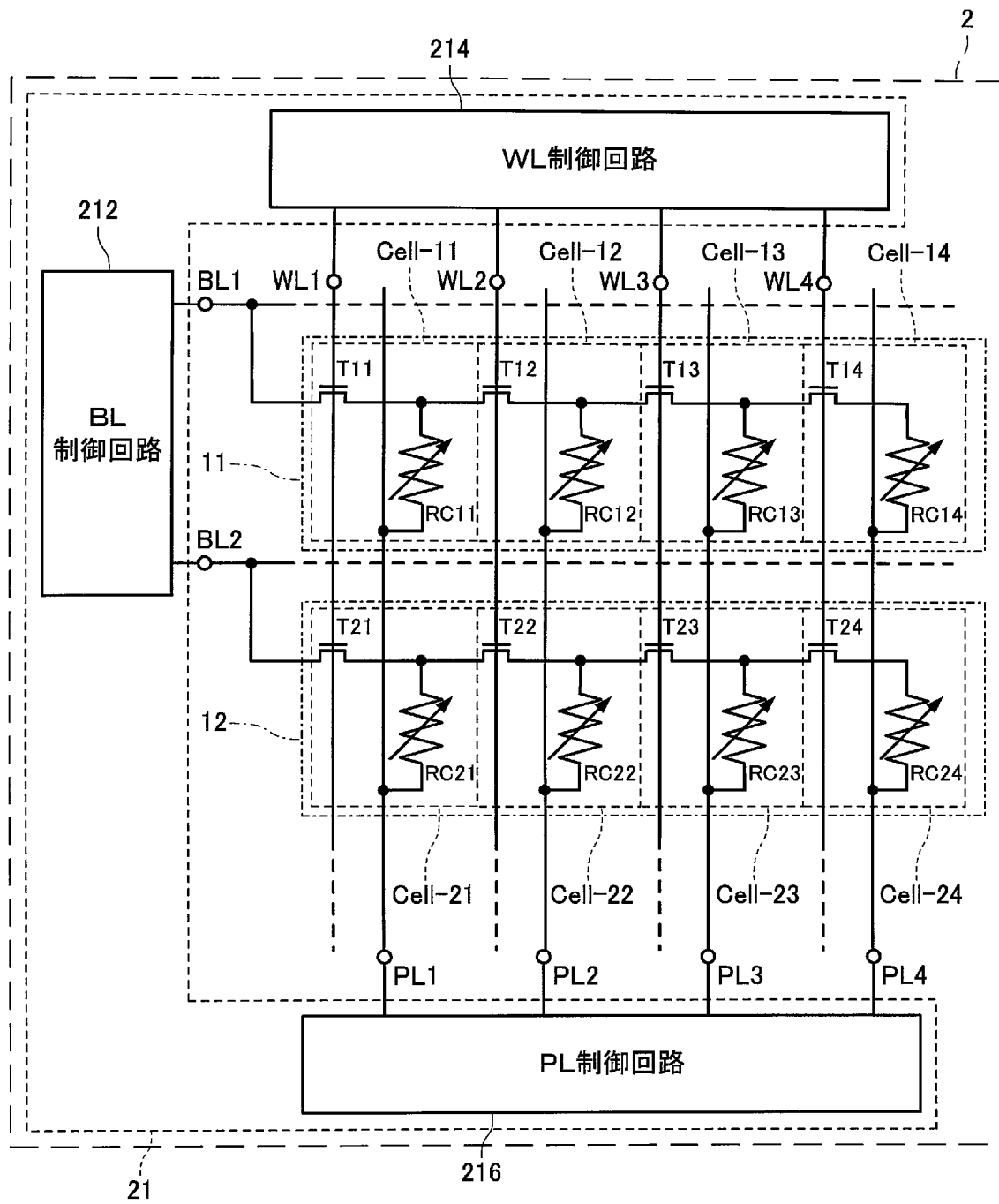
[請求項11] 請求項 1 ないし 9 のいずれかに記載のメモリ回路を含む、電子機器

。

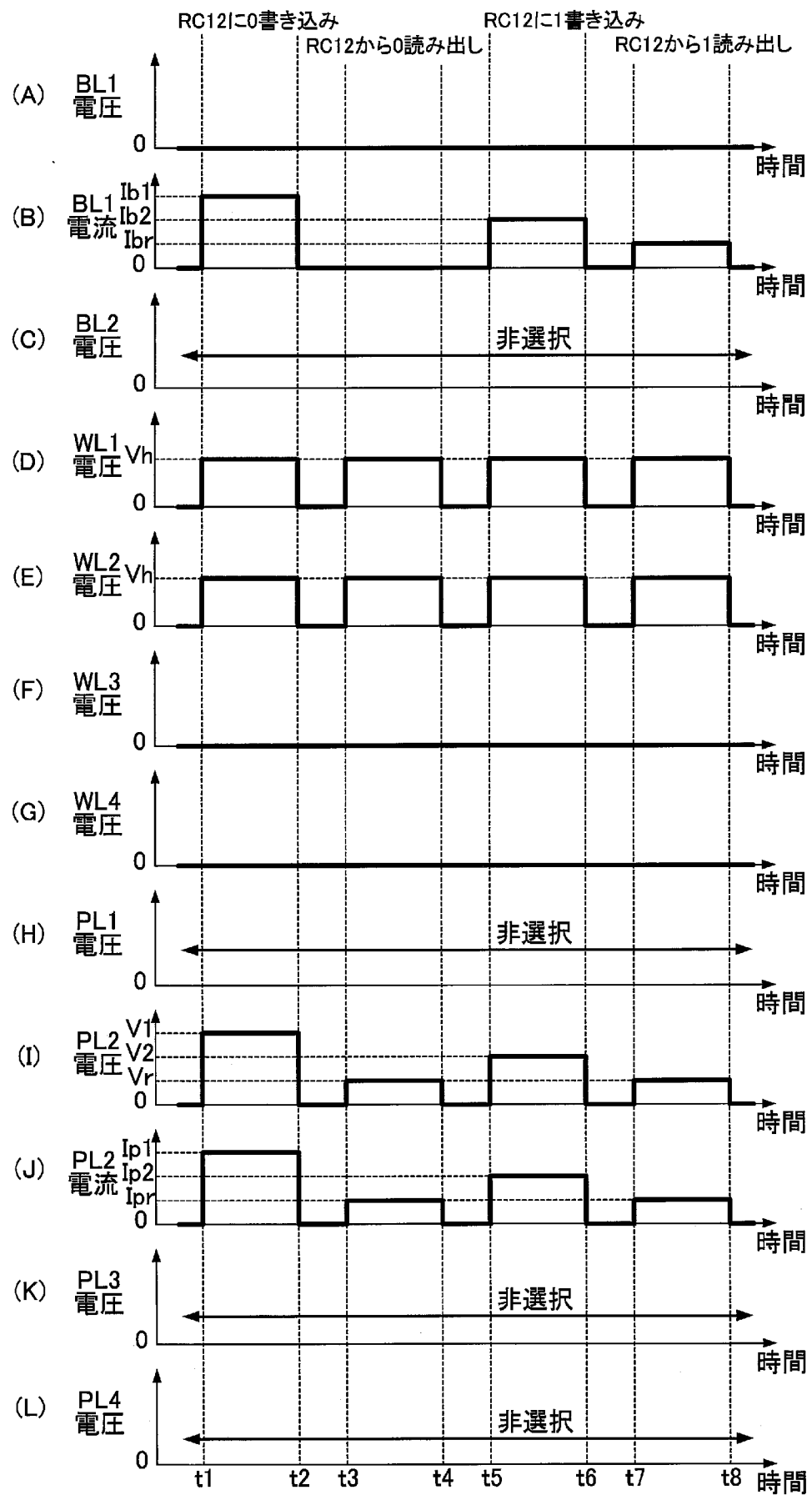
[図1]



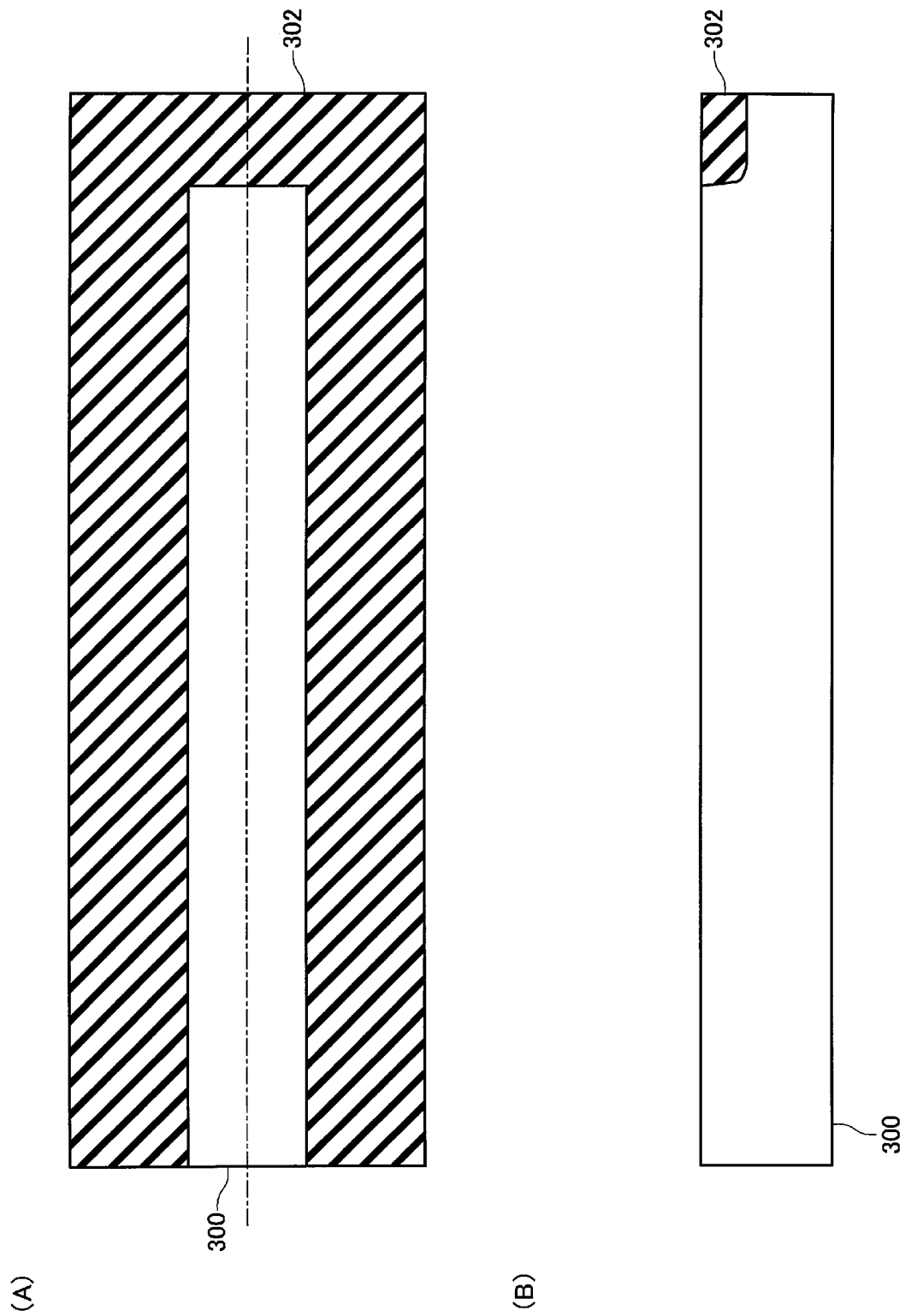
[図2]



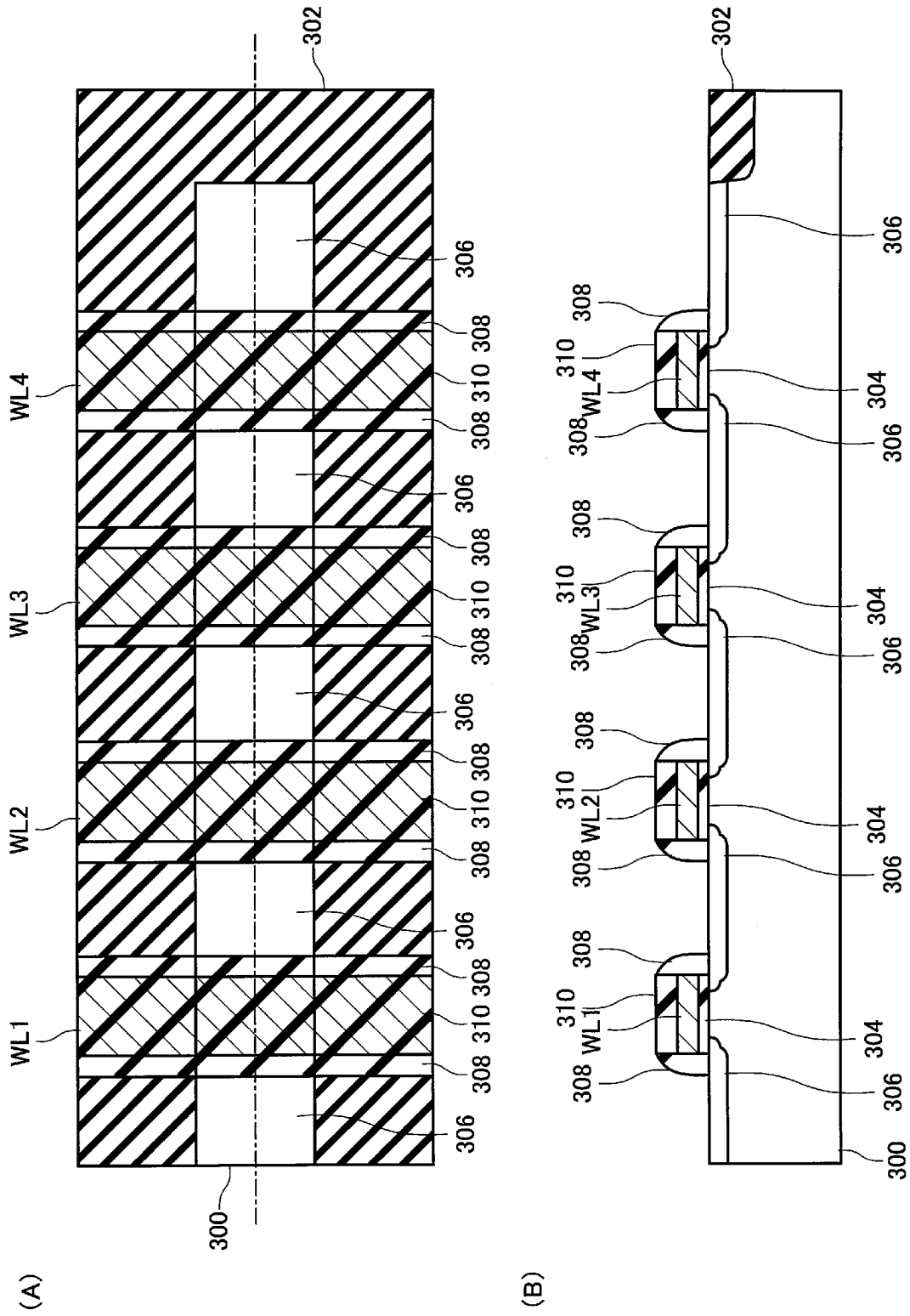
[図3]



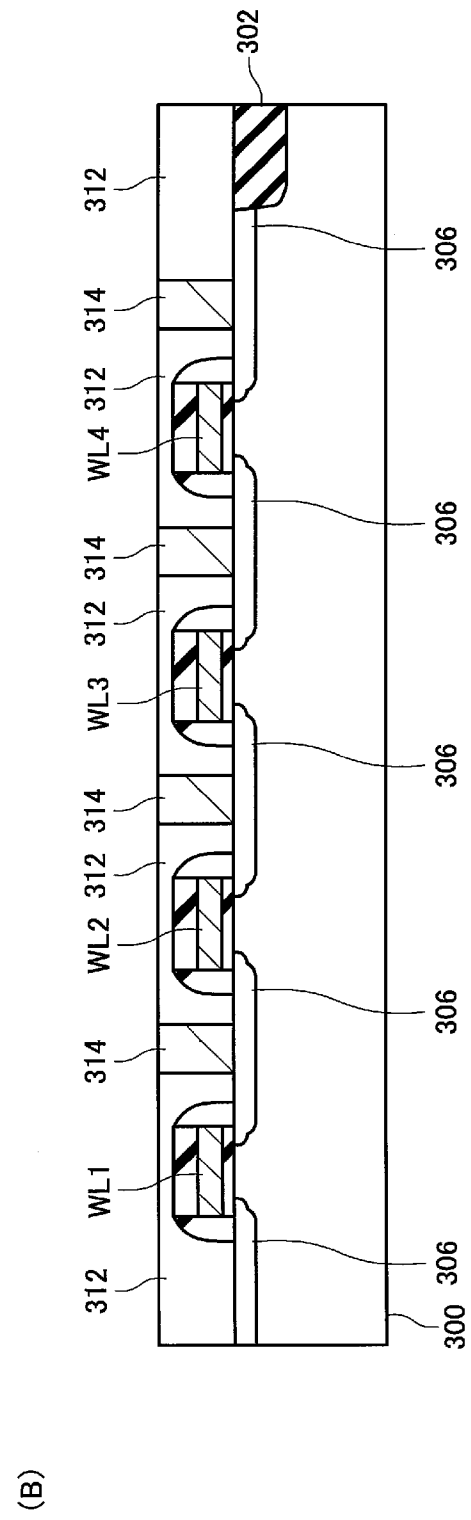
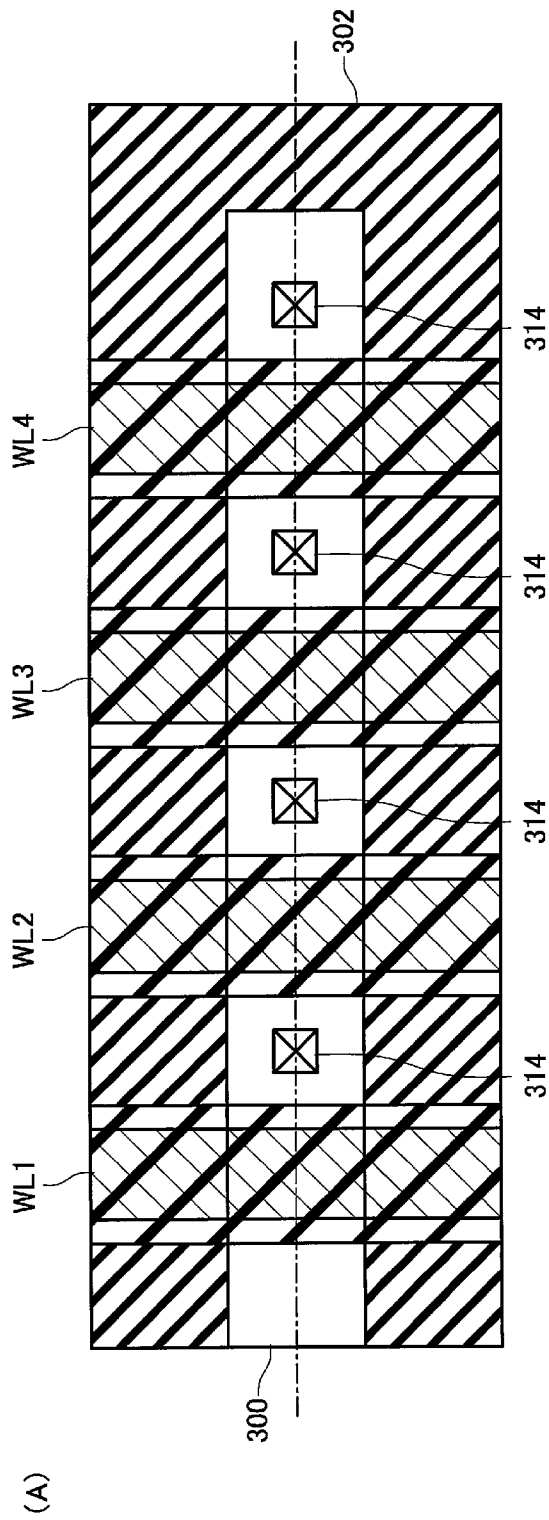
[図4]



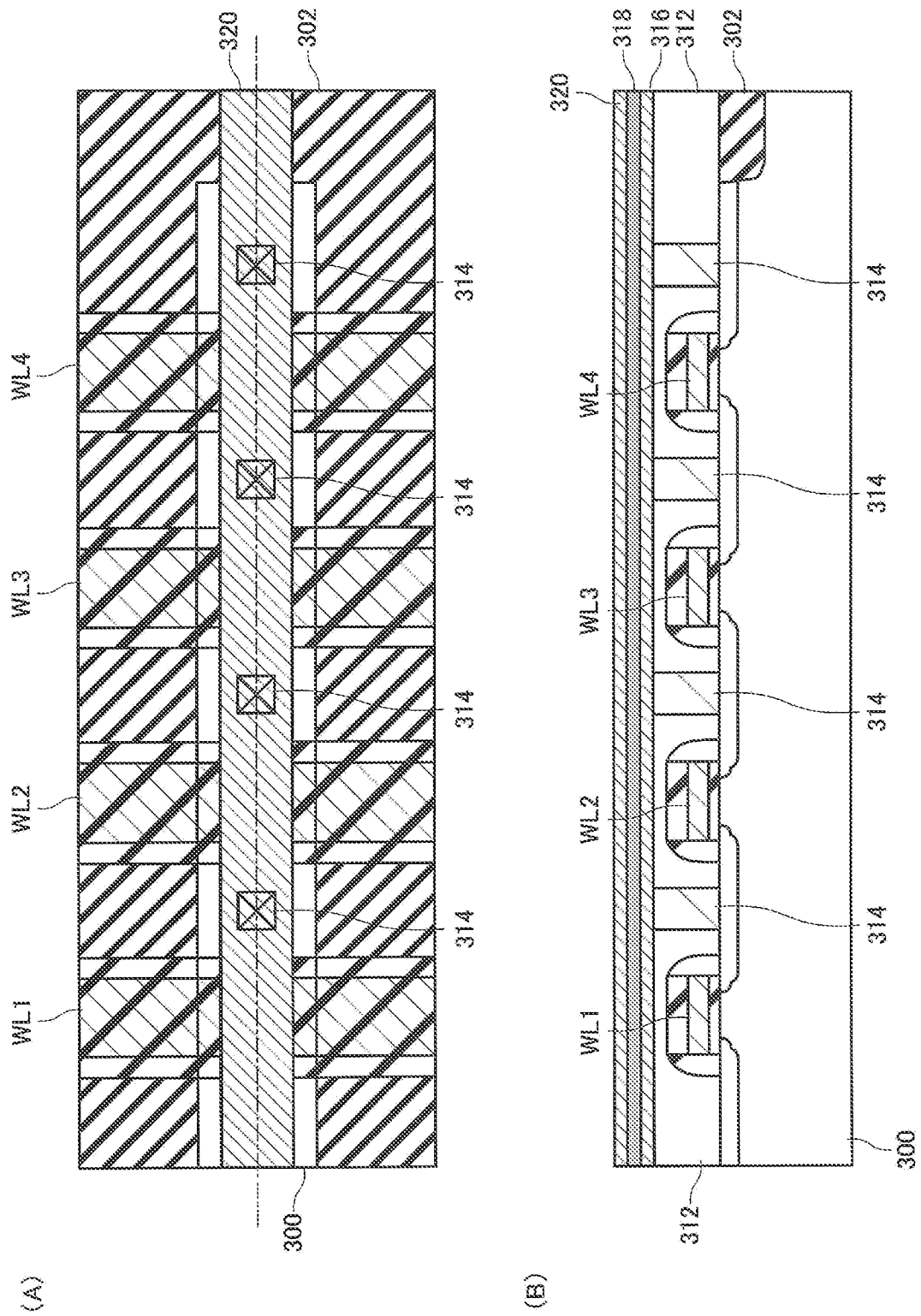
[図5]



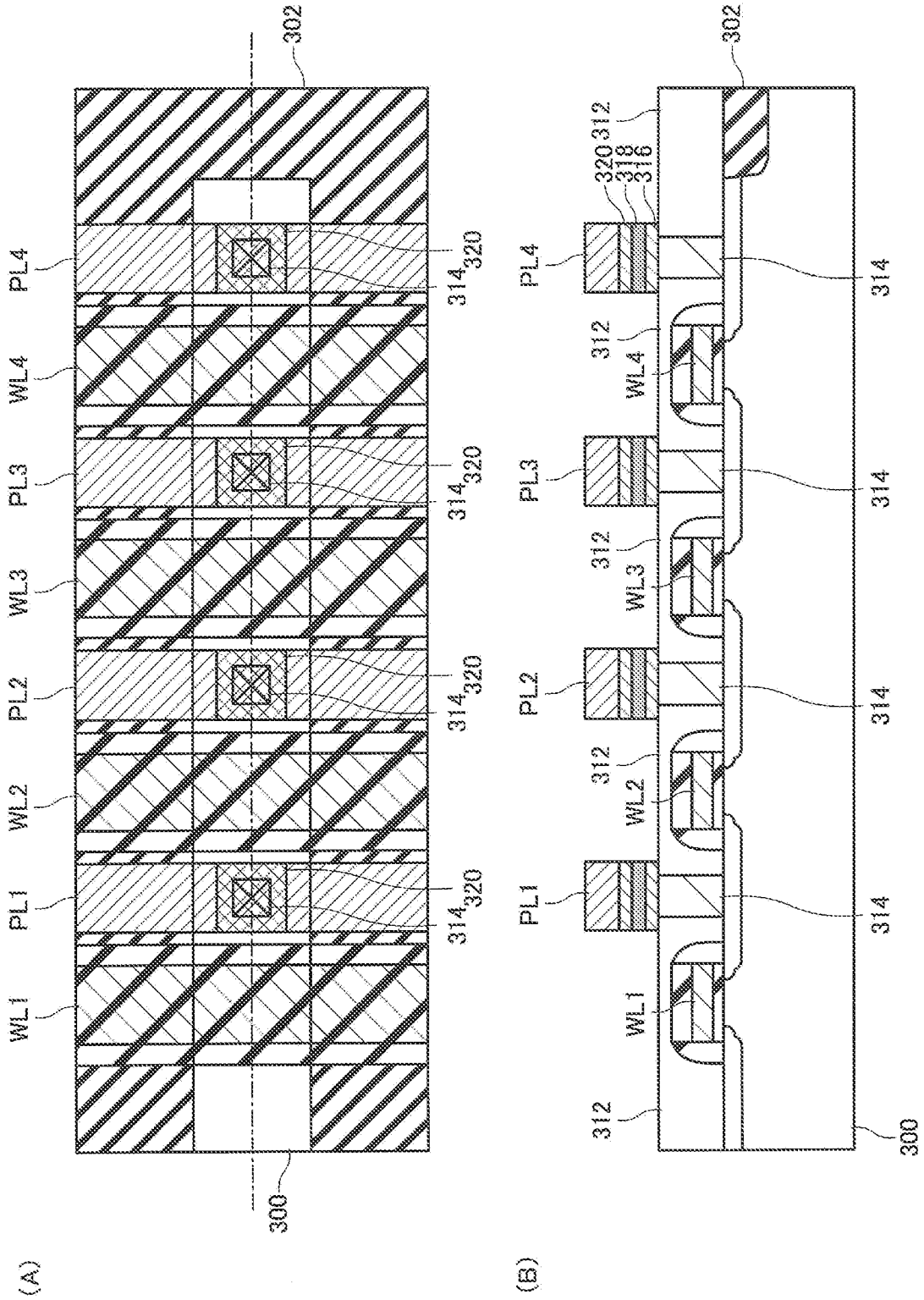
[図6]



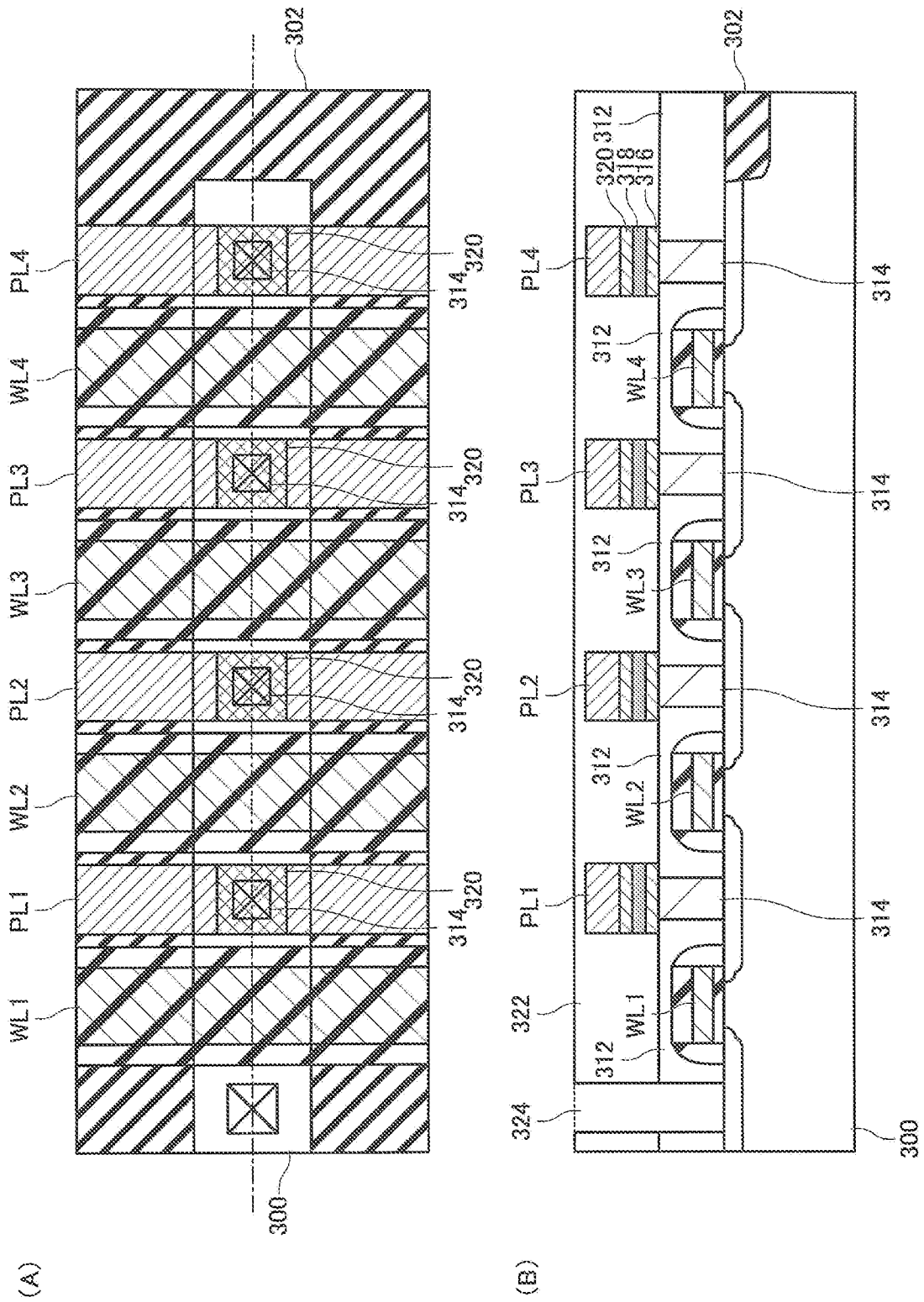
[図7]



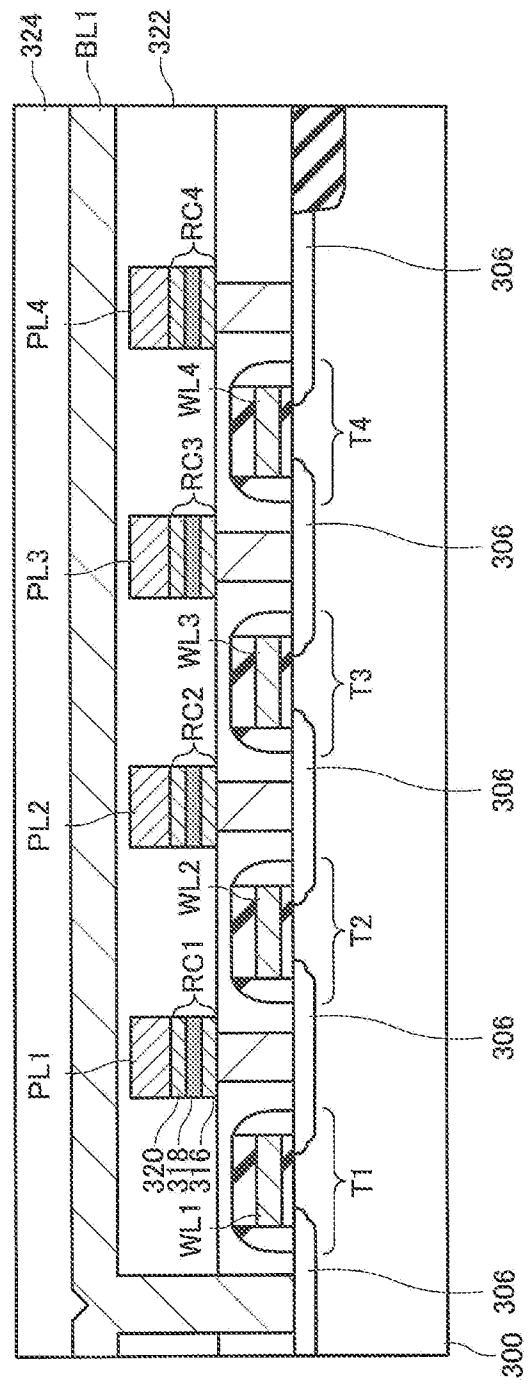
[図8]



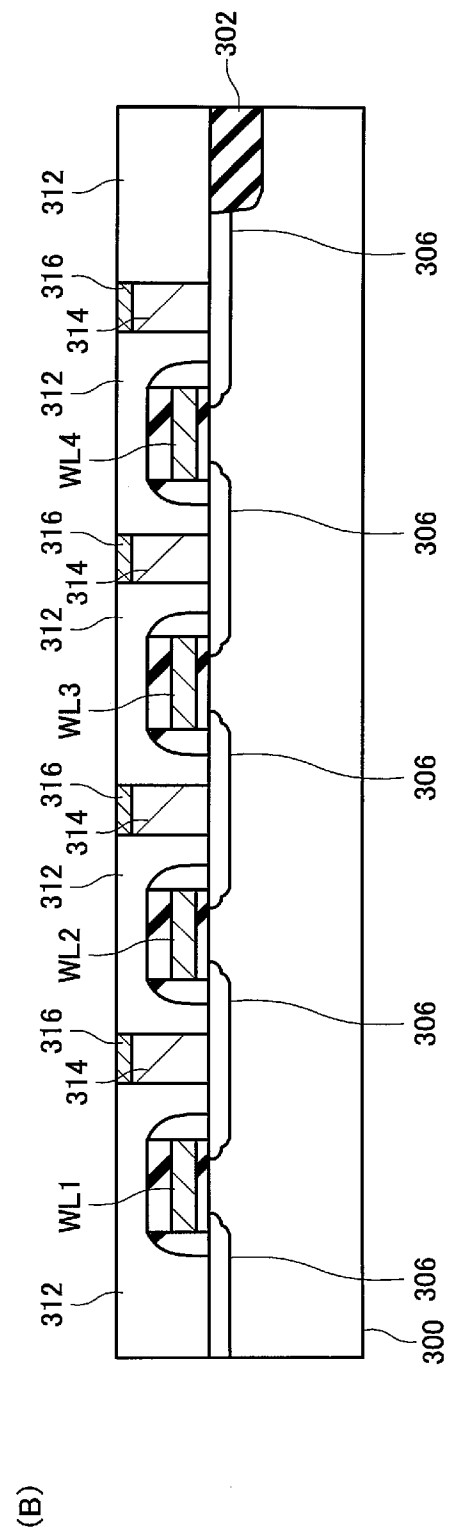
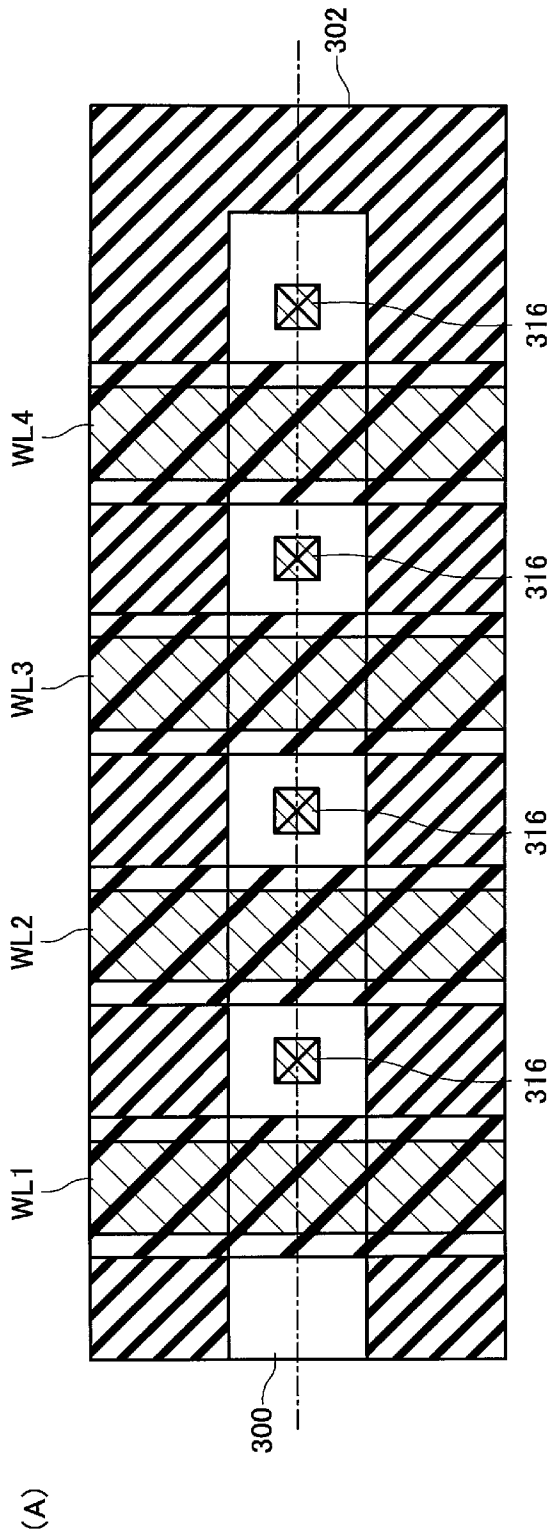
[図9]



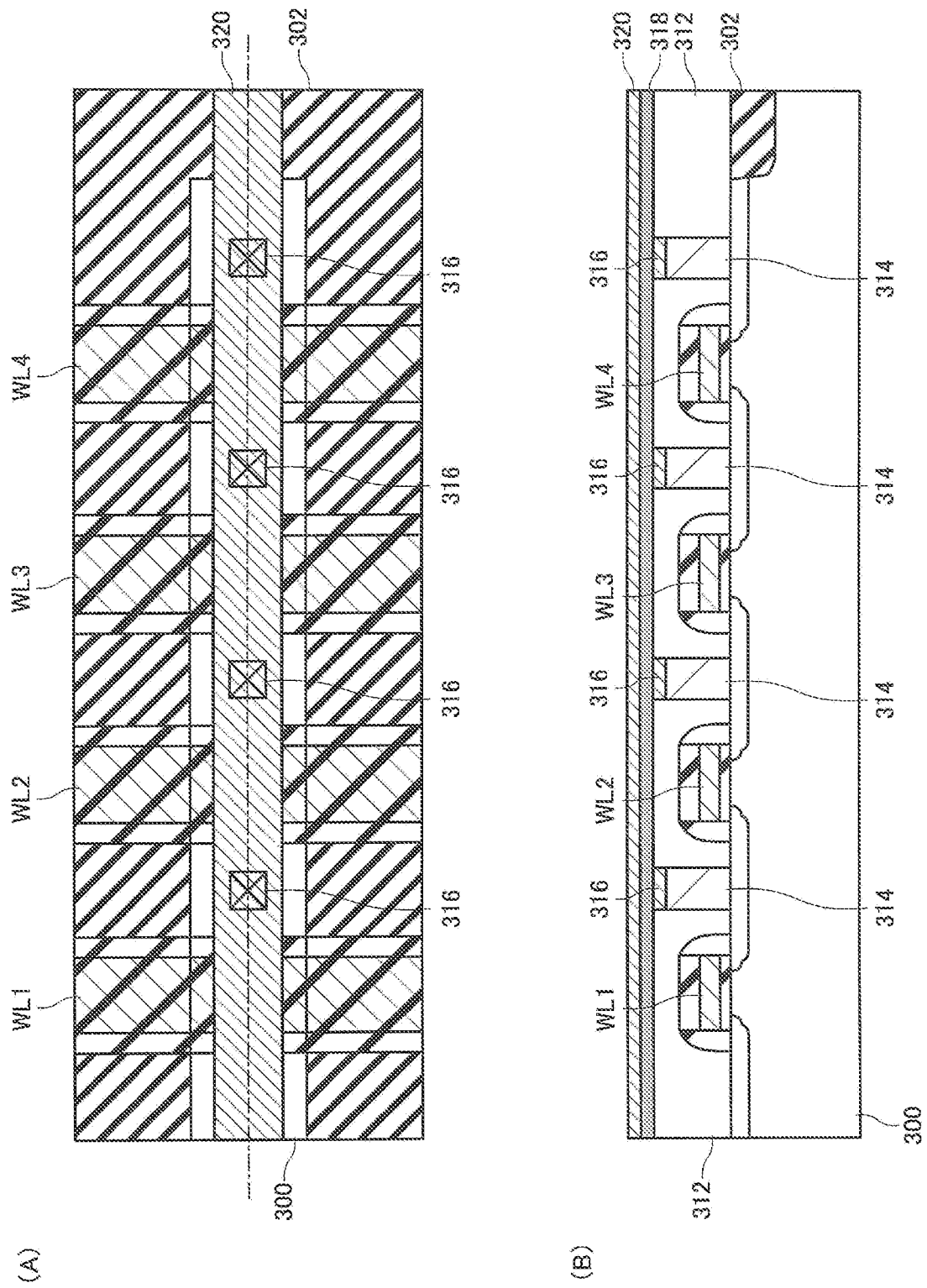
③



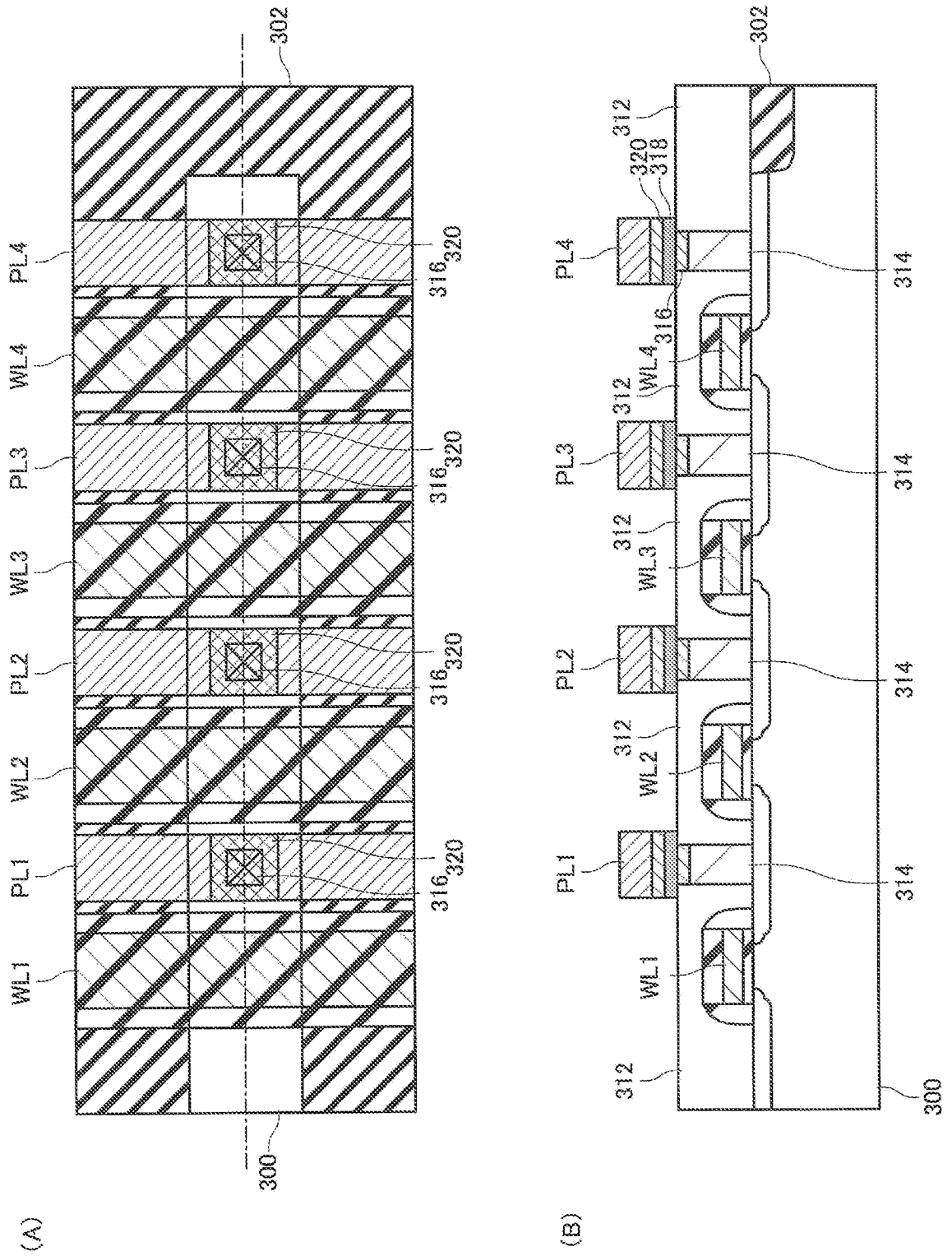
[図11]



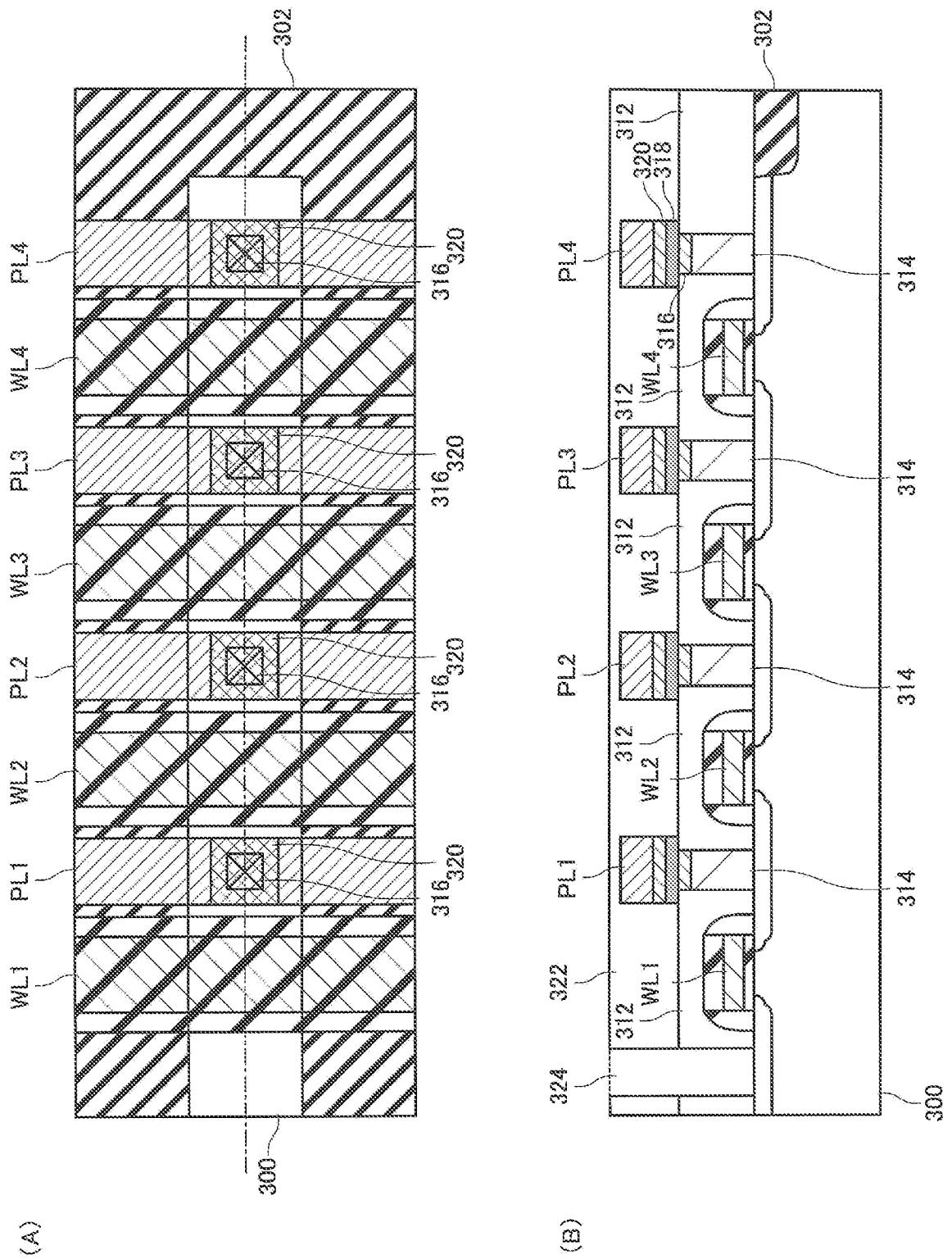
[図12]



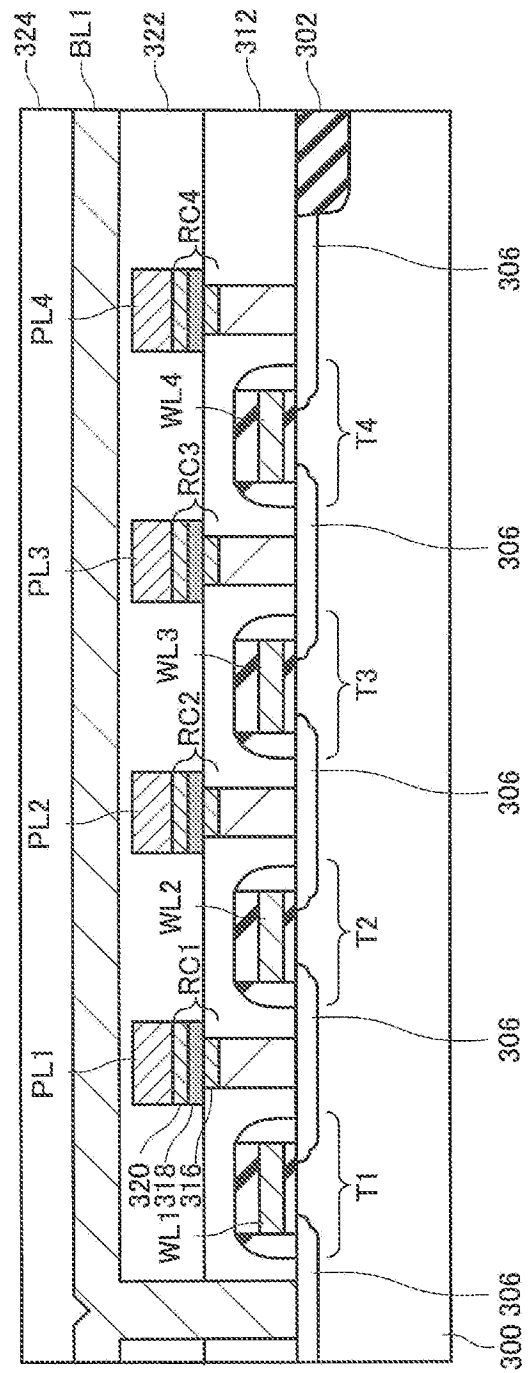
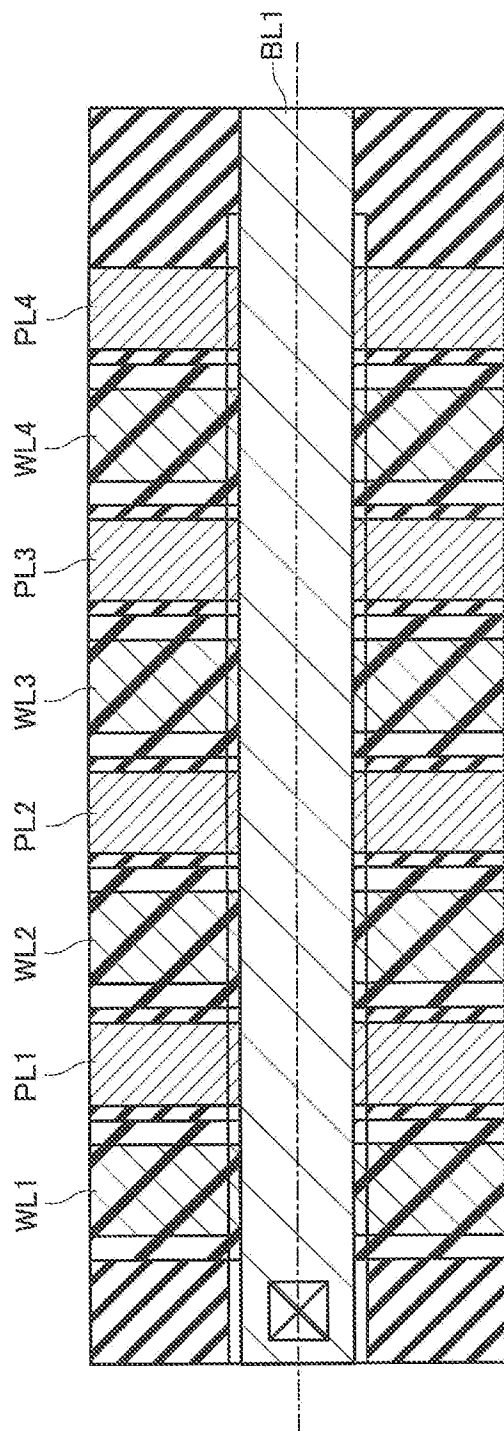
[図13]



[図14]

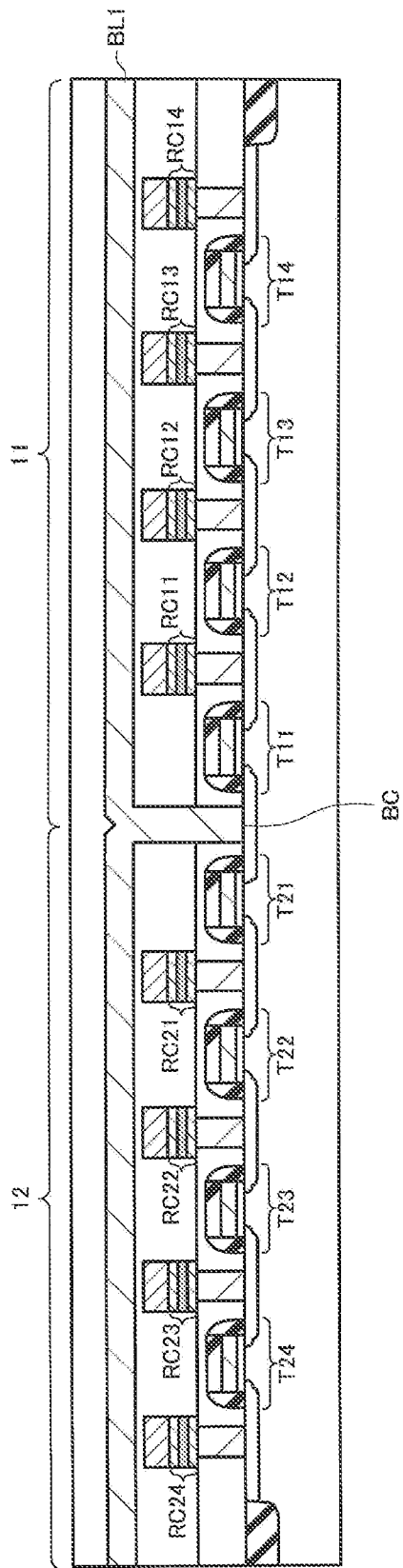


③

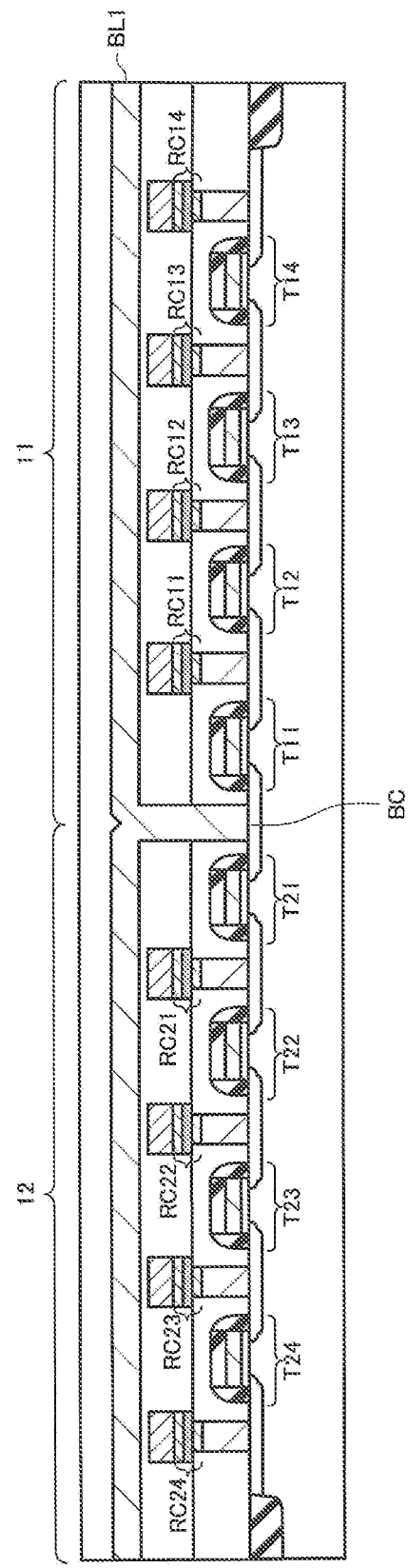


[図16]

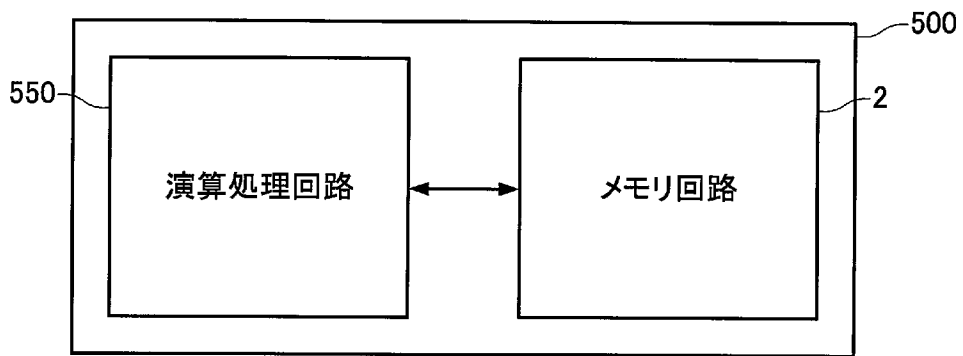
(A)



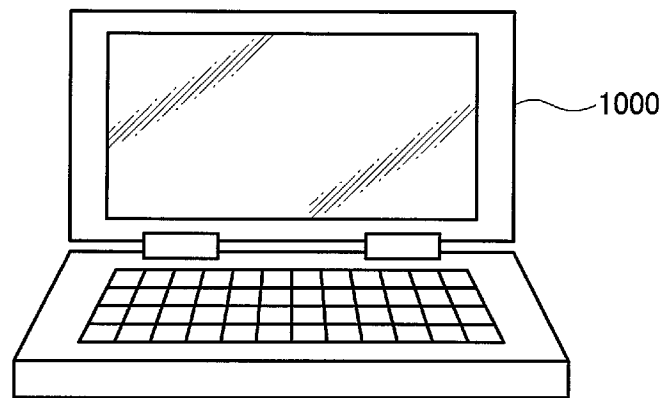
(B)



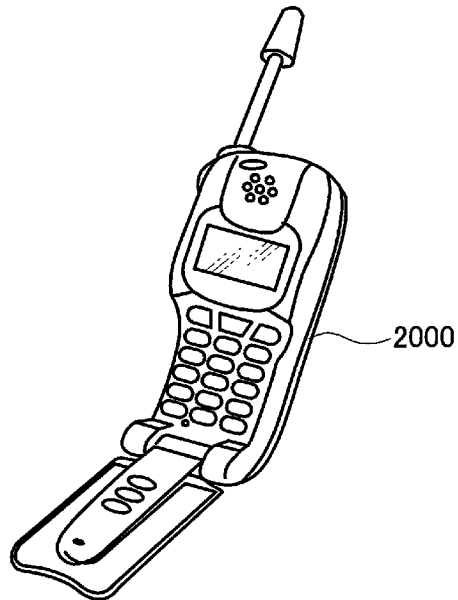
[図17]



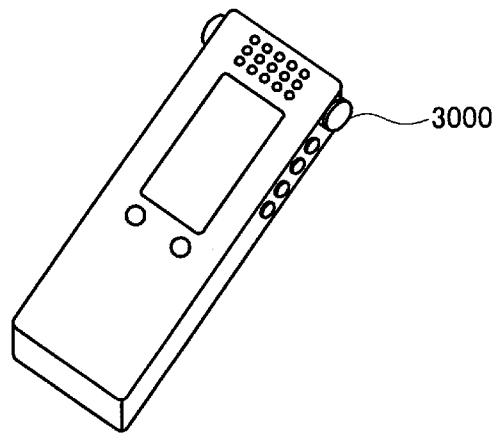
[図18A]



[図18B]



[図18C]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/064873

A. CLASSIFICATION OF SUBJECT MATTER

G11C13/00(2006.01)i, H01L27/10(2006.01)i, H01L45/00(2006.01)i, H01L49/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C13/00, H01L27/10, H01L45/00, H01L49/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-541458 A (Nantero, Inc.), 20 November 2008 (20.11.2008), entire text; all drawings	1-11
Y	JP 2004-200641 A (Hynix Semiconductor Inc.), 15 July 2004 (15.07.2004), paragraphs [0027] to [0031]; fig. 1	1-11
Y	JP 2009-205764 A (Toshiba Corp.), 10 September 2009 (10.09.2009), paragraphs [0036] to [0041]; fig. 6	7-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
12 November, 2010 (12.11.10)Date of mailing of the international search report
22 November, 2010 (22.11.10)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2010/064873

JP 2008-541458 A 2008.11.20

CA 2608106 A
CN 101484997 A
EP 1889260 A2
US 2006/0250856 A1
US 7479654 B2
WO 2006/122111 A2

JP 2004-200641 A 2004.07.15

US 2004/0113187 A1
KR 10-2004-0052322 A

JP 2009-205764 A 2009.09.10

US 2009/0316478 A1

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G11C13/00(2006.01)i, H01L27/10(2006.01)i, H01L45/00(2006.01)i, H01L49/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G11C13/00, H01L27/10, H01L45/00, H01L49/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-541458 A (ナンテロ, インク.) 2008.11.20, 全文, 全図	1-11
Y	JP 2004-200641 A (株式会社ハイニックスセミコンダクター) 2004.07.15, 段落【0027】-【0031】, 図1	1-11
Y	JP 2009-205764 A (株式会社東芝) 2009.09.10, 段落【0036】-【0041】, 図6	7-9

☐ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 2 . 1 1 . 2 0 1 0

国際調査報告の発送日

2 2 . 1 1 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

加藤 俊哉

5 N

9 5 5 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 8 6

JP 2008-541458 A	2008.11.20	CA 2608106 A CN 101484997 A EP 1889260 A2 US 2006/0250856 A1 US 7479654 B2 WO 2006/122111 A2
JP 2004-200641 A	2004.07.15	US 2004/0113187 A1 KR 10-2004-0052322 A
JP 2009-205764 A	2009.09.10	US 2009/0316478 A1