



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년12월07일
(11) 등록번호 10-0929787
(24) 등록일자 2009년11월26일

(51) Int. Cl.

G11C 16/08 (2006.01)

(21) 출원번호 10-2002-0039161
(22) 출원일자 2002년07월06일
심사청구일자 2007년07월06일
(65) 공개번호 10-2003-0011260
(43) 공개일자 2003년02월07일
(56) 선행기술조사문헌
US20020008993 A1

(73) 특허권자

할로 엘에스아이, 인크.

미합중국 97124 오리건주 힐스보로 슈트 165, 엔더블류 타나스보른 드라이브 19075

(72) 발명자

오구라세이키

미국, 뉴욕12533, 호피웬정선, 모나크드라이브10

사이토토모야

미국, 뉴욕12603, 포우킵시, 체리힐드라이브5307

오구라토모코

미국, 뉴욕12533, 호피웬정선, 모나크드라이브10

(74) 대리인

이병호, 장훈

전체 청구항 수 : 총 33 항

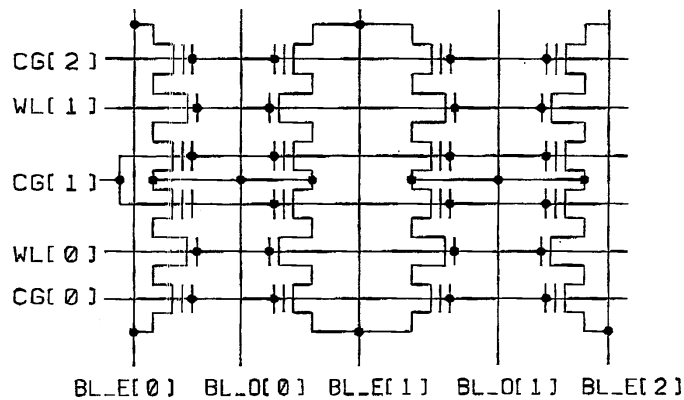
심사관 : 윤난영

(54) 트윈 MONOS 어레이 금속 비트 조직화 및 단일 셀 동작

(57) 요약

본 발명에서, 트윈 MONOS 금속 비트라인 어레이는 X, Y, Z 차원들을 갖는 3차원 프로그래밍 방법을 이용하여 관독되고 프로그램된다. 워드라인 어드레스는 X 어드레스이다. 제어 게이트 라인 어드레스는 X 및 Z 어드레스들의 함수이고, 비트라인 어드레스는 Y 및 Z 어드레스들의 함수이다. 메모리 어레이의 비트라인들 및 제어 게이트 라인들은 직교하므로 동일한 선택된 비트 및 제어 게이트 라인들을 가지며, 선택되지 않은 워드, 제어 게이트 및 비트라인들에 적합한 전압들의 인가에 의해 소거로부터 금지되는, 인접한 메모리로 단일 셀이 소거될 수 있다.

대표도 - 도3



특허청구의 범위

청구항 1

트윈 MONOS 금속 비트라인 어레이(twin MONOS metal bit line array)를 위한 어드레싱 방법에 있어서,

- a) 낮은 워드라인 어드레스에서 높은 워드라인 어드레스로 워드라인들을 라벨링(labeling)하는 단계와,
- b) 낮은 제어 게이트 어드레스에서 높은 제어 게이트 어드레스로 제어 게이트 라인들을 라벨링하는 단계와,
- c) 각각의 어드레스 수(address number)에 대해 "짝수" 및 "홀수"로서 추가적인 지정(additional designation)으로, 낮은 비트라인 어드레스 수에서 높은 비트라인 어드레스 수로 비트라인들을 라벨링하는 단계와,
- d) 3차원 어드레스들 "X", "Y", 및 "Z"의 세트를 선택하는 단계와,
- e) 상기 "X" 어드레스로서 상기 워드라인 어드레스를 선택하는 단계와,
- f) 상기 "X"와 상기 "Z" 어드레스들의 함수로서 상기 제어 게이트 어드레스를 선택하는 단계로서, 상기 제어 게이트는 "X" 및 "Z"가 모두 짝수일 때 CG[X]가 선택되고, 상기 제어 게이트는 "X"가 짝수이고 "Z"가 홀수일 때 또는 "X"가 홀수이고 "Z"가 짝수일 때 CG[x+1]가 선택되는, 상기 제어 게이트 어드레스를 선택하는 단계와,
- g) 상기 "Y"와 상기 "Z" 어드레스들의 함수로서 상기 비트라인 어드레스를 선택하고, 상기 "Z" 어드레스가 "짝수"인지 "홀수"인지의 여부를 선택하는 단계를 포함하며,

상기 비트라인 어드레스는 상기 "Z" 어드레스가 "짝수"일 때 BL_EVEN[Y]이고, 상기 비트라인 어드레스는 상기 "Z" 어드레스가 "홀수"일 때 BL_ODD[Y]인, 어드레싱 방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1 항에 있어서, 상기 워드라인 및 상기 제어 게이트 라인들은 동일한 방향에서 실행되고 서로 교호(alternate)하는, 어드레싱 방법.

청구항 5

제 1 항에 있어서, 상기 비트라인들은 상기 워드라인들 및 제어 게이트 라인들에 대해 직각이고, "짝수"로서 지정된 상기 비트라인들은 "홀수"로서 지정된 상기 비트라인들과 교호하는, 어드레싱 방법.

청구항 6

제 1 항에 있어서,

- a) 두 개의 저장 장소들을 포함하는 선택된 셀을 위한 상기 3차원 어드레스 "X", "Y", 및 "Z" 어드레스를 지정하는 단계와,
- b) 상기 선택된 제어 게이트 라인을 어레이 칩 전압 바이어스 VDD에 결합하는 단계와,
- c) 오버라이드 제어 게이트 라인(override control gate line)을 오버라이드 전압에 결합하는 단계와,
- d) 상기 선택된 비트라인을 접지에 결합하는 단계와,
- e) 상기 선택된 비트라인에 인접한 제 1 비트라인 및 제 2 비트라인을 상기 어레이 칩 전압 바이어스 VDD으로 충전하고, 상기 제 1 비트라인을 제 1 감지 증폭기에 접속하고, 상기 제 2 비트라인을 제 2 감지 증폭기에 접속하고, 그후에 상기 제 1 및 제 2 증폭기들을 부유(floating)하는 단계와, 그 후,
- f) 선택된 워드라인 상의 전압을 접지 전압에서 상기 어레이 칩 전압 바이어스 VDD로 승압하는 단계와, 그 후,

g) 상기 제 1 인접한 비트라인 상의 상기 두 개의 저장 장소들 중 제 1 저장 장소의 저장된 데이터를 판독하고, 상기 제 2 인접한 비트라인 상의 상기 두 개의 저장 장소들 중 제 2 저장 장소의 저장된 데이터를 판독하는 단계를 포함하는 상기 트윈 MONOS 금속 비트라인 메모리 어레이의 저장 장소들을 판독하는 방법을 더 포함하는, 어드레싱 방법.

청구항 7

제 6 항에 있어서,

- a) 선택되지 않은 비트라인들을 어레이 칩 전압 바이어스 VDD에 결합하는 단계와,
- b) 선택되지 않은 워드라인들을 접지에 결합하는 단계와,
- c) 선택되지 않은 제어 게이트 라인들을 상기 어레이 칩 전압 바이어스 VDD에 결합하는 단계를 포함하는, 어드레싱 방법.

청구항 8

제 6 항에 있어서, 상기 "X" 어드레스는 상기 선택된 워드라인을 지정하고, 상기 "X" 및 "Z" 어드레스들은 상기 선택된 제어 게이트 라인을 지정하고, 상기 선택된 제어 게이트 라인의 상기 "Z" 어드레스의 "짝수" 또는 "홀수" 지정과 함께 상기 "Y" 및 "Z" 어드레스들은 상기 선택된 비트라인을 지정하는, 어드레싱 방법.

청구항 9

제 6 항에 있어서, 상기 오버라이드 제어 게이트 라인은 상기 선택된 제어 게이트 라인으로부터 상기 선택된 워드라인의 반대측 상에 위치되는, 어드레싱 방법.

청구항 10

제 6 항에 있어서, 상기 제 1 인접한 비트라인은 상기 선택된 비트라인의 제 1 측 상에 위치되고, 상기 제 2 인접한 비트라인은 상기 선택된 비트라인의 제 2 측 상에 위치되는, 어드레싱 방법.

청구항 11

제 6 항에 있어서, 상기 선택된 워드라인 상의 전압을 승압하는 단계는 판독 동작을 트리거(trigger)하고, 상기 제 1 및 제 2 인접한 비트라인들의 전압이 상기 제 1 및 제 2 저장 장소들의 임계 전압에 의해 개별적으로 결정된 값이 되게 하는, 어드레싱 방법.

청구항 12

제 1 항에 있어서,

- a) 두 개의 저장 장소들을 포함하는 선택된 셀을 위한 "X", "Y", 및 "Z" 어드레스를 지정하는 단계와,
- b) 선택된 제어 게이트 라인을 약 5볼트의 높은 양의(positive) 전압에 결합하는 단계와,
- c) 오버라이드 제어 게이트 라인을 오버라이드 전압에 결합하는 단계와,
- d) 선택된 비트라인을 상기 높은 양의 전압에 결합하는 단계와,
- e) 선택된 워드라인을 약 1볼트의 낮은 양의 전압에 결합하는 단계와,
- f) 제 1 감지 비트라인을 제 1 프로그램 래치(program latch)에 접속하고, 제 2 감지 비트라인을 제 2 프로그램 래치에 접속하는 단계를 포함하는 상기 트윈 MONOS 금속 비트라인 어레이를 프로그래밍하는 방법을 더 포함하는, 어드레싱 방법.

청구항 13

제 12 항에 있어서,

- a) 선택되지 않은 비트라인들을 어레이 칩 전압 바이어스 VDD에 결합하는 단계와,
- b) 선택되지 않은 워드라인들을 접지에 결합하는 단계와,

c) 선택되지 않은 제어 게이트 라인들을 상기 어레이 칩 전압 바이어스 VDD에 결합하는 단계를 더 포함하는, 어드레싱 방법.

청구항 14

제 12 항에 있어서, 상기 제 1 및 제 2 프로그램 래치를 상기 제 1 및 제 2 감지 비트라인들에 접속시키는 단계는 프로그래밍될 데이터가 논리 "1"일 때 상기 제 1 및 제 2 감지 비트라인들 상에 상기 VDD 전압을 생성하는, 어드레싱 방법.

청구항 15

제 12 항에 있어서, 상기 제 1 및 제 2 프로그램 래치를 상기 제 1 및 제 2 감지 비트라인들에 접속시키는 단계는 프로그래밍될 데이터가 논리 "0"일 때 상기 제 1 및 제 2 감지 비트라인들 상에 접지 전압을 생성하는, 어드레싱 방법.

청구항 16

제 12 항에 있어서, 상기 선택된 워드라인을 상기 낮은 양의 전압에 결합하는 단계는 선택된 메모리 셀 전류를 수 마이크로암페어들(a few microamperes)로 제한하는, 어드레싱 방법.

청구항 17

제 1 항에 있어서,

- a) 상기 워드 라인, 상기 비트 라인 및 상기 제어 게이트를 3차원 어드레스 "X", "Y", 및 "Z"로 지정하는 단계와,
- b) 상기 선택된 워드라인을 약 -1볼트의 낮은 음의(negative) 전압에 결합하는 단계와,
- c) 상기 선택된 제어 게이트를 약 -3볼트의 높은 음의 전압에 결합하는 단계와,
- d) 상기 선택된 비트라인을 약 +5 볼트의 높은 양의 전압에 결합하는 단계와,
- e) 상기 선택된 워드라인으로부터 상기 선택된 제어 게이트 라인의 반대측 상의 선택되지 않은 워드라인을 약 +3볼트의 양의 전압에 결합하는 단계와,
- f) 오버라이드 제어 게이트 라인을 오버라이드 전압에 결합하는 단계와,
- g) 상기 선택된 제어 게이트 라인으로부터 상기 선택된 워드라인의 반대측 상의 선택되지 않은 제어 게이트 라인을 양의 어레이 바이어스 전압 VDD에 결합하는 단계를 포함하는 트윈 MONOS 금속 비트라인 메모리 어레이를 위한 단일 셀 소거 방법을 더 포함하는, 어드레싱 방법.

청구항 18

제 17 항에 있어서,

- a) 선택되지 않은 비트라인들을 상기 양의 어레이 바이어스 전압에 결합하는 단계와,
- b) 상기 선택된 비트라인에 인접한 비트라인들을 상기 양의 어레이 바이어스 전압에 결합하는 단계를 더 포함하는, 어드레싱 방법.

청구항 19

제 17 항에 있어서, 상기 낮은 음의 전압을 상기 선택된 워드라인에 결합하는 단계는 상기 선택된 셀의 소거 속도를 가속하는, 어드레싱 방법.

청구항 20

제 17 항에 있어서, 상기 선택된 제어 게이트 라인 및 상기 선택된 비트라인은 단일 메모리 셀의 선택을 허용하는 직각인, 어드레싱 방법.

청구항 21

제 20 항에 있어서, 상기 두 개의 선택된 메모리 셀들의 제 1 셀은 상기 선택되지 않은 제어 게이트 라인의 오버라이드된 제어 게이트들 아래 및 상기 선택되지 않은 워드 라인들에 접속된 선택되지 않은 워드 게이트들 아래의 상기 선택된 비트 라인의 인접한 비트 라인들로부터 통과된 양의 전압에 의한 소거로부터 금지되는, 어드레싱 방법.

청구항 22

트윈 MONOS 금속 비트라인 어레이를 어드레싱하는 수단에서,

- a) 3차원 어드레스("X", "Y" 및 "Z")를 위한 수단과,
- b) 상기 3차원 어드레스의 "X" 어드레스로서 워드라인을 어드레싱하는 수단과,
- c) 상기 3차원 어드레스의 "X" 및 "Z" 어드레스들의 제 1 쌍으로서 제어 게이트 라인을 어드레싱하는 수단과,
- d) 상기 3차원 어드레스의 "Y" 및 "Z" 어드레스들의 제 2 쌍으로서 비트라인을 어드레싱하는 수단을 포함하는, 트윈 MONOS 금속 비트라인 어레이를 어드레싱하는 수단.

청구항 23

제 22 항에 있어서, 상기 제어 게이트 라인을 어드레싱하는 수단은 상기 3차원 어드레스의 어드레스들의 상기 제 1 쌍의 홀수 또는 짝수 상태에 의존하는, 트윈 MONOS 금속 비트라인 어레이를 어드레싱하는 수단.

청구항 24

제 22 항에 있어서, 상기 비트라인을 어드레싱하는 수단은 상기 제어 게이트 라인의 어드레스의 홀수 또는 짝수 상태에 의존하는, 트윈 MONOS 금속 비트라인 어레이를 어드레싱하는 수단.

청구항 25

제 22 항에 있어서,

- a) 제 1 및 제 2 저장 장소를 포함하는 트윈 MONOS 금속 비트라인 어레이의 셀을 어드레싱하는 수단과,
- b) 선택된 제어 게이트 라인에 제어 게이트 선택 전압을 인가하는 수단과,
- c) 선택된 비트라인에 비트라인 선택 전압을 인가하는 수단과,
- d) 제 1 및 제 2 비트라인을 어레이 바이어스 전압으로 충전하고, 상기 제 1 및 제 2 비트라인들을 부유하는 수단과,
- e) 선택된 워드라인 전압이 낮은 전압에서 보다 높은 전압으로 승압됨에 따라, 상기 두 개의 저장 장소들에 저장된 데이터의 값을 검출하는 수단을 포함하는 트윈 MONOS 금속 비트라인 어레이의 저장 장소들을 판독하는 수단을 더 포함하는, 트윈 MONOS 금속 비트라인 어레이를 어드레싱하는 수단.

청구항 26

제 25 항에 있어서, 상기 트윈 MONOS 금속 비트 어레이의 상기 셀을 어드레싱하는 수단은 3차원 어드레스를 사용하는, 트윈 MONOS 금속 비트라인 어레이를 어드레싱하는 수단.

청구항 27

제 25 항에 있어서, 상기 제 1 및 제 2 비트라인들은 상기 선택된 비트라인에 인접한, 트윈 MONOS 금속 비트라인 어레이를 어드레싱하는 수단.

청구항 28

제 25 항에 있어서, 상기 제 1 및 제 2 비트라인들은 상기 제 1 및 제 2 저장 장소들에서의 저장 값을 나타내는 제 1 및 제 2 감지 증폭기에 전압들을 접속시키는, 트윈 MONOS 금속 비트라인 어레이를 어드레싱하는 수단.

청구항 29

제 22 항에 있어서,

- a) 제 1 및 제 2 저장 장소를 포함하는 트윈 MONOS 금속 비트라인 어레이의 셀을 어드레싱하는 수단과,
- b) 선택된 제어 게이트 라인에 높은 양의 값의 제어 게이트 선택 전압을 인가하는 수단과,
- c) 선택된 비트라인에 높은 양의 값의 비트라인 선택 전압을 인가하는 수단과,
- d) 선택된 워드라인에 낮은 양의 값의 워드라인 전압을 인가하는 수단과,
- e) 제 1 감지 비트라인에 제 1 프로그램 래치 상의 제 1 데이터 값을 결합하는 수단과,
- f) 제 2 감지 비트라인에 제 2 프로그램 래치 상의 제 2 데이터 값을 결합하는 수단을 포함하는 트윈 MONOS 금속 비트라인 어레이의 저장 장소들을 프로그래밍하는 수단을 더 포함하는, 트윈 MONOS 금속 비트라인 어레이를 어드레싱하는 수단.

청구항 30

제 29 항에 있어서, 상기 트윈 MONOS 금속 비트라인 어레이의 상기 셀을 어드레싱하는 수단은 3차원 어드레스 ("X", "Y" 및 "Z")를 사용하는, 트윈 MONOS 금속 비트라인 어레이를 어드레싱하는 수단.

청구항 31

제 29 항에 있어서, 상기 제 1 및 제 2 감지 비트라인들은 상기 선택된 비트라인에 인접한, 트윈 MONOS 금속 비트라인 어레이를 어드레싱하는 수단.

청구항 32

제 22 항에 있어서,

- a) 제 1 및 제 2 저장 장소를 포함하는 트윈 MONOS 금속 비트라인 어레이의 셀을 어드레싱하는 수단과,
- b) 선택된 제어 게이트 라인에 약 -3볼트의 음의 값의 제어 게이트 선택 전압을 인가하는 수단과,
- c) 선택된 비트라인에 약 +5볼트의 높은 양의 값의 비트라인 선택 전압을 인가하는 수단과,
- d) 선택된 워드라인에 약 -1볼트의 낮은 음의 값의 워드라인 전압을 인가하는 수단과,
- e) 동일한 선택된 비트라인 및 동일한 선택된 제어 게이트 라인을 이용하여 인접한 메모리 셀을 소거하는 것을 금지하는 수단을 포함하는 트윈 MONOS 금속 비트라인 어레이의 단일 셀 소거 수단을 더 포함하는, 트윈 MONOS 금속 비트라인 어레이를 어드레싱하는 수단.

청구항 33

제 32 항에 있어서, 상기 트윈 MONOS 금속 비트라인 어레이의 상기 셀을 어드레싱하는 수단은 3차원 어드레스를 사용하는, 트윈 MONOS 금속 비트라인 어레이를 어드레싱하는 수단.

청구항 34

제 32 항에 있어서, 상기 선택된 제어 게이트 라인 및 상기 선택된 비트라인은 단일 메모리 셀의 선택을 허용하는 직각인, 트윈 MONOS 금속 비트라인 어레이를 어드레싱하는 수단.

청구항 35

제 32 항에 있어서, 상기 선택된 워드라인에 상기 낮은 음의 값의 상기 워드 라인 전압을 인가하는 것은 상기 선택된 셀의 소거 속도를 가속하는, 트윈 MONOS 금속 비트라인 어레이를 어드레싱하는 수단.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <13> 본 출원은 본원 참조문헌으로써 본 명세서에 포함되는, 2001년 7월 6일 출원된 예비 특허출원 시리얼 넘버 60/303,736호에 대해 우선권을 주장한다.
- <14> 발명의 배경
- <15> 1. 발명의 분야
- <16> 본 발명은 반도체 플래쉬 메모리들(flash memories)에 관한 것으로, 특히 트윈 MONOS 플래쉬 금속 비트 어레이(metal bit array)에 관한 것이다.
- <17> 2. 관련 기술의 설명
- <18> MONOS EEPROM은 독립적으로 프로그램될 수 있고 판독될 수 있는 셀들의 어레이로 구성된다. 금속산화물 반도체(Metal Oxide Semiconductor: MOS) 필드 효과(field effect) 트랜지스터들은 MONOS EEPROM의 각 메모리 유닛들을 형성한다. 플래쉬 MOS 트랜지스터는 소스, 드레인, 및 워드라인(Word Line: WL)에 접속된 제어 게이트를 갖는 부유(floating) 게이트를 포함한다. 다양한 전압들이 이진수 "1" 또는 "0"을 갖는 셀을 프로그램하거나, 그 셀을 소거하기 위해 워드라인 및 비트라인들에 인가된다.
- <19> 미국특허 제6,248,633호(오구라(Ogura) 등)는 질화물(nitride) 저장 장소들에 탄도 전자 주입(ballistic electron injection)으로 극히 짧은 제어 게이트 채널을 갖는 트윈 MONOS 셀 구조에 관한 것이다. 미국특허 제6,134,156호(에이탄(Eitan))는 비트라인들 및 드레인 라인들의 충전을 포함하는 선택된 메모리 셀의 내용물을 검출하는 방법에 관한 것이다. 미국특허 제6,011,725호(에이탄)에 설명된 어레이 방법은 이중 비트(dual bit) NROM 셀들인, 워드라인 지에 접속된 셀들의 제어 게이트 상에 루팅된 폴리실리콘 워드라인에 관한 것이다. 2002년 3월 15일자 미국특허출원 제10/099,030호는 와이드 프로그램 밴드폭(wide program bandwidth) 및 MONOS 메모리 셀의 EEPROM 소거 성능을 얻기 위해 메모리 셀 선택 및 동작 방법을 제공하는 것에 관한 것이다.
- <20> 도 1a에는 라인 WLO, 비트라인 확산들(diffusion) BLO, BL2, 및 BL3, 및 질화물 저장 장소들 M0, M1, M2, M3을 갖는 종래 기술의 이중 비트 NROM 어레이의 단면도가 도시되어 있다. 이중 비트 NROM 어레이의 방법이 도 1b에 도시된다. 비트라인들 및 워드라인들은 서로 직각이다. 도 2a에는, 비트 확산들 BLO, BL1, BL2, BL3, 제어 게이트들 CG0, CG1, CG2, CG3, 워드라인 WLO 및 질화물 저장 장소들 M0, M1, M2, M3, M4, M5, M6, M7을 갖는 종래 기술의 트윈 MONOS 어레이의 단면도가 도시되어 있다. 제어 게이트들은 질화물 저장 장소들 및 비트라인들 위에 워드라인들로부터 분리된다. 도 2b는 종래 기술의 트윈 MONOS 어레이의 개략도를 도시한다. 종래의 MONOS MOS 트랜지스터에서, MONOS 장치에서 제어 게이트 아래의 프로그램가능 구성성분은 도 2a에 도시된 것과 같이 질화물이다. 트윈 MONOS 메모리 유닛은 합성 질화물층들 내의 저장 장소들로서 사용되는 M2, M3과 같은 두 개의 개별 장소들인 CELL11 내의 CG1과 같은 제어 게이트로 구성된다. 비트라인 확산, BL1은 제어 게이트 CG1 아래에 놓이고, 독립적인 폴리실리콘 워드라인 WLO는 인접한 셀들의 제어 게이트들 사이에 놓인다.
- <21> 2001년 3월 19일자 미국특허출원 제09/810,122호는 금속 비트 어레이에 조직화된 트윈 MONOS 메모리 셀을 제공하는 것에 관한 것이다. 본 발명의 도 3에 도시된 것과 유사한 금속 비트 트윈 MONOS 어레이에서, 제어 게이트 라인들은 제조 공정 단계들 및 마스크 레벨들(masking levels)을 간소화하기 위해서 워드라인들과 병렬로 되어 있다. 그러므로, 어레이의 조직은 금속 비트라인들이 제어 게이트 라인들 및 워드라인들 둘 모두에 직각이 되도록 배치되어야 한다. 금속 비트라인들은 메모리 셀들의 접합 영역들에 대한 접속들을 교호(alternating)하게 함으로써 접속된다. 금속 비트 어레이는 접힌(folded) 비트라인 어레이에 더 유사하다. 제어 게이트 라인들은 워드라인들에 병렬이며, 워드라인들과 교호한다. 메모리 셀의 "L" 모양으로 인해, 비트라인 선택은 제어 게이트 선택에 무관하지 않을 수 없다.

발명이 이루고자 하는 기술적 과제

- <22> (발명의 요약)
- <23> 본 발명의 목적은 트윈 MONOS 금속 비트라인 메모리 어레이에 대한 넘버링(numbering) 방법 및 선택 방법을 제공하는 것이다.
- <24> 또한, 본 발명의 목적은 트윈 MONOS 금속 비트라인 메모리 어레이의 워드라인, 비트라인 및 제어 게이트의 함수로서 메모리 셀을 어드레스하는 것이다.

- <25> 또한, 본 발명의 목적은 트윈 MONOS 금속 비트라인 메모리 어레이의 3차원들의 함수인 독특한 어드레스를 형성하는 것이다.
- <26> 본 발명의 또 다른 목적은 판독 동작 동안 트윈 MONOS 금속 비트라인 어레이에 대한 전압 조건들을 제공하는 것이다.
- <27> 본 발명의 또 다른 목적은 트윈 MONOS 금속 비트라인 어레이의 셀을 판독하는 동안 전압 감지 방법을 제공하는 것이다.
- <28> 본 발명의 또 다른 목적은 트윈 MONOS 금속 비트라인 어레이의 셀을 판독하는 동안 전류 감지 방법을 제공하는 것이다.
- <29> 본 발명의 또 다른 목적은 단일 셀 소거 동작을 위한 방법들 및 전압들을 제공하는 것이다.
- <30> 금속 비트 메모리 어레이를 위한 선택 및 넘버링의 새로운 방법이 본 발명에 의해 소개된다. 메모리 셀의 어드레스는 워드라인, 비트라인 및 제어 게이트의 함수이다. 어드레스 비트들의 독특한 세트는 X 차원이 워드라인 어드레스에 대응하고, Y 차원은 비트라인 어드레스에 대응하고, Z 차원은 짝수 및 홀수 특성을 갖는 제어 게이트에 대응하는 3차원들 모두를 포함해야 한다.
- <31> 본 발명은 첨부된 도면들을 참조하여 설명된다.

발명의 구성 및 작용

<32> 도 3은 금속 비트라인 어레이를 위한 라벨링 방법의 예를 도시한다. 워드라인 WL[0]와 WL[1], 및 제어 게이트 라인들 CG0, CG1, CG2가 서로 수평으로 이어지고 교호한다. 비트라인들은 수직으로 이어지고, BL_EV0, BL_OD[0], BL_EV[1], BL_OD[1], BL_EV[2],...으로서 라벨링되어 있다. 비트라인의 홀수 "_OD" 및 짝수 "_EV" 특성은 선택된 제어 게이트 라인의 최소의 충분한 비트에 대응한다. 주어진 워드라인 및 제어 게이트 어드레스에 대해, 워드라인 어드레스 수(number)는 X 어드레스에 의해 결정된다. 표 1은 제어 게이트 어드레스를 요약한다.

<33>

X	Y	Z	선택된 워드라인	선택된 제어 게이트	선택된 비트라인
0	0	0	WL[0]	CG[0]	BL_EV[0]
0	0	1	WL[0]	CG[1]	BL_OD[0]
1	0	0	WL[1]	CG[2]	BL_EV[0]

<34> 표 1

- <35> X 및 Z 모두가 짝수인 경우, CG[X]가 선택된다. X가 짝수이고 Z가 홀수이거나 X가 홀수이고 Z가 짝수일 때, CG[X+1]가 선택된다. 비트라인 선택은 Y와 Z 어드레스들의 함수이다. 선택된 Z 어드레스가 짝수인 경우, BL_EV[Y]가 선택될 것이다. 유사하게, 선택된 Z 어드레스가 홀수인 경우, BL_OD[Y]가 선택될 것이다.
- <36> 판독 및 프로그램 동작들 동안, 두 개의 하드 비트들(hard bits)의 쌍을 포함하는 메모리 셀이 I/O 슬라이스(slice) 내에서 한번에 선택된다. 저장 장소는 "하드 비트"라고 불리고, I/O 슬라이스는 감지 증폭기들 또는 프로그램 래치들(latches)의 단일 쌍을 공유하는 메모리 셀들의 어레이로서 정의된다. I/O 슬라이스에서 메모리 셀 열들(columns)의 수는 Y 비트라인 디코드(decode)에 대응한다.
- <37> 임의의 판독, 프로그램 또는 소거 동작 전에, 메모리의 휴지 상태(resting state)는 다음과 같이 될 수 있다: 제어 게이트들과 비트라인들 모두가 VDD로 바이어스되고, 워드라인들 모두가 GND에 접속된다. 메모리 어레이의 p-웰(p-well)은 GND에 접속된다. VDD 전압을 제어 게이트 및 비트라인들 모두에 인가하는 목적은 두 가지 목적에서이다. 우선, 판독 어드레스 시간은 오버라이드(override) 제어 게이트 전압이 GND와 VDD 대신에, 제어 게이트 오버라이드 전압인 VDD와 VDDG 사이에서 충전되면 보다 빠르다. 두 번째 이유는 비트라인들 모두에 고전압을 인가함으로써만 이웃한 셀로부터의 영향들에 대해 신호를 오염시키지 않고 하나의 메모리 셀을 판독할 수 있

다는 것이다.

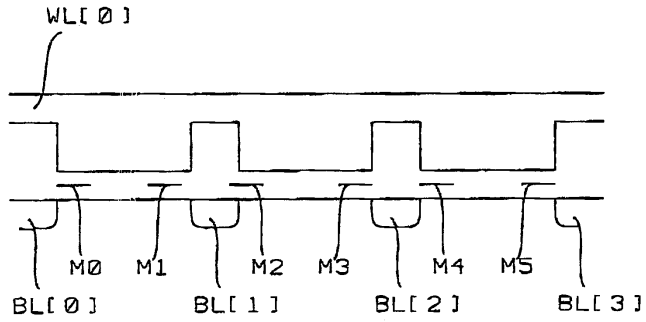
- <38> 도 4는 판독 중에 I/O 슬라이스의 전압 조건들을 도시한다. 선택되지 않은 셀들의 전압 조건들은 다음과 같이 될 수 있다. 선택되지 않은 비트라인들(10)이 VDD에 있고, 선택되지 않은 워드라인들(11)이 GND이고, 선택되지 않은 제어 게이트들은 VDD이다. X,Y,Z 어드레스가 지정될 때, 하나의 메모리 셀(13)이 I/O 슬라이스로부터 선택된다. 선택된 제어 게이트 라인(14)은 X와 Z 어드레스들에 의해 결정되고, VDD 또는 VDD 근방의 부유(floating)로 바이어스되거나, VDD 근처의 일부 전압에 고정된다. VDD가 메모리 셀 전류를 얻기에 충분하지 않으면, 선택된 제어 게이트 라인(14)은 VDD보다 높지만 오버라이드 제어 게이트 전압보다는 낮은 전압으로 바이어스될 수 있다. 선택된 워드라인(16)의 다른 측 상에 있는 오버라이드 제어 게이트로서 지정된 인접한 제어 게이트 라인(15)은 VCGo(VCG 오버라이드)로 승압된다. Y와 Z 어드레스들에 의해 결정되는 선택된 비트라인(17)은 GND로 떨어지거나 낮은 전압으로 떨어진다. 선택된 비트라인(17)에 인접한 두 개의 비트라인들(18,19)은 VDD로 충전되고, 그후에 부유되고, 감지 증폭기(VDD 감지라고 함)에 접속된다. 선택된 워드라인(16)에서 전압을 승압하여 판독 동작을 트리거(trigger)한다. 선택된 워드라인(16)이 GND에서 VDD로 승압할 때, 두 개의 부유 비트라인들(18,19) 상의 전압은 메모리 비트의 임계 전압에 따라 VDD로 유지되거나 또는 강하(fall)될 것이다. 두 개의 메모리 비트들이 동시에 선택된다 할지라도, 두 개의 감지 비트라인(18,19) 상의 신호는 서로 독립적으로 나타날 것이다.
- <39> CG 라인들 및 비트라인들을 위한 디폴트(default) 휴지 전압들은 전압 조절기들(regulators)의 수를 최소화하기 위해서 VDD로 선택되었음을 주지해야한다. 하지만, 보다 빠른 수행성능 또는 신호 전개(development)와 같은 다른 이유로, VDD보다 낮거나 높은 다른 전압들을 사용하는 것이 실용적일 수 있다. CG와 BL라인들을 위한 휴지 전압들의 선택을 지배하는 주요 관심사는 BL 전압이 소스 전압에 대해 인접한 선택되지 않은 셀의 게이트를 금지하도록 충분히 높아야 한다는 것이다.
- <40> 비트라인 신호 발생 동안, 감지 비트라인 전압은 VDD 빼기 선택된 워드 게이트의 임계 전압 아래로 강하되고, 이웃한 메모리 셀의 V_t 는 그것이 낮은 임계 메모리 상태로 프로그램된다면, 비트라인 신호에 영향을 미치도록 개시할 수 있다. 그러므로, 전압 감지가 사용되면, 비트라인이 VDD 빼기 메모리 셀 워드 게이트의 임계 전압 아래로 강하하기 전에 감지하는 것이 필요하다.
- <41> 금속 비트 어레이를 감지하는 또 다른 방법은 전류 감지를 통하는 것이다. 도 5는 전류 감지를 위한 회로 경로를 도시한다. 감지 비트라인(30)은 디커플링(decoupling) NMOS 트랜지스터 쌍(31)의 소스/드레인에 접속되고, 다른 소스/드레인은 PMOS 전류 미러(mirror)(32)에 접속된다. 이득은 각각 소스와 미러 PMOS 트랜지스터들(P1,P2)의 비율(ratio)을 설정함으로써 전류 미러 스테이지(stage)에 부가될 수 있다. W/L 은 W가 트랜지스터의 폭이고 L이 트랜지스터의 길이인 트랜지스터 세기 비(strength ratio)이다. m의 러프 인자(rough factor)에 의한 전류 이득은 m의 동일한 인자에 의한 W/L 의 비율을 증가시킴으로써 미러 스테이지에서 얻어질 수 있다. 전류 감지 동안, 감지 BL의 전압은 $V_t - n \cdot V_{tr}$ 이 n 채널 통과 트랜지스터들(n channel pass transistors)의 임계 전압인 $VDD - V_t - n \cdot V_{tr}$ 로 고정된다. 이웃한 셀이 비트라인 신호로부터 영향을 받는 것을 방지하기 위해서 $V_t - n \cdot V_{tr} \leq V_{tr}$ 인 조건을 보장하는 것이 필요하다. 이 전류 감지 방법에서, 선택된 비트라인은 접지된다. 하지만, 비트라인(30)을 접지로 접속하는 두 개의 트랜지스터들(N1,N2)이 있다. 트랜지스터(N1)는 빠른 액세스 시간을 위해 빠르게 비트라인을 떨어뜨리도록(pull down) 사용되는 큰 W, 작은 L 장치이다. 트랜지스터(N2)는 비-움직임(non-moving) 감지 비트라인 전압을 유지하기 위해 신호 발생 동안 사용될 수 있는 보다 작은 W 또는 보다 큰 L 장치일 수 있다. 장치 사이징(sizing)은 감지 비트라인 상에 풀업(pul up) 트랜지스터(P1)와의 균형을 위해서 결정된다. N2 트랜지스터가 매우 강하면, 감지 비트라인은 아래로 움직일 것이다.
- <42> 도 6은 프로그램 모드를 위한 금속 비트라인 어레이의 전압들을 도시한다. 동일한 워드라인, 비트라인 및 제어 게이트가 동일한 세트의 선택되지 않은 워드라인, 비트라인, 및 제어 게이트 라인 전압들을 갖는 도 4에 도시된 판독 동작에 대해서와 같이 선택된다. 선택되지 않은 비트라인들(10)은 VDD로 설정되고, 선택되지 않은 제어 게이트 라인(14)은 VDD로 설정되고, 선택되지 않은 워드라인(12)은 접지(GND)로 설정된다. 선택된 제어 게이트 라인(14)으로부터 선택된 워드라인(15)의 반대측 상의 인접한 제어 게이트 라인(16)은 오버라이드 전압 VCGo에 접속된다. 선택된 제어 게이트(14) 및 선택된 비트라인(17)은 대략적으로 약 5V의 고전압으로 승압된다. 선택된 워드라인(15)은 대략적으로 1V의 저전압에 접속된다. 두 개의 감지 비트라인들(18,19)은 "0" 프로그램 데이터에 대해 비트라인들을 GND 또는 GND 근방으로 낮추는 두 개의 프로그램 래치들에 접속된다. 프로그램 래치에서의 데이터가 "1"이면, 감지 비트라인 전압은 VDD로 남을 것이고, 워드 게이트 전압 - 소스 전압이 메모리 셀의 T_{th} 미만이기 때문에 메모리 셀은 프로그램되지 않을 것이다. 선택된 워드라인(15)의 전압이 대략적으로 0V 내지 1.3V의 범위에 있는 워드 게이트 전압에 의해 대략적으로 3-5uA의 범위로 셀 전류를 제한하기 위해 낮게 설정된

<12> 13: 메모리 셀

도면

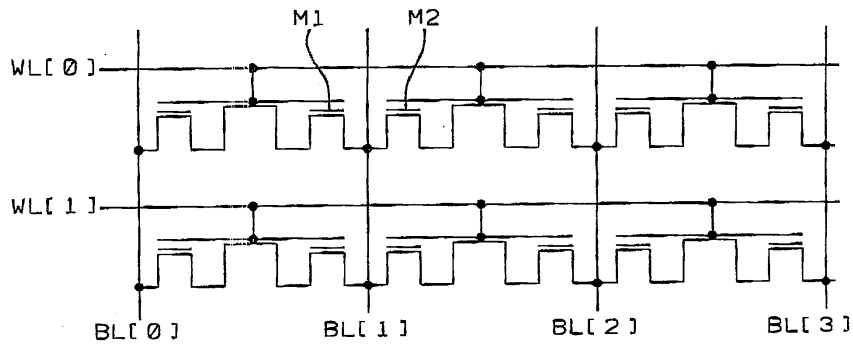
도면1a

종래기술



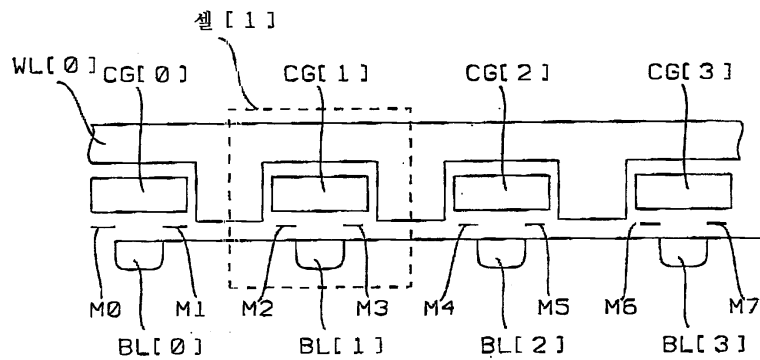
도면1b

종래기술



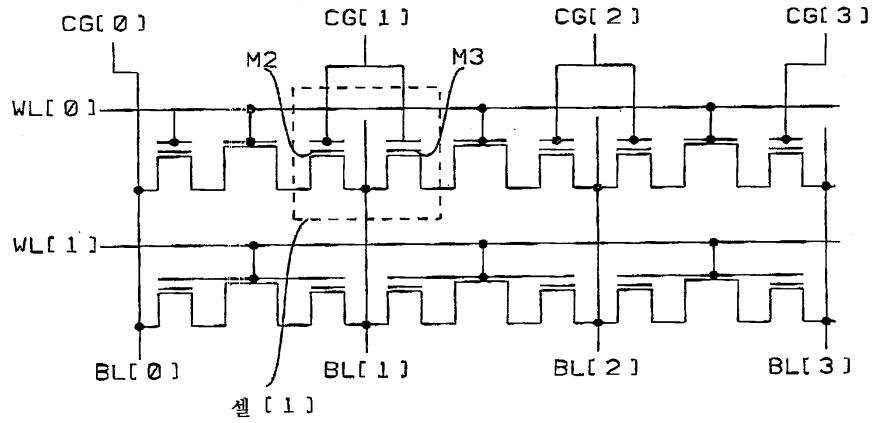
도면2a

종래기술

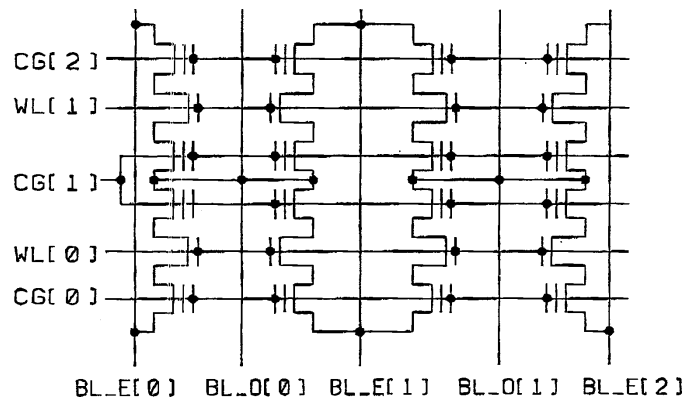


도면2b

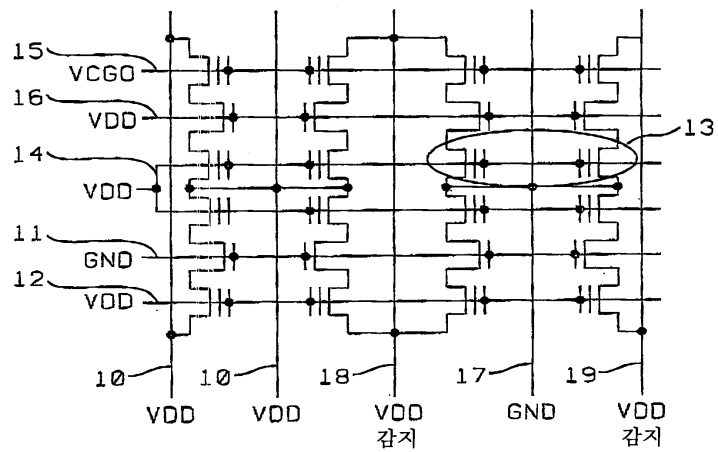
종래기술



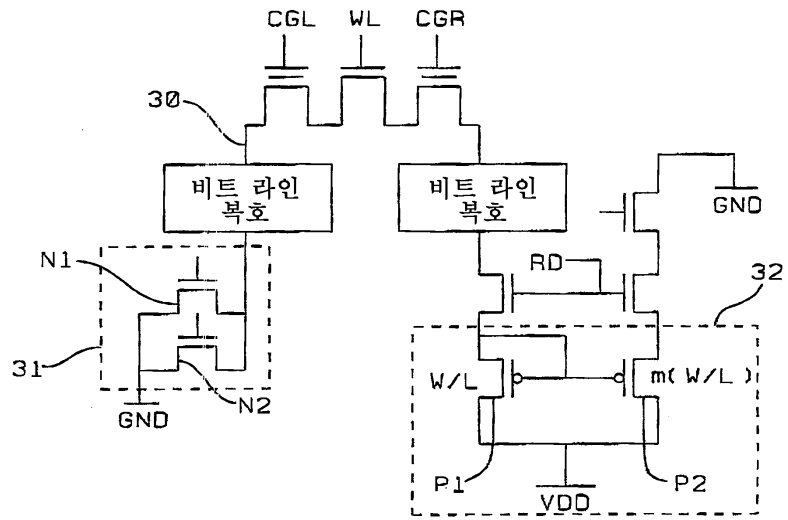
도면3



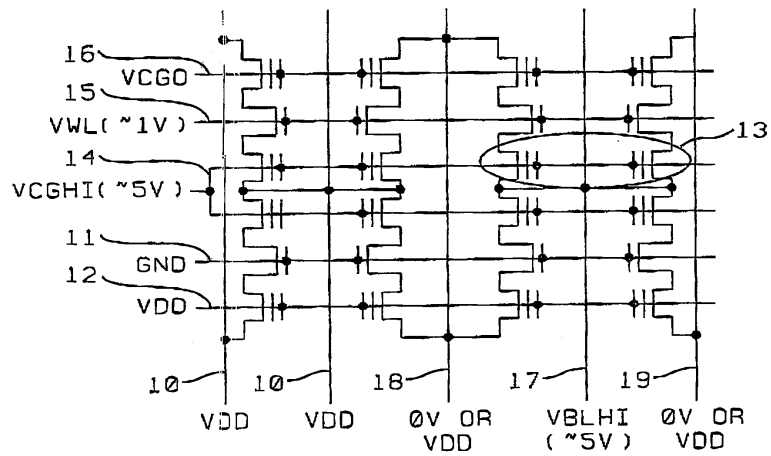
도면4



도면5



도면6



도면7

