(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0091873
(43) 공개일자 2023년06월23일

(51) 국제특허분류(Int. Cl.)
H01L 27/146 (2006.01) *H04N 25/76* (2023.01)
(52) CPC특허분류
H01L 27/14612 (2013.01)
H01L 27/14634 (2013.01)
(21) 출원번호 10-2023-7011954
(22) 출원일자(국제) 2021년10월20일
심사청구일자 없음
(85) 번역문제출일자 2023년04월07일
(86) 국제출원번호 PCT/JP2021/038768
(87) 국제공개번호 WO 2022/085722
국제공개일자 2022년04월28일
(30) 우선권주장
JP-P-2020-178463 2020년10월23일 일본(JP)

(71) 출원인
소니 세미컨덕터 솔루션즈 가부시키가이샤
일본국 가나가와켄 아츠기시 아사히쵸 4-14-1
(72) 발명자
나카자와 게이이치
일본 2430014 가나가와켄 아츠기시 아사히쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤 내
고지마 다카시
일본 2430014 가나가와켄 아츠기시 아사히쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤 내
(뒷면에 계속)
(74) 대리인
양영준, 김숭식, 이중희

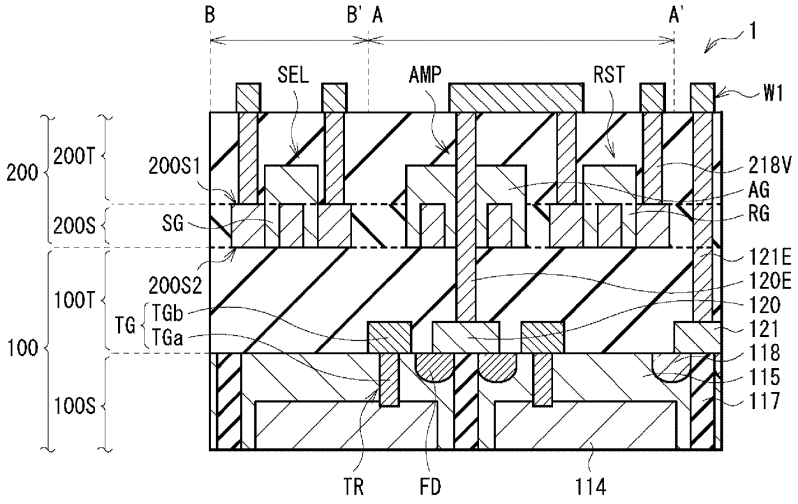
전체 청구항 수 : 총 25 항

(54) 발명의 명칭 **촬상 장치 및 수광 소자**

(57) 요 약

본 개시의 일 실시 형태의 촬상 장치는, 화소마다, 광전 변환부 및 광전 변환부에서 발생한 신호 전하가 축적되는 전하 축적부를 갖는 제1 반도체층과, 제1 반도체층에 적층되어, 삼차원 구조를 가짐과 함께, 전하 축적부로부터 신호 전하를 읽어내는 화소 트랜지스터가 마련된 제1 면을 갖는 제2 반도체층과, 전하 축적부와 화소 트랜지스터의 게이트 전극을 직접 접속하는 관통 배선을 구비한다.

대 표 도 - 도13



(52) CPC특허분류
H01L 27/14636 (2013.01)
H04N 25/76 (2023.01)
(72) 발명자
이마이 신이치
일본 2430014 가나가와켄 아츠기시 아사히쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤 내
가네구치 도키히사
일본 2430014 가나가와켄 아츠기시 아사히쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤 내
사가 고이치로
일본 2430014 가나가와켄 아츠기시 아사히쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤 내
도쿠히로 가이
일본 2430014 가나가와켄 아츠기시 아사히쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤 내
히라노 다카아키
일본 2430014 가나가와켄 아츠기시 아사히쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤 내

명 세 서

청구범위

청구항 1

화소마다, 광전 변환부 및 상기 광전 변환부에서 발생한 신호 전하가 축적되는 전하 축적부를 갖는 제1 반도체층과,

상기 제1 반도체층에 적층되어, 삼차원 구조를 가짐과 함께, 상기 전하 축적부로부터 상기 신호 전하를 읽어내는 화소 트랜지스터가 마련된 제1 면을 갖는 제2 반도체층과,

상기 전하 축적부와 상기 화소 트랜지스터의 게이트 전극을 직접 접속하는 관통 배선

을 구비한 촬상 장치.

청구항 2

제1항에 있어서, 상기 화소 트랜지스터는 핀형 구조를 갖는 촬상 장치.

청구항 3

제1항에 있어서, 상기 제2 반도체층은, 상기 제1 면과는 반대측에 상기 제1 반도체층과 대향하는 제2 면을 더 갖고,

상기 게이트 전극은, 상기 제2 반도체층의 상기 제1 면과 상기 제2 면 사이를 관통하고 있는, 촬상 장치.

청구항 4

제3항에 있어서, 상기 게이트 전극의 상기 제2 반도체층을 관통하는 관통 부분의 단부는, 상기 제2 반도체층의 상기 제2 면으로부터 돌출되어 있는, 촬상 장치.

청구항 5

제4항에 있어서, 상기 관통 배선은, 상기 전하 축적부와, 상기 제2 반도체층의 상기 제2 면으로부터 돌출되는 상기 게이트 전극의 상기 단부를 접속하고 있는, 촬상 장치.

청구항 6

제3항에 있어서, 상기 관통 배선은, 상기 제2 반도체층을 관통하는 상기 게이트 전극의 측면과 접하고 있는, 촬상 장치.

청구항 7

제6항에 있어서, 상기 관통 배선은, 또한 상기 게이트 전극의 상면의 일부와 접하고 있는, 촬상 장치.

청구항 8

제3항에 있어서, 상기 화소 트랜지스터는 복수의 핀을 갖고,

상기 복수의 핀의 사이를 관통하는 상기 관통 배선의 제1 폭은, 상기 게이트 전극의 상방으로 연신하는 상기 관통 배선의 제2 폭보다도 좁은, 촬상 장치.

청구항 9

제1항에 있어서, 상기 화소 트랜지스터는 게이트 올 어라운드 구조를 갖는 촬상 장치.

청구항 10

제9항에 있어서, 상기 화소 트랜지스터는, 상기 제2 반도체층의 상기 제1 면측에 마련되고, 상기 제2 반도체층의 평면 방향과 대략 평행 방향으로 연신하는 반도체층과, 상기 반도체층의 일부의 상면 및 하면 그리고 한쌍의

측면을 덮는 상기 게이트 전극과, 상기 반도체층과 상기 게이트 전극 사이에 마련되고, 상기 반도체층의 상기 상면 및 상기 한쌍의 측면을 덮는 제1 절연막 및 상기 반도체층의 상기 하면을 덮는 제2 절연막을 갖고,

상기 제2 절연막은, 상기 반도체층의 연신 방향에 대하여 직교 방향인 제3 폭보다도 광폭으로 마련되어 있는, 촬상 장치.

청구항 11

제10항에 있어서, 상기 제2 절연막의 상기 반도체층의 상기 제3 폭보다도 외측으로 연장되는 연장부는, 상기 반도체층의 상기 하면을 덮는 상기 제2 절연막보다도 하방에 형성되어 있는, 촬상 장치.

청구항 12

제10항에 있어서, 상기 게이트 전극은, 상기 제1 반도체층과의 대향면측에, 상기 관통 배선보다도 폭이 넓은 볼록부를 갖는 촬상 장치.

청구항 13

제12항에 있어서, 상기 볼록부의 폭은, 상기 관통 배선의 배선 직경보다도 넓은, 촬상 장치.

청구항 14

제10항에 있어서, 상기 화소 트랜지스터는, 상기 제2 반도체층의 상기 제1 면측에 마련되고, 상기 제2 반도체층의 평면 방향과 대략 평행 방향으로 연신하는 반도체층과, 상기 반도체층의 일부의 상면 및 하면 그리고 한쌍의 측면을 덮는 상기 게이트 전극과, 상기 반도체층과 상기 게이트 전극 사이에 마련되고, 상기 반도체층의 상기 상면 및 상기 하면 그리고 상기 한쌍의 측면을 덮는 제3 절연막을 갖고,

또한, 상기 반도체층의 하방에 소정의 간격을 두고 마련된 제4 절연막을 더 갖는, 촬상 장치.

청구항 15

제14항에 있어서, 상기 제4 절연막은, 상기 반도체층의 상기 제3 폭보다도 광폭으로 마련되어 있는, 촬상 장치.

청구항 16

제14항에 있어서, 상기 제4 절연막은, 상기 반도체층의 상기 제3 폭보다도 협폭으로 마련되어 있는, 촬상 장치.

청구항 17

제15항에 있어서, 상기 게이트 전극은, 상기 제1 반도체층과의 대향면측에, 상기 제4 절연막보다도 폭이 넓은 볼록부를 갖는 촬상 장치.

청구항 18

제17항에 있어서, 상기 볼록부의 폭은, 상기 관통 배선의 배선 직경보다도 넓은, 촬상 장치.

청구항 19

제10항에 있어서, 상기 화소 트랜지스터는, 상기 제2 반도체층의 상기 제1 면측에 마련되고, 상기 제2 반도체층의 평면 방향과 대략 평행 방향으로 연신하는 상기 반도체층의 양단에 소스 영역 및 드레인 영역을 갖고,

상기 소스 영역 및 상기 드레인 영역의 상기 반도체층의 바로 아래에 상기 반도체층의 측면과 대략 동일한 측면을 갖는 희생층을 더 갖는, 촬상 장치.

청구항 20

제19항에 있어서, 상기 반도체층은 상기 연신 방향에 대하여 대략 일정한 폭을 갖는 촬상 장치.

청구항 21

제1항에 있어서, 상기 화소 트랜지스터로서 증폭 트랜지스터와, 리셋 트랜지스터와, 선택 트랜지스터와, FD 변환 게인 전환 트랜지스터를 갖고 있는, 촬상 장치.

청구항 22

제21항에 있어서, 상기 증폭 트랜지스터, 상기 리셋 트랜지스터, 상기 선택 트랜지스터 및 상기 FD 변환 게인 전환 트랜지스터는 각각 상기 삼차원 구조를 갖고 있는, 촬상 장치.

청구항 23

제22항에 있어서, 상기 증폭 트랜지스터, 상기 리셋 트랜지스터, 상기 선택 트랜지스터 및 상기 FD 변환 게인 전환 트랜지스터 중, 적어도 상기 증폭 트랜지스터의 게이트 전극은, 상기 제2 반도체층의 상기 제1 면과, 상기 제1 면과는 반대측에 상기 제1 반도체층과 대향하는 제2 면 사이를 관통하고 있는, 촬상 장치.

청구항 24

제21항에 있어서, 상기 증폭 트랜지스터는 상기 삼차원 구조를 갖고,

상기 리셋 트랜지스터, 상기 선택 트랜지스터 및 상기 FD 변환 게인 전환 트랜지스터는 플래너 구조를 갖고 있는, 촬상 장치.

청구항 25

광전 변환부 및 상기 광전 변환부에서 발생한 신호 전하가 축적되는 전하 축적부를 갖는 제1 반도체층과,

상기 제1 반도체층에 적층되어, 삼차원 구조를 가짐과 함께, 상기 전하 축적부로부터 상기 신호 전하를 읽어내는 트랜지스터가 마련된 제1 면을 갖는 제2 반도체층과,

상기 전하 축적부와 상기 트랜지스터의 게이트 전극을 직접 접속하는 관통 배선

을 구비한 수광 소자.

발명의 설명

기 술 분 야

[0001] 본 개시는, 삼차원 구조를 갖는 촬상 장치 및 수광 소자에 관한 것이다.

배 경 기 술

[0002] 예를 들어, 특허문헌 1에서는, 광전 변환을 행하는 센서 화소를 갖는 제1 기판과, 읽어내기 회로를 갖는 제2 기판이 적층되고, 이 제1 기판과 제2 기판은 층간 절연막 내에 마련된 관통 배선에 의해 서로 전기적으로 접속되어 있는 촬상 소자가 개시되어 있다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 국제 공개 제2019/131965호

발명의 내용

[0004] 그런데, 상기와 같은 삼차원 구조의 촬상 소자에서는, 읽어내기 회로가 형성되는 제2 기판의 면적 효율의 향상이 요구되고 있다.

[0005] 면적 효율을 향상시키는 것이 가능한 촬상 장치를 제공하는 것이 바람직하다.

[0006] 본 개시의 일 실시 형태의 촬상 장치는, 화소마다, 광전 변환부 및 광전 변환부에서 발생한 신호 전하가 축적되는 전하 축적부를 갖는 제1 반도체층과, 제1 반도체층에 적층되어, 삼차원 구조를 가짐과 함께, 전하 축적부로부터 신호 전하를 읽어내는 화소 트랜지스터가 마련된 제1 면을 갖는 제2 반도체층과, 전하 축적부와 화소 트랜지스터의 게이트 전극을 직접 접속하는 관통 배선을 구비한 것이다.

[0007] 본 개시의 일 실시 형태의 수광 소자는, 광전 변환부 및 광전 변환부에서 발생한 신호 전하가 축적되는 전하 축

적부를 갖는 제1 반도체층과, 제1 반도체층에 적층되어, 삼차원 구조를 가짐과 함께, 전하 축적부로부터 신호 전하를 읽어내는 트랜지스터가 마련된 제1 면을 갖는 제2 반도체층과, 전하 축적부와 트랜지스터의 게이트 전극을 직접 접속하는 관통 배선을 구비한 것이다.

[0008] 본 개시의 일 실시 형태의 촬상 장치 및 일 실시 형태의 수광 소자에서는, 제1 반도체층에 마련된 전하 축적부와, 제2 반도체층에 마련된 삼차원 구조를 갖는 화소 트랜지스터를 관통 배선에 의해 직접 접속하도록 하였다. 이에 의해, 제2 반도체층의 면 내에 있어서의 화소 트랜지스터 이외의 형성 면적을 삭감한다.

도면의 간단한 설명

[0009] 도 1은 본 개시의 제1 실시 형태에 관계되는 촬상 장치의 기능 구성의 일례를 도시하는 블록도이다.

도 2는 도 1에 도시한 촬상 장치의 개략 구성을 도시하는 평면 모식도이다.

도 3은 도 2에 도시한 III-III'선을 따른 단면 구성을 도시하는 모식도이다.

도 4는 도 1에 도시한 화소 공유 유닛의 등가 회로도이다.

도 5는 복수의 화소 공유 유닛과 복수의 수직 신호선의 접속 양태의 일례를 도시하는 도면이다.

도 6은 도 3에 도시한 촬상 장치의 구체적인 구성의 일례를 도시하는 단면 모식도이다.

도 7a는 도 6에 도시한 제1 기판의 주요부의 평면 구성의 일례를 도시하는 모식도이다.

도 7b는 도 7a에 도시한 제1 기판의 주요부와 함께 패드부의 평면 구성을 도시하는 모식도이다.

도 8은 도 6에 도시한 제2 기판(반도체층)의 평면 구성의 일례를 도시하는 모식도이다.

도 9는 도 6에 도시한 제1 배선층과 함께, 화소 회로 및 제1 기판의 주요부의 평면 구성의 일례를 도시하는 모식도이다.

도 10은 도 6에 도시한 제1 배선층 및 제2 배선층의 평면 구성의 일례를 도시하는 모식도이다.

도 11은 도 6에 도시한 제2 배선층 및 제3 배선층의 평면 구성의 일례를 도시하는 모식도이다.

도 12는 도 6에 도시한 제3 배선층 및 제4 배선층의 평면 구성의 일례를 도시하는 모식도이다.

도 13은 도 1에 도시한 촬상 장치의 주요부의 단면 구성을 도시하는 모식도이다.

도 14는 도 13에 도시한 제2 기판의 평면 구성의 일례를 도시하는 모식도이다.

도 15는 도 13에 도시한 촬상 장치의 주요부의 비교예로서의 단면 구성을 도시하는 모식도이다.

도 16은 도 15에 도시한 제2 기판의 평면 구성의 일례를 도시하는 모식도이다.

도 17a는 도 13에 도시한 촬상 장치의 주요부의 제조 공정을 도시하는 흐름도이다.

도 17b는 도 17a에 이어지는 공정을 도시하는 단면 모식도이다.

도 17c는 도 17b에 이어지는 공정을 도시하는 단면 모식도이다.

도 17d는 도 17c에 이어지는 공정을 도시하는 단면 모식도이다.

도 18은 도 3에 도시한 촬상 장치에의 입력 신호의 경로에 대하여 설명하기 위한 모식도이다.

도 19는 도 3에 도시한 촬상 장치의 화소 신호의 신호 경로에 대하여 설명하기 위한 모식도이다.

도 20은 본 개시의 변형예 1에 관계되는 촬상 장치의 주요부의 단면 구성을 도시하는 모식도이다.

도 21은 본 개시의 변형예 2에 관계되는 촬상 장치의 주요부의 단면 구성을 도시하는 모식도이다.

도 22는 본 개시의 변형예 3에 관계되는 촬상 장치의 주요부의 단면 구성을 도시하는 모식도이다.

도 23은 본 개시의 변형예 4에 관계되는 촬상 장치의 주요부의 단면 구성을 도시하는 모식도이다.

도 24는 본 개시의 변형예 5에 관계되는 촬상 장치의 주요부의 단면 구성을 도시하는 모식도이다.

도 25는 도 24에 도시한 촬상 장치의 제2 기판의 평면 구성의 일례를 도시하는 모식도이다.

도 26은 본 개시의 변형예 6에 관계되는 촬상 장치의 주요부의 단면 구성을 도시하는 모식도이다.

도 27은 본 개시의 변형예 7에 관계되는 촬상 장치의 주요부의 단면 구성을 도시하는 모식도이다.

도 28a는 본 개시의 변형예 8에 관계되는 제조 공정의 일례를 도시하는 흐름도이다.

도 28b는 도 28a에 이어지는 공정을 도시하는 단면 모식도이다.

도 28c는 도 28b에 이어지는 공정을 도시하는 단면 모식도이다.

도 28d는 도 28c에 이어지는 공정을 도시하는 단면 모식도이다.

도 28e는 도 28d에 이어지는 공정을 도시하는 단면 모식도이다.

도 28f는 도 28e에 이어지는 공정을 도시하는 단면 모식도이다.

도 29a는 본 개시의 변형예 8에 관계되는 제조 공정의 다른 예를 도시하는 흐름도이다.

도 29b는 도 29a에 이어지는 공정을 도시하는 단면 모식도이다.

도 29c는 도 29b에 이어지는 공정을 도시하는 단면 모식도이다.

도 29d는 도 29c에 이어지는 공정을 도시하는 단면 모식도이다.

도 30a는 본 개시의 변형예 8에 관계되는 제조 공정의 다른 예를 도시하는 흐름도이다.

도 30b는 도 30a에 이어지는 공정을 도시하는 단면 모식도이다.

도 30c는 도 30b에 이어지는 공정을 도시하는 단면 모식도이다.

도 30d는 도 30c에 이어지는 공정을 도시하는 단면 모식도이다.

도 31a는 본 개시의 변형예 8에 관계되는 제조 공정의 일례를 도시하는 흐름도이다.

도 31b는 도 31a에 이어지는 공정을 도시하는 단면 모식도이다.

도 31c는 도 31b에 이어지는 공정을 도시하는 단면 모식도이다.

도 31d는 도 31c에 이어지는 공정을 도시하는 단면 모식도이다.

도 32는 본 개시의 제2 실시 형태에 관계되는 촬상 장치의 주요부의 단면 구성을 도시하는 모식도이다.

도 33은 도 32에 도시한 촬상 장치의 평면 구성의 일례를 도시하는 모식도이다.

도 34는 도 32에 도시한 촬상 장치의 주요부의 구조를 설명하는 확대도이다.

도 35a는 도 32에 도시한 촬상 장치의 주요부의 제조 공정의 일례를 도시하는 흐름도이다.

도 35b는 도 35a에 이어지는 공정을 도시하는 단면 모식도이다.

도 35c는 도 35b에 이어지는 공정을 도시하는 단면 모식도이다.

도 35d는 도 35c에 이어지는 공정을 도시하는 단면 모식도이다.

도 35e는 도 35d에 이어지는 공정을 도시하는 단면 모식도이다.

도 35f는 도 35e에 이어지는 공정을 도시하는 단면 모식도이다.

도 35g는 도 35f에 이어지는 공정을 도시하는 단면 모식도이다.

도 35h는 도 35g에 이어지는 공정을 도시하는 단면 모식도이다.

도 35i는 도 35h에 이어지는 공정을 도시하는 단면 모식도이다.

도 36은 도 33에 도시한 촬상 장치의 주요부의 비교예로서의 단면 구성을 도시하는 모식도이다.

도 37은 본 개시의 변형예 9에 관계되는 촬상 장치의 주요부의 단면 구성을 도시하는 모식도이다.

도 38a는 도 37에 도시한 촬상 장치의 주요부의 제조 공정의 일례를 도시하는 흐름도이다.

도 38b는 도 38a에 이어지는 공정을 도시하는 단면 모식도이다.

도 38c는 도 38b에 이어지는 공정을 도시하는 단면 모식도이다.

도 38d는 도 38c에 이어지는 공정을 도시하는 단면 모식도이다.

도 38e는 도 38d에 이어지는 공정을 도시하는 단면 모식도이다.

도 39는 본 개시의 변형예 10에 관계되는 촬상 장치의 주요부의 단면 구성의 일례를 도시하는 모식도이다.

도 40은 도 39에 도시한 촬상 장치의 주요부의 구조를 설명하는 확대도이다.

도 41a는 도 39에 도시한 촬상 장치의 주요부의 제조 공정의 일례를 도시하는 흐름도이다.

도 41b는 도 41a에 이어지는 공정을 도시하는 단면 모식도이다.

도 41c는 도 41b에 이어지는 공정을 도시하는 단면 모식도이다.

도 41d는 도 41c에 이어지는 공정을 도시하는 단면 모식도이다.

도 41e는 도 41d에 이어지는 공정을 도시하는 단면 모식도이다.

도 42는 본 개시의 변형예 10에 관계되는 촬상 장치의 주요부의 단면 구성의 다른 예를 도시하는 모식도이다.

도 43은 본 개시의 변형예 10에 관계되는 촬상 장치의 주요부의 단면 구성의 다른 예를 도시하는 모식도이다.

도 44는 본 개시의 변형예 11에 관계되는 촬상 장치의 평면 구성의 일례를 도시하는 모식도이다.

도 45a는 본 개시의 촬상 장치의 주요부의 제조 공정의 일례를 도시하는 흐름도이다.

도 45b는 도 45a에 이어지는 공정을 도시하는 단면 모식도이다.

도 45c는 도 45b에 이어지는 공정을 도시하는 단면 모식도이다.

도 45d는 도 45c에 이어지는 공정을 도시하는 단면 모식도이다.

도 45e는 도 45d에 이어지는 공정을 도시하는 단면 모식도이다.

도 45f는 도 45e에 이어지는 공정을 도시하는 단면 모식도이다.

도 45g는 도 45f에 이어지는 공정을 도시하는 단면 모식도이다.

도 45h는 도 45g에 이어지는 공정을 도시하는 단면 모식도이다.

도 45i는 도 45h에 이어지는 공정을 도시하는 단면 모식도이다.

도 45j는 도 45i에 이어지는 공정을 도시하는 단면 모식도이다.

도 46은 본 개시의 변형예 11에 관계되는 촬상 장치의 평면 구성의 일례를 도시하는 모식도이다.

도 47은 본 개시의 변형예 11에 관계되는 촬상 장치의 평면 구성의 다른 예를 도시하는 모식도이다.

도 48a는 본 개시의 변형예 11에 관계되는 촬상 장치의 다른 예의 제조 공정의 일례를 도시하는 흐름도이다.

도 48b는 도 48a에 이어지는 공정을 도시하는 단면 모식도이다.

도 48c는 도 48b에 이어지는 공정을 도시하는 단면 모식도이다.

도 49는 도 8에 도시한 제2 기판(반도체층)의 평면 구성의 일 변형예를 도시하는 모식도이다.

도 50은 도 49에 도시한 화소 회로와 함께, 제1 배선층 및 제1 기판의 주요부의 평면 구성을 도시하는 모식도이다.

도 51은 도 50에 도시한 제1 배선층과 함께, 제2 배선층의 평면 구성의 일례를 도시하는 모식도이다.

도 52는 도 51에 도시한 제2 배선층과 함께, 제3 배선층의 평면 구성의 일례를 도시하는 모식도이다.

도 53은 도 52에 도시한 제3 배선층과 함께, 제4 배선층의 평면 구성의 일례를 도시하는 모식도이다.

도 54는 도 7a에 도시한 제1 기판의 평면 구성의 일 변형예를 도시하는 모식도이다.

도 55는 도 54에 도시한 제1 기판에 적층되는 제2 기판(반도체층)의 평면 구성의 일례를 도시하는 모식도이다.

도 56은 도 55에 도시한 화소 회로와 함께, 제1 배선층의 평면 구성의 일례를 도시하는 모식도이다.

도 57은 도 56에 도시한 제1 배선층과 함께, 제2 배선층의 평면 구성의 일례를 도시하는 모식도이다.

도 58은 도 57에 도시한 제2 배선층과 함께, 제3 배선층의 평면 구성의 일례를 도시하는 모식도이다.

도 59는 도 58에 도시한 제3 배선층과 함께, 제4 배선층의 평면 구성의 일례를 도시하는 모식도이다.

도 60은 도 54에 도시한 제1 기판의 평면 구성의 다른 예를 도시하는 모식도이다.

도 61은 도 60에 도시한 제1 기판에 적층되는 제2 기판(반도체층)의 평면 구성의 일례를 도시하는 모식도이다.

도 62는 도 61에 도시한 화소 회로와 함께, 제1 배선층의 평면 구성의 일례를 도시하는 모식도이다.

도 63은 도 62에 도시한 제1 배선층과 함께, 제2 배선층의 평면 구성의 일례를 도시하는 모식도이다.

도 64는 도 63에 도시한 제2 배선층과 함께, 제3 배선층의 평면 구성의 일례를 도시하는 모식도이다.

도 65는 도 64에 도시한 제3 배선층과 함께, 제4 배선층의 평면 구성의 일례를 도시하는 모식도이다.

도 66은 도 3에 도시한 촬상 장치의 다른 예를 도시하는 단면 모식도이다.

도 67은 도 66에 도시한 촬상 장치에의 입력 신호의 경로에 대하여 설명하기 위한 모식도이다.

도 68은 도 66에 도시한 촬상 장치의 화소 신호의 신호 경로에 대하여 설명하기 위한 모식도이다.

도 69는 도 6에 도시한 촬상 장치의 다른 예를 도시하는 단면 모식도이다.

도 70은 도 4에 도시한 등가 회로의 다른 예를 도시하는 도면이다.

도 71은 도 7a 등에 도시한 화소 분리부의 다른 예를 도시하는 평면 모식도이다.

도 72는 본 개시의 변형예 19에 관계되는 촬상 장치의 주요부의 단면 구성의 일례를 도시하는 모식도이다.

도 73은 도 72에 도시한 촬상 장치의 평면 구성의 일례를 도시하는 모식도이다.

도 74a는 도 72에 도시한 촬상 장치의 주요부의 제조 공정의 일례를 도시하는 흐름도이다.

도 74b는 도 74a에 이어지는 공정을 도시하는 단면 모식도이다.

도 74c는 도 74b에 이어지는 공정을 도시하는 단면 모식도이다.

도 74d는 도 74c에 이어지는 공정을 도시하는 단면 모식도이다.

도 74e는 도 74d에 이어지는 공정을 도시하는 단면 모식도이다.

도 74f는 도 74e에 이어지는 공정을 도시하는 단면 모식도이다.

도 75a는 도 72에 도시한 촬상 장치의 주요부의 제조 공정의 다른 예를 도시하는 흐름도이다.

도 75b는 도 75a에 이어지는 공정을 도시하는 단면 모식도이다.

도 75c는 도 75b에 이어지는 공정을 도시하는 단면 모식도이다.

도 75d는 도 75c에 이어지는 공정을 도시하는 단면 모식도이다.

도 75e는 도 75d에 이어지는 공정을 도시하는 단면 모식도이다.

도 75f는 도 75e에 이어지는 공정을 도시하는 단면 모식도이다.

도 76은 본 개시의 변형예 20에 관계되는 촬상 장치의 주요부의 단면 구성의 일례를 도시하는 모식도이다.

도 77은 도 76에 도시한 촬상 장치의 등가 회로의 일례를 도시하는 도면이다.

도 78a는 도 76에 도시한 촬상 장치의 주요부의 제조 공정의 일례를 도시하는 흐름도이다.

도 78b는 도 78a에 이어지는 공정을 도시하는 단면 모식도이다.

도 78c는 도 78b에 이어지는 공정을 도시하는 단면 모식도이다.

도 78d는 도 78c에 이어지는 공정을 도시하는 단면 모식도이다.

도 79는 본 개시의 변형예 20에 관계되는 촬상 장치의 주요부의 단면 구성의 다른 예를 도시하는 모식도이다.

도 80은 본 개시의 변형예 20에 관계되는 촬상 장치의 주요부의 단면 구성의 다른 예를 도시하는 모식도이다.

도 81은 본 개시의 변형예 21에 관계되는 촬상 장치의 주요부의 단면 구성의 일례를 도시하는 모식도이다.

도 82는 도 81에 도시한 촬상 장치의 평면 구성의 일례를 도시하는 모식도이다.

도 83a는 도 81에 도시한 촬상 장치의 주요부의 제조 공정의 일례를 도시하는 흐름도이다.

도 83b는 도 83a에 이어지는 공정을 도시하는 단면 모식도이다.

도 83c는 도 83b에 이어지는 공정을 도시하는 단면 모식도이다.

도 83d는 도 83c에 이어지는 공정을 도시하는 단면 모식도이다.

도 83e는 도 83d에 이어지는 공정을 도시하는 단면 모식도이다.

도 84는 본 개시의 변형예 21에 관계되는 촬상 장치의 주요부의 단면 구성의 다른 예를 도시하는 모식도이다.

도 85는 본 개시의 변형예 21에 관계되는 촬상 장치의 주요부의 단면 구성의 다른 예를 도시하는 모식도이다.

도 86은 도 81에 도시한 촬상 장치의 평면 구성의 다른 예를 도시하는 모식도이다.

도 87은 본 개시의 변형예 21에 관계되는 촬상 장치의 주요부의 단면 구성의 다른 예를 도시하는 모식도이다.

도 88은 본 개시의 변형예 22에 관계되는 촬상 장치의 주요부의 단면 구성의 일례를 도시하는 모식도이다.

도 89는 도 88에 도시한 촬상 장치의 등가 회로의 일례를 도시하는 도면이다.

도 90a는 도 88에 도시한 촬상 장치의 주요부의 제조 공정의 일례를 도시하는 흐름도이다.

도 90b는 도 90a에 이어지는 공정을 도시하는 단면 모식도이다.

도 90c는 도 90b에 이어지는 공정을 도시하는 단면 모식도이다.

도 90d는 도 90c에 이어지는 공정을 도시하는 단면 모식도이다.

도 90e는 도 90d에 이어지는 공정을 도시하는 단면 모식도이다.

도 90f는 도 90e에 이어지는 공정을 도시하는 단면 모식도이다.

도 90g는 도 90f에 이어지는 공정을 도시하는 단면 모식도이다.

도 91은 본 개시의 변형예 22에 관계되는 촬상 장치의 주요부의 단면 구성의 다른 예를 도시하는 모식도이다.

도 92는 도 91에 도시한 촬상 장치의 등가 회로의 일례를 도시하는 도면이다.

도 93은 본 개시의 변형예 22에 관계되는 촬상 장치의 주요부의 단면 구성의 다른 예를 도시하는 모식도이다.

도 94는 도 93에 도시한 촬상 장치의 등가 회로의 일례를 도시하는 도면이다.

도 95a는 도 93에 도시한 촬상 장치의 주요부의 제조 공정의 일례를 도시하는 흐름도이다.

도 95b는 도 95a에 이어지는 공정을 도시하는 단면 모식도이다.

도 95c는 도 95b에 이어지는 공정을 도시하는 단면 모식도이다.

도 95d는 도 95c에 이어지는 공정을 도시하는 단면 모식도이다.

도 95e는 도 95d에 이어지는 공정을 도시하는 단면 모식도이다.

도 95f는 도 95e에 이어지는 공정을 도시하는 단면 모식도이다.

도 95g는 도 95f에 이어지는 공정을 도시하는 단면 모식도이다.

도 96은 본 개시의 변형예 22에 관계되는 촬상 장치의 주요부의 단면 구성의 다른 예를 도시하는 모식도이다.

도 97은 본 개시의 변형예 22에 관계되는 촬상 장치의 주요부의 단면 구성의 다른 예를 도시하는 모식도이다.

도 98은 본 개시의 변형예 22에 관계되는 촬상 장치의 주요부의 단면 구성의 다른 예를 도시하는 모식도이다.

도 99는 상기 실시 형태 및 그의 변형예에 관계되는 촬상 장치를 구비한 촬상 시스템의 개략 구성의 일례를 도시하는 도면이다.

도 100은 도 88에 도시한 촬상 시스템의 촬상 수순의 일례를 도시하는 도면이다.

도 101은 차량 제어 시스템의 개략적인 구성의 일례를 도시하는 블록도이다.

도 102는 차외 정보 검출부 및 촬상부의 설치 위치의 일례를 도시하는 설명도이다.

도 103은 내시경 수술 시스템의 개략적인 구성의 일례를 도시하는 도면이다.

도 104는 카메라 헤드 및 CCU의 기능 구성의 일례를 도시하는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이하, 본 개시에 있어서의 일 실시 형태에 대해서, 도면을 참조하여 상세하게 설명한다. 이하의 설명은 본 개시의 일 구체예이며, 본 개시는 이하의 양태에 한정되는 것은 아니다. 또한, 본 개시는, 각 도면에 도시하는 각 구성 요소의 배치나 치수, 치수비 등에 대해서도, 그들에 한정되는 것은 아니다. 또한, 설명하는 순서는 하기와 같다.

[0011] 1. 제1 실시 형태(3개의 기판의 적층 구조를 갖고, 플로팅 디퓨전과 증폭 트랜지스터를 관통 배선으로 직접 접속한 촬상 장치의 예 1)

[0012] 2. 변형예

[0013] 2-1. 변형예 1(제1 기판측의 구성의 다른 예)

[0014] 2-2. 변형예 2(화소 트랜지스터의 구조의 다른 예 1)

[0015] 2-3. 변형예 3(화소 트랜지스터의 구조의 다른 예 2)

[0016] 2-4. 변형예 4(플로팅 디퓨전과 증폭 트랜지스터의 접속 방법의 다른 예)

[0017] 2-5. 변형예 5(플로팅 디퓨전과 증폭 트랜지스터의 접속 방법의 다른 예)

[0018] 2-6. 변형예 6(플로팅 디퓨전과 증폭 트랜지스터를 접속하는 관통 배선의 구조의 다른 예)

[0019] 2-7. 변형예 7(화소 회로 내에 있어서의 트랜지스터 간의 접속 방법의 다른 예)

[0020] 2-8. 변형예 8(Fin 구조를 갖는 트랜지스터의 제조 방법의 예)

[0021] 3. 제2 실시 형태(3개의 기판의 적층 구조를 갖고, 플로팅 디퓨전과 증폭 트랜지스터를 관통 배선으로 직접 접속한 촬상 장치의 예 2)

[0022] 4. 변형예

[0023] 4-1. 변형예 9(증폭 트랜지스터의 구조의 다른 예 1)

[0024] 4-2. 변형예 10(증폭 트랜지스터의 구조의 다른 예 2)

[0025] 4-3. 변형예 11(증폭 트랜지스터의 구조의 다른 예 3)

[0026] 5. 변형예 12(평면 구성의 예 1)

[0027] 6. 변형예 13(평면 구성의 예 2)

[0028] 7. 변형예 14(평면 구성의 예 3)

[0029] 8. 변형예 15(화소 어레이부의 중앙부에 기판 사이의 콘택트부를 갖는 예)

[0030] 9. 변형예 16(플래너형의 전송 트랜지스터를 갖는 예)

[0031] 10. 변형예 17(하나의 화소 회로에 하나의 화소가 접속되는 예)

[0032] 11. 변형예 18(화소 분리부의 구성예)

[0033] 12. 변형예 19(플로팅 디퓨전과 증폭 트랜지스터의 접속 방법의 다른 예)

[0034] 13. 변형예 20(플로팅 디퓨전과 리셋 트랜지스터를 관통 배선으로 직접 접속하는 예)

[0035] 14. 변형예 21(폴리실리콘 배선을 사용하여 동전위의 트랜지스터를 전기적으로 접속하는 예)

[0036] 15. 변형예 22(화소 회로를 구성하는 복수의 트랜지스터를 적층되는 2개의 반도체층에 구분 제작한 예)

[0037] 16. 적용예(촬상 시스템)

[0038] 17. 응용예

[0039] <1. 제1 실시 형태>

[0040] [촬상 장치(1)의 기능 구성]

[0041] 도 1은, 본 개시의 제1 실시 형태에 관계되는 촬상 장치(촬상 장치(1))의 기능 구성의 일례를 도시하는 블록도이다.

[0042] 도 1의 촬상 장치(1)는 예를 들어, 입력부(510A), 행 구동부(520), 타이밍 제어부(530), 화소 어레이부(540), 열 신호 처리부(550), 화상 신호 처리부(560) 및 출력부(510B)를 포함하고 있다.

[0043] 화소 어레이부(540)에는, 화소(541)가 어레이상으로 반복하여 배치되어 있다. 보다 구체적으로는, 복수의 화소를 포함한 화소 공유 유닛(539)이 반복 단위가 되고, 이것이, 행방향과 열방향을 포함하는 어레이상으로 반복하여 배치되어 있다. 또한, 본 명세서에서는, 편의상, 행방향을 H 방향, 행방향과 직교하는 열방향을 V 방향이라고 칭하는 경우가 있다. 도 1의 예에 있어서, 하나의 화소 공유 유닛(539)이 4개의 화소(화소(541A, 541B, 541C, 541D))를 포함하고 있다. 화소(541A, 541B, 541C, 541D)는 각각, 포토다이오드(PD)(후술하는 도 6 등에 도시)를 갖고 있다. 화소 공유 유닛(539)은 하나의 화소 회로(후술하는 도 4의 화소 회로(210))를 공유하는 단위이다. 바꾸어 말하면, 4개의 화소(화소(541A, 541B, 541C, 541D))마다, 하나의 화소 회로(후술하는 화소 회로(210))를 갖고 있다. 이 화소 회로를 시분할로 동작시킴으로써, 화소(541A, 541B, 541C, 541D) 각각의 화소 신호가 순차 읽어내지게 되어 있다. 화소(541A, 541B, 541C, 541D)는, 예를 들어 2행×2열로 배치되어 있다. 화소 어레이부(540)에는, 화소(541A, 541B, 541C, 541D)와 함께, 복수의 행 구동 신호선(542) 및 복수의 수직 신호선(열 읽어내기선)(543)이 마련되어 있다. 행 구동 신호선(542)은 화소 어레이부(540)에 있어서 행방향으로 나란히 배열된, 복수의 화소 공유 유닛(539) 각각에 포함되는 화소(541)를 구동한다. 화소 공유 유닛(539)중, 행방향으로 나란히 배열된 각 화소를 구동한다. 나중에 도 4를 참조하여 상세하게 설명하겠지만, 화소 공유 유닛(539)에는 복수의 트랜지스터가 마련되어 있다. 이들 복수의 트랜지스터를 각각 구동하기 위해서, 하나의 화소 공유 유닛(539)에는 복수의 행 구동 신호선(542)이 접속되어 있다. 수직 신호선(열 읽어내기선)(543)에는, 화소 공유 유닛(539)이 접속되어 있다. 화소 공유 유닛(539)에 포함되는 화소(541A, 541B, 541C, 541D) 각각으로부터, 수직 신호선(열 읽어내기선)(543)을 통하여 화소 신호가 읽어내진다.

[0044] 행 구동부(520)는 예를 들어, 화소 구동하기 위한 행 위치를 정하는 행 어드레스제어부, 바꿔 말하면, 행 디코더부와, 화소(541A, 541B, 541C, 541D)를 구동하기 위한 신호를 발생시키는 행 구동 회로부를 포함하고 있다.

[0045] 열 신호 처리부(550)는 예를 들어, 수직 신호선(543)에 접속되고, 화소(541A, 541B, 541C, 541D)(화소 공유 유닛(539))와 소스 폴로워 회로를 형성하는 부하 회로부를 구비한다. 열 신호 처리부(550)는 수직 신호선(543)을 통하여 화소 공유 유닛(539)으로부터 읽어내진 신호를 증폭하는 증폭 회로부를 갖고 있어도 된다. 열 신호 처리부(550)는 노이즈 처리부를 갖고 있어도 된다. 노이즈 처리부에서는, 예를 들어, 광전 변환의 결과로서 화소 공유 유닛(539)으로부터 읽어내진 신호로부터, 계의 노이즈 레벨이 제거된다.

[0046] 열 신호 처리부(550)는 예를 들어, 아날로그/디지털 컨버터(ADC)를 갖고 있다. 아날로그/디지털 컨버터에서는, 화소 공유 유닛(539)으로부터 읽어내진 신호 혹은 상기 노이즈 처리된 아날로그 신호가 디지털 신호로 변환된다. ADC는, 예를 들어, 비교기부 및 카운터부를 포함하고 있다. 비교기부에서는, 변환 대상으로 되는 아날로그 신호와, 이것과 비교 대상으로 되는 참조 신호가 비교된다. 카운터부에서는, 비교기부에서의 비교 결과가 반전될 때까지의 시간이 계측되게 되어 있다. 열 신호 처리부(550)는 읽어내기 열을 주사하는 제어를 행하는 수평 주사 회로부를 포함하고 있어도 된다.

[0047] 타이밍 제어부(530)는 장치에 입력된 기준 클럭 신호나 타이밍 제어 신호를 기초로 하여, 행 구동부(520) 및 열 신호 처리부(550)에, 타이밍을 제어하는 신호를 공급한다.

[0048] 화상 신호 처리부(560)는 광전 변환의 결과 얻어진 데이터, 바꿔 말하면, 촬상 장치(1)에 있어서의 촬상 동작의 결과 얻어진 데이터에 대하여 각종 신호 처리를 실시하는 회로이다. 화상 신호 처리부(560)는 예를 들어, 화상

신호 처리 회로부 및 데이터 유지부를 포함하고 있다. 화상 신호 처리부(560)는 프로세서부를 포함하고 있어도 된다.

[0049] 화상 신호 처리부(560)에 있어서 실행되는 신호 처리의 일례는, AD 변환된 촬상 데이터가, 어두운 피사체를 촬영한 데이터일 경우에는 계조를 많이 갖게 하고, 밝은 피사체를 촬영한 데이터일 경우에는 계조를 적게 하는 톤 커브 보정 처리이다. 이 경우, 촬상 데이터의 계조를 어떤 톤 커브에 기초하여 보정할 것인지, 톤 커브의 특성 데이터를 미리 화상 신호 처리부(560)의 데이터 유지부에 기억시켜 두는 것이 바람직하다.

[0050] 입력부(510A)는 예를 들어, 상기 기준 클럭 신호, 타이밍 제어 신호 및 특성 데이터 등을 장치 외부로부터 촬상 장치(1)에 입력하기 위한 것이다. 타이밍 제어 신호는, 예를 들어, 수직 동기 신호 및 수평 동기 신호 등이다. 특성 데이터는, 예를 들어, 화상 신호 처리부(560)의 데이터 유지부에 기억시키기 위한 것이다. 입력부(510A)는 예를 들어, 입력 단자(511), 입력 회로부(512), 입력 진폭 변경부(513), 입력 데이터 변환 회로부(514) 및 전원 공급부(도시하지 않음)를 포함하고 있다.

[0051] 입력 단자(511)는 데이터를 입력하기 위한 외부 단자이다. 입력 회로부(512)는 입력 단자(511)에 입력된 신호를 촬상 장치(1)의 내부에 도입하기 위한 것이다. 입력 진폭 변경부(513)에서는, 입력 회로부(512)에서 도입된 신호의 진폭이, 촬상 장치(1)의 내부에서 이용하기 쉬운 진폭으로 변경된다. 입력 데이터 변환 회로부(514)에서는, 입력 데이터의 데이터열의 배열이 변경된다. 입력 데이터 변환 회로부(514)는 예를 들어, 시리얼 패럴렐 변환 회로에 의해 구성되어 있다. 이 시리얼 패럴렐 변환 회로에서는, 입력 데이터로서 수취한 시리얼 신호가 패럴렐 신호로 변환된다. 또한, 입력부(510A)에서는, 입력 진폭 변경부(513) 및 입력 데이터 변환 회로부(514)가 생략되어 있어도 된다. 전원 공급부는, 외부로부터 촬상 장치(1)에 공급된 전원을 바탕으로 하여, 촬상 장치(1)의 내부에서 필요하게 되는 각종 전압으로 설정된 전원을 공급한다.

[0052] 촬상 장치(1)가 외부의 메모리 디바이스와 접속될 때, 입력부(510A)에는, 외부의 메모리 디바이스로부터의 데이터를 수취하는 메모리 인터페이스 회로가 마련되어 있어도 된다. 외부의 메모리 디바이스는, 예를 들어, 플래시 메모리, SRAM 및 DRAM 등이다.

[0053] 출력부(510B)는 화상 데이터를 장치 외부로 출력한다. 이 화상 데이터는, 예를 들어, 촬상 장치(1)로 촬영된 화상 데이터 및 화상 신호 처리부(560)에서 신호 처리된 화상 데이터 등이다. 출력부(510B)는 예를 들어, 출력 데이터 변환 회로부(515), 출력 진폭 변경부(516), 출력 회로부(517) 및 출력 단자(518)를 포함하고 있다.

[0054] 출력 데이터 변환 회로부(515)는 예를 들어, 패럴렐 시리얼 변환 회로에 의해 구성되어 있고, 출력 데이터 변환 회로부(515)에서는, 촬상 장치(1) 내부에서 사용한 패럴렐 신호가 시리얼 신호로 변환된다. 출력 진폭 변경부(516)는 촬상 장치(1)의 내부에서 사용한 신호의 진폭을 변경한다. 변경된 진폭의 신호는, 촬상 장치(1)의 외부에 접속되는 외부 디바이스에서 이용하기 쉬워진다. 출력 회로부(517)는 촬상 장치(1)의 내부로부터 장치 외부로 데이터를 출력하는 회로이며, 출력 회로부(517)에 의해, 출력 단자(518)에 접속된 촬상 장치(1) 외부의 배선이 구동된다. 출력 단자(518)에서는, 촬상 장치(1)로부터 장치 외부로 데이터가 출력된다. 출력부(510B)에서는, 출력 데이터 변환 회로부(515) 및 출력 진폭 변경부(516)가 생략되어 있어도 된다.

[0055] 촬상 장치(1)가 외부의 메모리 디바이스와 접속될 때, 출력부(510B)에는, 외부의 메모리 디바이스에 데이터를 출력하는 메모리 인터페이스 회로가 마련되어 있어도 된다. 외부의 메모리 디바이스는, 예를 들어, 플래시 메모리, SRAM 및 DRAM 등이다.

[0056] [촬상 장치(1)의 개략 구성]

[0057] 도 2 및 도 3은, 촬상 장치(1)의 개략 구성의 일례를 도시한 것이다. 촬상 장치(1)는 3개의 기판(제1 기판(100), 제2 기판(200), 제3 기판(300))을 구비하고 있다. 도 2는, 제1 기판(100), 제2 기판(200) 및 제3 기판(300) 각각의 평면 구성을 모식적으로 도시한 것이며, 도 3은, 서로 적층된 제1 기판(100), 제2 기판(200) 및 제3 기판(300)의 단면 구성을 모식적으로 도시하고 있다. 도 3은, 도 2에 도시한 III-III'선을 따른 단면 구성에 대응한다. 촬상 장치(1)는 3개의 기판(제1 기판(100), 제2 기판(200), 제3 기판(300))을 접합하여 구성된 삼차원 구조의 촬상 장치이다. 제1 기판(100)은 반도체층(100S) 및 배선층(100T)을 포함한다. 제2 기판(200)은 반도체층(200S) 및 배선층(200T)을 포함한다. 제3 기판(300)은 반도체층(300S) 및 배선층(300T)을 포함한다. 여기서, 제1 기판(100), 제2 기판(200) 및 제3 기판(300)의 각 기판에 포함되는 배선과 그 주위의 층간 절연막을 합한 것을, 편의상, 각각의 기판(제1 기판(100), 제2 기판(200) 및 제3 기판(300))에 마련된 배선층(100T, 200T, 300T)이라고 칭한다. 제1 기판(100), 제2 기판(200) 및 제3 기판(300)은 이 순으로 적층되어 있고, 적층 방향을 따라, 반도체층(100S), 배선층(100T), 반도체층(200S), 배선층(200T), 배선층(300T) 및

반도체층(300S)의 순으로 배치되어 있다. 제1 기판(100), 제2 기판(200) 및 제3 기판(300)의 구체적인 구성에 대해서는 후술한다. 도 3에 도시한 화살표는, 촬상 장치(1)에의 광(L)의 입사 방향을 나타낸다. 본 명세서에서는, 편의상, 이후의 단면도에서, 촬상 장치(1)에 있어서의 광 입사측을 「하」 「하측」 「하방」, 광 입사측과 반대측을 「상」 「상측」 「상방」이라고 칭하는 경우가 있다. 또한, 본 명세서에서는, 편의상, 반도체층과 배선층을 구비한 기판에 대해서, 배선층의 측을 표면, 반도체층의 측을 이면이라고 칭하는 경우가 있다. 또한, 명세서의 기재는, 상기의 부르는 법에 한정되지 않는다. 촬상 장치(1)는 예를 들어, 포토다이오드를 갖는 제1 기판(100)의 이면측으로부터 광이 입사하는, 이면 조사형 촬상 장치로 되어 있다.

[0058] 화소 어레이부(540) 및 화소 어레이부(540)에 포함되는 화소 공유 유닛(539)은, 모두, 제1 기판(100) 및 제2 기판(200)의 양쪽을 사용하여 구성되어 있다. 제1 기판(100)에는, 화소 공유 유닛(539)이 갖는 복수의 화소(541A, 541B, 541C, 541D)가 마련되어 있다. 이들 화소(541) 각각이, 포토다이오드(후술하는 포토다이오드(PD)) 및 전송 트랜지스터(후술하는 전송 트랜지스터(TR))를 갖고 있다. 제2 기판(200)에는, 화소 공유 유닛(539)이 갖는 화소 회로(후술하는 화소 회로(210))가 마련되어 있다. 화소 회로는, 화소(541A, 541B, 541C, 541D) 각각의 포토다이오드로부터 전송 트랜지스터를 통하여 전송된 화소 신호를 읽어내거나, 혹은, 포토다이오드를 리셋한다. 이 제2 기판(200)은 이러한 화소 회로에 추가로, 행방향으로 연장되는 복수의 행 구동 신호선(542) 및 열방향으로 연장되는 복수의 수직 신호선(543)을 갖고 있다. 제2 기판(200)은 또한, 행방향으로 연장되는 전원선(544)(후술하는 전원선(VDD) 등)을 갖고 있다. 제3 기판(300)은 예를 들어, 입력부(510A), 행 구동부(520), 타이밍 제어부(530), 열 신호 처리부(550), 화상 신호 처리부(560) 및 출력부(510B)를 갖고 있다. 행 구동부(520)는 예를 들어, 제1 기판(100), 제2 기판(200) 및 제3 기판(300)의 적층 방향(이하, 간단히 적층 방향이라고 한다)에 있어서, 일부가 화소 어레이부(540)에 겹치는 영역에 마련되어 있다. 보다 구체적으로는, 행 구동부(520)는 적층 방향에 있어서, 화소 어레이부(540)의 H 방향의 단부 근방에 겹치는 영역에 마련되어 있다(도 2). 열 신호 처리부(550)는 예를 들어, 적층 방향에 있어서, 일부가 화소 어레이부(540)에 겹치는 영역에 마련되어 있다. 보다 구체적으로는, 열 신호 처리부(550)는 적층 방향에 있어서, 화소 어레이부(540)의 V 방향의 단부 근방에 겹치는 영역에 마련되어 있다(도 2). 도시는 생략하지만, 입력부(510A) 및 출력부(510B)는 제3 기판(300) 이외의 부분에 배치되어 있어도 되고, 예를 들어, 제2 기판(200)에 배치되어 있어도 된다. 혹은, 제1 기판(100)의 이면(광 입사면)측에 입력부(510A) 및 출력부(510B)를 마련하게 해도 된다. 또한, 상기 제2 기판(200)에 마련된 화소 회로는, 다른 호칭으로서, 화소 트랜지스터 회로, 화소 트랜지스터군, 화소 트랜지스터, 화소 읽어내기 회로 또는 읽어내기 회로라고 불리는 경우도 있다. 본 명세서에서는, 화소 회로라는 호칭을 사용한다.

[0059] 제1 기판(100)과 제2 기판(200)은, 예를 들어, 관통 전극(후술하는 도 6의 관통 전극(120E, 121E))에 의해 전기적으로 접속되어 있다. 제2 기판(200)과 제3 기판(300)은, 예를 들어, 콘택트부(201, 202, 301, 302)를 통하여 전기적으로 접속되어 있다. 제2 기판(200)에 콘택트부(201, 202)가 마련되고, 제3 기판(300)에 콘택트부(301, 302)가 마련되어 있다. 제2 기판(200)의 콘택트부(201)가 제3 기판(300)의 콘택트부(301)에 접하고, 제2 기판(200)의 콘택트부(202)가 제3 기판(300)의 콘택트부(302)에 접하고 있다. 제2 기판(200)은 복수의 콘택트부(201)가 마련된 콘택트 영역(201R)과, 복수의 콘택트부(202)가 마련된 콘택트 영역(202R)을 갖고 있다. 제3 기판(300)은 복수의 콘택트부(301)가 마련된 콘택트 영역(301R)과, 복수의 콘택트부(302)가 마련된 콘택트 영역(302R)을 갖고 있다. 콘택트 영역(201R, 301R)은, 적층 방향에 있어서, 화소 어레이부(540)와 행 구동부(520) 사이에 마련되어 있다(도 3). 바꾸어 말하면, 콘택트 영역(201R, 301R)은, 예를 들어, 행 구동부(520)(제3 기판(300))와, 화소 어레이부(540)(제2 기판(200))가 적층 방향으로 겹치는 영역, 혹은 이 근방 영역에 마련되어 있다. 콘택트 영역(201R, 301R)은, 예를 들어, 이러한 영역 중, H 방향의 단부에 배치되어 있다(도 2). 제3 기판(300)에서는, 예를 들어, 행 구동부(520)의 일부, 구체적으로는 행 구동부(520)의 H 방향의 단부에 겹치는 위치에 콘택트 영역(301R)이 마련되어 있다(도 2, 도 3). 콘택트부(201, 301)는, 예를 들어, 제3 기판(300)에 마련된 행 구동부(520)와, 제2 기판(200)에 마련된 행 구동 신호선(542)을 접속하는 것이다. 콘택트부(201, 301)는, 예를 들어, 제3 기판(300)에 마련된 입력부(510A)와 전원선(544) 및 기준 전위선(후술하는 기준 전위선(VSS))을 접속하고 있어도 된다. 콘택트 영역(202R, 302R)은, 적층 방향에 있어서, 화소 어레이부(540)와 열 신호 처리부(550) 사이에 마련되어 있다(도 3). 바꾸어 말하면, 콘택트 영역(202R, 302R)은, 예를 들어, 열 신호 처리부(550)(제3 기판(300))와 화소 어레이부(540)(제2 기판(200))가 적층 방향으로 겹치는 영역, 혹은 이 근방 영역에 마련되어 있다. 콘택트 영역(202R, 302R)은, 예를 들어, 이러한 영역 중, V 방향의 단부에 배치되어 있다(도 2). 제3 기판(300)에서는, 예를 들어, 열 신호 처리부(550)의 일부, 구체적으로는 열 신호 처리부(550)의 V 방향의 단부에 겹치는 위치에 콘택트 영역(302R)이 마련되어 있다(도 2, 도 3). 콘택트부(202, 302)는, 예를 들어, 화소 어레이부(540)가 갖는 복수의 화소 공유 유닛(539) 각각으로부터 출력된 화소 신호(포

토다이오드에서의 광전 변환의 결과 발생한 전하의 양에 대응한 신호)를 제3 기판(300)에 마련된 열 신호 처리부(550)에 접속하기 위한 것이다. 화소 신호는, 제2 기판(200)으로부터 제3 기판(300)에 보내지게 되어 있다.

[0060] 도 3은, 상기한 바와 같이 촬상 장치(1)의 단면도의 일례이다. 제1 기판(100), 제2 기판(200), 제3 기판(300)은 배선층(100T, 200T, 300T)을 통하여 전기적으로 접속된다. 예를 들어, 촬상 장치(1)는 제2 기판(200)과 제3 기판(300)을 전기적으로 접속하는 전기적 접속부를 갖는다. 구체적으로는, 도전 재료로 형성된 전극으로 콘택트부(201, 202, 301, 302)를 형성한다. 도전 재료는, 예를 들어, 구리(Cu), 알루미늄(Al), 금(Au), 등의 금속 재료로 형성된다. 콘택트 영역(201R, 202R, 301R, 302R)은, 예를 들어 전극으로서 형성된 배선끼리를 직접 접합함으로써, 제2 기판과 제3 기판을 전기적으로 접속하고, 제2 기판(200)과 제3 기판(300)의 신호의 입력 및/또는 출력을 가능하게 한다.

[0061] 제2 기판(200)과 제3 기판(300)을 전기적으로 접속하는 전기적 접속부는, 원하는 개소에 마련할 수 있다. 예를 들어, 도 3에 있어서 콘택트 영역(201R, 202R, 301R, 302R)으로서 설명한 바와 같이, 화소 어레이부(540)와 적층 방향으로 겹치는 영역에 마련해도 된다. 또한, 전기적 접속부를 화소 어레이부(540)와 적층 방향으로 겹치지 않는 영역에 마련해도 된다. 구체적으로는, 화소 어레이부(540)의 외측에 배치된 주변부와, 적층 방향으로 겹치는 영역에 마련해도 된다.

[0062] 제1 기판(100) 및 제2 기판(200)에는, 예를 들어, 접속 구멍부(H1, H2)가 마련되어 있다. 접속 구멍부(H1, H2)는, 제1 기판(100) 및 제2 기판(200)을 관통하고 있다(도 3). 접속 구멍부(H1, H2)는, 화소 어레이부(540)(또는 화소 어레이부(540)에 겹치는 부분)의 외측에 마련되어 있다(도 2). 예를 들어, 접속 구멍부(H1)는, H 방향에 있어서 화소 어레이부(540)보다 외측에 배치되어 있고, 접속 구멍부(H2)는, V 방향에 있어서 화소 어레이부(540)보다도 외측에 배치되어 있다. 예를 들어, 접속 구멍부(H1)는, 제3 기판(300)에 마련된 입력부(510A)에 달하고 있고, 접속 구멍부(H2)는, 제3 기판(300)에 마련된 출력부(510B)에 달하고 있다. 접속 구멍부(H1, H2)는, 공동이어도 되고, 적어도 일부에 도전 재료를 포함하고 있어도 된다. 예를 들어, 입력부(510A) 및/또는 출력부(510B)로서 형성된 전극에, 본딩 와이어를 접속하는 구성이 있다. 또는, 입력부(510A) 및/또는 출력부(510B)로서 형성된 전극과, 접속 구멍부(H1, H2)에 마련된 도전 재료를 접속하는 구성이 있다. 접속 구멍부(H1, H2)에 마련된 도전 재료는, 접속 구멍부(H1, H2)의 일부 또는 전부에 매립되어 있어도 되고, 도전 재료가 접속 구멍부(H1, H2)의 측벽에 형성되어 있어도 된다.

[0063] 또한, 도 3에서는 제3 기판(300)에 입력부(510A), 출력부(510B)를 마련하는 구조로 했지만, 이것에 한정되지 않는다. 예를 들어, 배선층(200T, 300T)을 통하여 제3 기판(300)의 신호를 제2 기판(200)에 보냄으로써, 입력부(510A) 및/또는 출력부(510B)를 제2 기판(200)에 마련할 수도 있다. 마찬가지로, 배선층(100T, 200T)을 통하여, 제2 기판(200)의 신호를 제1 기판(100)에 보냄으로써, 입력부(510A) 및/또는 출력부(510B)를 제1 기판(100)에 마련할 수도 있다.

[0064] 도 4는, 화소 공유 유닛(539)의 구성의 일례를 도시하는 등가 회로도이다. 화소 공유 유닛(539)은 복수의 화소(541)(도 4에서는, 화소(541A, 541B, 541C, 541D)의 4개의 화소(541)를 도시한다)와, 이 복수의 화소(541)에 접속된 1의 화소 회로(210)와, 화소 회로(210)에 접속된 수직 신호선(543)을 포함하고 있다. 화소 회로(210)는 예를 들어, 4개의 트랜지스터, 구체적으로는, 증폭 트랜지스터(AMP), 선택 트랜지스터(SEL), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)를 포함하고 있다. 상술한 바와 같이, 화소 공유 유닛(539)은 1의 화소 회로(210)를 시분할로 동작시킴으로써, 화소 공유 유닛(539)에 포함되는 4개의 화소(541)(화소(541A, 541B, 541C, 541D)) 각각의 화소 신호를 순차 수직 신호선(543)으로 출력하게 되어 있다. 복수의 화소(541)에 1의 화소 회로(210)가 접속되어 있고, 이 복수의 화소(541)의 화소 신호가, 1의 화소 회로(210)에 의해 시분할로 출력되는 양태를, 「복수의 화소(541)가 1의 화소 회로(210)를 공유한다」라고 한다.

[0065] 화소(541A, 541B, 541C, 541D)는, 서로 공통의 구성 요소를 갖고 있다. 이후, 화소(541A, 541B, 541C, 541D)의 구성 요소를 서로 구별하기 위해서, 화소(541A)의 구성 요소의 부호의 말미에는 식별 번호 1, 화소(541B)의 구성 요소의 부호의 말미에는 식별 번호 2, 화소(541C)의 구성 요소의 부호의 말미에는 식별 번호 3, 화소(541D)의 구성 요소의 부호의 말미에는 식별 번호 4를 부여한다. 화소(541A, 541B, 541C, 541D)의 구성 요소를 서로 구별할 필요가 없을 경우에는, 화소(541A, 541B, 541C, 541D)의 구성 요소의 부호의 말미의 식별 번호를 생략한다.

[0066] 화소(541A, 541B, 541C, 541D)는, 예를 들어, 포토다이오드(PD)와, 포토다이오드(PD)와 전기적으로 접속된 전송 트랜지스터(TR)와, 전송 트랜지스터(TR)에 전기적으로 접속된 플로팅 디퓨전(FD)을 갖고 있다. 포토다이오드(PD)(PD1, PD2, PD3, PD4)에서는, 캐소드가 전송 트랜지스터(TR)의 소스에 전기적으로 접속되어 있고, 애노드가

기준 전위선(예를 들어 그라운드)에 전기적으로 접속되어 있다. 포토다이오드(PD)는, 입사한 광을 광전 변환하고, 그 수광량에 따른 전하를 발생한다. 전송 트랜지스터(TR)(전송 트랜지스터(TR1, TR2, TR3, TR4))는 예를 들어, n형의 CMOS(Complementary Metal Oxide Semiconductor) 트랜지스터이다. 전송 트랜지스터(TR)에서는, 드레인이 플로팅 디퓨전(FD)에 전기적으로 접속되고, 게이트가 구동 신호선에 전기적으로 접속되어 있다. 이 구동 신호선은, 1의 화소 공유 유닛(539)에 접속된 복수의 행 구동 신호선(542)(도 1 참조) 중의 일부이다. 전송 트랜지스터(TR)는, 포토다이오드(PD)에서 발생한 전하를 플로팅 디퓨전(FD)으로 전송한다. 플로팅 디퓨전(FD)(플로팅 디퓨전(FD1, FD2, FD3, FD4))은 p형 반도체층 중에 형성된 n형 확산층 영역이다. 플로팅 디퓨전(FD)은, 포토다이오드(PD)로부터 전송된 전하를 일시적으로 유지하는 전하 유지 수단이며, 또한, 그의 전하량에 따른 전압을 발생시키는, 전하-전압 변환 수단이다.

[0067] 1의 화소 공유 유닛(539)에 포함되는 4개의 플로팅 디퓨전(FD)(플로팅 디퓨전(FD1, FD2, FD3, FD4))은 서로 전기적으로 접속됨과 함께, 증폭 트랜지스터(AMP)의 게이트 및 FD 변환 게인 전환 트랜지스터(FDG)의 소스에 전기적으로 접속되어 있다. FD 변환 게인 전환 트랜지스터(FDG)의 드레인은 리셋 트랜지스터(RST)의 소스에 접속되고, FD 변환 게인 전환 트랜지스터(FDG)의 게이트는 구동 신호선에 접속되어 있다. 이 구동 신호선은, 1의 화소 공유 유닛(539)에 접속된 복수의 행 구동 신호선(542) 중 일부이다. 리셋 트랜지스터(RST)의 드레인은 전원선(VDD)에 접속되고, 리셋 트랜지스터(RST)의 게이트는 구동 신호선에 접속되어 있다. 이 구동 신호선은, 1의 화소 공유 유닛(539)에 접속된 복수의 행 구동 신호선(542) 중 일부이다. 증폭 트랜지스터(AMP)의 게이트는 플로팅 디퓨전(FD)에 접속되고, 증폭 트랜지스터(AMP)의 드레인은 전원선(VDD)에 접속되고, 증폭 트랜지스터(AMP)의 소스는 선택 트랜지스터(SEL)의 드레인에 접속되어 있다. 선택 트랜지스터(SEL)의 소스는 수직 신호선(543)에 접속되고, 선택 트랜지스터(SEL)의 게이트는 구동 신호선에 접속되어 있다. 이 구동 신호선은, 1의 화소 공유 유닛(539)에 접속된 복수의 행 구동 신호선(542) 중 일부이다.

[0068] 전송 트랜지스터(TR)는, 전송 트랜지스터(TR)가 온 상태로 되면, 포토다이오드(PD)의 전하를 플로팅 디퓨전(FD)으로 전송한다. 전송 트랜지스터(TR)의 게이트(전송 게이트(TG))는 예를 들어, 소위 종형 전극을 포함하고 있고, 후술한 도 6에 도시하는 바와 같이, 반도체층(후술하는 도 6의 반도체층(100S))의 표면으로부터 PD에 달하는 깊이까지 연장되어서 마련되어 있다. 리셋 트랜지스터(RST)는, 플로팅 디퓨전(FD)의 전위를 소정의 전위로 리셋한다. 리셋 트랜지스터(RST)가 온 상태로 되면, 플로팅 디퓨전(FD)의 전위를 전원선(VDD)의 전위로 리셋한다. 선택 트랜지스터(SEL)는, 화소 회로(210)로부터의 화소 신호의 출력 타이밍을 제어한다. 증폭 트랜지스터(AMP)는, 화소 신호로서, 플로팅 디퓨전(FD)에 유지된 전하의 레벨에 따른 전압의 신호를 생성한다. 증폭 트랜지스터(AMP)는, 선택 트랜지스터(SEL)를 통하여 수직 신호선(543)에 접속되어 있다. 이 증폭 트랜지스터(AMP)는, 열 신호 처리부(550)에 있어서, 수직 신호선(543)에 접속된 부하 회로부(도 1 참조)와 함께 소스 폴로워를 구성하고 있다. 증폭 트랜지스터(AMP)는, 선택 트랜지스터(SEL)가 온 상태로 되면, 플로팅 디퓨전(FD)의 전압을, 수직 신호선(543)을 통하여 열 신호 처리부(550)로 출력한다. 리셋 트랜지스터(RST), 증폭 트랜지스터(AMP) 및 선택 트랜지스터(SEL)는, 예를 들어, N형의 CMOS 트랜지스터이다.

[0069] FD 변환 게인 전환 트랜지스터(FDG)는, 플로팅 디퓨전(FD)에서의 전하-전압 변환의 게인을 변경할 때에 사용된다. 일반적으로, 어두운 장소에서의 촬영 시에는 화소 신호가 작다. Q=CV에 기초하여, 전하 전압 변환을 행할 때에, 플로팅 디퓨전(FD)의 용량(FD 용량 C)이 크면, 증폭 트랜지스터(AMP)에서 전압으로 변환했을 때의 V가 작아져버린다. 한편, 밝은 장소에서는, 화소 신호가 커지므로, FD 용량 C가 크지 않으면, 플로팅 디퓨전(FD)에서, 포토다이오드(PD)의 전하를 다 받을 수 없다. 또한, 증폭 트랜지스터(AMP)에서 전압으로 변환했을 때의 V가 너무 커지지 않도록(바꾸어 말하면, 작아지도록), FD 용량 C가 크게 되어 있을 필요가 있다. 이들을 근거로 하면, FD 변환 게인 전환 트랜지스터(FDG)를 온으로 했을 때에는, FD 변환 게인 전환 트랜지스터(FDG)분의 게이트 용량이 증가하므로, 전체의 FD 용량 C가 커진다. 한편, FD 변환 게인 전환 트랜지스터(FDG)를 오프로 했을 때에는, 전체의 FD 용량 C가 작아진다. 이와 같이, FD 변환 게인 전환 트랜지스터(FDG)를 온/오프 전환함으로써, FD 용량 C를 가변하도록 하고, 변환 효율을 전환할 수 있다. FD 변환 게인 전환 트랜지스터(FDG)는, 예를 들어, N형의 CMOS 트랜지스터이다.

[0070] 또한, FD 변환 게인 전환 트랜지스터(FDG)를 마련하지 않는 구성도 가능하다. 이때, 예를 들어, 화소 회로(210)는 예를 들어 증폭 트랜지스터(AMP), 선택 트랜지스터(SEL) 및 리셋 트랜지스터(RST)의 3개의 트랜지스터로 구성된다. 화소 회로(210)는 예를 들어, 증폭 트랜지스터(AMP), 선택 트랜지스터(SEL), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG) 등의 화소 트랜지스터의 적어도 하나를 갖는다.

[0071] 선택 트랜지스터(SEL)는, 전원선(VDD)과 증폭 트랜지스터(AMP) 사이에 마련되어 있어도 된다. 이 경우, 리셋 트랜지스터(RST)의 드레인이 전원선(VDD) 및 선택 트랜지스터(SEL)의 드레인에 전기적으로 접속되어 있다. 선

택 트랜지스터(SEL)의 소스가 증폭 트랜지스터(AMP)의 드레인에 전기적으로 접속되어 있고, 선택 트랜지스터(SEL)의 게이트가 행 구동 신호선(542)(도 1 참조)에 전기적으로 접속되어 있다. 증폭 트랜지스터(AMP)의 소스(화소 회로(210)의 출력단)가 수직 신호선(543)에 전기적으로 접속되어 있고, 증폭 트랜지스터(AMP)의 게이트가 리셋 트랜지스터(RST)의 소스에 전기적으로 접속되어 있다. 또한, 도시는 생략하지만, 1의 화소 회로(210)를 공유하는 화소(541)의 수는, 4 이외여도 된다. 예를 들어, 2개 또는 8개의 화소(541)가 1의 화소 회로(210)를 공유해도 된다.

[0072] 도 5는, 복수의 화소 공유 유닛(539)과, 수직 신호선(543)의 접속 양태의 일례를 도시한 것이다. 예를 들어, 열방향으로 배열하는 4개의 화소 공유 유닛(539)이 4개의 그룹으로 나뉘어져 있고, 이 4개의 그룹 각각에 수직 신호선(543)이 접속되어 있다. 도 5에는, 설명을 간단하게 하기 위해서, 4개의 그룹이 각각, 하나의 화소 공유 유닛(539)을 갖는 예를 나타냈지만, 4개의 그룹이 각각, 복수의 화소 공유 유닛(539)을 포함하고 있어도 된다. 이와 같이, 촬상 장치(1)에서는, 열방향으로 배열하는 복수의 화소 공유 유닛(539)이 1개 또는 복수의 화소 공유 유닛(539)을 포함하는 그룹으로 나뉘어져 있어도 된다. 예를 들어, 이 그룹 각각에, 수직 신호선(543) 및 열 신호 처리부(550)가 접속되어 있고, 각각의 그룹으로부터 화소 신호를 동시에 읽어낼 수 있게 되어 있다. 혹은, 촬상 장치(1)에서는, 열방향으로 배열하는 복수의 화소 공유 유닛(539)에 하나의 수직 신호선(543)이 접속되어 있어도 된다. 이때, 하나의 수직 신호선(543)에 접속된 복수의 화소 공유 유닛(539)으로부터, 시분할로 순차 화소 신호가 읽어내지게 되어 있다.

[0073] [촬상 장치(1)의 구체적 구성]

[0074] 도 6은, 촬상 장치(1)의 제1 기판(100), 제2 기판(200) 및 제3 기판(300)의 주면에 대하여 수직 방향의 단면 구성의 일례를 도시한 것이다. 도 6은, 구성 요소의 위치 관계를 알기 쉽게 하기 위해서 모식적으로 나타낸 것이며, 실제의 단면과 다르게 되어 있어도 된다. 촬상 장치(1)에서는, 제1 기판(100), 제2 기판(200) 및 제3 기판(300)이 이 순으로 적층되어 있다. 촬상 장치(1)는 또한, 제1 기판(100)의 이면측(광 입사면측)에 수광 렌즈(401)를 갖고 있다. 수광 렌즈(401)와 제1 기판(100) 사이에 컬러 필터층(도시하지 않음)이 마련되어 있어도 된다. 수광 렌즈(401)는 예를 들어, 화소(541A, 541B, 541C, 541D) 각각에 마련되어 있다. 촬상 장치(1)는 예를 들어, 이면 조사형의 촬상 장치이다. 촬상 장치(1)는 중앙부에 배치된 화소 어레이부(540)와, 화소 어레이부(540)의 외측에 배치된 주변부(540B)를 갖고 있다.

[0075] 제1 기판(100)은 수광 렌즈(401)측으로부터 순서대로 절연막(111), 고정 전하막(112), 반도체층(100S) 및 배선층(100T)을 갖고 있다. 반도체층(100S)은 예를 들어 실리콘 기판에 의해 구성되어 있다. 반도체층(100S)은 예를 들어, 표면(배선층(100T)측의 면)의 일부 및 그의 근방에 p웰층(115)을 갖고 있고, 그 이외의 영역(p웰층(115)보다도 깊은 영역)에, n형 반도체 영역(114)을 갖고 있다. 예를 들어, 이 n형 반도체 영역(114) 및 p웰층(115)에 의해 pn 접합형의 포토다이오드(PD)가 구성되어 있다. p웰층(115)은 p형 반도체 영역이다.

[0076] 도 7a는, 제1 기판(100)의 평면 구성의 일례를 도시한 것이다. 도 7a는, 주로, 제1 기판(100)의 화소 분리부(117), 포토다이오드(PD), 플로팅 디퓨전(FD), VSS 콘택트 영역(118) 및 전송 트랜지스터(TR)의 평면 구성을 도시하고 있다. 도 6과 함께, 도 7a를 사용하여 제1 기판(100)의 구성에 대하여 설명한다.

[0077] 반도체층(100S)의 표면 근방에는, 플로팅 디퓨전(FD) 및 VSS 콘택트 영역(118)이 마련되어 있다. 플로팅 디퓨전(FD)은, p웰층(115) 내에 마련된 n형 반도체 영역에 의해 구성되어 있다. 화소(541A, 541B, 541C, 541D) 각각의 플로팅 디퓨전(FD)(플로팅 디퓨전(FD1, FD2, FD3, FD4))은 예를 들어, 화소 공유 유닛(539)의 중앙부에 서로 근접하여 마련되어 있다(도 7a). 상세는 후술하겠지만, 이 화소 공유 유닛(539)에 포함되는 4개의 플로팅 디퓨전(플로팅 디퓨전(FD1, FD2, FD3, FD4))은 제1 기판(100) 내(보다 구체적으로는 배선층(100T) 내)에서, 전기적 접속 수단(후술하는 패드부(120))을 통하여 서로 전기적으로 접속되어 있다. 또한, 플로팅 디퓨전(FD)은, 제1 기판(100)으로부터 제2 기판(200)으로(보다 구체적으로는, 배선층(100T)으로부터 배선층(200T)으로)로 전기적 수단(후술하는 관통 전극(120E))을 통하여 접속되어 있다. 제2 기판(200)(보다 구체적으로는 배선층(200T)의 내부)에서는, 이 전기적 수단에 의해, 플로팅 디퓨전(FD)이, 증폭 트랜지스터(AMP)의 게이트 및 FD 변환 게인 전환 트랜지스터(FDG)의 소스에 전기적으로 접속되어 있다.

[0078] VSS 콘택트 영역(118)은 기준 전위선(VSS)에 전기적으로 접속되는 영역이며, 플로팅 디퓨전(FD)과 이격하여 배치되어 있다. 예를 들어, 화소(541A, 541B, 541C, 541D)에서는, 각 화소의 V 방향의 일단에 플로팅 디퓨전(FD)이 배치되고, 타단에 VSS 콘택트 영역(118)이 배치되어 있다(도 7a). VSS 콘택트 영역(118)은 예를 들어, p형 반도체 영역에 의해 구성되어 있다. VSS 콘택트 영역(118)은 예를 들어 접지 전위나 고정 전위에 접속되어 있다. 이에 의해, 반도체층(100S)에 기준 전위가 공급된다.

[0079] 제1 기판(100)에는, 포토다이오드(PD), 플로팅 디퓨전(FD) 및 VSS 콘택트 영역(118)과 함께, 전송 트랜지스터(TR)가 마련되어 있다. 이 포토다이오드(PD), 플로팅 디퓨전(FD), VSS 콘택트 영역(118) 및 전송 트랜지스터(TR)는, 화소(541A, 541B, 541C, 541D) 각각에 마련되어 있다. 전송 트랜지스터(TR)는, 반도체층(100S)의 표면측(광 입사면측과는 반대측, 제2 기판(200)측)에 마련되어 있다. 전송 트랜지스터(TR)는, 전송 게이트(TG)를 갖고 있다. 전송 게이트(TG)는, 예를 들어, 반도체층(100S)의 표면에 대향하는 수평 부분(TGb)과, 반도체층(100S) 내에 마련된 수직 부분(TGa)을 포함하고 있다. 수직 부분(TGa)은, 반도체층(100S)의 두께 방향으로 연장되어 있다. 수직 부분(TGa)의 일단은 수평 부분(TGb)에 접하고, 타단은 n형 반도체 영역(114) 내에 마련되어 있다. 전송 트랜지스터(TR)를, 이러한 종형 트랜지스터에 의해 구성함으로써, 화소 신호의 전송 불량이 발생하기 어려워져, 화소 신호의 읽어내기 효율을 향상시킬 수 있다.

[0080] 전송 게이트(TG)의 수평 부분(TGb)은, 수직 부분(TGa)에 대향하는 위치로부터 예를 들어, H 방향에 있어서 화소 공유 유닛(539)의 중앙부를 향하여 연장되어 있다(도 7a). 이에 의해, 전송 게이트(TG)에 달하는 관통 전극(후술하는 관통 전극(TGV))의 H 방향의 위치를, 플로팅 디퓨전(FD), VSS 콘택트 영역(118)에 접속되는 관통 전극(후술하는 관통 전극(120E, 121E))의 H 방향의 위치에 근접시킬 수 있다. 예를 들어, 제1 기판(100)에 마련된 복수의 화소 공유 유닛(539)은 서로 동일한 구성을 갖고 있다(도 7a).

[0081] 반도체층(100S)에는, 화소(541A, 541B, 541C, 541D)를 서로 분리하는 화소 분리부(117)가 마련되어 있다. 화소 분리부(117)는 반도체층(100S)의 법선 방향(반도체층(100S)의 표면에 대하여 수직인 방향)으로 연장되어서 형성되어 있다. 화소 분리부(117)는 화소(541A, 541B, 541C, 541D)를 서로 칸막이하도록 마련되어 있고, 예를 들어 격자상의 평면 형상을 갖고 있다(도 7a, 도 7b). 화소 분리부(117)는 예를 들어, 화소(541A, 541B, 541C, 541D)를 서로 전기적 및 광학적으로 분리한다. 화소 분리부(117)는 예를 들어, 차광막(117A) 및 절연막(117B)을 포함하고 있다. 차광막(117A)에는, 예를 들어, 텅스텐(W) 등이 사용된다. 절연막(117B)은 차광막(117A)과 p웰층(115) 또는 n형 반도체 영역(114) 사이에 마련되어 있다. 절연막(117B)은 예를 들어, 산화실리콘(SiO)에 의해 구성되어 있다. 화소 분리부(117)는 예를 들어, FTI(Full Trench Isolation) 구조를 갖고 있고, 반도체층(100S)을 관통하고 있다. 도시하지 않지만, 화소 분리부(117)는 반도체층(100S)을 관통하는 FTI 구조에 한정되지 않는다. 예를 들어, 반도체층(100S)을 관통하지 않는 DTI(Deep Trench Isolation) 구조여도 된다. 화소 분리부(117)는 반도체층(100S)의 법선 방향으로 연장하고, 반도체층(100S)의 일부의 영역에 형성된다.

[0082] 반도체층(100S)에는, 예를 들어, 제1 피닝 영역(113) 및 제2 피닝 영역(116)이 마련되어 있다. 제1 피닝 영역(113)은 반도체층(100S)의 이면 근방에 마련되어 있고, n형 반도체 영역(114)과 고정 전하막(112) 사이에 배치되어 있다. 제2 피닝 영역(116)은 화소 분리부(117)의 측면, 구체적으로는, 화소 분리부(117)와 p웰층(115) 또는 n형 반도체 영역(114) 사이에 마련되어 있다. 제1 피닝 영역(113) 및 제2 피닝 영역(116)은 예를 들어, p형 반도체 영역에 의해 구성되어 있다.

[0083] 반도체층(100S)과 절연막(111) 사이에는, 부의 고정 전하를 갖는 고정 전하막(112)이 마련되어 있다. 고정 전하막(112)이 유기하는 전계에 의해, 반도체층(100S)의 수광면(이면)측의 계면에, 홀 축적층의 제1 피닝 영역(113)이 형성된다. 이에 의해, 반도체층(100S)의 수광면측의 계면 준위에 기인한 암전류의 발생이 억제된다. 고정 전하막(112)은 예를 들어, 부의 고정 전하를 갖는 절연막에 의해 형성되어 있다. 이 부의 고정 전하를 갖는 절연막의 재료로서는, 예를 들어, 산화하프늄, 산화지르콘, 산화알루미늄, 산화티타늄 또는 산화탄탈을 들 수 있다.

[0084] 고정 전하막(112)과 절연막(111) 사이에는, 차광막(117A)이 마련되어 있다. 이 차광막(117A)은 화소 분리부(117)를 구성하는 차광막(117A)과 연속하여 마련되어 있어도 된다. 이 고정 전하막(112)과 절연막(111) 사이의 차광막(117A)은 예를 들어, 반도체층(100S) 내의 화소 분리부(117)에 대향하는 위치에 선택적으로 마련되어 있다. 절연막(111)은 이 차광막(117A)을 덮도록 마련되어 있다. 절연막(111)은 예를 들어, 산화실리콘에 의해 구성되어 있다.

[0085] 반도체층(100S)과 제2 기판(200) 사이에 마련된 배선층(100T)은 반도체층(100S)측으로부터, 층간 절연막(119), 패드부(120, 121), 패시베이션막(122), 층간 절연막(123) 및 접합막(124)을 이 순으로 갖고 있다. 전송 게이트(TG)의 수평 부분(TGb)은, 예를 들어, 이 배선층(100T)에 마련되어 있다. 층간 절연막(119)은 반도체층(100S)의 표면 전체면에 걸쳐 마련되어 있고, 반도체층(100S)에 접하고 있다. 층간 절연막(119)은 예를 들어 산화실리콘막에 의해 구성되어 있다. 또한, 배선층(100T)의 구성은 상술한 것에 한정하지 않고, 배선과 절연막을 갖는 구성이면 된다.

[0086] 도 7b는, 도 7a에 나타낸 평면 구성과 함께, 패드부(120, 121)의 구성을 도시하고 있다. 패드부(120, 121)는, 층간 절연막(119) 상의 선택적인 영역에 마련되어 있다. 패드부(120)는 화소(541A, 541B, 541C, 541D) 각각의 플로팅 디퓨전(FD)(플로팅 디퓨전(FD1, FD2, FD3, FD4))을 서로 접속하기 위한 것이다. 패드부(120)는 예를 들어, 화소 공유 유닛(539)마다, 평면으로 보아 화소 공유 유닛(539)의 중앙부에 배치되어 있다(도 7b). 이 패드부(120)는 화소 분리부(117)를 걸치도록 마련되어 있고, 플로팅 디퓨전(FD1, FD2, FD3, FD4) 각각의 적어도 일부에 중첩하여 배치되어 있다(도 6, 도 7b). 구체적으로는, 패드부(120)는 화소 회로(210)를 공유하는 복수의 플로팅 디퓨전(FD)(플로팅 디퓨전(FD1, FD2, FD3, FD4)) 각각의 적어도 일부와, 그 화소 회로(210)를 공유하는 복수의 포토다이오드(PD)(포토다이오드(PD1, PD2, PD3, PD4))의 사이에 형성된 화소 분리부(117)의 적어도 일부에 대하여 반도체층(100S)의 표면에 대하여 수직인 방향으로 겹치는 영역에 형성된다. 층간 절연막(119)에는, 패드부(120)와 플로팅 디퓨전(FD1, FD2, FD3, FD4)을 전기적으로 접속하기 위한 접속 비아(120C)가 마련되어 있다. 접속 비아(120C)는 화소(541A, 541B, 541C, 541D) 각각에 마련되어 있다. 예를 들어, 접속 비아(120C)에 패드부(120)의 일부가 매립되는 것에 의해, 패드부(120)와 플로팅 디퓨전(FD1, FD2, FD3, FD4)이 전기적으로 접속되어 있다.

[0087] 패드부(121)는 복수의 VSS 콘택트 영역(118)을 서로 접속하기 위한 것이다. 예를 들어, V 방향으로 인접하는 한쪽의 화소 공유 유닛(539)의 화소(541C, 541D)에 마련된 VSS 콘택트 영역(118)과, 다른 쪽의 화소 공유 유닛(539)의 화소(541A, 541B)에 마련된 VSS 콘택트 영역(118)이 패드부(121)에 의해 전기적으로 접속되어 있다. 패드부(121)는 예를 들어, 화소 분리부(117)를 걸치도록 마련되어 있고, 이들 4개의 VSS 콘택트 영역(118) 각각의 적어도 일부에 중첩하여 배치되어 있다. 구체적으로는, 패드부(121)는 복수의 VSS 콘택트 영역(118) 각각의 적어도 일부와, 그 복수의 VSS 콘택트 영역(118)의 사이에 형성된 화소 분리부(117)의 적어도 일부에 대하여 반도체층(100S)의 표면에 대하여 수직인 방향으로 겹치는 영역에 형성된다. 층간 절연막(119)에는, 패드부(121)와 VSS 콘택트 영역(118)을 전기적으로 접속하기 위한 접속 비아(121C)가 마련되어 있다. 접속 비아(121C)는 화소(541A, 541B, 541C, 541D) 각각에 마련되어 있다. 예를 들어, 접속 비아(121C)에 패드부(121)의 일부가 매립되는 것에 의해, 패드부(121)와 VSS 콘택트 영역(118)이 전기적으로 접속되어 있다. 예를 들어, V 방향으로 배열되는 복수의 화소 공유 유닛(539) 각각의 패드부(120) 및 패드부(121)는 H 방향에 있어서 대략 동일 위치에 배치되어 있다(도 7b).

[0088] 패드부(120)를 마련함으로써, 칩 전체에 있어서, 각 플로팅 디퓨전(FD)으로부터 화소 회로(210)(예를 들어 증폭 트랜지스터(AMP)의 게이트 전극)에 접속하기 위한 배선을 저감시킬 수 있다. 마찬가지로, 패드부(121)를 마련함으로써, 칩 전체에 있어서, 각 VSS 콘택트 영역(118)에의 전위를 공급하는 배선을 저감시킬 수 있다. 이에 의해, 칩 전체의 면적의 축소, 미세화된 화소에 있어서의 배선 간의 전기적 간섭의 억제, 및/또는 부품 개수의 삭감에 의한 비용 삭감 등이 가능해진다.

[0089] 패드부(120, 121)는, 제1 기판(100), 제2 기판(200)의 원하는 위치에 마련할 수 있다. 구체적으로는, 패드부(120, 121)를 배선층(100T), 반도체층(200S)의 절연 영역(212)의 어느 것에 마련할 수 있다. 배선층(100T)에 마련하는 경우에는, 패드부(120, 121)를 반도체층(100S)에 직접 접촉시켜도 된다. 구체적으로는, 패드부(120, 121)가, 플로팅 디퓨전(FD) 및/또는 VSS 콘택트 영역(118)의 각각의 적어도 일부와 직접 접속되는 구성이어도 된다. 또한, 패드부(120, 121)에 접속하는 플로팅 디퓨전(FD) 및/또는 VSS 콘택트 영역(118)의 각각으로부터 접속 비아(120C, 121C)를 마련하고, 배선층(100T), 반도체층(200S)의 절연 영역(212)의 원하는 위치에 패드부(120, 121)를 마련하는 구성이어도 된다.

[0090] 특히, 패드부(120, 121)를 배선층(100T)에 마련하는 경우에는, 반도체층(200S)의 절연 영역(212)에 있어서의 플로팅 디퓨전(FD) 및/또는 VSS 콘택트 영역(118)에 접속되는 배선을 저감시킬 수 있다. 이에 의해, 화소 회로(210)를 형성하는 제2 기판(200) 중, 플로팅 디퓨전(FD)으로부터 화소 회로(210)에 접속하기 위한 관통 배선을 형성하기 위한 절연 영역(212)의 면적을 삭감할 수 있다. 따라서, 화소 회로(210)를 형성하는 제2 기판(200)의 면적을 크게 확보할 수 있다. 화소 회로(210)의 면적을 확보함으로써, 화소 트랜지스터를 크게 형성할 수 있어, 노이즈 저감 등에 의한 화질 향상에 기여할 수 있다.

[0091] 특히, 화소 분리부(117)에 FTI 구조를 사용한 경우, 플로팅 디퓨전(FD) 및/또는 VSS 콘택트 영역(118)은 각 화소(541)에 마련하는 것이 바람직하기 때문에, 패드부(120, 121)의 구성을 사용함으로써 제1 기판(100)과 제2 기판(200)을 접속하는 배선을 대폭으로 삭감할 수 있다.

[0092] 또한, 도 7b과 같이, 예를 들어 복수의 플로팅 디퓨전(FD)이 접속되는 패드부(120)와, 복수의 VSS 콘택트 영역(118)이 접속되는 패드부(121)는, V 방향에 있어서 직선상으로 교대로 배치된다. 또한, 패드부(120, 121)는,

복수의 포토다이오드(PD)나, 복수의 전송 게이트(TG)나, 복수의 플로팅 디퓨전(FD)에 둘러싸이는 위치에 형성된다. 이에 의해, 복수의 소자를 형성하는 제1 기판(100)에 있어서, 플로팅 디퓨전(FD)과 VSS 콘택트 영역(118) 이외의 소자를 자유롭게 배치할 수 있어, 칩 전체의 레이아웃의 효율화를 도모할 수 있다. 또한, 각 화소 공유 유닛(539)에 형성되는 소자의 레이아웃에 있어서의 대칭성이 확보되어, 각 화소(541)의 특성의 변동을 억제할 수 있다.

[0093] 패드부(120, 121)는, 예를 들어, 폴리실리콘(Poly Si), 보다 구체적으로는, 불순물이 첨가된 도프드 폴리실리콘에 의해 구성되어 있다. 패드부(120, 121)는 폴리실리콘, 텅스텐(W), 티타늄(Ti) 및 질화티타늄(TiN) 등의 내열성이 높은 도전성 재료에 의해 구성되어 있는 것이 바람직하다. 이에 의해, 제1 기판(100)에 제2 기판(200)의 반도체층(200S)을 접합한 후에, 화소 회로(210)를 형성하는 것이 가능하게 된다. 이하, 이의 이유에 대하여 설명한다. 또한, 이하의 설명에 있어서, 제1 기판(100)과 제2 기판(200)의 반도체층(200S)을 접합한 후에, 화소 회로(210)를 형성하는 방법을, 제1 제조 방법이라고 칭한다.

[0094] 여기서, 제2 기판(200)에 화소 회로(210)를 형성한 후에, 이것을 제1 기판(100)에 접합하는 것도 생각할 수 있다(이하 제2 제조 방법이라고 한다). 이 제2 제조 방법에서는, 제1 기판(100)의 표면(배선층(100T)의 표면) 및 제2 기판(200)의 표면(배선층(200T)의 표면) 각각에, 전기적 접속용의 전극을 미리 형성해 둔다. 제1 기판(100)과 제2 기판(200)을 접합하면, 이것과 동시에, 제1 기판(100)의 표면과 제2 기판(200)의 표면 각각에 형성된 전기적 접속용의 전극끼리가 접촉한다. 이에 의해, 제1 기판(100)에 포함되는 배선과 제2 기판(200)에 포함되는 배선 사이에서 전기적 접속이 형성된다. 따라서, 제2 제조 방법을 사용한 촬상 장치(1)의 구성으로 함으로써, 예를 들어 제1 기판(100)과 제2 기판(200)의 각각의 구성에 따라서 적절한 프로세스를 사용하여 제조할 수 있어, 고품질, 고성능 촬상 장치를 제조할 수 있다.

[0095] 이러한 제2 제조 방법에서는, 제1 기판(100)과 제2 기판(200)을 접합할 때에, 접합용의 제조 장치에 기인하여 위치 정렬의 오차가 발생하는 경우가 있다. 또한, 제1 기판(100) 및 제2 기판(200)은 예를 들어, 직경 수십㎝ 정도의 크기를 갖는데, 제1 기판(100)과 제2 기판(200)을 접합할 때에, 이 제1 기판(100), 제2 기판(200) 각 부의 미시적 영역에서, 기판의 신축이 발생할 우려가 있다. 이 기판의 신축은, 기판끼리가 접촉하는 타이밍이 다소 어긋나는 것에 기인한다. 이러한 제1 기판(100) 및 제2 기판(200)의 신축에 기인하여 제1 기판(100)의 표면 및 제2 기판(200)의 표면 각각에 형성된 전기적 접속용의 전극의 위치에 오차가 발생하는 경우가 있다. 제2 제조 방법에서는, 이러한 오차가 발생하더라도, 제1 기판(100) 및 제2 기판(200) 각각의 전극끼리가 접촉하도록 대처해 두는 것이 바람직하다. 구체적으로는, 제1 기판(100) 및 제2 기판(200)의 전극의 적어도 한쪽, 바람직하게는 양쪽을, 상기 오차를 고려하여 크게 해 둔다. 이 때문에, 제2 제조 방법을 사용하면, 예를 들어, 제1 기판(100) 또는 제2 기판(200)의 표면에 형성된 전극의 크기(기판 평면 방향의 크기)가 제1 기판(100) 또는 제2 기판(200)의 내부로부터 표면에 두께 방향으로 연장되는 내부 전극의 크기보다도 커진다.

[0096] 한편, 패드부(120, 121)를 내열성의 도전 재료에 의해 구성함으로써, 상기 제1 제조 방법을 사용하는 것이 가능하게 된다. 제1 제조 방법에서는, 포토다이오드(PD) 및 전송 트랜지스터(TR) 등을 포함하는 제1 기판(100)을 형성한 후, 이 제1 기판(100)과 제2 기판(200)(반도체층(2000S))을 접합한다. 이때, 제2 기판(200)은 화소 회로(210)를 구성하는 능동 소자 및 배선층 등의 패턴은 미형성의 상태이다. 제2 기판(200)은 패턴을 형성하기 전의 상태이기 때문에, 가령, 제1 기판(100)과 제2 기판(200)을 접합할 때, 그 접합 위치에 오차가 발생했다고 하더라도, 이 접합 오차에 의해, 제1 기판(100)의 패턴과 제2 기판(200)의 패턴 간의 위치 정렬에 오차가 발생할 일은 없다. 왜냐하면, 제2 기판(200)의 패턴은, 제1 기판(100)과 제2 기판(200)을 접합한 후에 형성하기 때문이다. 또한, 제2 기판에 패턴을 형성할 때에는, 예를 들어, 패턴 형성을 위한 노광 장치에 있어서, 제1 기판에 형성된 패턴을 위치 정렬의 대상으로 하면서 패턴 형성한다. 상기 이유에 의해, 제1 기판(100)과 제2 기판(200)의 접합 위치의 오차는, 제1 제조 방법에 있어서는, 촬상 장치(1)를 제조함에 있어서 문제가 되지 않는다. 마찬가지의 이유에서, 제2 제조 방법에서 발생하는 기판의 신축에 기인한 오차도, 제1 제조 방법에 있어서는, 촬상 장치(1)를 제조함에 있어서 문제가 되지 않는다.

[0097] 제1 제조 방법에서는, 이와 같이 하여 제1 기판(100)과 제2 기판(200)(반도체층(200S))을 접합한 후, 제2 기판(200) 상에 능동 소자를 형성한다. 이 후, 관통 전극(120E, 121E) 및 관통 전극(TGV)(도 6)을 형성한다. 이 관통 전극(120E, 121E, TGV)의 형성에서는, 예를 들어, 제2 기판(200)의 상방으로부터, 노광 장치에 의한 축소 투영 노광을 사용하여 관통 전극의 패턴을 형성한다. 축소 노광 투영을 사용하기 위해서, 가령, 제2 기판(200)과 노광 장치의 위치 정렬에 오차가 발생하더라도, 그 오차의 크기는, 제2 기판(200)에 있어서는, 상기 제2 제조 방법의 오차의 수분의 1(축소 노광 투영 배율의 역수)밖에 되지 않는다. 따라서, 제1 제조 방법을 사용한 촬상 장치(1)의 구성으로 함으로써, 제1 기판(100)과 제2 기판(200)의 각각에 형성되는 소자끼리의 위치 정렬이

용이해져, 고품질, 고성능 촬상 장치를 제조할 수 있다.

[0098] 이러한 제1 제조 방법을 사용하여 제조된 촬상 장치(1)는 제2 제조 방법으로 제조된 촬상 장치와 다른 특징을 갖는다. 구체적으로는, 제1 제조 방법에 의해 제조된 촬상 장치(1)에서는, 예를 들어, 관통 전극(120E, 121E, TGV)이, 제2 기판(200)으로부터 제1 기판(100)에 이르기까지, 대략 일정한 굵기(기판 평면 방향의 크기)로 되어 있다. 혹은, 관통 전극(120E, 121E, TGV)이 테이퍼 형상을 가질 때에는, 일정한 기울기의 테이퍼 형상을 갖고 있다. 이러한 관통 전극(120E, 121E, TGV)을 갖는 촬상 장치(1)는 화소(541)를 미세화하기 쉽다.

[0099] 여기서, 제1 제조 방법에 의해 촬상 장치(1)를 제조하면, 제1 기판(100)과 제2 기판(200)(반도체층(200S))을 접합한 후에, 제2 기판(200)에 능동 소자를 형성하므로, 제1 기판(100)에도, 능동 소자의 형성 시에 필요한 가열 처리의 영향이 미치게 된다. 이 때문에, 상기한 바와 같이 제1 기판(100)에 마련된 패드부(120, 121)에는, 내열성이 높은 도전 재료를 사용하는 것이 바람직하다. 예를 들어, 패드부(120, 121)에는, 제2 기판(200)의 배선층(200T)에 포함되는 배선재의 적어도 일부보다도 융점이 높은(즉 내열성의 높은) 재료를 사용하고 있는 것이 바람직하다. 예를 들어, 패드부(120, 121)에 도프드 폴리실리콘, 텅스텐, 티타늄 혹은 질화티타늄 등의 내열성이 높은 도전재를 사용한다. 이에 의해, 상기 제1 제조 방법을 사용하여 촬상 장치(1)를 제조하는 것이 가능하게 된다.

[0100] 패시베이션막(122)은 예를 들어, 패드부(120, 121)를 덮도록, 반도체층(100S)의 표면 전체면에 걸쳐 마련되어 있다(도 6). 패시베이션막(122)은 예를 들어, 질화실리콘(SiN)막에 의해 구성되어 있다. 층간 절연막(123)은 패시베이션막(122)을 사이에 두고 패드부(120, 121)를 덮고 있다. 이 층간 절연막(123)은 예를 들어, 반도체층(100S)의 표면 전체면에 걸쳐 마련되어 있다. 층간 절연막(123)은 예를 들어 산화실리콘(SiO)막에 의해 구성되어 있다. 접합막(124)은 제1 기판(100)(구체적으로는 배선층(100T))과 제2 기판(200)의 접합면에 마련되어 있다. 즉, 접합막(124)은 제2 기판(200)에 접하고 있다. 이 접합막(124)은 제1 기판(100)의 주면 전체면에 걸쳐 마련되어 있다. 접합막(124)은 예를 들어, 질화실리콘막이나 산화실리콘막에 의해 구성되어 있다.

[0101] 수광 렌즈(401)는 예를 들어, 고정 전하막(112) 및 절연막(111)을 사이에 두고 반도체층(100S)에 대향하고 있다(도 6). 수광 렌즈(401)는 예를 들어 화소(541A, 541B, 541C, 541D) 각각의 포토다이오드(PD)에 대향하는 위치에 마련되어 있다.

[0102] 제2 기판(200)은 제1 기판(100)측으로부터, 반도체층(200S) 및 배선층(200T)을 이 순으로 갖고 있다. 반도체층(200S)은 예를 들어, 실리콘 기판을 포함하여 구성되어 있다. 반도체층(200S)에서는, 두께 방향에 걸쳐, 웰 영역(211)이 마련되어 있다. 웰 영역(211)은 예를 들어, p형 반도체 영역이다. 제2 기판(200)에는, 화소 공유 유닛(539)마다 배치된 화소 회로(210)가 마련되어 있다. 이 화소 회로(210)는 예를 들어, 반도체층(200S)의 표면측(배선층(200T)측)에 마련되어 있다. 촬상 장치(1)에서는, 제1 기판(100)의 표면측(배선층(100T)측)에 제2 기판(200)의 이면측(반도체층(200S)측)이 향하도록 하고, 제2 기판(200)이 제1 기판(100)에 접합되어 있다. 즉, 제2 기판(200)은 제1 기판(100)에, 페이스 투 백으로 접합되어 있다.

[0103] 도 8, 도 9 내지 도 12는, 제2 기판(200)의 평면 구성의 일례를 모식적으로 도시하고 있다. 도 8에는, 반도체층(200S)의 표면 근방에 마련된 화소 회로(210)의 구성을 도시한다. 도 9는, 배선층(200T)(구체적으로는 후술하는 제1 배선층(W1))과, 배선층(200T)에 접속된 반도체층(200S) 및 제1 기판(100)의 각 부의 구성을 모식적으로 도시하고 있다. 도 10 내지 도 12는, 배선층(200T)의 평면 구성의 일례를 도시하고 있다. 이하, 도 6과 함께, 도 8, 도 9내지 도 12를 사용하여 제2 기판(200)의 구성에 대하여 설명한다. 도 8 및 도 9에서는 포토다이오드(PD)의 외형(화소 분리부(117)와 포토다이오드(PD)의 경계)을 파선으로 나타내고, 화소 회로(210)를 구성하는 각 트랜지스터의 게이트 전극에 겹치는 부분의 반도체층(200S)과 소자 분리 영역(213) 또는 절연 영역(212)의 경계를 점선으로 나타낸다. 증폭 트랜지스터(AMP)의 게이트 전극에 겹치는 부분에서는, 채널 폭 방향의 한쪽에, 반도체층(200S)과 소자 분리 영역(213)의 경계 및 소자 분리 영역(213)과 절연 영역(212)의 경계가 마련되어 있다.

[0104] 제2 기판(200)에는, 반도체층(200S)을 분단하는 절연 영역(212)과, 반도체층(200S)의 두께 방향의 일부에 마련된 소자 분리 영역(213)이 마련되어 있다(도 6). 예를 들어, H 방향으로 인접하는 2개의 화소 회로(210)의 사이에 마련된 절연 영역(212)에, 이 2개의 화소 회로(210)에 접속된 2개의 화소 공유 유닛(539)의 관통 전극(120E, 121E) 및 관통 전극(TGV)(관통 전극(TGV1, TGV2, TGV3, TGV4))이 배치되어 있다(도 9).

[0105] 절연 영역(212)은 반도체층(200S)의 두께와 대략 동일한 두께를 갖고 있다(도 6). 반도체층(200S)은 이 절연 영역(212)에 의해 분단되어 있다. 이 절연 영역(212)에, 관통 전극(120E, 121E) 및 관통 전극(TGV)이 배치되어

있다. 절연 영역(212)은 예를 들어 산화실리콘에 의해 구성되어 있다.

[0106] 관통 전극(120E, 121E)은, 절연 영역(212)을 두께 방향으로 관통하여 마련되어 있다. 관통 전극(120E, 121E)의 상단은, 배선층(200T)의 배선(후술하는 제1 배선층(W1), 제2 배선층(W2), 제3 배선층(W3), 제4 배선층(W4))에 접속되어 있다. 이 관통 전극(120E, 121E)은, 절연 영역(212), 접합막(124), 층간 절연막(123) 및 패시베이션막(122)을 관통하여 마련되고, 그의 하단은 패드부(120, 121)에 접속되어 있다(도 6). 관통 전극(120E)은 패드부(120)와 화소 회로(210)를 전기적으로 접속하기 위한 것이다. 즉, 관통 전극(120E)에 의해, 제1 기판(100)의 플로팅 디퓨전(FD)이 제2 기판(200)의 화소 회로(210)에 전기적으로 접속된다. 관통 전극(121E)은 패드부(121)와 배선층(200T)의 기준 전위선(VSS)을 전기적으로 접속하기 위한 것이다. 즉, 관통 전극(121E)에 의해, 제1 기판(100)의 VSS 콘택트 영역(118)이 제2 기판(200)의 기준 전위선(VSS)에 전기적으로 접속된다.

[0107] 관통 전극(TGV)은, 절연 영역(212)을 두께 방향으로 관통하여 마련되어 있다. 관통 전극(TGV)의 상단은, 배선층(200T)의 배선에 접속되어 있다. 이 관통 전극(TGV)은, 절연 영역(212), 접합막(124), 층간 절연막(123), 패시베이션막(122) 및 층간 절연막(119)을 관통하여 마련되고, 그 하단은 전송 게이트(TG)에 접속되어 있다(도 6). 이러한 관통 전극(TGV)은, 화소(541A, 541B, 541C, 541D) 각각의 전송 게이트(TG)(전송 게이트(TG1, TG2, TG3, TG4))와, 배선층(200T)의 배선(행 구동 신호선(542)의 일부, 구체적으로는, 후술하는 도 11의 배선(TRG1, TRG2, TRG3, TRG4))을 전기적으로 접속하기 위한 것이다. 즉, 관통 전극(TGV)에 의해, 제1 기판(100)의 전송 게이트(TG)가 제2 기판(200)의 배선(TRG)에 전기적으로 접속되고, 전송 트랜지스터(TR)(전송 트랜지스터(TR1, TR2, TR3, TR4)) 각각에 구동 신호가 보내지게 되어 있다.

[0108] 절연 영역(212)은 제1 기판(100)과 제2 기판(200)을 전기적으로 접속하기 위한 상기 관통 전극(120E, 121E) 및 관통 전극(TGV)을, 반도체층(200S)과 절연하여 마련하기 위한 영역이다. 예를 들어, H 방향으로 인접하는 2개의 화소 회로(210)(화소 공유 유닛(539))의 사이에 마련된 절연 영역(212)에, 이 2개의 화소 회로(210)에 접속된 관통 전극(120E, 121E) 및 관통 전극(TGV)(관통 전극(TGV1, TGV2, TGV3, TGV4))이 배치되어 있다. 절연 영역(212)은 예를 들어, V 방향으로 연장하여 마련되어 있다(도 8, 도 9). 여기에서는, 전송 게이트(TG)의 수평 부분(TGb)의 배치를 연구함으로써, 수직 부분(TGa)의 위치에 비하여, 관통 전극(TGV)의 H 방향의 위치가 관통 전극(120E, 121E)의 H 방향의 위치에 가까워지도록 배치되어 있다(도 7a, 도 9). 예를 들어, 관통 전극(TGV)은, H 방향에 있어서, 관통 전극(120E, 120E)과 대략 동일 위치에 배치되어 있다. 이에 의해, V 방향으로 연장하는 절연 영역(212)에, 관통 전극(120E, 121E) 및 관통 전극(TGV)을 통합하여 마련할 수 있다. 다른 배치예로서, 수직 부분(TGa)에 중첩하는 영역에만 수평 부분(TGb)을 마련하는 것도 생각할 수 있다. 이 경우에는, 수직 부분(TGa)의 대략 바로 위에 관통 전극(TGV)이 형성되고, 예를 들어, 각 화소(541)의 H 방향 및 V 방향의 대략 중앙부에 관통 전극(TGV)이 배치된다. 이때, 관통 전극(TGV)의 H 방향의 위치와 관통 전극(120E, 121E)의 H 방향의 위치가 크게 어긋난다. 관통 전극(TGV) 및 관통 전극(120E, 121E)의 주위에는, 근접하는 반도체층(200S)으로부터 전기적으로 절연하기 위해서, 예를 들어, 절연 영역(212)을 마련한다. 관통 전극(TGV)의 H 방향의 위치와 관통 전극(120E, 121E)의 H 방향의 위치가 크게 이격되는 경우에는, 관통 전극(120E, 121E, TGV) 각각의 주위에 절연 영역(212)을 독립하여 마련할 필요가 있게 된다. 이에 의해, 반도체층(200S)이 미세하게 분단되게 된다. 이것에 비해, V 방향으로 연장하는 절연 영역(212)에, 관통 전극(120E, 121E) 및 관통 전극(TGV)을 통합하여 배치하는 레이아웃은, 반도체층(200S)의 H 방향의 크기를 크게 할 수 있다. 따라서, 반도체층(200S)에 있어서의 반도체 소자 형성 영역의 면적을 크게 확보할 수 있다. 이에 의해, 예를 들어, 증폭 트랜지스터(AMP)의 사이즈를 크게 하여, 노이즈를 억제하는 것이 가능하게 된다.

[0109] 화소 공유 유닛(539)은 도 4를 참조하여 설명한 바와 같이, 복수의 화소(541) 각각에 마련된 플로팅 디퓨전(FD)의 사이를 전기적으로 접속하고, 이들 복수의 화소(541)가 하나의 화소 회로(210)를 공유하는 구조를 갖고 있다. 그리고, 상기 플로팅 디퓨전(FD) 간의 전기적 접속은, 제1 기판(100)에 마련된 패드부(120)에 의해 이루어져 있다(도 6, 도 7b). 제1 기판(100)에 마련된 전기적 접속부(패드부(120))와 제2 기판(200)에 마련된 화소 회로(210)는 하나의 관통 전극(120E)을 통하여 전기적으로 접속되어 있다. 다른 구조예로서, 플로팅 디퓨전(FD) 간의 전기적 접속부를 제2 기판(200)에 마련하는 것도 생각할 수 있다. 이 경우, 화소 공유 유닛(539)에는, 플로팅 디퓨전(FD1, FD2, FD3, FD4) 각각에 접속되는 4개의 관통 전극이 마련된다. 따라서, 제2 기판(200)에 있어서, 반도체층(200S)을 관통하는 관통 전극의 수가 증가하고, 이들 관통 전극의 주위를 절연하는 절연 영역(212)이 커진다. 이에 비해, 제1 기판(100)에 패드부(120)를 마련하는 구조(도 6, 도 7b)는 관통 전극의 수를 저감시키고, 절연 영역(212)을 작게 할 수 있다. 따라서, 반도체층(200S)에 있어서의 반도체 소자 형성 영역의 면적을 크게 확보할 수 있다. 이에 의해, 예를 들어, 증폭 트랜지스터(AMP)의 사이즈를 크게 하여, 노이즈를 억제하는 것이 가능하게 된다.

[0110] 소자 분리 영역(213)은 반도체층(200S)의 표면측에 마련되어 있다. 소자 분리 영역(213)은 STI(Shallow Trench Isolation) 구조를 갖고 있다. 이 소자 분리 영역(213)에서는, 반도체층(200S)이 두께 방향(제2 기판(200)의 주면에 대하여 수직 방향)으로 파고 들어가 있고, 이 파고 들어간 곳에 절연막이 매립되어 있다. 이 절연막은, 예를 들어, 산화실리콘에 의해 구성되어 있다. 소자 분리 영역(213)은 화소 회로(210)를 구성하는 복수의 트랜지스터 간을, 화소 회로(210)의 레이아웃에 따라서 소자 분리하는 것이다. 소자 분리 영역(213)의 하방(반도체층(200S)의 심부)으로는, 반도체층(200S)(구체적으로는, 웰 영역(211))이 연장되어 있다.

[0111] 여기서, 도 7a, 도 7b 및 도 8을 참조하여, 제1 기판(100)에서의 화소 공유 유닛(539)의 외형 형상(기판 평면 방향의 외형 형상)과, 제2 기판(200)에서의 화소 공유 유닛(539)의 외형 형상의 차이를 설명한다.

[0112] 촬상 장치(1)에서는, 제1 기판(100) 및 제2 기판(200)의 양쪽에 걸쳐, 화소 공유 유닛(539)이 마련되어 있다. 예를 들어, 제1 기판(100)에 마련된 화소 공유 유닛(539)의 외형 형상과, 제2 기판(200)에 마련된 화소 공유 유닛(539)의 외형 형상은 서로 다르게 되어 있다.

[0113] 도 7a, 도 7b에서는, 화소(541A, 541B, 541C, 541D)의 외형선을 일점쇄선으로 나타내고, 화소 공유 유닛(539)의 외형 형상을 굵은 선으로 나타내고 있다. 예를 들어, 제1 기판(100)의 화소 공유 유닛(539)은 H 방향으로 인접하여 배치된 2개의 화소(541)(화소(541A, 541B))와, 이것에 V 방향으로 인접하여 배치된 2개의 화소(541)(화소(541C, 541D))에 의해 구성되어 있다. 즉, 제1 기판(100)의 화소 공유 유닛(539)은 인접하는 2행×2열의 4개의 화소(541)에 의해 구성되어 있고, 제1 기판(100)의 화소 공유 유닛(539)은 대략 정사각형의 외형 형상을 갖고 있다. 화소 어레이부(540)에서는, 이러한 화소 공유 유닛(539)이 H 방향으로 2 화소 피치(화소(541)의 2개분에 상당하는 피치), 또한, V 방향으로 2 화소 피치(화소(541)의 2개분의 상당하는 피치)로 인접하여 배열되어 있다.

[0114] 도 8 및 도 9에서는, 화소(541A, 541B, 541C, 541D)의 외형선을 일점쇄선으로 나타내고, 화소 공유 유닛(539)의 외형 형상을 굵은 선으로 나타내고 있다. 예를 들어, 제2 기판(200)의 화소 공유 유닛(539)의 외형 형상은, H 방향에 있어서 제1 기판(100)의 화소 공유 유닛(539)보다도 작고, V 방향에 있어서 제1 기판(100)의 화소 공유 유닛(539)보다도 크게 되어 있다. 예를 들어, 제2 기판(200)의 화소 공유 유닛(539)은 H 방향으로는 화소 1개분에 상당하는 크기(영역)로 형성되고, V 방향으로는, 화소 4개분에 상당하는 크기로 형성되어 있다. 즉, 제2 기판(200)의 화소 공유 유닛(539)은 인접하는 1행×4열로 배열된 화소에 상당하는 크기로 형성되어 있고, 제2 기판(200)의 화소 공유 유닛(539)은 대략 직사각형의 외형 형상을 갖고 있다.

[0115] 예를 들어, 각 화소 회로(210)에서는, 선택 트랜지스터(SEL), 증폭 트랜지스터(AMP), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)가 이 순으로 V 방향으로 나란히 배치되어 있다(도 8). 각 화소 회로(210)의 외형 형상을, 상기한 바와 같이 대략 직사각 형상으로 마련함으로써, 일 방향(도 8에서는 V 방향)으로 4개의 트랜지스터(선택 트랜지스터(SEL), 증폭 트랜지스터(AMP), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG))를 나란히 배치할 수 있다. 이에 의해, 증폭 트랜지스터(AMP)의 드레인과, 리셋 트랜지스터(RST)의 드레인을 1의 확산 영역(전원선(VDD)에 접속되는 확산 영역)에서 공유할 수 있다. 예를 들어, 각 화소 회로(210)의 형성 영역을 대략 정사각 형상으로 마련하는 것도 가능하다. 이 경우에는, 일 방향을 따라서 2개의 트랜지스터가 배치되고, 증폭 트랜지스터(AMP)의 드레인과, 리셋 트랜지스터(RST)의 드레인을 1의 확산 영역에서 공유하는 것이 곤란해진다. 따라서, 화소 회로(210)의 형성 영역을 대략 직사각 형상으로 마련함으로써, 4개의 트랜지스터를 근접하여 배치하기 쉬워져, 화소 회로(210)의 형성 영역을 작게 할 수 있다. 즉, 화소의 미세화를 행할 수 있다. 또한, 화소 회로(210)의 형성 영역을 작게 하는 것이 불필요할 때에는, 증폭 트랜지스터(AMP)의 형성 영역을 크게 하여, 노이즈를 억제하는 것이 가능하게 된다.

[0116] 예를 들어, 반도체층(200S)의 표면 근방에는, 선택 트랜지스터(SEL), 증폭 트랜지스터(AMP), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)에 추가로, 기준 전위선(VSS)에 접속되는 VSS 콘택트 영역(218)이 마련되어 있다. VSS 콘택트 영역(218)은 예를 들어, p형 반도체 영역에 의해 구성되어 있다. VSS 콘택트 영역(218)은 배선층(200T)의 배선 및 관통 전극(121E)을 통하여 제1 기판(100)(반도체층(100S))의 VSS 콘택트 영역(118)에 전기적으로 접속되어 있다. 이 VSS 콘택트 영역(218)은 예를 들어, 소자 분리 영역(213)을 사이에 두고, FD 변환 게인 전환 트랜지스터(FDG)의 소스와 인접하는 위치에 마련되어 있다(도 8).

[0117] 이어서, 도 7b 및 도 8을 참조하여, 제1 기판(100)에 마련된 화소 공유 유닛(539)과 제2 기판(200)에 마련된 화소 공유 유닛(539)의 위치 관계를 설명한다. 예를 들어, 제1 기판(100)의 V 방향으로 배열되는 2개의 화소 공유 유닛(539) 중, 한쪽(예를 들어 도 7b의 지면 상측)의 화소 공유 유닛(539)은 제2 기판(200)의 H 방향으로 배열되는 2개의 화소 공유 유닛(539) 중 한쪽(예를 들어, 도 8의 지면 좌측)의 화소 공유 유닛(539)에 접속되어

있다. 예를 들어, 제1 기판(100)의 V 방향으로 배열되는 2개의 화소 공유 유닛(539) 중, 다른 쪽(예를 들어 도 7b의 지면 하측)의 화소 공유 유닛(539)은, 제2 기판(200)의 H 방향으로 배열되는 2개의 화소 공유 유닛(539) 중 다른 쪽(예를 들어, 도 8의 지면 우측)의 화소 공유 유닛(539)에 접속되어 있다.

[0118] 예를 들어, 제2 기판(200)의 H 방향으로 배열되는 2개의 화소 공유 유닛(539)에서는, 한쪽의 화소 공유 유닛(539)의 내부 레이아웃(트랜지스터 등의 배치)이 다른 쪽의 화소 공유 유닛(539)의 내부 레이아웃을 V 방향 및 H 방향으로 반전시킨 레이아웃과 대략 동등하게 되어 있다. 이하, 이 레이아웃에 의해 얻어지는 효과를 설명한다.

[0119] 제1 기판(100)의 V 방향으로 배열되는 2개의 화소 공유 유닛(539)에서는, 각각의 패드부(120)가 화소 공유 유닛(539)의 외형 형상의 중앙부, 즉, 화소 공유 유닛(539)의 V 방향 및 H 방향의 중앙부에 배치된다(도 7b). 한편, 제2 기판(200)의 화소 공유 유닛(539)은 상기한 바와 같이 V 방향으로 긴 대략 직사각형의 외형 형상을 갖고 있으므로, 예를 들어, 패드부(120)에 접속되는 증폭 트랜지스터(AMP)는, 화소 공유 유닛(539)의 V 방향의 중앙으로부터 지면 상방으로 어긋난 위치에 배치되어 있다. 예를 들어, 제2 기판(200)의 H 방향으로 배열되는 2개의 화소 공유 유닛(539)의 내부 레이아웃이 동일할 때, 한쪽의 화소 공유 유닛(539)의 증폭 트랜지스터(AMP)와, 패드부(120)(예를 들어, 도 7b의 지면 상측의 화소 공유 유닛(539)의 패드부(120))의 거리는 비교적 짧아진다. 그러나, 다른 쪽의 화소 공유 유닛(539)의 증폭 트랜지스터(AMP)와, 패드부(120)(예를 들어, 도 7b의 지면 하측의 화소 공유 유닛(539)의 패드부(120))의 거리가 길어진다. 이 때문에, 이 증폭 트랜지스터(AMP)와 패드부(120)의 접속에 요하는 배선의 면적이 커져서, 화소 공유 유닛(539)의 배선 레이아웃이 복잡해질 우려가 있다. 이것은, 촬상 장치(1)의 미세화에 영향을 미칠 가능성이 있다.

[0120] 이에 반해, 제2 기판(200)의 H 방향으로 배열되는 2개의 화소 공유 유닛(539)이며, 서로의 내부 레이아웃을 적어도 V 방향으로 반전시킴으로써, 이들 2개의 화소 공유 유닛(539)의 양쪽의 증폭 트랜지스터(AMP)와 패드부(120)의 거리를 짧게 할 수 있다. 따라서, 제2 기판(200)의 H 방향으로 배열되는 2개의 화소 공유 유닛(539)의 내부 레이아웃을 동일하게 한 구성과 비교하여, 촬상 장치(1)의 미세화를 행하기 쉬워진다. 또한, 제2 기판(200)의 복수의 화소 공유 유닛(539) 각각의 평면 레이아웃은, 도 8에 기재된 범위에서는 좌우 대칭이지만, 후술하는 도 9에 기재된 제1 배선층(W1)의 레이아웃까지 포함하면, 좌우 비대칭의 것이 된다.

[0121] 또한, 제2 기판(200)의 H 방향으로 배열되는 2개의 화소 공유 유닛(539)의 내부 레이아웃은, 서로, H 방향으로도 반전되어 있는 것이 바람직하다. 이하, 이의 이유에 대하여 설명한다. 도 9에 도시한 바와 같이, 제2 기판(200)의 H 방향으로 배열되는 2개의 화소 공유 유닛(539)은 각각, 제1 기판(100)의 패드부(120, 121)에 접속되어 있다. 예를 들어, 제2 기판(200)의 H 방향으로 배열되는 2개의 화소 공유 유닛(539)의 H 방향의 중앙부(H 방향으로 배열되는 2개의 화소 공유 유닛(539)의 사이)에 패드부(120, 121)가 배치되어 있다. 따라서, 제2 기판(200)의 H 방향으로 배열되는 2개의 화소 공유 유닛(539)의 내부 레이아웃을, 서로, H 방향으로도 반전시킴으로써, 제2 기판(200)의 복수의 화소 공유 유닛(539) 각각과 패드부(120, 121)의 거리를 작게 할 수 있다. 즉, 촬상 장치(1)의 미세화를 더욱 행하기 쉬워진다.

[0122] 또한, 제2 기판(200)의 화소 공유 유닛(539)의 외형선의 위치는, 제1 기판(100)의 화소 공유 유닛(539)의 어느 외형선의 위치에 정렬되어 있지 않아도 된다. 예를 들어, 제2 기판(200)의 H 방향으로 배열되는 2개의 화소 공유 유닛(539) 중, 한쪽(예를 들어 도 9의 지면 좌측)의 화소 공유 유닛(539)에서는, V 방향의 한쪽(예를 들어 도 9의 지면 상측)의 외형선이, 대응하는 제1 기판(100)의 화소 공유 유닛(539)(예를 들어 도 7b의 지면 상측)의 V 방향의 한쪽의 외형선의 외측에 배치되어 있다. 또한, 제2 기판(200)의 H 방향으로 배열되는 2개의 화소 공유 유닛(539) 중, 다른 쪽(예를 들어 도 9의 지면 우측)의 화소 공유 유닛(539)에서는, V 방향의 다른 쪽(예를 들어 도 9의 지면 하측)의 외형선이, 대응하는 제1 기판(100)의 화소 공유 유닛(539)(예를 들어 도 7b의 지면 하측)의 V 방향의 다른 쪽 외형선의 외측에 배치되어 있다. 이와 같이, 제2 기판(200)의 화소 공유 유닛(539)과, 제1 기판(100)의 화소 공유 유닛(539)을 서로 배치함으로써, 증폭 트랜지스터(AMP)와 패드부(120)의 거리를 짧게 하는 것이 가능하게 된다. 따라서, 촬상 장치(1)의 미세화를 행하기 쉬워진다.

[0123] 또한, 제2 기판(200)의 복수의 화소 공유 유닛(539)의 사이에, 서로의 외형선의 위치는 정렬되어 있지 않아도 된다. 예를 들어, 제2 기판(200)의 H 방향으로 배열되는 2개의 화소 공유 유닛(539)은 V 방향의 외형선의 위치가 어긋나서 배치되어 있다. 이에 의해, 증폭 트랜지스터(AMP)와 패드부(120)의 거리를 짧게 하는 것이 가능하게 된다. 따라서, 촬상 장치(1)의 미세화를 행하기 쉬워진다.

[0124] 도 7b 및 도 9를 참조하여, 화소 어레이부(540)에서의 화소 공유 유닛(539)의 반복 배치에 대하여 설명한다. 제1 기판(100)의 화소 공유 유닛(539)은 H 방향으로 2개분의 화소(541)의 크기 및 V 방향으로 2개분의 화소

(541)의 크기를 갖고 있다(도 7b). 예를 들어, 제1 기판(100)의 화소 어레이부(540)에서는, 이 4개의 화소(541)에 상당하는 크기의 화소 공유 유닛(539)이 H 방향으로 2 화소 피치(화소(541)의 2개분에 상당하는 피치), 또한, V 방향으로 2 화소 피치(화소(541)의 2개분에 상당하는 피치)로 인접하여 반복하여 배열되어 있다. 혹은, 제1 기판(100)의 화소 어레이부(540)에, 화소 공유 유닛(539)이 V 방향으로 2개 인접하여 배치된 한쌍의 화소 공유 유닛(539)이 마련되어 있어도 된다. 제1 기판(100)의 화소 어레이부(540)에서는, 예를 들어, 이 한쌍의 화소 공유 유닛(539)이 H 방향으로 2 화소 피치(화소(541)의 2개분에 상당하는 피치), 또한, V 방향으로 4 화소 피치(화소(541)의 4개분에 상당하는 피치)로 인접하여 반복하여 배열되어 있다. 제2 기판(200)의 화소 공유 유닛(539)은 H 방향으로 하나분의 화소(541)의 크기 및 V 방향으로 4개분의 화소(541)의 크기를 갖고 있다(도 9). 예를 들어, 제2 기판(200)의 화소 어레이부(540)에는, 이 4개의 화소(541)에 상당하는 크기의 화소 공유 유닛(539)을 2개 포함하는, 한쌍의 화소 공유 유닛(539)이 마련되어 있다. 이 화소 공유 유닛(539)은 H 방향으로 인접하여 배치되고, 또한, V 방향으로는 어긋나게 하여 배치되어 있다. 제2 기판(200)의 화소 어레이부(540)에서는, 예를 들어, 이 한쌍의 화소 공유 유닛(539)이 H 방향으로 2 화소 피치(화소(541)의 2개분에 상당하는 피치), 또한, V 방향으로 4 화소 피치(화소(541)의 4개분에 상당하는 피치)로 간극 없이 인접하여 반복하여 배열되어 있다. 이러한 화소 공유 유닛(539)의 반복 배치에 의해, 화소 공유 유닛(539)을 간극 없이 배치하는 것이 가능하게 된다. 따라서, 촬상 장치(1)의 미세화를 행하기 쉬워진다.

[0125] 배선층(200T)은 예를 들어, 패시베이션막(221), 층간 절연막(222) 및 복수의 배선(제1 배선층(W1), 제2 배선층(W2), 제3 배선층(W3), 제4 배선층(W4))을 포함하고 있다. 패시베이션막(221)은 예를 들어, 반도체층(200S)의 표면에 접하고 있어, 반도체층(200S)의 표면 전체면을 덮고 있다. 이 패시베이션막(221)은 선택 트랜지스터(SEL), 증폭 트랜지스터(AMP), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG) 각각의 게이트 전극을 덮고 있다. 층간 절연막(222)은 패시베이션막(221)과 제3 기판(300) 사이에 마련되어 있다. 이 층간 절연막(222)에 의해, 복수의 배선(제1 배선층(W1), 제2 배선층(W2), 제3 배선층(W3), 제4 배선층(W4))이 분리되어 있다. 층간 절연막(222)은 예를 들어, 산화실리콘에 의해 구성되어 있다.

[0126] 배선층(200T)에는, 예를 들어, 반도체층(200S)측으로부터, 제1 배선층(W1), 제2 배선층(W2), 제3 배선층(W3), 제4 배선층(W4) 및 콘택트부(201, 202)가 이 순으로 마련되고, 이들이 서로 층간 절연막(222)에 의해 절연되어 있다. 층간 절연막(222)에는, 제1 배선층(W1), 제2 배선층(W2), 제3 배선층(W3) 또는 제4 배선층(W4)과, 이들의 하층을 접속하는 접속부가 복수 마련되어 있다. 접속부는, 층간 절연막(222)에 마련한 접속 구멍에, 도전재료를 매설한 부분이다. 예를 들어, 층간 절연막(222)에는, 제1 배선층(W1)과 반도체층(200S)의 VSS 콘택트 영역(218)을 접속하는 접속부(218V)가 마련되어 있다. 예를 들어, 이러한 제2 기판(200)의 소자끼리를 접속하는 접속부의 구멍 직경은, 관통 전극(120E, 121E) 및 관통 전극(TGV)의 구멍 직경과 다르게 되어 있다. 구체적으로는, 제2 기판(200)의 소자끼리를 접속하는 접속 구멍의 구멍 직경은, 관통 전극(120E, 121E) 및 관통 전극(TGV)의 구멍 직경보다도 작게 되어 있는 것이 바람직하다. 이하, 이의 이유에 대하여 설명한다. 배선층(200T) 내에 마련된 접속부(접속부(218V) 등)의 깊이는, 관통 전극(120E, 121E) 및 관통 전극(TGV)의 깊이보다도 작다. 이 때문에 접속부는, 관통 전극(120E, 121E) 및 관통 전극(TGV)에 비하여, 용이하게 접속 구멍에 도전재를 매립할 수 있다. 이 접속부의 구멍 직경을, 관통 전극(120E, 121E) 및 관통 전극(TGV)의 구멍 직경보다도 작게 함으로써, 촬상 장치(1)의 미세화를 행하기 쉬워진다.

[0127] 예를 들어, 제1 배선층(W1)에 의해, 관통 전극(120E)과 증폭 트랜지스터(AMP)의 게이트 및 FD 변환 게인 전환 트랜지스터(FDG)의 소스(구체적으로는 FD 변환 게인 전환 트랜지스터(FDG)의 소스에 달하는 접속 구멍)가 접속되어 있다. 제1 배선층(W1)은, 예를 들어, 관통 전극(121E)과 접속부(218V)를 접속하고 있고, 이에 의해, 반도체층(200S)의 VSS 콘택트 영역(218)과 반도체층(100S)의 VSS 콘택트 영역(118)이 전기적으로 접속된다.

[0128] 이어서, 도 10 내지 도 12를 사용하여, 배선층(200T)의 평면 구성에 대하여 설명한다. 도 10은, 제1 배선층(W1) 및 제2 배선층(W2)의 평면 구성의 일례를 도시한 것이다. 도 11은, 제2 배선층(W2) 및 제3 배선층(W3)의 평면 구성의 일례를 도시한 것이다. 도 12는, 제3 배선층(W3) 및 제4 배선층(W4)의 평면 구성의 일례를 도시한 것이다.

[0129] 예를 들어, 제3 배선층(W3)은, H 방향(행방향)으로 연장되는 배선(TRG1, TRG2, TRG3, TRG4, SELL, RSTL, FDGL)을 포함하고 있다(도 11). 이들 배선은, 도 4를 참조하여 설명한 복수의 행 구동 신호선(542)에 해당한다. 배선(TRG1, TRG2, TRG3, TRG4)은 각각, 전송 게이트(TG1, TG2, TG3, TG4)에 구동 신호를 보내기 위한 것이다. 배선(TRG1, TRG2, TRG3, TRG4)은 각각, 제2 배선층(W2), 제1 배선층(W1) 및 관통 전극(120E)을 통하여 전송 게이트(TG1, TG2, TG3, TG4)에 접속되어 있다. 배선(SELL)은 선택 트랜지스터(SEL)의 게이트에, 배선(RSTL)은 리셋 트랜지스터(RST)의 게이트에, 배선(FDGL)은, FD 변환 게인 전환 트랜지스터(FDG)의 게이트에 각각 구동 신

호를 보내기 위한 것이다. 배선(SELL, RSTL, FDGL)은 각각, 제2 배선층(W2), 제1 배선층(W1) 및 접속부를 통하여, 선택 트랜지스터(SEL), 리셋 트랜지스터(RST), FD 변환 게인 전환 트랜지스터(FDG) 각각의 게이트에 접속되어 있다.

[0130] 예를 들어, 제4 배선층(W4)은, V 방향(열방향)으로 연장되는 전원선(VDD), 기준 전위선(VSS) 및 수직 신호선(543)을 포함하고 있다(도 12). 전원선(VDD)은, 제3 배선층(W3), 제2 배선층(W2), 제1 배선층(W1) 및 접속부를 통하여 증폭 트랜지스터(AMP)의 드레인 및 리셋 트랜지스터(RST)의 드레인에 접속되어 있다. 기준 전위선(VSS)은, 제3 배선층(W3), 제2 배선층(W2), 제1 배선층(W1) 및 접속부(218V)를 통하여 VSS 콘택트 영역(218)에 접속되어 있다. 또한, 기준 전위선(VSS)은, 제3 배선층(W3), 제2 배선층(W2), 제1 배선층(W1), 관통 전극(121E) 및 패드부(121)를 통하여 제1 기판(100)의 VSS 콘택트 영역(118)에 접속되어 있다. 수직 신호선(543)은 제3 배선층(W3), 제2 배선층(W2), 제1 배선층(W1) 및 접속부를 통하여 선택 트랜지스터(SEL)의 소스(Vout)에 접속되어 있다.

[0131] 콘택트부(201, 202)는, 평면으로 보아 화소 어레이부(540)에 겹치는 위치에 마련되어 있어도 되고(예를 들어, 도 3), 혹은, 화소 어레이부(540)의 외측의 주변부(540B)에 마련되어 있어도 된다(예를 들어, 도 6). 콘택트부(201, 202)는, 제2 기판(200)의 표면(배선층(200T)측의 면)에 마련되어 있다. 콘택트부(201, 202)는, 예를 들어, Cu(구리) 및 Al(알루미늄) 등의 금속에 의해 구성되어 있다. 콘택트부(201, 202)는, 배선층(200T)의 표면(제3 기판(300)측의 면)에 노출되어 있다. 콘택트부(201, 202)는, 제2 기판(200)과 제3 기판(300)의 전기적인 접속 및 제2 기판(200)과 제3 기판(300)의 접합에 사용된다.

[0132] 도 6에는, 제2 기판(200)의 주변부(540B)에 주변 회로를 마련한 예를 도시하였다. 이 주변 회로는, 행 구동부(520)의 일부 또는 열 신호 처리부(550)의 일부 등을 포함하고 있어도 된다. 또한, 도 3에 기재된 바와 같이, 제2 기판(200)의 주변부(540B)에는 주변 회로를 배치하지 않고, 접속 구멍부(H1, H2)를 화소 어레이부(540)의 근방에 배치하도록 해도 된다.

[0133] 화소 회로(210)를 구성하는 화소 트랜지스터(증폭 트랜지스터(AMP), 선택 트랜지스터(SEL), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG))는 예를 들어, 채널 영역이 요철 구조를 갖는 Fin형 등의 삼차원 구조(예를 들어, Fin-FET(Field-Effect Transistor), Tri-Gate FET 또는 더블 게이트 FET)를 갖고 있는 것이 바람직하다. 특히, 증폭 트랜지스터(AMP)를 삼차원 구조로 함으로써, 실효의 게이트 폭의 크기가 커져서, 노이즈를 억제하는 것이 가능하게 된다.

[0134] 도 13은, 화소 회로(210)를 구성하는 화소 트랜지스터를 Fin형의 FD-SOI(Fully Depletion SOI)로 한 경우의 제1 기판(100) 및 제2 기판(200)의 단면 구성의 일례를 모식적으로 도시한 것이다. 도 14는, 화소 트랜지스터를 3차원 구조로 한 경우의 제2 기판(200)에 있어서의 화소 회로(210)의 레이아웃의 일례를 도시한 것이다. 또한, 도 13은, 도 14에 도시한 A-A'선 및 B-B'선에 있어서의 단면을 간략화하여 도시하고 있다. 도 15는, 비교예로서, 상술한 바와 같이 관통 전극(120E)이 절연 영역(212)을 관통하고, 제1 배선층(W1) 등의 다른 배선을 통하여 패드부(120)와 증폭 트랜지스터(AMP)의 게이트(AG)를 전기적으로 접속하는 양태를, 도 13에 도시한 단면도와 대응시켜서 도시한 것이다. 도 16은, 도 15에 도시한 단면 구조를 갖는 경우의 제2 기판(200)에 있어서의 화소 회로의 레이아웃을 도시한 것이다.

[0135] 도 13에 도시한 촬상 장치(1)에서는, 화소 트랜지스터의 게이트는 반도체층(200S)의 표면(면(200S1))부터 이면(면(200S2))까지 관통하고 있다. 특히, 증폭 트랜지스터(AMP)가 이러한 구조를 갖고 있는 경우에는, 도 13 및 도 14에 도시한 바와 같이, 패드부(120)와 증폭 트랜지스터(AMP)를 관통 전극(120E)에 의해 직접 접속할 수 있다. 구체적으로는, 예를 들어 도 8에 도시한 바와 같이 V 방향으로 병렬로 배치된 화소 트랜지스터 중, 증폭 트랜지스터(AMP)를, 도 14에 도시한 바와 같이 화소 공유 유닛(539)의 V 방향 및 H 방향의 중앙부에 연장시켜서 패드부(120)의 상방까지 연장시킴으로써, 관통 전극(120E)이 증폭 트랜지스터(AMP)의 게이트(AG)를 관통하도록 한다.

[0136] 이에 의해, 관통 전극(120E)의 주위를 전기적으로 절연하는 절연 영역(212)이 불필요하게 된다. 즉, 화소 회로(210)를 형성하는 제2 기판(200) 중, 플로팅 디퓨전(FD)과 화소 회로(210)를 접속하는 관통 배선을 형성하기 위한 절연 영역(212)의 면적을 더욱 삭감할 수 있다. 따라서, 화소 회로(210)를 형성하는 제2 기판(200)의 면적을 더욱 크게 확보할 수 있다. 이와 같이 화소 회로(210)의 면적을 더욱 크게 확보함으로써, 화소 트랜지스터를 더욱 크게 형성하는 것이 가능하게 된다.

[0137] 또한, 이 구조에서는 플로팅 디퓨전(FD)과 증폭 트랜지스터(AMP)를 관통 전극(120E)에 의해 직접 접속한다. 이

때문에, 도 15에 도시한 바와 같이 플로팅 디퓨전(FD)과 증폭 트랜지스터(AMP)를, 관통 전극(120E)에 추가로 제1 배선층(W1) 등을 통하여 전기적으로 접속한 경우와 비교하여 플로팅 디퓨전(FD)과 증폭 트랜지스터(AMP) 간의 배선 길이를 단축할 수 있다. 따라서, 도 15에 도시한 배선 구조와 비교하여 배선 용량을 저감할 수 있기 때문에, 변환 효율을 향상시키는 것이 가능하게 된다. 또한, 노이즈를 저감하는 것이 가능하게 된다.

[0138] 도 13 및 도 14에 도시한 배선 구조는, 예를 들어, 이하와 같이 하여 제조할 수 있다. 도 17a 내지 도 17d는, 제조 공정의 일례를 도시한 것이다.

[0139] 먼저, 도 17a에 도시한 바와 같이, 반도체층(100S) 상에 배선층(100T)을 형성함과 함께, 실리콘 기판(200SA)의 이면(면(200SA2))에 접합막(124)을 형성한다. 계속해서, 도 17b에 도시한 바와 같이, 배선층(100T)에, 접합막(124)을 통하여 실리콘 기판(200SA)을 접합한 뒤, 실리콘 기판(200SA)을 박육화하여 소정의 막 두께를 갖는 반도체층(200S)을 형성한다. 여기서, 소정의 막 두께란, 화소 회로(210)의 형성에 필요한 막 두께이다. 구체적으로는, 반도체층(200S)의 막 두께는, Fin형의 화소 트랜지스터의 높이(예를 들어, 수십㎚ 내지 수백㎚)가 된다.

[0140] 이어서, 도 17c에 도시한 바와 같이, 반도체층(200S)을 적절히 분리하여, 증폭 트랜지스터(AMP) 등을 포함하는 화소 회로(210)를 형성한다. 계속해서, 도 17d에 도시한 바와 같이, 패시베이션막(221)(도시하지 않음) 및 층간 절연막(222)을 성막하고, 또한 관통 전극(120E, 121E) 및 접속부(218V)를 형성한 후, 예를 들어 CMP 등에 의해 표면을 평탄화한다. 그 후, 제1 배선층(W1), 제2 배선층(W2), 제3 배선층(W3) 및 제4 배선층(W4) 등을 형성하여, 배선층(200T)을 형성한다. 이와 같이 하여, 도 13에 도시한 촬상 장치가 제조된다.

[0141] 제3 기판(300)은 예를 들어, 제2 기판(200)측으로부터 배선층(300T) 및 반도체층(300S)을 이 순으로 갖고 있다. 예를 들어, 반도체층(300S)의 표면은, 제2 기판(200)측에 마련되어 있다. 반도체층(300S)은 실리콘 기판으로 구성되어 있다. 이 반도체층(300S)의 표면측의 부분에는 회로가 마련되어 있다. 구체적으로는, 반도체층(300S)의 표면측의 부분에는, 예를 들어, 입력부(510A), 행 구동부(520), 타이밍 제어부(530), 열 신호 처리부(550), 화상 신호 처리부(560) 및 출력부(510B) 중의 적어도 일부가 마련되어 있다. 반도체층(300S)과 제2 기판(200) 사이에 마련된 배선층(300T)은 예를 들어, 층간 절연막과, 이 층간 절연막에 의해 분리된 복수의 배선층과, 콘택트부(301, 302)를 포함하고 있다. 콘택트부(301, 302)는, 배선층(300T)의 표면(제2 기판(200)측의 면)에 노출되어 있고, 콘택트부(301)는 제2 기판(200)의 콘택트부(201)에, 콘택트부(302)는 제2 기판(200)의 콘택트부(202)에 각각 접하고 있다. 콘택트부(301, 302)는, 반도체층(300S)에 형성된 회로(예를 들어, 입력부(510A), 행 구동부(520), 타이밍 제어부(530), 열 신호 처리부(550), 화상 신호 처리부(560) 및 출력부(510B)의 적어도 어느 것)에 전기적으로 접속되어 있다. 콘택트부(301, 302)는, 예를 들어, Cu(구리) 및 알루미늄(Al) 등의 금속에 의해 구성되어 있다. 예를 들어, 접속 구멍부(H1)를 통하여 외부 단자(TA)가 입력부(510A)에 접속되어 있고, 접속 구멍부(H2)를 통하여 외부 단자(TB)가 출력부(510B)에 접속되어 있다.

[0142] 여기서, 촬상 장치(1)의 특징에 대하여 설명한다.

[0143] 일반적으로, 촬상 장치는, 주된 구성으로서, 포토다이오드와 화소 회로를 포함한다. 여기서, 포토다이오드의 면적을 크게 하면 광전 변환의 결과 발생하는 전하가 증가하고, 그 결과 화소 신호의 시그널/노이즈비(S/N비)가 개선되어, 촬상 장치는 보다 좋은 화상 데이터(화상 정보)를 출력할 수 있다. 한편, 화소 회로에 포함되는 트랜지스터의 사이즈(특히 증폭 트랜지스터의 사이즈)를 크게 하면, 화소 회로에서 발생하는 노이즈가 감소하고, 그 결과 촬상 신호의 S/N비가 개선되어, 촬상 장치는 보다 좋은 화상 데이터(화상 정보)를 출력할 수 있다.

[0144] 그러나, 포토다이오드와 화소 회로를 동일한 반도체 기판에 마련한 촬상 장치에 있어서, 반도체 기판의 한정된 면적 중에서 포토다이오드의 면적을 크게 하면, 화소 회로에 구비되는 트랜지스터의 사이즈가 작아져버리는 것이 생각된다. 또한, 화소 회로에 구비되는 트랜지스터의 사이즈를 크게 하면, 포토다이오드의 면적이 작아져버리는 것이 생각된다.

[0145] 이들 과제를 해결하기 위해서, 예를 들어, 본 실시 형태의 촬상 장치(1)는 복수의 화소(541)가 하나의 화소 회로(210)를 공유하고, 또한, 공유한 화소 회로(210)를 포토다이오드(PD)에 중첩하여 배치하는 구조를 사용한다. 이에 의해, 반도체 기판의 한정된 면적 중에서, 포토다이오드(PD)의 면적을 가능한 한 크게 하는 것과, 화소 회로(210)에 구비되는 트랜지스터의 사이즈를 가능한 한 크게 하는 것을 실현할 수 있다. 이에 의해, 화소 신호의 S/N비를 개선하여, 촬상 장치(1)가 보다 좋은 화상 데이터(화상 정보)를 출력할 수 있다.

[0146] 복수의 화소(541)가 하나의 화소 회로(210)를 공유하고, 이것을 포토다이오드(PD)에 중첩하여 배치하는 구조를 실현할 때, 복수의 화소(541) 각각의 플로팅 디퓨전(FD)으로부터 하나의 화소 회로(210)에 접속되는 복수의 배

선이 연장된다. 화소 회로(210)를 형성하는 반도체층(200S)의 면적을 크게 확보하기 위해서는, 예를 들어 이들 연장되는 복수의 배선 간을 서로 접속하고, 하나로 통합하는 접속 배선을 형성할 수 있다. VSS 콘택트 영역(118)으로부터 연장되는 복수의 배선에 대해서도 마찬가지로, 연장되는 복수의 배선 간을 서로 접속하고, 하나로 통합하는 접속 배선을 형성할 수 있다.

[0147] 예를 들어, 복수의 화소(541) 각각의 플로팅 디퓨전(FD)으로부터 연장되는 복수의 배선 간을 서로 접속하는 접속 배선을, 화소 회로(210)를 형성하는 반도체층(200S)에 있어서 형성하면, 화소 회로(210)에 포함되는 트랜지스터를 형성하는 면적이 작아져버리는 것이 생각된다. 마찬가지로, 복수의 화소(541) 각각의 VSS 콘택트 영역(118)으로부터 연장되는 복수의 배선 간을 상호 접속하여 하나로 통합하는 접속 배선을, 화소 회로(210)를 형성하는 반도체층(200S)에 형성하면, 이에 의해 화소 회로(210)에 포함되는 트랜지스터를 형성하는 면적이 작아져버리는 것이 생각된다.

[0148] 이들 과제를 해결하기 위해서, 예를 들어 본 실시 형태의 촬상 장치(1)는 복수의 화소(541)가 하나의 화소 회로(210)를 공유하고, 또한, 공유한 화소 회로(210)를 포토다이오드(PD)에 중첩하여 배치하는 구조이며, 상기 복수의 화소(541) 각각의 플로팅 디퓨전(FD) 간을 서로 접속하여 하나로 통합하는 접속 배선과, 상기 복수의 화소(541) 각각에 구비되는 VSS 콘택트 영역(118) 간을 서로 접속하여 하나로 통합하는 접속 배선을 제1 기판(100)에 마련한 구조를 구비할 수 있다.

[0149] 여기서, 상기 복수의 화소(541) 각각의 플로팅 디퓨전(FD) 간을 서로 접속하여 하나로 통합하는 접속 배선과, 상기 복수의 화소(541) 각각의 VSS 콘택트 영역(118) 간을 서로 접속하여 하나로 통합하는 접속 배선을, 제1 기판(100)에 마련하기 위한 제조 방법으로서, 먼저 설명한 제2 제조 방법을 사용하면, 예를 들어, 제1 기판(100) 및 제2 기판(200) 각각의 구성에 따라서 적절한 프로세스를 사용하여 제조할 수 있어, 고품질, 고성능 촬상 장치를 제조할 수 있다. 또한, 용이한 프로세스로 제1 기판(100) 및 제2 기판(200)의 접속 배선을 형성할 수 있다. 구체적으로는, 상기 제2 제조 방법을 사용하는 경우, 제1 기판(100)과 제2 기판(200)의 접합 경계면이 되는 제1 기판(100)의 표면과 제2 기판(200)의 표면에, 플로팅 디퓨전(FD)에 접속하는 전극과 VSS 콘택트 영역(118)에 접속하는 전극을 각각 마련한다. 또한, 제1 기판(100)과 제2 기판(200)을 접합한 때에 이들 2개의 기판 표면에 마련한 전극 사이에서 위치 어긋남이 발생하더라도 이들 2개의 기판 표면에 형성한 전극끼리가 접촉하도록, 이들 2개의 기판 표면에 형성하는 전극을 크게 하는 것이 바람직하다. 이 경우, 촬상 장치(1)에 구비되는 각 화소의 한정된 면적 중에 상기 전극을 배치하는 것이 어려워지게 되어 버리는 것이 생각된다.

[0150] 제1 기판(100)과 제2 기판(200)의 접합 경계면에 큰 전극이 필요해지는 과제를 해결하기 위해서, 예를 들어 본 실시 형태의 촬상 장치(1)는 복수의 화소(541)가 하나의 화소 회로(210)를 공유하고, 또한, 공유한 화소 회로(210)를 포토다이오드(PD)에 중첩하여 배치하는 제조 방법으로서, 먼저 설명한 제1 제조 방법을 사용할 수 있다. 이에 의해, 제1 기판(100) 및 제2 기판(200) 각각에 형성되는 소자끼리의 위치 정렬이 용이해져, 고품질, 고성능의 촬상 장치를 제조할 수 있다. 또한, 이 제조 방법을 사용함으로써 발생하는 고유의 구조를 구비할 수 있다. 즉, 제1 기판(100)의 반도체층(100S)과 배선층(100T)과 제2 기판(200)의 반도체층(200S)과 배선층(200T)을 이 순으로 적층한 구조, 바꿔 말하면, 제1 기판(100)과 제2 기판(200)을 페이스 투 백으로 적층한 구조를 구비하고, 또한, 제2 기판(200)의 반도체층(200S)의 표면측으로부터, 반도체층(200S)과 제1 기판(100)의 배선층(100T)을 관통하고, 제1 기판(100)의 반도체층(100S)의 표면에 이르는, 관통 전극(120E, 121E)을 구비한다.

[0151] 상기 복수의 화소(541) 각각의 플로팅 디퓨전(FD) 간을 서로 접속하여 하나로 통합하는 접속 배선과, 상기 복수의 화소(541) 각각의 VSS 콘택트 영역(118) 간을 서로 접속하여 하나로 통합하는 접속 배선을 제1 기판(100)에 마련한 구조에 있어서, 이 구조와 제2 기판(200)을 상기 제1 제조 방법을 사용하여 적층하고 제2 기판(200)에 화소 회로(210)를 형성하면, 화소 회로(210)에 구비되는 능동 소자를 형성할 때에 필요해지는 가열 처리의 영향이, 제1 기판(100)에 형성한 상기 접속 배선에 미쳐버릴 가능성이 있다.

[0152] 그래서, 상기 접속 배선에 대하여 상기 능동 소자를 형성할 때의 가열 처리 영향이 미쳐버리는 과제를 해결하기 위해서, 본 실시 형태의 촬상 장치(1)는 상기 복수의 화소(541) 각각의 플로팅 디퓨전(FD)끼리를 서로 접속하여 하나로 통합하는 접속 배선과, 상기 복수의 화소(541) 각각의 VSS 콘택트 영역(118) 간을 서로 접속하여 하나로 통합하는 접속 배선에, 내열성이 높은 도전 재료를 사용하는 것이 바람직하다. 구체적으로는, 내열성이 높은 도전 재료는, 제2 기판(200)의 배선층(200T)에 포함되는 배선재의 적어도 일부보다도 융점이 높은 재료를 사용할 수 있다.

[0153] 이와 같이, 예를 들어 본 실시 형태의 촬상 장치(1)는 (1) 제1 기판(100)과 제2 기판(200)을 페이스 투 백으로

적층한 구조(구체적으로는, 제1 기판(100)의 반도체층(100S)과 배선층(100T)과 제2 기판(200)의 반도체층(200S)과 배선층(200T)을 이 순으로 적층하는 구조)와, (2) 제2 기판(200)의 반도체층(200S)의 표면측으로부터, 반도체층(200S)과 제1 기판(100)의 배선층(100T)을 관통하여, 제1 기판(100)의 반도체층(100S)의 표면에 이르는, 관통 전극(120E, 121E)을 마련한 구조와, (3)복수의 화소(541) 각각에 구비되는 플로팅 디퓨전(FD) 간을 서로 접속하여 하나로 통합하는 접속 배선과, 복수의 화소(541) 각각에 구비되는 VSS 콘택트 영역(118) 간을 서로 접속하여 하나로 통합하는 접속 배선을 내열성이 높은 도전 재료로 형성한 구조를 구비함으로써, 제1 기판(100)과 제2 기판(200)의 계면에 큰 전극을 구비할 일 없이, 제1 기판(100)에, 복수의 화소(541) 각각에 구비되는 플로팅 디퓨전(FD) 간을 서로 접속하여 하나로 통합하는 접속 배선과, 복수의 화소(541) 각각에 구비되는 VSS 콘택트 영역(118) 간을 서로 접속하여 하나로 통합하는 접속 배선을 마련하는 것을 가능하게 하고 있다.

[0154] [촬상 장치(1)의 동작]

[0155] 이어서, 도 18 및 도 19를 사용하여 촬상 장치(1)의 동작에 대하여 설명한다. 도 18 및 도 19는, 도 3에 각 신호의 경로를 나타내는 화살표를 추가 기록한 것이다. 도 18은, 외부로부터 촬상 장치(1)에 입력되는 입력 신호와, 전원 전위 및 기준 전위의 경로를 화살표로 나타낸 것이다. 도 19는, 촬상 장치(1)부터 외부로 출력되는 화소 신호의 신호 경로를 화살표로 나타내고 있다. 예를 들어, 입력부(510A)를 통하여 촬상 장치(1)에 입력된 입력 신호(예를 들어, 화소 클럭 및 동기 신호)는 제3 기판(300)의 행 구동부(520)로 전송되고, 행 구동부(520)에서 행 구동 신호가 만들어 내진다. 이 행 구동 신호는, 콘택트부(301, 201)를 통하여 제2 기판(200)으로 보내진다. 또한, 이 행 구동 신호는, 배선층(200T) 내의 행 구동 신호선(542)을 통하여, 화소 어레이부(540)의 화소 공유 유닛(539) 각각에 도달한다. 제2 기판(200)의 화소 공유 유닛(539)에 도달한 행 구동 신호 중, 전송 게이트(TG) 이외의 구동 신호는 화소 회로(210)에 입력되어서, 화소 회로(210)에 포함되는 각 트랜지스터가 구동된다. 전송 게이트(TG)의 구동 신호는 관통 전극(TGV)을 통하여 제1 기판(100)의 전송 게이트(TG1, TG2, TG3, TG4)에 입력되어, 화소(541A, 541B, 541C, 541D)가 구동된다(도 18). 또한, 촬상 장치(1)의 외부에서, 제3 기판(300)의 입력부(510A)(입력 단자(511))에 공급된 전원 전위 및 기준 전위는, 콘택트부(301, 201)를 통하여 제2 기판(200)에 보내져, 배선층(200T) 내의 배선을 통하여, 화소 공유 유닛(539) 각각의 화소 회로(210)에 공급된다. 기준 전위는, 또한 관통 전극(121E)을 통하여, 제1 기판(100)의 화소(541A, 541B, 541C, 541D)에도 공급된다. 한편, 제1 기판(100)의 화소(541A, 541B, 541C, 541D)에서 광전 변환된 화소 신호는, 관통 전극(120E)을 통하여 화소 공유 유닛(539)마다 제2 기판(200)의 화소 회로(210)로 보내진다. 이 화소 신호에 기초하는 화소 신호는, 화소 회로(210)로부터 수직 신호선(543) 및 콘택트부(202, 302)를 통하여 제3 기판(300)으로 보내진다. 이 화소 신호는, 제3 기판(300)의 열 신호 처리부(550) 및 화상 신호 처리부(560)에서 처리된 후, 출력부(510B)를 통하여 외부로 출력된다.

[0156] [효과]

[0157] 본 실시 형태에서는, 화소 회로(210)를 구성하는 화소 트랜지스터를 삼차원 구조로 하고, 제1 기판(100)에 마련된 플로팅 디퓨전(FD)과 제2 기판(200)에 마련된 화소 회로(210)(구체적으로는, 증폭 트랜지스터(AMP)의 게이트(AG))를 관통 전극(120E)에 의해 직접 접속하도록 하였다. 이에 의해, 반도체층(200S)의 면 내에 형성되는 절연 영역(212)의 형성 면적을 삭감하여, 화소 회로(210)를 형성하는 제2 기판(200)의 면적을 확보한다.

[0158] CMOS 이미지 센서(CIS)는 수광 센서부와 소스 폴로워 회로를 포함하는 화소 회로부를 포함하여 구성되어 있다. 기술의 진보에 의해 해마다 셀 사이즈의 축소가 진행하고 있는데, 한편으로 화소 회로부를 형성하는 일정한 영역이 요구되기 때문에, 미세화가 곤란한 상황이 되어 있다. 그 때문에, 전술한 바와 같이, 수광 센서부와 소스 폴로워 회로를 다른 기판에 형성하고, 이것을 적층한 삼차원 구조의 촬상 소자의 개발이 진행되고 있다.

[0159] 그런데, 상기 삼차원 구조의 촬상 소자에서는, 수광 센서부 및 소스 폴로워 회로가 형성된 각각의 기판(본 실시 형태에 있어서의 제1 기판(100) 및 제2 기판(200)에 상당)은 관통 배선 및 소스 폴로워 회로가 형성된 기판의 주면에 대하여 수평 방향으로 형성되는 배선 등을 통하여 전기적으로 접속되어 있다. 이 경우, 관통 배선의 주위는 전기적으로 절연되어 있을 필요가 있기 때문에, 소스 폴로워 회로가 형성되는 기판에는 절연 영역이 필요하게 되어, 실제로 소자를 배치할 수 있는 영역이 제한된다.

[0160] 이에 반해, 본 실시 형태에서는, 화소 회로(210)를 구성하는 화소 트랜지스터를 Fin형의 FD-SOI로 하고, 제1 기판(100)에 마련된 플로팅 디퓨전(FD)(구체적으로는, 화소 회로(210)를 공유하는 복수의 플로팅 디퓨전(FD1, FD2, FD3, FD4) 각각의 적어도 일부와 겹치는 영역에 형성되는 패드부(120))과, 화소 회로(210)(구체적으로는, 증폭 트랜지스터(AMP)의 게이트(AG))를 관통 전극(120E)에 의해 직접 접속하도록 하였다.

[0161] 이상에 의해, 본 실시 형태에서는, 반도체층(200S)의 면 내에 형성되는 절연 영역(212)의 면적이 삭감되어, 화소 회로(210)를 형성하는 반도체층(200S)의 면적이 확보된다. 즉, 제2 기판(200)에 있어서의 화소 회로(210)를 구성하는 화소 트랜지스터의 면적 효율을 향상시키는 것이 가능하게 된다.

[0162] 또한, 본 실시 형태에서는, 플로팅 디퓨전(FD)과 증폭 트랜지스터(AMP)를 관통 전극(120E)에 의해 직접 접속하기 때문에, 예를 들어 도 15에 도시한 바와 같이, 관통 전극(120E)에 추가로 제1 배선층(W1) 및 접속부(218V)를 통하여 접속하는 경우와 비교하여, 배선 길이를 단축할 수 있다. 따라서, 배선 용량을 저감할 수 있고, 변환 효율을 향상시키는 것이 가능하게 된다. 또한, 노이즈를 저감하는 것이 가능하게 된다.

[0163] 이하, 제1 실시 형태에 관계되는 변형예(변형예 1 내지 8), 제2 실시 형태 및 제2 실시 형태에 관계되는 변형예(변형예 9 내지 11) 그리고 제1, 제2 실시 형태 및 변형예 1 내지 11에 관계되는 변형예(변형예 12 내지 18)에 대하여 설명한다. 이하에서는, 상기 제1 실시 형태와 마찬가지의 구성 요소에 대해서는 동일한 부호를 부여하고, 적절히 그의 설명을 생략한다.

[0164] <2. 변형예>

[0165] (2-1. 변형예 1)

[0166] 도 20은, 상기 제1 실시 형태에 있어서의 촬상 장치(1)의 주요부의 단면 구성, 즉, 제1 기판(100) 및 제2 기판(200)의 단면 구성의 다른 예를 모식적으로 도시한 것이다. 상기 제1 실시 형태에서는, 복수의 화소(541)(예를 들어, 화소(541A, 541B, 541C, 541D))가 하나의 화소 회로(210)를 공유하는 예를 나타냈지만, 본 기술은, 도 20에 도시한 바와 같이, 하나의 화소(541)에 하나의 화소 회로(210)가 형성되어 있는 구조에도 적용할 수 있고, 상기 제1 실시 형태와 마찬가지의 효과를 얻을 수 있다.

[0167] (2-2. 변형예 2)

[0168] 도 21은, 상기 제1 실시 형태에 있어서의 촬상 장치(1)의 주요부의 단면 구성, 즉, 제1 기판(100) 및 제2 기판(200)의 단면 구성의 다른 예를 모식적으로 도시한 것이다. 상기 제1 실시 형태에서는, 화소 회로(210)를 구성하는 증폭 트랜지스터(AMP), 선택 트랜지스터(SEL), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)를 Fin형의 FD-SOI(Fully Depletion SOI)로서 예를 나타냈지만, 증폭 트랜지스터(AMP) 이외의 화소 트랜지스터는, 도 21에 도시한 바와 같이, 예를 들어 플래너 구조로 해도 된다.

[0169] (2-3. 변형예 3)

[0170] 도 22는, 상기 제1 실시 형태에 있어서의 촬상 장치(1)의 주요부의 단면 구성, 즉, 제1 기판(100) 및 제2 기판(200)의 단면 구성의 다른 예를 모식적으로 도시한 것이다. 상기 제1 실시 형태에서는, 화소 회로(210)를 구성하는 증폭 트랜지스터(AMP), 선택 트랜지스터(SEL), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)의 모든 게이트가 반도체층(200S)을 관통하고 있는 예를 나타냈지만, 증폭 트랜지스터(AMP) 이외의 화소 트랜지스터의 게이트는, 도 22에 도시한 바와 같이, 반도체층(200S)을 관통하고 있지 않아도 된다.

[0171] (2-4. 변형예 4)

[0172] 도 23은, 상기 제1 실시 형태에 있어서의 촬상 장치(1)의 주요부의 단면 구성, 즉, 제1 기판(100) 및 제2 기판(200)의 단면 구성의 다른 예를 모식적으로 도시한 것이다. 상기 제1 실시 형태에서는, 증폭 트랜지스터(AMP)의 게이트(AG)와, 예를 들어 리셋 트랜지스터(RST)의 소스의 접속을, 패드부(120)와 증폭 트랜지스터(AMP)의 게이트(AG)를 접속하고, 또한 게이트(AG)를 관통하여 제1 배선층(W1)에 접하는 관통 전극(120E)을 사용한 예를 나타냈지만 꼭 그렇지만은 않다.

[0173] 구체적으로는, 패드부(120)와 증폭 트랜지스터(AMP)의 게이트(AG)의 접속과, 증폭 트랜지스터(AMP)의 게이트(AG)와 제1 배선층(W1)의 접속을 나누어서 접속하게 해도 된다. 본 변형예에서는, 도 23에 도시한 바와 같이, 패드부(120)와 증폭 트랜지스터(AMP)의 게이트(AG) 사이, 증폭 트랜지스터(AMP)의 게이트(AG)와 제1 배선층(W1) 사이는, 각각 관통 전극(120E1, 120E2)에 의해 접속되어 있다. 이에 의해, 도 13에 도시한 구조와 비교하여, 패드부(120)와 증폭 트랜지스터(AMP)의 게이트(AG)를 보다 확실하게 접속하는 것이 가능하게 된다.

[0174] 또한, 본 변형예에서는, 적어도 증폭 트랜지스터(AMP)의 반도체층(200S)을 관통하는 게이트(AG)의 단부는, 반도체층(200S)의 면(200S2)으로부터 제1 기판(100)을 향하여 돌출되어 있다. 이에 의해, 관통 전극(120E1)과 반도체층(200S)의 접촉을 방지하는 것이 가능하게 된다.

[0175] (2-5. 변형예 5)

[0176] 도 24는, 상기 제1 실시 형태에 있어서의 촬상 장치(1)의 주요부의 단면 구성, 즉, 제1 기판(100) 및 제2 기판(200)의 단면 구성의 다른 예를 모식적으로 도시한 것이다. 도 25는, 도 24에 도시한 촬상 장치(1)의 제2 기판(200)의 평면 구성을 모식적으로 도시한 것이다. 상기 제1 실시 형태에서는, 패드부(120)와 증폭 트랜지스터(AMP)의 관통 전극(120E)에 의한 접속을, 관통 전극(120E)이 증폭 트랜지스터(AMP)의 게이트(AG)를 관통함으로써 행하고 있는 예를 나타냈지만, 관통 전극(120E)은 반드시 증폭 트랜지스터(AMP)의 게이트(AG)를 관통하고 있지는 않아도 된다. 예를 들어, 도 24에 도시한 바와 같이, 관통 전극(120E)이 증폭 트랜지스터(AMP)의 게이트(AG)의 측면에 접함으로써, 패드부(120)와 증폭 트랜지스터(AMP)를 접속하게 해도 된다. 이에 의해, 도 13에 도시한 구조와 비교하여, 관통 전극(120E)의 가공 프로세스가 용이해진다.

[0177] 또한, 이 경우, 증폭 트랜지스터(AMP)의 게이트(AG)와 제1 배선층(W1)을 접속하는 관통 전극(120E) 부분은, 도 24에 도시한 바와 같이, 관통 전극(120E)의 일부가 증폭 트랜지스터(AMP)의 게이트(AG)의 상면에 가설되게 형성하는 것이 바람직하다. 이에 의해, 관통 전극(120E)과 증폭 트랜지스터(AMP)의 게이트(AG)를 확실하게 접속하는 것이 가능하게 된다.

[0178] (2-6. 변형예 6)

[0179] 도 26은, 상기 제1 실시 형태에 있어서의 촬상 장치(1)의 주요부의 단면 구성, 즉, 제1 기판(100) 및 제2 기판(200)의 단면 구성의 다른 예를 모식적으로 도시한 것이다. 상기 제1 실시 형태에서는, 관통 전극(120E)이 단일의 폭(단일 직경)을 갖고 있는 예를 나타냈지만, 도 26에 도시한 바와 같이, 제1 배선층(W1)과 증폭 트랜지스터(AMP)의 게이트(AG) 사이에 형성되는 관통 전극(120E) 부분을 보다 도 큰 폭, 구체적으로는, 증폭 트랜지스터(AMP)의 Fin-Fin 간의 간격보다도 크게 형성하도록 해도 된다. 이에 의해, 관통 전극(120E)과 증폭 트랜지스터(AMP)의 게이트(AG)를 확실하게 접속하는 것이 가능하게 된다.

[0180] (2-7. 변형예 7)

[0181] 도 27은, 상기 제1 실시 형태에 있어서의 촬상 장치(1)의 주요부의 단면 구성, 즉, 제1 기판(100) 및 제2 기판(200)의 단면 구성의 다른 예를 모식적으로 도시한 것이다. 상기 제1 실시 형태에서는, 증폭 트랜지스터(AMP)의 게이트(AG)와 리셋 트랜지스터(RST)의 소스를, 관통 전극(120E), 제1 배선층(W1) 및 접속부(218V)를 통하여 접속한 예를 나타냈지만 꼭 그렇지만은 않다.

[0182] 예를 들어, 도 27에 도시한 바와 같이, 증폭 트랜지스터(AMP)의 게이트(AG)를 수평 방향으로 연장시켜, 증폭 트랜지스터(AMP)의 게이트(AG)와 리셋 트랜지스터(RST)의 소스를 직접 접속하게 해도 된다. 이에 의해, 증폭 트랜지스터(AMP)와 리셋 트랜지스터(RST) 간의 배선 길이를 단축할 수 있다. 따라서, 도 13에 도시한 구조와 비교하여, 배선 용량을 더 저감할 수 있고, 변환 효율을 더욱 향상시키는 것이 가능하게 된다. 또한, 노이즈를 더 저감하는 것이 가능하게 된다.

[0183] (2-8. 변형예 8)

[0184] 도 29a 내지 도 29d는, 상기 제1 실시 형태에 있어서 설명한 제2 기판(200)에 마련되는 화소 트랜지스터의 제조 공정의 일례를 도시한 것이다.

[0185] 상기 제1 실시 형태에서는, 도 13에 있어서 증폭 트랜지스터(AMP)를 포함하는 화소 트랜지스터의 게이트(예를 들어, 게이트(AG))가 반도체층(200S)을 관통하는 예를 나타냈지만, 이러한 증폭 트랜지스터(AMP)에 있어서 노이즈를 저감하기 위해서는, 핀의 높이를 대략 균일하게 하는 것이 바람직하다.

[0186] 그러나, 상술한 제1 제조 방법과 같이, 제1 기판(100)과 제2 기판(200)의 반도체층(200S)을 접합한 후에 화소 회로(210)를 형성하는 방법에서는, 제1 기판(100)을 구성하는 반도체층(100S) 상에 형성되는 전송 게이트(TG)의 수평 부분(TGb)이나 패드부(120, 121) 등의 영향에 의해 층간 절연막(123)의 표면에 요철이 발생하여(예를 들어, 도 28a 참조), 박육화 후의 반도체층(200S)의 표면(면(200S1))에도 요철이 형성될 우려가 있다(예를 들어, 도 28b). 그러한 상태에서 증폭 트랜지스터(AMP)의 핀을 가공한 경우, 핀의 높이에 변동이 발생하여, 노이즈의 원인이 된다. 그 때문에, 일반적으로는, 이하와 같은 방법을 사용하여 핀의 높이에 변동을 해소한다.

[0187] 먼저, 도 28c에 도시한 바와 같이, 예를 들어 건식 에칭에 의해 반도체층(200S)을 분리하여 핀(223)을 형성한 후, 도 28d에 도시한 바와 같이, 예를 들어 산화막(231)으로 다시 메운다. 그 후, 도 28e에 도시한 바와 같이, 예를 들어 CMP에 의해 산화막(231) 및 핀(223)의 표면 높이를 평탄화한 후, 도 28f에 도시한 바와 같이, 다시 건식 에칭에 의해 산화막(231)을 소정의 깊이까지 에칭한다. 그러나, 이 제조 방법에서는, CMP에 의한 평탄화

의 변동이나 에칭 깊이의 변동에 의해, 산화막(231)으로부터 노출되어 있는 핀(223)의 높이의 변동을 충분히 저감하는 것이 어렵다.

[0188] 이에 반해 본 변형예에서는, 처음에, 예를 들어 자외(UV)광에 흡수를 갖는 막(광흡수막(232))에 의해 핀(223)을 다시 메우도록 하였다. 광흡수막(232)의 재료로서는, 예를 들어, 산화실리콘(SiN)을 들 수 있다. 이하에, 도 29a 내지 도 29d를 사용하여 본 변형예의 화소 트랜지스터의 제조 공정의 일례를 설명한다.

[0189] 먼저, 도 29a에 도시한 바와 같이, 광흡수막(232)에 의해 핀(223)을 매설한다. 이어서, 도 29b에 도시한 바와 같이, 예를 들어 CMP에 의해 광흡수막(232) 및 핀(223)의 표면 높이를 평탄화한다. 계속해서, 도 29c에 도시한 바와 같이, 예를 들어 UV광을 조사하여 광흡수막(232)의 결합을 자르고, 광흡수막(232) 내에 에칭 레이트가 빠른 층(232A)을 형성하고, 그 후 에칭을 행한다. 이에 의해, 도 29d에 도시한 바와 같이, 광흡수막(232)에는, 표면(면(232S))이 평탄한 에칭면이 형성된다. 따라서, 상기 제조 방법과 비교하여, 에칭에 의해 광흡수막(232)으로부터 노출된 핀(223)의 높이의 변동을 보다 저감할 수 있게 된다.

[0190] 또한, 광흡수막(232)에 침입하는 UV광의 침입 길이는, 조사하는 UV광의 강도에 의해 바꿀 수 있다. 이 때문에, CMP에 의한 평탄화의 변동을 해소하도록, 광흡수막(232)의 표면 형상에 따라서 UV광의 강도를 바꿈으로써, 광흡수막(232)으로부터 노출되는 핀(223)의 높이의 변동을 더 저감하는 것이 가능하게 된다.

[0191] 또한, 광흡수막(232)은 UV광에 한하지 않고 소정의 파장에 흡수를 갖는 것이면 된다. 광흡수막(232)의 다른 재료로서는, 예를 들어, 산질화실리콘, 산화알루미늄, 산화하프늄 및 산화지르코늄 등을 들 수 있다. 광흡수막(232)에 조사하는 광은, UV광 이외의 광이어도 되지만, 광의 에너지나 회절의 영향을 고려하면, 단파장의 광을 사용하는 것이 바람직하다.

[0192] 또한, 본 기술은, 예를 들어 도 22에 도시한 선택 트랜지스터(SEL) 및 리셋 트랜지스터(RST)와 같이, 핀(223)이 서로 독립하고 있지 않은 화소 트랜지스터의 제조에도 적용할 수 있다.

[0193] 도 30a 내지 도 30d는, 핀(223)이 서로 독립하고 있지 않은 화소 트랜지스터의 제조 방법의 일례를 도시한 것이다. 도 30a에 도시한 바와 같이, 반도체층(200S)의 일부를 남겨서 서로 연속하는 핀(223)을 형성한 후, 도 30b에 도시한 바와 같이, 반도체층(200S) 상에 광흡수막(232)을 성막하여 핀(223)을 매설하고, 광흡수막(232) 및 핀(223)의 표면 높이를 평탄화한다. 계속해서, 도 30c에 도시한 바와 같이, 예를 들어 UV광을 조사하여 광흡수막(232) 내에 에칭 레이트가 빠른 층(232A)을 형성한 후, 에칭을 행한다. 이에 의해, 도 30d에 도시한 바와 같이, 광흡수막(232)으로부터 노출된 핀(223)의 높이의 변동이 저감된다.

[0194] 도 31a 내지 도 31d는, 본 변형예에 있어서의 제2 기판(200)에 마련되는 화소 트랜지스터의 제조 공정의 다른 예를 도시한 것이다. 핀(223)의 표면에는 미리 광흡수막(232)보다도 흡수 계수가 높은 광흡수막(232)을 성막하게 해도 된다.

[0195] 먼저, 도 31a에 도시한 바와 같이, 핀(223)의 표면 및 제1 기판(100) 상에 광흡수막(232)을 성막한다. 이어서, 도 31b에 도시한 바와 같이, 상기와 마찬가지로 하여 광흡수막(232)을 제막하여 핀(223)을 매설한 후, 광흡수막(232) 및 핀(223)의 표면을 평탄화한다. 계속해서, 도 31c에 도시한 바와 같이, UV광을 조사하여 광흡수막(232) 내에 에칭 레이트가 빠른 층(232A)을 형성한다. 그 후, 도 31d에 도시한 바와 같이 에칭을 행한다. 이와 같이, 핀(223)의 표면에 광흡수막(232)보다도 흡수 계수가 높은 광흡수막(232)을 성막함으로써, 핀(223)에 UV광이 조사되는 것에 의한 결함의 형성을 저감하는 것이 가능하게 된다.

[0196] <3. 제2 실시 형태>

[0197] 도 32는, 본 개시의 제2 실시 형태에 관계되는 촬상 장치(1)의 주요부로서 제1 기판(100) 및 제2 기판(200)의 단면 구성의 일례를 모식적으로 도시한 것이다. 도 33은, 도 32에 도시한 촬상 장치(1)에 있어서의 제2 기판(200)의 평면 구성을 모식적으로 도시한 것이다. 또한, 도 32는, 도 33에 나타낸 C-C'선에 있어서의 단면을 간략화하여 도시하고 있다. 상기 제1 실시 형태에서는, 패드부(120)와 관통 전극(120E)에 의해 직접 접속되는 증폭 트랜지스터(AMP)를 Fin형의 FD-SOI(Fully Depletion SOI)로 한 예(예를 들어, 도 13 참조)를 나타냈지만, 증폭 트랜지스터(AMP)는 다른 삼차원 구조를 갖고 있어도 된다. 본 실시 형태에서는, 증폭 트랜지스터(AMP)가 GAA(Gate All Around) 구조를 갖는 경우에 대하여 상세하게 설명한다.

[0198] [증폭 트랜지스터(AMP)의 구성]

[0199] 도 34는, 도 32에 도시한 1점 파선 내의 증폭 트랜지스터(AMP)를 확대하여 도시한 것이다. 증폭 트랜지스터

(AMP)는, 채널(224)의 주위에 연속하여 게이트(AG)가 마련되어 있는 GAA 구조를 갖고 있다.

[0200] 본 실시 형태의 증폭 트랜지스터(AMP)에서는, 게이트(AG)와 채널(224) 간을 전기적으로 절연하는 게이트 절연막(225)의 일부가 채널(224)의 폭보다도 광폭으로 형성되어 있다. 구체적으로는, V 방향으로 연신하는 채널(224)의 주위에 마련된 게이트 절연막(225) 중, 채널(224)의 패드부(120)와 대향하는 면(하면)에 마련된 게이트 절연막(225)이 채널(224)의 H 방향의 폭보다도 광폭으로 형성되어 있다. 더욱 상세하게는, 채널(224)의 하면보다도 외측으로 연장되는 게이트 절연막(225)은, 제1 기판(100)에 치우쳐서, 채널(224)의 하면에 마련된 게이트 절연막(225)보다도 1단 낮아진 위치로 연장되어 있다. 또한, 게이트(AG)에는, 상기 제1 실시 형태와 마찬가지로 관통 전극(120E)이 접속되어 있고, 본 실시 형태에서는, 관통 전극(120E)은 채널(224)의 하방에 형성되는 증폭 트랜지스터(AMP)의 게이트(AG)를 겸하고 있다.

[0201] [증폭 트랜지스터(AMP)의 제조 방법]

[0202] 이하에, 본 실시 형태의 증폭 트랜지스터(AMP)의 제조 방법에 대하여 설명한다. 도 35a 내지 도 35i는, 도 32 내지 도 34에 도시한 증폭 트랜지스터(AMP)의 제조 공정의 일례를 도시한 것이다.

[0203] 먼저, 도 35a에 도시한 바와 같이, 제1 기판(100)에 반도체층(200S)을 접합하고, 소정의 위치에 절연 영역(212) 및 소자 분리 영역(213)을 형성한다. 이어서, 도 35b에 도시한 바와 같이, 패드부(120)의 상방에 형성된 절연 영역(212)에, 패드부(120)까지 달하는 개구(H3)를 형성한다. 계속해서, 도 35c에 도시한 바와 같이, 개구(H3) 내에 예를 들어 폴리실리콘을 매립한 후, 예를 들어 CMP에 의해 반도체층(200S) 상에 마련된 폴리실리콘을 제거하고, 절연 영역(212) 및 소자 분리 영역(213)을 포함하는 반도체층(200S)의 표면을 평탄화한다. 이에 의해, 증폭 트랜지스터(AMP)의 게이트(AG)를 겸하는 관통 전극(120E)이 형성된다.

[0204] 이어서, 도 35d에 도시한 바와 같이, 절연 영역(212), 소자 분리 영역(213) 및 관통 전극(120E)을 포함하는 반도체층(200S) 상에 예를 들어 산화실리콘막(225X) 및 폴리실리콘막(224X)을 순서대로 성막한다. 계속해서, 예를 들어 포토리소그래피 및 에칭에 의해 폴리실리콘막(224X) 및 산화실리콘막(225X)을 가공한다. 이에 의해, 도 35e에 도시한 바와 같이, 증폭 트랜지스터(AMP)의 채널(224) 및 채널(224)의 하면을 덮는 게이트 절연막(225A)이 형성된다. 그 후, 어닐 처리에 의해 관통 전극(120E) 및 채널(224)의 표면에 열산화막을 형성한다. 이 열산화막이 채널(224)의 상면 및 측면 그리고 채널(224)의 하면보다도 외측으로 연장되는 게이트 절연막(225B)이 된다.

[0205] 이어서, 도 35f에 도시한 바와 같이, 예를 들어 포토리소그래피에 의해 소정의 위치에 개구를 갖는 레지스트막(234)을 형성한다. 계속해서, 도 35g에 도시한 바와 같이, 예를 들어 에칭에 의해 레지스트막(234)으로부터 노출된 관통 전극(120E) 상의 열산화막을 제거한 후, 레지스트막(234)을 제거하고, 절연 영역(212), 소자 분리 영역(213) 및 관통 전극(120E) 그리고 관통 전극(120E) 상에 마련된 채널(224) 등을 포함하는 반도체층(200S) 상에 폴리실리콘막(226X)을 성막한다.

[0206] 이어서, 도 35h에 도시한 바와 같이, 예를 들어 포토리소그래피 및 에칭에 의해 폴리실리콘막(226X)을 가공한다. 이에 의해, 채널(224)의 측면 및 상면을 덮는 증폭 트랜지스터(AMP)의 게이트(AG) 및 기타 화소 트랜지스터의 게이트(도시하지 않음)가 형성된다. 이상에 의해, 채널(224)의 H 방향의 폭보다도 광폭으로 연장되고, 또한, 채널(224)의 H 방향의 폭보다도 광폭으로 연장되는 게이트 절연막(225B)이 채널(224)의 하면에 마련된 게이트 절연막(225A)보다도 1단 낮아진 위치에 형성되어 있는 게이트 절연막(225)을 갖는 증폭 트랜지스터(AMP)가 완성된다. 그 후, 도 35h에 도시한 바와 같이, 증폭 트랜지스터(AMP)의 게이트(AG) 및 기타 화소 트랜지스터의 게이트(도시하지 않음)를 덮는 패시베이션막(221)을 성막한다.

[0207] 계속해서, 도 35i에 도시한 바와 같이, 패시베이션막(221) 상에 층간 절연막(222)을 성막한 후, 증폭 트랜지스터(AMP)를 포함하는 화소 트랜지스터의 게이트까지 달하는 접속부(218V) 및 패드부(121)까지 달하는 관통 전극(121E) 등(도시하지 않음)을 형성한다. 그 후, 제1 배선층(W1)을 형성한다. 이상에 의해, 도 32에 도시한 촬상 장치(1)의 제2 기판(200)이 형성된다.

[0208] [효과]

[0209] 이상에 의해, 본 실시 형태에서는, 증폭 트랜지스터(AMP)를 GAA 구조로 하고, 플로팅 디퓨전(FD)(구체적으로는, 패드부(120))과 증폭 트랜지스터(AMP)를 관통 전극(120E)에 의해 직접 접속하도록 하였다. 따라서, 예를 들어, 도 36에 도시한 일반적인 화소 회로(210)의 레이아웃과 비교하여, 제2 기판(200) 내에 있어서의 화소 회로(210)의 형성 면적을 크게 확보할 수 있다(도 33 참조). 즉, 상기 제1 실시 형태와 마찬가지로, 제2 기판(200)에

있어서의 화소 회로(210)를 구성하는 화소 트랜지스터의 면적 효율을 향상시키는 것이 가능하게 된다.

[0210] 또한, 본 실시 형태에서는, 상기 제1 실시 형태와 마찬가지로 패드부(120)와 증폭 트랜지스터(AMP) 간의 배선 길이를 단축할 수 있기 때문에, 배선 용량을 저감할 수 있고, 변환 효율을 향상시키는 것이 가능하게 된다. 또한, 노이즈를 저감하는 것이 가능하게 된다.

[0211] 또한, 일반적인 제조 방법을 사용하여 제2 기판(200)에 GAA 구조의 증폭 트랜지스터(AMP)를 형성하는 경우, 채널의 주위에 게이트 절연막을 형성할 때에, 플로팅 디퓨전(FD)과의 콘택트 부분(예를 들어 패드부(120)의 표면)에도 산화막이 형성되어, 플로팅 디퓨전(FD)과의 도통이 도모되지 않게 될 우려가 있다.

[0212] 이에 반해, 본 실시 형태에서는, 미리 패드부(120)까지 달하는 개구(H3)를 형성하고, 개구(H3) 내에 폴리실리콘을 매립하여 관통 전극(120E)을 형성한 후에 채널(224)을 형성하고, 어닐에 의해 게이트 절연막(225)을 형성하도록 하였다. 이에 의해, 패드부(120)의 표면에 산화막이 형성되는 것을 방지하여, 패드부(120)와 증폭 트랜지스터(AMP)의 도통을 도모하는 것이 가능하게 된다. 따라서, 제조 수율 및 신뢰성을 향상시키는 것이 가능하게 된다.

[0213] <4. 변형예>

[0214] (4-1. 변형예 9)

[0215] 도 37은, 상기 제2 실시 형태에 있어서의 촬상 장치(1)의 주요부의 단면 구성, 즉, 제1 기판(100) 및 제2 기판(200)의 단면 구성의 다른 예를 모식적으로 도시한 것이다. 본 변형예에서는, 절연 영역(212)에 매립되어, 증폭 트랜지스터(AMP)의 채널(224)의 하면측의 게이트(AG)를 겸하는 관통 전극(120E)의 상부에 폭 확대부(120EA)를 마련한 점이, 상기 제2 실시 형태와는 다르다.

[0216] 도 38a 내지 도 38e는, 도 37에 도시한 증폭 트랜지스터(AMP)의 제조 공정의 일례를 도시한 것이다.

[0217] 먼저, 도 38a에 도시한 바와 같이, 제1 기판(100)에 반도체층(200S)을 접합하고, 소정의 위치에 절연 영역(212) 및 소자 분리 영역(213)을 형성한 후, 패드부(120)의 상방에 형성된 절연 영역(212)에, 패드부(120)까지 달하는 개구(H3) 및 개구(H3)보다도 폭이 넓은 개구(H4)를 형성한다. 이어서, 상기 제2 실시 형태와 마찬가지로 하여, 도 38b에 도시한 바와 같이, 개구(H3) 및 개구(H4)에 폴리실리콘을 매립하고, 절연 영역(212), 소자 분리 영역(213) 및 관통 전극(120E)을 포함하는 반도체층(200S) 상에 예를 들어 산화실리콘막(225X) 및 폴리실리콘막(224X)을 성막한다.

[0218] 계속해서, 도 38c에 도시한 바와 같이, 폴리실리콘막(224X) 및 산화실리콘막(225X)을 가공하여 채널(224) 및 게이트 절연막(225A)을 형성한 후, 어닐 처리에 의해 관통 전극(120E) 및 채널(224)의 표면에 게이트 절연막(225B)이 되는 열산화막을 형성한다. 이어서, 도 38d에 도시한 바와 같이, 예를 들어 포토리소그래피에 의해 소정의 위치에 개구를 갖는 레지스트막(234)을 형성한다.

[0219] 계속해서, 상기 제2 실시 형태와 마찬가지로 하여, 예를 들어 에칭에 의해 레지스트막(234)으로부터 노출된 관통 전극(120E) 상의 열산화막을 제거한 후, 레지스트막(234)을 제거하고, 절연 영역(212), 소자 분리 영역(213) 및 관통 전극(120E) 그리고 관통 전극(120E) 상에 마련된 채널(224) 등을 포함하는 반도체층(200S) 상에 폴리실리콘막(226X)을 성막한다. 이어서, 도 38e에 도시한 바와 같이, 예를 들어 포토리소그래피 및 에칭에 의해 폴리실리콘막(226X)을 가공하여 게이트(AG)를 형성한다. 그 후, 상기 제2 실시 형태와 마찬가지로 하여 패시베이션막(221), 층간 절연막(222) 및 제1 배선층(W1)을 순차 형성한다. 이상에 의해, 도 37에 도시한 촬상 장치(1)의 제2 기판(200)이 형성된다.

[0220] 이와 같이, 본 변형예에서는, 절연 영역(212)에 매립되어, 증폭 트랜지스터(AMP)의 채널(224)의 하면측의 게이트(AG)를 겸하는 관통 전극(120E)의 상부에 폭 확대부(120EA)를 마련하도록 하였다. 환언하면, 채널(224)의 주위에 마련되는 게이트(AG)의, 절연 영역(212)에 매립되는 부분에, 관통 전극(120E)의 배선 직경보다도 큰 직경을 갖는 볼록부를 마련하도록 하였다. 이에 의해, 도 38e에 나타낸 화살표과 같이, 상기 제2 실시 형태와 비교하여, 게이트 절연막(225B)의 단부와, 관통 전극(120E)과 게이트(AG)의 콘택트부와의 거리가 벌어지기 때문에, 패드부(120)와 증폭 트랜지스터(AMP)의 도통 불량의 마진이 확대되어, 제조 수율 및 신뢰성을 더욱 향상시키는 것이 가능하게 된다.

[0221] (4-2. 변형예 10)

[0222] 도 39는, 상기 제2 실시 형태에 있어서의 촬상 장치(1)의 주요부의 단면 구성, 즉, 제1 기판(100) 및 제2 기판

(200)의 단면 구성의 다른 예를 모식적으로 도시한 것이다. 도 40은, 도 39에 나타낸 1점 파선 내의 증폭 트랜지스터(AMP)를 확대하여 도시한 것이다. 본 변형예에서는, 게이트(AG) 내에 있어서 채널(224)의 하방에, 채널(224) 및 게이트 절연막(225)과는 이격하여 마련된 채널(224)의 H 방향의 폭보다도 폭이 넓은 열산화막(227)이 형성되어 있는 점이, 상기 제2 실시 형태와는 다르다.

[0223] 도 41a 내지 도 41e는, 도 39 및 도 40에 도시한 증폭 트랜지스터(AMP)의 제조 공정의 일례를 도시한 것이다.

[0224] 먼저, 도 41a에 도시한 바와 같이, 절연 영역(212), 소자 분리 영역(213) 및 관통 전극(120E)을 포함하는 반도체층(200S) 상에 예를 들어 실리콘게르마늄(SiGe)을 포함하는 희생층(235) 및 폴리실리콘막(224X)을 순서대로 성막한다. 이어서, 도 41b에 도시한 바와 같이, 예를 들어 포토리소그래피 및 습식 에칭에 의해, 폴리실리콘막(224X)을 가공하여 채널(224)을 형성함과 함께, 희생층(235)을 제거한다.

[0225] 계속해서, 어닐 처리를 행하여, 도 41c에 도시한 바와 같이, 관통 전극(120E) 및 채널(224)의 표면에, 각각 게이트 절연막(225) 및 열산화막(227)을 형성한다. 이어서, 도 41d에 도시한 바와 같이, 상기 제2 실시 형태와 마찬가지로 하여, 소정의 위치에 개구를 갖는 레지스트막(234)을 형성한다. 계속해서, 예를 들어 에칭에 의해 레지스트막(234)으로부터 노출된 관통 전극(120E) 상의 열산화막(227)을 제거한 후, 레지스트막(234)을 제거하고, 절연 영역(212), 소자 분리 영역(213) 및 관통 전극(120E) 그리고 관통 전극(120E) 상에 마련된 채널(224) 등을 포함하는 반도체층(200S) 상에 폴리실리콘막(226X)을 성막한다. 이어서, 도 41e에 도시한 바와 같이, 예를 들어 포토리소그래피 및 에칭에 의해 폴리실리콘막(226X)을 가공하여 게이트(AG)를 형성한 후, 상기 제2 실시 형태와 마찬가지로 하여 패시베이션막(221), 층간 절연막(222) 및 제1 배선층(W1)을 순차 형성한다. 이상에 의해, 도 39에 도시한 촬상 장치(1)의 제2 기판(200)이 형성된다.

[0226] 이상과 같이, 본 변형예에서는, 절연 영역(212), 소자 분리 영역(213) 및 관통 전극(120E)을 포함하는 반도체층(200S) 상에 희생층(235) 및 폴리실리콘막(224X)을 순서대로 성막한 후, 폴리실리콘막(224X)을 가공하여 채널(224)을 형성하고, 열산화에 의해 게이트 절연막(225)을 형성하도록 하였다. 이에 의해, 상기 제1 실시 형태의 효과 외에, 상기 제2 실시 형태와 마찬가지로, 일반적인 GAA 구조 갖는 증폭 트랜지스터(AMP)의 제조 방법을 사용한 경우와 비교하여, 제조 수율 및 신뢰성을 향상시키는 것이 가능하게 된다.

[0227] 또한, 본 변형예는, 도 42에 도시한 바와 같이, 변형예 9와 조합할 수도 있다. 또한, 레지스트막(234)의 형성 범위 및 에칭 시간 및 조건 등을 제어함으로써, 도 43에 도시한 바와 같이, 열산화막(227)을 채널(224)의 H 방향의 폭보다도 폭좁게 형성할 수도 있다. 이에 의해, 열산화막(227)의 단부와, 관통 전극(120E)과 게이트(AG)의 콘택트부의 거리가 벌어지기 때문에, 패드부(120)와 증폭 트랜지스터(AMP)와의 도통 불량의 마진이 더욱 확대되어, 제조 수율 및 신뢰성을 더욱 향상시키는 것이 가능하게 된다.

[0228] (4-3. 변형예 11)

[0229] 본 변형예에서는, 상기 변형예 10에 있어서 설명한 방법을 사용하여 증폭 트랜지스터(AMP)를 형성할 때에, 채널(224)의 하방의 희생층(235)을 선택적으로 제거하고, 채널(224)의 양단에 형성되는 소스(224S) 및 드레인(224D)의 하방에 형성되는 희생층(235)을 잔존시키는 방법을 설명한다.

[0230] 상기 변형예 10에 나타낸 방법을 사용하여 증폭 트랜지스터(AMP)를 형성하는 경우, 채널(224)을 구성하는 폴리실리콘막(224X)의 하방에 형성되는 희생층(235)은 폴리실리콘막(224X)의 가공 시의 습식 에칭 등에 의해 제거된다. 그러나, 채널(224)의 양단에 형성되는 소스(224S) 및 드레인(224D)을 구성하는 폴리실리콘막(224X)의 하방의 희생층(235)은 폴리실리콘막(224X)이 박리되지 않도록 잔존하고 있는 것이 바람직하다. 이 때문에, 일반적으로 소스(224S) 및 드레인(224D) 부분의 폴리실리콘막(224X)은 예를 들어 도 44에 도시한 바와 같이, 채널(224) 부분보다도 크게 가공된다.

[0231] 도 45a 내지 도 45j는, 본 변형예에 있어서의 증폭 트랜지스터(AMP)의 제조 공정의 일례를 도시한 것이다. 또한, 도 45b 내지 도 45j에서는, 도 44에 도시한 C-C'선의 단면(채널(224) 부분)을 (A)에 나타내고, D-D'선의 단면(드레인(224D) 부분)을 (B)에 나타내고 있다.

[0232] 먼저, 도 45a에 도시한 바와 같이, 절연 영역(212), 소자 분리 영역(213) 및 관통 전극(120E)을 포함하는 반도체층(200S) 상에 성막된, 희생층(235) 및 폴리실리콘막(224X)을 소정의 형상으로 가공한다. 이어서, 도 45b에 도시한 바와 같이, 소스(224S) 및 드레인(224D)이 되는 폴리실리콘막(224X)의 양단 부분에 레지스트막(236)을 형성한다.

[0233] 계속해서, 도 45c에 도시한 바와 같이, 예를 들어 습식 에칭에 의해 채널(224)이 되는 폴리실리콘막(224X) 바로

아래의 희생층(235)을 제거한다. 이때, 소스(224S) 및 드레인(224D)이 되는 폴리실리콘막(224X) 바로 아래의 희생층(235)은 레지스트막(236)에 의해 덮여 있기 때문에 제거되지 않는다. 그 후, 레지스트막(236)을 제거한다. 이어서, 도 45d에 도시한 바와 같이, 어닐 처리에 의해 폴리실리콘막(224X)의 표면 및 관통 전극(120E)의 표면에 열산화막을 형성한다. 이 열산화막이, 도 39 및 도 40에 도시한 게이트 절연막(225) 및 열산화막(227)이 된다.

[0234] 계속해서, 도 45e에 도시한 바와 같이, 폴리실리콘막(224X)을 덮는 레지스트막(237)을 형성한 후, 도 45f에 도시한 바와 같이, 에칭에 의해, 레지스트막(237)으로부터 노출된 관통 전극(120E)의 상면에 형성된 열산화막(227)을 제거한다. 이어서, 도 45g에 도시한 바와 같이, 절연 영역(212), 소자 분리 영역(213) 및 관통 전극(120E) 그리고 채널(224) 및 소스(224S) 및 드레인(224D)이 되는 폴리실리콘막(224X)을 포함하는 반도체층(200S) 상에 폴리실리콘막(226X)을 성막한다.

[0235] 계속해서, 도 45h에 도시한 바와 같이, 폴리실리콘막(226X)의 소정의 위치에 레지스트막(238)을 형성한다. 구체적으로는, 채널(224)이 되는 폴리실리콘막(224X) 상에 레지스트막(238)을 형성한다. 이어서, 도 45i에 도시한 바와 같이, 에칭에 의해 폴리실리콘막(226X)을 가공하여 게이트(AG)를 형성한 후, 패시베이션막(221)을 성막한다. 그 후, 도 45j에 도시한 바와 같이, 층간 절연막(222), 접속부(218B) 및 제1 배선층(W1)을 순서대로 형성한다.

[0236] 상술한 제조 방법을 사용하여 형성된 증폭 트랜지스터(AMP)에서는, 소스(224S) 및 드레인(224D)이 되는 폴리실리콘막(224X) 바로 아래의 희생층(235)을 잔존시킬 수 있다. 따라서, 예를 들어, 도 46에 도시한 바와 같이, 소스(224S) 및 드레인(224D)과 채널(224)을 대략 동일한 폭으로 형성하는 것이 가능하게 된다. 따라서, 화소 회로(210) 전체의 칩 사이즈를 축소할 수 있기 때문에, 예를 들어 1매의 실리콘 웨이퍼 내의 수율을 향상시키는 것이 가능하게 된다.

[0237] 또한, 소스(224S) 및 드레인(224D)이 되는 폴리실리콘막(224X)의 양단부는, 예를 들어 도 47에 도시한 바와 같이 모퉁이부가 깍여진(chamfered) 곡선상으로 되어 있어도 된다. 또한, 상기 변형예 10 및 본 변형예에서는, 희생층(235)의 재료로서 SiGe를 들었지만, 희생층(235)은 이에 한정하지 않고, 예를 들어 도전막이나 절연막을 사용하여 형성하도록 해도 된다.

[0238] 또한, 증폭 트랜지스터(AMP)를 GAA 구조로 해도 게이트 길이가 불충분하게 되는 경우가 있다. 그 때에는, 채널(224)을 구성하는 폴리실리콘막(224X)을 예를 들어, 도 48a에 도시한 바와 같이, 폴리실리콘을 포함하는 Si막(228X1)과, 예를 들어 SiGe를 포함하는 희생층(228X2)이 교대로 적층된 다층막(228) 대신에 형성하도록 해도 된다. 이에 의해, 게이트 길이를 확보하는 것이 가능하게 된다.

[0239] 이와 같이, Si막(228X1)과 희생층(228X2)이 교대로 적층된 다층막(228)을 사용하는 경우에는, 채널(224) 부분 및 소스(224S) 및 드레인(224D) 부분의 가공은, 이하와 같이 하여 행할 수 있다.

[0240] 먼저, 다층막(228)을 소정의 형상으로 가공한 후, 도 48a에 도시한 바와 같이, 채널(224)이 되는 다층막(228)의 최하층의 희생층(228X2)을 제외하고 다층막(228)을 역테이퍼상의 레지스트막(239)으로 덮는다. 역테이퍼상의 레지스트막(239)은 예를 들어 네가티브 레지스트 등을 사용함으로써 형성할 수 있다. 계속해서, 예를 들어 습식 에칭을 행함으로써, 도 48b에 도시한 바와 같이, 레지스트막(239)으로부터 노출된 채널(224) 부분의 최하층의 희생층(228X2)이 선택적으로 제거된다. 그 후, 레지스트막(239)을 제거한다. 이어서, 도 48c에 도시한 바와 같이, 상기와 마찬가지로 하여 게이트 절연막(225), 열산화막(227), 게이트(AG), 패시베이션막(221), 층간 절연막(222), 접속부(218B) 및 제1 배선층(W1)을 순차 형성한다.

[0241] 또한, 상기 제2 실시 형태 및 변형예 9 내지 변형예 11에서는, 증폭 트랜지스터(AMP)를 GAA 구조로 한 예를 나타냈지만, 화소 회로(210)를 구성하는 모든 트랜지스터를 GAA 구조로 해도 된다. 그 경우에는, 반도체층(200S)을 상기와 같은 Si막(228X1)과 희생층(228X2)이 교대로 적층된 다층막(228)으로 할 수 있다. 그 경우, 다층막(228)의 막 두께는, 반도체층(200S)의 막 두께보다도 얇아지기 때문에, 제2 기판(200)의 막 두께를 얇게 하는 것이 가능하게 된다. 따라서, 관통 전극(120E, 121E)의 애스펙트비가 작아지기 때문에, 가공 용이성이나 안정성이 향상되어, 수율을 향상시키는 것이 가능하게 된다.

[0242] <5. 변형예 12>

[0243] 도 49 내지 도 53은, 상기 실시 형태 등에 관계되는 촬상 장치(1)의 평면 구성의 일 변형예를 도시한 것이다. 도 49는, 제2 기판(200)의 반도체층(200S)의 표면 근방의 평면 구성을 모식적으로 도시하고 있고, 상기 제1 실시 형태에서 설명한 도 8에 대응한다. 도 50은, 제1 배선층(W1)과, 제1 배선층(W1)에 접속된 반도체층(200S)

및 제1 기판(100)의 각 부의 구성을 모식적으로 도시하고 있고, 상기 제1 실시 형태에서 설명한 도 9에 대응한다. 도 51은, 제1 배선층(W1) 및 제2 배선층(W2)의 평면 구성의 일례를 도시하고 있고, 상기 제1 실시 형태에서 설명한 도 10에 대응한다. 도 52는, 제2 배선층(W2) 및 제3 배선층(W3)의 평면 구성의 일례를 도시하고 있고, 상기 제1 실시 형태에서 설명한 도 11에 대응한다. 도 53은, 제3 배선층(W3) 및 제4 배선층(W4)의 평면 구성의 일례를 도시하고 있고, 상기 제1 실시 형태에서 설명한 도 12에 대응한다.

[0244] 본 변형예에서는, 도 50에 도시한 바와 같이, 제2 기판(200)의 H 방향으로 배열되는 2개의 화소 공유 유닛(539) 중, 한쪽(예를 들어 지면 우측)의 화소 공유 유닛(539)의 내부 레이아웃이, 다른 쪽(예를 들어 지면 좌측)의 화소 공유 유닛(539)의 내부 레이아웃을 H 방향으로만 반전시킨 구성으로 되어 있다. 또한, 한쪽의 화소 공유 유닛(539)의 외형선과 다른 쪽의 화소 공유 유닛(539)의 외형선 간의 V 방향의 어긋남이, 상기 제1 실시 형태에서 설명한 어긋남(도 9)보다도 크게 되어 있다. 이와 같이, V 방향의 어긋남을 크게 함으로써, 다른 쪽의 화소 공유 유닛(539)의 증폭 트랜지스터(AMP)와, 이것에 접속된 패드부(120)(도 7b에 기재된 V 방향으로 배열되는 2개의 화소 공유 유닛(539) 중 다른 쪽(지면 하측)의 패드부(120)) 간의 거리를 작게 할 수 있다. 이러한 레이아웃에 의해, 도 49 내지 도 53에 기재된 촬상 장치(1)의 변형예 12는, H 방향으로 배열되는 2개의 화소 공유 유닛(539)의 평면 레이아웃을 서로 V 방향으로 반전시키지 않고, 그의 면적을, 상기 제1 실시 형태에서 설명한 제2 기판(200)의 화소 공유 유닛(539)의 면적과 동일하게 할 수 있다. 또한, 제1 기판(100)의 화소 공유 유닛(539)의 평면 레이아웃은, 상기 제1 실시 형태에서 설명한 평면 레이아웃(도 7a, 도 7b)과 동일하다. 따라서, 본 변형예의 촬상 장치(1)는 상기 제1 실시 형태에서 설명한 촬상 장치(1)와 마찬가지의 효과를 얻을 수 있다. 제2 기판(200)의 화소 공유 유닛(539)의 배치는, 상기 1, 2 실시 형태 및 본 변형예에서 설명한 배치에 한정되는 것은 아니다.

[0245] <6. 변형예 13>

[0246] 도 54 내지 도 59는, 상기 실시 형태 등에 관계되는 촬상 장치(1)의 평면 구성의 일 변형예를 도시한 것이다. 도 54는, 제1 기판(100)의 평면 구성을 모식적으로 도시하고 있고, 상기 제1 실시 형태에서 설명한 도 7a에 대응한다. 도 55는, 제2 기판(200)의 반도체층(200S)의 표면 근방의 평면 구성을 모식적으로 도시하고 있고, 상기 제1 실시 형태에서 설명한 도 8에 대응한다. 도 56은, 제1 배선층(W1)과, 제1 배선층(W1)에 접속된 반도체층(200S) 및 제1 기판(100)의 각 부의 구성을 모식적으로 도시하고 있고, 상기 제1 실시 형태에서 설명한 도 9에 대응한다. 도 57은, 제1 배선층(W1) 및 제2 배선층(W2)의 평면 구성의 일례를 도시하고 있고, 상기 제1 실시 형태에서 설명한 도 10에 대응한다. 도 58은, 제2 배선층(W2) 및 제3 배선층(W3)의 평면 구성의 일례를 도시하고 있고, 상기 제1 실시 형태에서 설명한 도 11에 대응한다. 도 59는, 제3 배선층(W3) 및 제4 배선층(W4)의 평면 구성의 일례를 도시하고 있고, 상기 제1 실시 형태에서 설명한 도 12에 대응한다.

[0247] 본 변형예에서는, 각 화소 회로(210)의 외형이, 대략 정사각형의 평면 형상을 갖고 있다(도 55 등). 이 점에 있어서, 본 변형예의 촬상 장치(1)의 평면 구성은, 상기 제1 실시 형태에서 설명한 촬상 장치(1)의 평면 구성과 다르게 되어 있다.

[0248] 예를 들어, 제1 기판(100)의 화소 공유 유닛(539)은 상기 제1 실시 형태에서 설명한 것과 마찬가지로, 2행×2열의 화소 영역에 걸쳐 형성되어 있고, 대략 정사각형의 평면 형상을 갖고 있다(도 54). 예를 들어, 각각의 화소 공유 유닛(539)에서는, 한쪽의 화소열의 화소(541A) 및 화소(541C)의 전송 게이트(TG1, TG3)의 수평 부분(TGb)이, 수직 부분(TGa)에 중첩하는 위치로부터 H 방향에 있어서 화소 공유 유닛(539)의 중앙부를 향하는 방향(보다 구체적으로는, 화소(541A, 541C)의 외연을 향하는 방향, 또한 화소 공유 유닛(539)의 중앙부를 향하는 방향)으로 연장되고, 다른 쪽의 화소열의 화소(541B) 및 화소(541D)의 전송 게이트(TG2, TG4)의 수평 부분(TGb)이, 수직 부분(TGa)에 중첩하는 위치로부터 H 방향에 있어서 화소 공유 유닛(539)의 외측을 향하는 방향(보다 구체적으로는, 화소(541B, 541D)의 외연을 향하는 방향, 또한 화소 공유 유닛(539)의 외측을 향하는 방향)으로 연장되어 있다. 플로팅 디퓨전(FD)에 접속된 패드부(120)는 화소 공유 유닛(539)의 중앙부(화소 공유 유닛(539)의 H 방향 및 V 방향의 중앙부)에 마련되고, VSS 콘택트 영역(118)에 접속된 패드부(121)는 적어도 H 방향에 있어서(도 54에서는 H 방향 및 V 방향에 있어서) 화소 공유 유닛(539)의 단부에 마련되어 있다.

[0249] 다른 배치예로서, 전송 게이트(TG1, TG2, TG3, TG4)의 수평 부분(TGb)을 수직 부분(TGa)에 대향하는 영역에만 마련하는 것도 생각할 수 있다. 이때에는, 상기 제1 실시 형태에서 설명한 것과 마찬가지로, 반도체층(200S)이 미세하게 분단되기 쉽다. 따라서, 화소 회로(210)의 트랜지스터를 크게 형성하는 것이 곤란해진다. 한편, 전송 게이트(TG1, TG2, TG3, TG4)의 수평 부분(TGb)을, 상기 변형예와 같이, 수직 부분(TGa)에 중첩하는 위치로부터 H 방향으로 연장시키면, 상기 제1 실시 형태에서 설명한 것과 마찬가지로, 반도체층(200S)의 폭을 크게 하는

것이 가능하게 된다. 구체적으로는, 전송 게이트(TG1, TG3)에 접속된 관통 전극(TGV1, TGV3)의 H 방향의 위치를, 관통 전극(120E)의 H 방향의 위치에 근접시켜서 배치하고, 전송 게이트(TG2, TG4)에 접속된 관통 전극(TGV2, TGV4)의 H 방향의 위치를, 관통 전극(121E)의 H 방향의 위치에 근접하여 배치하는 것이 가능하게 된다(도 56). 이에 의해, 상기 제1 실시 형태에서 설명한 것과 마찬가지로, V 방향으로 연장하는 반도체층(200S)의 폭(H 방향의 크기)을 크게 할 수 있다. 따라서, 화소 회로(210)의 트랜지스터 사이즈, 특히 증폭 트랜지스터(AMP)의 사이즈를 크게 하는 것이 가능하게 된다. 그 결과, 화소 신호의 시그널/노이즈비를 개선하고, 촬상 장치(1)는 보다 좋은 화소 데이터(화상 정보)를 출력하는 것이 가능하게 된다.

[0250] 제2 기판(200)의 화소 공유 유닛(539)은 예를 들어, 제1 기판(100)의 화소 공유 유닛(539)의 H 방향 및 V 방향의 크기와 대략 동일하고, 예를 들어, 대략 2행×2열의 화소 영역에 대응하는 영역에 걸쳐 마련되어 있다. 예를 들어, 각 화소 회로(210)에서는, V 방향으로 연장하는 1의 반도체층(200S)에 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)가 V 방향으로 나란히 배치되고, FD 변환 게인 전환 트랜지스터(FDG) 및 리셋 트랜지스터(RST)가 V 방향으로 연장하는 1의 반도체층(200S)에, V 방향으로 나란히 배치되어 있다. 이 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)가 마련된 1의 반도체층(200S)과, FD 변환 게인 전환 트랜지스터(FDG) 및 리셋 트랜지스터(RST)가 마련된 1의 반도체층(200S)은, 절연 영역(212)을 통하여 H 방향으로 배열되어 있다. 이 절연 영역(212)은 V 방향으로 연장되어 있다(도 55).

[0251] 여기서, 제2 기판(200)의 화소 공유 유닛(539)의 외형에 대해서, 도 55 및 도 56을 참조하여 설명한다. 예를 들어, 도 54에 도시한 제1 기판(100)의 화소 공유 유닛(539)은 패드부(120)의 H 방향의 한쪽(도 56의 지면 좌측)에 마련된 증폭 트랜지스터(AMP) 및 선택 트랜지스터(SEL)와, 패드부(120)의 H 방향의 다른 쪽(도 56의 지면 우측)에 마련된 FD 변환 게인 전환 트랜지스터(FDG) 및 리셋 트랜지스터(RST)에 접속되어 있다. 이 증폭 트랜지스터(AMP), 선택 트랜지스터(SEL), FD 변환 게인 전환 트랜지스터(FDG) 및 리셋 트랜지스터(RST)를 포함하는 제2 기판(200)의 화소 공유 유닛(539)의 외형은, 다음 4개의 외연에 의해 결정된다.

[0252] 제1 외연은, 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)를 포함하는 반도체층(200S)의 V 방향의 일단(도 56의 지면 상측의 단)의 외연이다. 이 제1 외연은, 당해 화소 공유 유닛(539)에 포함되는 증폭 트랜지스터(AMP)와, 이 화소 공유 유닛(539)의 V 방향의 한쪽(도 56의 지면 상측)에 인접하는 화소 공유 유닛(539)에 포함되는 선택 트랜지스터(SEL) 사이에 마련되어 있다. 보다 구체적으로는, 제1 외연은, 이들 증폭 트랜지스터(AMP)와 선택 트랜지스터(SEL) 사이의 소자 분리 영역(213)의 V 방향의 중앙부에 마련되어 있다. 제2 외연은, 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)를 포함하는 반도체층(200S)의 V 방향의 타단(도 56의 지면 하측의 단)의 외연이다. 이 제2 외연은, 당해 화소 공유 유닛(539)에 포함되는 선택 트랜지스터(SEL)와, 이 화소 공유 유닛(539)의 V 방향의 다른 쪽(도 56의 지면 하측)에 인접하는 화소 공유 유닛(539)에 포함되는 증폭 트랜지스터(AMP) 사이에 마련되어 있다. 보다 구체적으로는, 제2 외연은, 이들 선택 트랜지스터(SEL)와 증폭 트랜지스터(AMP) 사이의 소자 분리 영역(213)의 V 방향의 중앙부에 마련되어 있다. 제3 외연은, 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)를 포함하는 반도체층(200S)의 V 방향의 타단(도 56의 지면 하측의 단)의 외연이다. 이 제3 외연은, 당해 화소 공유 유닛(539)에 포함되는 FD 변환 게인 전환 트랜지스터(FDG)와, 이 화소 공유 유닛(539)의 V 방향의 다른 쪽(도 56의 지면 하측)에 인접하는 화소 공유 유닛(539)에 포함되는 리셋 트랜지스터(RST) 사이에 마련되어 있다. 보다 구체적으로는, 제3 외연은, 이들 FD 변환 게인 전환 트랜지스터(FDG)와 리셋 트랜지스터(RST) 사이의 소자 분리 영역(213)의 V 방향의 중앙부에 마련되어 있다. 제4 외연은, 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)를 포함하는 반도체층(200S)의 V 방향의 일단(도 56의 지면 상측의 단)의 외연이다. 이 제4 외연은, 당해 화소 공유 유닛(539)에 포함되는 리셋 트랜지스터(RST)와, 이 화소 공유 유닛(539)의 V 방향의 한쪽(도 56의 지면 상측)에 인접하는 화소 공유 유닛(539)에 포함되는 FD 변환 게인 전환 트랜지스터(FDG)(도시하지 않음) 사이에 마련되어 있다. 보다 구체적으로는, 제4 외연은, 이들 리셋 트랜지스터(RST)와 FD 변환 게인 전환 트랜지스터(FDG) 사이의 소자 분리 영역(213)(도시하지 않음)의 V 방향의 중앙부에 마련되어 있다.

[0253] 이러한 제1, 제2, 제3, 제4 외연을 포함하는 제2 기판(200)의 화소 공유 유닛(539)의 외형에서는, 제1, 제2 외연에 대하여 제3, 제4 외연이 V 방향의 일방측으로 어긋나서 배치되어 있다(바꿔 말하면 V 방향의 일방측으로 오프셋되어 있다). 이러한 레이아웃을 사용함으로써, 증폭 트랜지스터(AMP)의 게이트 및 FD 변환 게인 전환 트랜지스터(FDG)의 소스를 모두, 패드부(120)에 가능한 한 근접하여 배치하는 것이 가능하게 된다. 따라서, 이들을 접속하는 배선의 면적을 작게 하고, 촬상 장치(1)의 미세화를 행하기 쉬워진다. 또한 VSS 콘택트 영역(218)은 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)를 포함하는 반도체층(200S)과, 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)를 포함하는 반도체층(200S) 사이에 마련되어 있다. 예를 들어, 복수의 화

소 회로(210)는 서로 동일한 배치를 갖고 있다.

[0254] 이러한 제2 기판(200)을 갖는 촬상 장치(1)도, 상기 제1 실시 형태에서 설명한 것과 마찬가지의 효과가 얻어진다. 제2 기판(200)의 화소 공유 유닛(539)의 배치는, 상기 제1, 제2 실시 형태 및 본 변형예에서 설명한 배치에 한정되는 것은 아니다.

[0255] <7. 변형예 14>

[0256] 도 60 내지 도 65는, 상기 실시 형태 등에 관계되는 촬상 장치(1)의 평면 구성의 일 변형예를 도시한 것이다. 도 60은, 제1 기판(100)의 평면 구성을 모식적으로 도시하고 있고, 상기 제1 실시 형태에서 설명한 도 7b에 대응한다. 도 61은, 제2 기판(200)의 반도체층(200S)의 표면 근방의 평면 구성을 모식적으로 도시하고 있고, 상기 제1 실시 형태에서 설명한 도 8에 대응한다. 도 62는, 제1 배선층(W1)과, 제1 배선층(W1)에 접속된 반도체층(200S) 및 제1 기판(100)의 각 부의 구성을 모식적으로 도시하고 있고, 상기 제1 실시 형태에서 설명한 도 9에 대응한다. 도 63은, 제1 배선층(W1) 및 제2 배선층(W2)의 평면 구성의 일례를 도시하고 있고, 상기 제1 실시 형태에서 설명한 도 10에 대응한다. 도 64는, 제2 배선층(W2) 및 제3 배선층(W3)의 평면 구성의 일례를 도시하고 있고, 상기 제1 실시 형태에서 설명한 도 11에 대응한다. 도 65는, 제3 배선층(W3) 및 제4 배선층(W4)의 평면 구성의 일례를 도시하고 있고, 상기 제1 실시 형태에서 설명한 도 12에 대응한다.

[0257] 본 변형예에서는, 제2 기판(200)의 반도체층(200S)이 H 방향으로 연장되어 있다(도 62). 즉, 상기 도 55 등에 도시한 촬상 장치(1)의 평면 구성을 90도 회전시킨 구성에 대략 대응하고 있다.

[0258] 예를 들어, 제1 기판(100)의 화소 공유 유닛(539)은 상기 제1 실시 형태에서 설명한 것과 마찬가지로, 2행×2열의 화소 영역에 걸쳐 형성되어 있고, 대략 정사각형의 평면 형상을 갖고 있다(도 60). 예를 들어, 각각의 화소 공유 유닛(539)에서는, 한쪽의 화소행의 화소(541A) 및 화소(541B)의 전송 게이트(TG1, TG2)가, V 방향에 있어서 화소 공유 유닛(539)의 중앙부를 향하여 연장되고, 다른 쪽의 화소행의 화소(541C) 및 화소(541D)의 전송 게이트(TG3, TG4)가, V 방향에 있어서 화소 공유 유닛(539)의 외측 방향으로 연장되어 있다. 플로팅 디퓨전(FD)에 접속된 패드부(120)는 화소 공유 유닛(539)의 중앙부에 마련되고, VSS 콘택트 영역(118)에 접속된 패드부(121)는 적어도 V 방향에 있어서(도 60에서는 V 방향 및 H 방향에 있어서) 화소 공유 유닛(539)의 단부에 마련되어 있다. 이때, 전송 게이트(TG1, TG2)의 관통 전극(TGV1, TGV2)의 V 방향의 위치가 관통 전극(120E)의 V 방향의 위치에 가까워지고, 전송 게이트(TG3, TG4)의 관통 전극(TGV3, TGV4)의 V 방향의 위치가 관통 전극(121E)의 V 방향의 위치에 가까워진다(도 62). 따라서, 상기 제1 실시 형태에서 설명한 것과 마찬가지의 이유에 의해, H 방향으로 연장하는 반도체층(200S)의 폭(V 방향의 크기)을 크게 할 수 있다. 따라서, 증폭 트랜지스터(AMP)의 사이즈를 크게 하여, 노이즈를 억제하는 것이 가능하게 된다.

[0259] 각각의 화소 회로(210)에서는, 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)가 H 방향으로 나란히 배치되고, 선택 트랜지스터(SEL)와 절연 영역(212)을 사이에 두고 V 방향으로 인접하는 위치에 리셋 트랜지스터(RST)가 배치되어 있다(도 61). FD 변환 게인 전환 트랜지스터(FDG)는, 리셋 트랜지스터(RST)와 H 방향으로 나란히 배치되어 있다. VSS 콘택트 영역(218)은 절연 영역(212)에 섬상으로 마련되어 있다. 예를 들어, 제3 배선층(W3)은 H 방향으로 연장되고(도 64), 제4 배선층(W4)은 V 방향으로 연장되어 있다(도 65).

[0260] 이러한 제2 기판(200)을 갖는 촬상 장치(1)도, 상기 제1 실시 형태에서 설명한 것과 마찬가지의 효과가 얻어진다. 제2 기판(200)의 화소 공유 유닛(539)의 배치는, 상기 제1, 제2 실시 형태 및 본 변형예에서 설명한 배치에 한정되는 것은 아니다. 예를 들어, 상기 제1, 제2 실시 형태 및 변형예 12에서 설명한 반도체층(200S)이 H 방향으로 연장되어 있어도 된다.

[0261] <8. 변형예 15>

[0262] 도 66은, 상기 실시 형태 등에 관계되는 촬상 장치(1)의 단면 구성의 일 변형예를 모식적으로 도시한 것이다. 도 66은, 상기 제1 실시 형태에서 설명한 도 3에 대응한다. 본 변형예에서는, 촬상 장치(1)가 콘택트부(201, 202, 301, 302)에 추가로, 화소 어레이부(540)의 중앙부에 대향하는 위치에 콘택트부(203, 204, 303, 304)를 갖고 있다. 이 점에 있어서, 본 변형예의 촬상 장치(1)는 상기 제1 실시 형태에서 설명한 촬상 장치(1)와 다르게 되어 있다.

[0263] 콘택트부(203, 204)는, 제2 기판(200)에 마련되어 있고, 제3 기판(300)과의 접합면에 노출되어 있다. 콘택트부(303, 304)는, 제3 기판(300)에 마련되어 있고, 제2 기판(200)과의 접합면에 노출되어 있다. 콘택트부(203)는 콘택트부(303)와 접하고 있어, 콘택트부(204)는 콘택트부(304)와 접하고 있다. 즉, 이 촬상 장치(1)에서는, 제2 기판(200)과 제3 기판(300)이 콘택트부(201, 202, 301, 302)에 추가로 콘택트부(203, 204, 303, 304)에 의해

접속되어 있다.

[0264] 이어서, 도 67 및 도 68을 사용하여 이 촬상 장치(1)의 동작에 대하여 설명한다. 도 67에는, 외부로부터 촬상 장치(1)에 입력되는 입력 신호와, 전원 전위 및 기준 전위의 경로를 화살표로 나타낸다. 도 68에는, 촬상 장치(1)로부터 외부로 출력되는 화소 신호의 신호 경로를 화살표로 나타내고 있다. 예를 들어, 입력부(510A)를 통하여 촬상 장치(1)에 입력된 입력 신호는, 제3 기판(300)의 행 구동부(520)로 전송되고, 행 구동부(520)에서 행 구동 신호가 만들어 내진다. 이 행 구동 신호는, 콘택트부(303, 203)를 통하여 제2 기판(200)으로 보내진다. 또한, 이 행 구동 신호는, 배선층(200T) 내의 행 구동 신호선(542)을 통하여, 화소 어레이부(540)의 화소 공유 유닛(539) 각각에 도달한다. 제2 기판(200)의 화소 공유 유닛(539)에 도달한 행 구동 신호 중, 전송 게이트(TG) 이외의 구동 신호는 화소 회로(210)에 입력되어서, 화소 회로(210)에 포함되는 각 트랜지스터가 구동된다. 전송 게이트(TG)의 구동 신호는 관통 전극(TGV)을 통하여 제1 기판(100)의 전송 게이트(TG1, TG2, TG3, TG4)에 입력되어, 화소(541A, 541B, 541C, 541D)가 구동된다. 또한, 촬상 장치(1)의 외부에서, 제3 기판(300)의 입력부(510A)(입력 단자(511))에 공급된 전원 전위 및 기준 전위는, 콘택트부(303, 203)를 통하여 제2 기판(200)에 보내져, 배선층(200T) 내의 배선을 통하여, 화소 공유 유닛(539) 각각의 화소 회로(210)에 공급된다. 기준 전위는, 또한 관통 전극(121E)을 통하여, 제1 기판(100)의 화소(541A, 541B, 541C, 541D)에도 공급된다. 한편, 제1 기판(100)의 화소(541A, 541B, 541C, 541D)에서 광전 변환된 화소 신호는, 화소 공유 유닛(539)마다 제2 기판(200)의 화소 회로(210)로 보내진다. 이 화소 신호에 기초하는 화소 신호는, 화소 회로(210)로부터 수직 신호선(543) 및 콘택트부(204, 304)를 통하여 제3 기판(300)으로 보내진다. 이 화소 신호는, 제3 기판(300)의 열 신호 처리부(550) 및 화상 신호 처리부(560)에서 처리된 후, 출력부(510B)를 통하여 외부로 출력된다.

[0265] 이러한 콘택트부(203, 204, 303, 304)를 갖는 촬상 장치(1)도, 상기 제1 실시 형태에서 설명한 것과 마찬가지의 효과가 얻어진다. 콘택트부(303, 304)를 통한 배선의 접속처인, 제3 기판(300)의 회로 등의 설계에 따라서 콘택트부의 위치 및 수 등을 바꿀 수 있다.

[0266] <9. 변형예 16>

[0267] 도 69는, 상기 실시 형태 등에 관계되는 촬상 장치(1)의 단면 구성의 일 변형예를 도시한 것이다. 도 69는, 상기 제1 실시 형태에서 설명한 도 6에 대응한다. 본 변형예에서는, 제1 기판(100)에 플래너 구조를 갖는 전송 트랜지스터(TR)가 마련되어 있다. 이 점에 있어서, 본 변형예의 촬상 장치(1)는 상기 제1 실시 형태에서 설명한 촬상 장치(1)와 다르게 되어 있다.

[0268] 이 전송 트랜지스터(TR)는, 수평 부분(TGb)만에 의해 전송 게이트(TG)가 구성되어 있다. 바꾸어 말하면, 전송 게이트(TG)는, 수직 부분(TGa)을 갖고 있지 않고, 반도체층(100S)에 대향하여 마련되어 있다.

[0269] 이러한 플래너 구조의 전송 트랜지스터(TR)를 갖는 촬상 장치(1)도, 상기 제1 실시 형태에서 설명한 것과 마찬가지의 효과가 얻어진다. 또한, 제1 기판(100)에 플래너형의 전송 게이트(TG)를 마련함으로써, 종형의 전송 게이트(TG)를 제1 기판(100)에 마련하는 경우에 비하여, 보다 반도체층(100S)의 표면 가까이까지 포토다이오드(PD)를 형성하고, 이에 의해, 포화 신호량(Qs)을 증가시키는 것도 생각할 수 있다. 또한, 제1 기판(100)에 플래너형의 전송 게이트(TG)를 형성하는 방법은, 제1 기판(100)에 종형의 전송 게이트(TG)를 형성하는 방법에 비하여, 제조 공정수가 적어, 제조 공정에 기인한 포토다이오드(PD)에의 악영향이 발생하기 어렵다고도 생각할 수 있다.

[0270] <10. 변형예 17>

[0271] 도 70은, 상기 실시 형태 등에 관계되는 촬상 장치(1)의 화소 회로의 일 변형예를 도시한 것이다. 도 70은, 상기 제1 실시 형태에서 설명한 도 4에 대응한다. 본 변형예에서는, 하나의 화소(화소(541A))마다 화소 회로(210)가 마련되어 있다. 즉, 화소 회로(210)는 복수의 화소에서 공유되어 있지 않다. 이 점에 있어서, 본 변형예의 촬상 장치(1)는 상기 제1 실시 형태에서 설명한 촬상 장치(1)와 다르게 되어 있다.

[0272] 본 변형예의 촬상 장치(1)는 화소(541A)와 화소 회로(210)를 서로 다른 기판(제1 기판(100) 및 제2 기판(200))에 마련하는 점에서는, 상기 제1 실시 형태에서 설명한 촬상 장치(1)와 동일하다. 이 때문에, 본 변형예에 관계되는 촬상 장치(1)도, 상기 제1 실시 형태에서 설명한 것과 마찬가지의 효과를 얻을 수 있다.

[0273] <11. 변형예 18>

[0274] 도 71은, 상기 실시 형태 등에서 설명한 화소 분리부(117)의 평면 구성의 일 변형예를 도시한 것이다. 화소(541A, 541B, 541C, 541D) 각각을 둘러싸는 화소 분리부(117)에, 간극이 마련되어 있어도 된다. 즉, 화소

(541A, 541B, 541C, 541D)의 전체 둘레가 화소 분리부(117)에 둘러싸여 있지 않아도 된다. 예를 들어, 화소 분리부(117)의 간극은, 패드부(120, 121) 근방에 마련되어 있다(도 7b 참조).

[0275] 상기 제1 실시 형태에서는, 화소 분리부(117)가 반도체층(100S)을 관통하는 FTI 구조를 갖는 예(도 6 참조)를 설명했지만, 화소 분리부(117)는 FTI 구조 이외의 구성을 갖고 있어도 된다. 예를 들어, 화소 분리부(117)는 반도체층(100S)을 완전히 관통하도록 마련되어 있지 않아도 되고, 소위, DTI(Deep Trench Isolation) 구조를 갖고 있어도 된다.

[0276] <12. 변형예 19>

[0277] 도 72는, 본 개시의 변형예 19에 관계되는 촬상 장치(1)의 주요부의 단면 구성을 모식적으로 도시한 것이다. 도 73은, 도 72에 도시한 촬상 장치에 있어서의 제2 기판(200)의 평면 구성을 모식적으로 도시한 것이다. 또한, 도 72에서는, 도 73에 나타낸 E-E'선에 대응하는 단면을 도시하고 있다. 상기 제2 실시 형태에 있어서 설명한 GAA 구조의 증폭 트랜지스터(AMP)를 갖는 촬상 장치(1)는 예를 들어 이하와 같이 하여 형성할 수 있다.

[0278] 먼저, 화소(541A, 541B, 541C, 541D) 각각의 플로팅 디퓨전(FD)(플로팅 디퓨전(FD1, FD2, FD3, FD4))을 서로 접속하는 패드부(120) 상에 예를 들어 화학 기상 성장법(CVD법)을 사용하여 희생층(120A)을 미리 형성한다.

[0279] 희생층(120A)의 재료로서는, 예를 들어, 산화함으로써 실리콘 산화막과의 에칭 선택성이 커지는 재료를 사용할 수 있다. 이러한 재료로서는, 예를 들어 Ge를 들 수 있다. 이밖에, 희생층(120A)의 재료로서는, 예를 들어, 실리콘 산화막과의 에칭 선택성이 커지는 재료를 사용할 수 있다. 이러한 재료로서는, III-V족 화합물 반도체 재료(예를 들어, InGaAs, InP 및 GaAs)나 아몰퍼스 카본을 들 수 있다. 이하에서는, Ge를 사용하여 희생층(120A)을 형성한 경우를 예로 들어 설명한다.

[0280] 그 후, 상기 제2 실시 형태와 마찬가지로 하여 제1 기판(100)에 반도체층(200S)을 접합하고, 소정의 위치에 절연 영역(212) 및 소자 분리 영역(213)을 형성한다.

[0281] 이어서, 도 74a에 도시한 바와 같이, 반도체층(200S) 상에 예를 들어 희생층(235) 및 폴리실리콘막(224X)이 적층됨과 함께, 폴리실리콘막(224X)측과는 반대측의 희생층(235)의 하면에 절연막(212X)을 갖는 Si 박막층을 접합한다. 계속해서, 도 74b에 도시한 바와 같이, 예를 들어 포토리소그래피 및 반응성 이온 에칭(RIE)에 의해 폴리실리콘막(224X)을 가공하여, 폴리실리콘막(224X)을 관통하는 개구(224H)를 형성한다.

[0282] 이어서, 예를 들어, SiGe/Si의 선택비가 10 이상, SiO_2/Si와의 선택비가 7.5 이상인 알칼리 수용액(예를 들어, 불화 수소:과산화수소:아세트산=1:200:3의 에칭액)을 조제하여, 희생층(235)을 에칭한다. 이때, 희생층(235)은 평면 방향으로도 후퇴하여, 채널(224)의 하방 희생층(235)이 제거된다. 계속해서, 도 74c에 도시한 바와 같이, 폴리실리콘막(224X) 상에 한쪽의 개구(224H)를 보호하는 레지스트막(234)을 형성한 후, 예를 들어, F, Cl, Br 등의 할로겐 원소를 포함하는 가스를 사용한 건식 에칭에 의해 절연 영역(212) 및 배선층(100T)을 에칭하여, 희생층(120A)까지 달하는 개구(100H)를 형성한다. 이어서, 레지스트막(234)을 제거한 후, 어닐 처리를 행하여, 도 74d에 도시한 바와 같이, 채널(224)을 포함하는 폴리실리콘막(224X)의 표면에 게이트 절연막(225)이 되는 열산화막을 형성한다. 이때, 개구(100H)의 저부에 노출되는 희생층(120A)도 산화되어, 예를 들어 GeO_2층(120X)이 형성된다. 그 후, 예를 들어 순수로 세정한다. 이에 의해, 도 74e에 도시한 바와 같이, GeO_2층(120X)이 제거된다.

[0283] 또한, 희생층(120A)을 III-V족 재료를 사용하여 형성한 경우에는, 예를 들어 염산으로 세정함으로써 산화된 희생층(120A)을 제거할 수 있다. 아몰퍼스 카본을 사용하여 희생층(120A)을 형성한 경우에는, 예를 들어 황산/과산화수소로 세정함으로써 산화된 희생층(120A)을 제거할 수 있다.

[0284] 계속해서, 도 74f에 도시한 바와 같이, 채널(224)의 주위 및 개구(100H)에, 예를 들어 CVD법을 사용하여 폴리실리콘막(226X)을 성막한다. 이에 의해, 게이트(AG) 및 증폭 트랜지스터(AMP)와 플로팅 디퓨전(FD)을 전기적으로 접속하는 관통 전극(120E)이 일괄 형성된다. 그 후, 상기 제2 실시 형태와 마찬가지로 하여 패시베이션막(221), 층간 절연막(222) 및 제1 배선층(W1)을 순차 형성한다. 이상에 의해, 도 72에 도시한 촬상 장치(1)의 제2 기판(200)이 형성된다.

[0285] 또한, 상기 제2 실시 형태에 있어서 설명한 GAA 구조의 증폭 트랜지스터(AMP)를 갖는 촬상 장치(1)는 예를 들어 이하와 같이 하여 형성할 수 있다.

[0286] 먼저, 상기와 마찬가지로 하여, 패드부(120) 상에 희생층(120A)을 미리 형성한다. 그 후, 상기 제2 실시 형태

와 마찬가지로 하여 제1 기판(100)에 반도체층(200S)을 접합하고, 소정의 위치에 절연 영역(212) 및 소자 분리 영역(213)을 형성한다.

[0287] 이어서, 도 75a에 도시한 바와 같이, 반도체층(200S) 상에 폴리실리콘막(224X)을 접합한다. 계속해서, 도 75b에 도시한 바와 같이, 예를 들어 포토리소그래피 및 RIE에 의해 폴리실리콘막(224X)을 가공하고, 폴리실리콘막(224X)을 관통하는 개구(224H)를 형성한다.

[0288] 이어서, 예를 들어, 초저농도로 희석한 불산을 사용하여 습식 에칭을 행하여 개구(224H)의 사이의 폴리실리콘막(224X)의 하방의 절연 영역(212)을 제거한다. 계속해서, 도 75c에 도시한 바와 같이, 폴리실리콘막(224X) 상에 한쪽의 개구(224H)를 보호하는 레지스트막(234)을 형성한 후, 예를 들어, F, Cl, Br 등의 할로겐 원소를 포함하는 가스를 사용한 건식 에칭에 의해 절연 영역(212) 및 배선층(100T)을 에칭하여, 희생층(120A)까지 달하는 개구(100H)를 형성한다. 이어서, 레지스트막(234)을 제거한 후, 어닐 처리를 행하여, 도 75d에 도시한 바와 같이, 폴리실리콘막(224X)의 표면에 게이트 절연막(225)이 되는 열산화막을 형성한다. 이때, 개구(100H)의 저부에 노출되는 희생층(120A)도 산화되어, GeO_2층(120X)이 형성된다. 그 후, 예를 들어 순수로 세정한다. 이에 의해, 도 75e에 도시한 바와 같이, GeO_2층(120X)이 제거된다.

[0289] 계속해서, 도 75f에 도시한 바와 같이, 채널(224)의 주위 및 개구(100H)에, 예를 들어 폴리실리콘막(226X)을 성막한다. 이에 의해, 게이트(AG) 및 증폭 트랜지스터(AMP)와 플로팅 디퓨전(FD)을 전기적으로 접속하는 관통 전극(120E)이 일괄 형성된다. 그 후, 상기 제2 실시 형태와 마찬가지로 하여 패시베이션막(221), 층간 절연막(222) 및 제1 배선층(W1)을 순차 형성한다. 이상에 의해, 도 72에 도시한 촬상 장치(1)의 제2 기판(200)이 형성된다.

[0290] 이상과 같이, 본 변형예에서는, 미리 패드부(120) 상에 희생층(120A)을 형성하도록 하였다. 이에 의해, 게이트(AG) 및 증폭 트랜지스터(AMP)와 플로팅 디퓨전(FD)을 전기적으로 접속하는 관통 전극(120E)이 일괄 형성되는 것이 가능하게 된다. 따라서, 상기 제2 실시 형태의 효과 외에, 제조 공정을 간략화할 수 있음과 함께, 접합 저항을 저감하는 것이 가능하게 된다. 또한, 채널(224)의 주위의 산화막을 박리하지 않고 증폭 트랜지스터(AMP)를 형성할 수 있기 때문에, 제2 기판(200)에 있어서 근접하는 콘택트와의 기생 트랜지스터에 의한 역치 전압의 불안정화를 저감하는 것이 가능하게 된다.

[0291] <13. 변형예 20>

[0292] 도 76은, 본 개시의 변형예 20에 관계되는 촬상 장치(1)의 주요부의 단면 구성을 모식적으로 도시한 것이다. 도 77은, 도 76에 도시한 촬상 장치(1)의 등가 회로도이다. 상기 제1 실시 형태에서는, 플로팅 디퓨전(FD)과 증폭 트랜지스터(AMP)의 게이트(AG)를 관통 전극(120E)으로 직접 접속한 예를 나타냈지만, 예를 들어, 플로팅 디퓨전(FD)과 리셋 트랜지스터(RST)의 소스(RS)를 관통 전극(120E1)으로 직접 접속하게 해도 된다.

[0293] 상기 실시 형태 등에서는, FD 변환 게인 전환 트랜지스터(FDG)를 포함하는 화소 회로(210)를 나타냈지만, FD 변환 게인 전환 트랜지스터(FDG)는 생략해도 상관없다. 그 때에는, 도 77에 도시한 바와 같이, 리셋 트랜지스터(RST)의 소스(RS)가, 플로팅 디퓨전(FD) 및 증폭 트랜지스터(AMP)의 게이트(AG)와 동일 전위로 된다.

[0294] 본 변형예에서는, 리셋 트랜지스터(RST)는 Fin형의 FD-SOI 구조를 갖고, 그의 소스 및 드레인은, 반도체층(200S)의 표면(면(200S1))부터 이면(면(200S2))에 걸쳐서 형성되어 있다. 이 때문에, 도 76에 도시한 바와 같이, 리셋 트랜지스터(RST)의 소스(RS)가 형성되어 있는 반도체층(200S)의 면(200S2)에 관통 전극(120E1)을 접속함으로써, 플로팅 디퓨전(FD)과 리셋 트랜지스터(RST)의 소스(RS)를 전기적으로 접속할 수 있다. 이러한 촬상 장치(1)는 예를 들어 이하와 같이 하여 형성할 수 있다.

[0295] 먼저, 도 78a에 도시한 바와 같이, 반도체층(100S) 상에 패드부(120, 121) 및 전송 트랜지스터(TR)의 게이트(TGb) 등의 배선을 형성한다. 계속해서, 도 78b에 도시한 바와 같이, 반도체층(100S) 상에 배선을 덮는 층간 절연막(123)을 형성한 후, 패드부(120)에 달하는 관통 전극(120E1)을 마련하여, 배선층(100T)을 형성한다.

[0296] 이어서, 도 78c에 도시한 바와 같이, 배선층(100T) 상에 반도체층(200S)을 접합한다. 계속해서, 도 78d에 도시한 바와 같이, 반도체층(200S)에, 소스 폴로워 회로나 증폭 트랜지스터(AMP), 리셋 트랜지스터(RST), 선택 트랜지스터(SEL) 및 FD 변환 게인 전환 트랜지스터(FDG)를 형성한다. 이때, 적어도 리셋 트랜지스터(RST)의 게이트(RG)는 반도체층(200S)을 관통하는 Fin 구조로 한다. 이에 의해, 리셋 트랜지스터(RST)의 소스(RS)와 플로팅 디퓨전(FD)이 관통 전극(120E1)을 통하여 전기적으로 접속되게 된다. 다른 트랜지스터에 대해서는 제약은 없지만, 공정수나 구조의 단순화를 위해서, 리셋 트랜지스터(RST)와 마찬가지의 Fin 구조로 하는 것이 바람직하다.

[0297] 그 후, 층간 절연막(222)이나 각종 배선을 마련하여, 배선층(200T)을 형성한다. 이상에 의해, 도 76에 도시한 촬상 장치(1)가 완성된다.

[0298] 이와 같이, 본 변형예에서는, 플로팅 디퓨전(FD)과 리셋 트랜지스터(RST)의 소스(RS)를 관통 전극(120E1)에 의해 직접 접속하도록 하였다. 이에 의해, 플로팅 디퓨전(FD)으로부터 리셋 트랜지스터(RST)를 전기적으로 접속하기 위한 배선을 별도 마련할 필요가 없게 되기 때문에, 반도체층(200S)의 면 내에 형성되는 절연 영역(212)의 면적이 삭감되어, 화소 회로(210)를 형성하는 반도체층(200S)의 면적이 확보된다. 즉, 제2 기판(200)에 있어서의 화소 회로(210)를 구성하는 화소 트랜지스터의 면적 효율을 향상시키는 것이 가능하게 된다.

[0299] 또한, 본 변형예에서는, 플로팅 디퓨전(FD)과 리셋 트랜지스터(RST)의 소스(RS)를 관통 전극(120E1)에 의해 직접 접속하기 때문에, 평면으로 보아, 플로팅 디퓨전(FD)과 리셋 트랜지스터(RST)의 소스(RS)가 적층 방향으로 중첩되도록 레이아웃된 예를 나타냈지만, 꼭 그렇지만은 않다. 예를 들어, 도 79에 도시한 바와 같이, 배선층(100T) 내에 면 내 방향으로 연장하는 배선을 마련하고, 이것을 플로팅 디퓨전(FD)과 리셋 트랜지스터(RST)의 소스(RS)와 접속하는 관통 전극(120E1)의 일부로서 사용하게 해도 된다. 이에 의해, 반도체층(200S)에 마련되는 화소 트랜지스터의 레이아웃의 자유도가 향상된다.

[0300] 또한, 본 변형예에서는, 플로팅 디퓨전(FD)과 리셋 트랜지스터(RST)의 소스(RS)를 관통 전극(120E1)에 의해 직접 접속한 예를 나타냈지만, 이것과, 예를 들어 변형예 5를 조합하도록 해도 된다. 즉, 도 80에 도시한 바와 같이, 반도체층(200S) 및 배선층(100T)을 관통하는 관통 전극(120E)에 대하여 리셋 트랜지스터(RST)의 소스(RS)의 측면 및 증폭 트랜지스터(AMP)의 게이트(AG)의 측면이 접하도록 한다. 이에 의해, 반도체층(200S)의 면 내에 형성되는 절연 영역(212)의 면적을 더욱 삭감할 수 있다. 즉, 제2 기판(200)에 있어서의 화소 회로(210)를 구성하는 화소 트랜지스터의 면적 효율을 더욱 향상시키는 것이 가능하게 된다.

[0301] <14. 변형예 21>

[0302] 도 81은, 본 개시의 변형예 21에 관계되는 촬상 장치(1)의 주요부의 단면 구성을 모식적으로 도시한 것이다. 도 82는, 도 81에 도시한 촬상 장치(1)에 있어서의 제2 기판(200)의 평면 구성을 모식적으로 도시한 것이다. 상기 실시 형태 등에서는, 증폭 트랜지스터(AMP)의 게이트(AG)와 FD 변환 게인 전환 트랜지스터(FDG)의 소스(FS)를 접속부(218V) 및 제1 배선층(W1)을 통하여 전기적으로 접속한 예를 나타냈지만, 꼭 그렇지만은 않다.

[0303] 본 변형예의 촬상 장치(1)는 화소 트랜지스터의 게이트를 형성하는 폴리실리콘(226)을 증폭 트랜지스터(AMP)와 FD 변환 게인 전환 트랜지스터(FDG) 사이에 연장시키고, 이것을 사용하여 증폭 트랜지스터(AMP)의 게이트(AG)와 FD 변환 게인 전환 트랜지스터(FDG)의 소스(FS)를 전기적으로 접속한 것이다. 이러한 촬상 장치(1)는 예를 들어 이하와 같이 하여 형성할 수 있다.

[0304] 먼저, 도 83a에 도시한 바와 같이, 반도체층(200S)을 가공하고, 배선층(100T) 상에 화소 회로(210)를 구성하는 각종 트랜지스터의 핀(223)을 형성하고, 또한 핀(223)의 주위에 게이트 절연막(225)이 되는 산화실리콘막을 형성한다.

[0305] 이어서, 도 83b에 도시한 바와 같이, 배선층(100T) 상에 소정의 패턴을 갖는 레지스트막(240)을 형성하고, 패드부(120)까지 달하는 개구(100H)를 형성한다. 계속해서, 도 83c에 도시한 바와 같이, 배선층(100T) 상에 개구(100H)를 매설함과 함께, FD 변환 게인 전환 트랜지스터(FDG)를 구성하는 핀(223) 이외를 덮는 레지스트막(241)을 형성하고, FD 변환 게인 전환 트랜지스터(FDG)를 구성하는 핀(223)의 소스(FS)의 주위에 마련된 게이트 절연막(225)을 박리한다.

[0306] 이어서, 레지스트막(241)을 제거한 후, 도 83d에 도시한 바와 같이, 핀(223)을 덮음과 함께, 개구(100H)를 매설하는 폴리실리콘막(226X)을 성막한다. 계속해서, 도 83e에 도시한 바와 같이, 폴리실리콘막(226X)을 가공한다. 이에 의해, 증폭 트랜지스터(AMP) 및 FD 변환 게인 전환 트랜지스터(FDG)의 각각의 게이트(AG, FG), 증폭 트랜지스터(AMP)의 게이트(AG)와 FD 변환 게인 전환 트랜지스터(FDG)의 소스(FS)를 접속하는 폴리실리콘(226) 및 이것에 접속되는 관통 전극(120E1)이 형성된다.

[0307] 그 후, 층간 절연막(222)이나 각종 배선을 마련하여, 배선층(200T)을 형성한다. 이상에 의해, 도 81에 도시한 촬상 장치(1)가 완성된다.

[0308] 이와 같이, 본 변형예에서는, 동일 전위를 포함하는 증폭 트랜지스터(AMP)의 게이트(AG)와 FD 변환 게인 전환 트랜지스터(FDG)의 소스(FS)를, 화소 트랜지스터의 게이트를 형성하는 폴리실리콘(226)을 사용하여 전기적으로 접속하고, 이 폴리실리콘막과 패드부(120)를 관통 전극(120E1)을 통하여 전기적으로 접속하도록 하였다. 이에

의해, 제1 기판(100)과 제2 기판(200) 사이를 관통하는 관통 배선(예를 들어, 관통 전극(120E))이 불필요하게 된다. 따라서, 반도체층(200S)의 면 내에 형성되는 절연 영역(212)의 면적이 삭감되어, 화소 회로(210)를 형성하는 반도체층(200S)의 면적이 확보된다. 즉, 제2 기판(200)에 있어서의 화소 회로(210)를 구성하는 화소 트랜지스터의 면적 효율을 향상시키는 것이 가능하게 된다.

[0309] 또한, 패드부(120)의 상방에 플로팅 디퓨전(FD)과 동일 전위를 포함하는 증폭 트랜지스터(AMP)의 게이트(AG)나 FD 변환 게인 전환 트랜지스터(FDG)의 소스(FS)를 형성할 필요가 없게 되기 때문에, 반도체층(200S)에 마련되는 화소 트랜지스터의 레이아웃의 자유도가 향상된다.

[0310] 또한, 도 81에서는, 제1 배선층(W1)에 접속하는 접속부(218V)를 FD 변환 게인 전환 트랜지스터(FDG)와 접속한 예를 나타냈지만, 이것에 한정되는 것은 아니다. 예를 들어, 도 84에 도시한 바와 같이, 접속부(218V)를 증폭 트랜지스터(AMP)에 접속하게 해도 된다. 혹은, 도 85에 도시한 바와 같이, 증폭 트랜지스터(AMP)의 게이트(AG)와 FD 변환 게인 전환 트랜지스터(FDG)의 소스(FS)를 접속하는 폴리실리콘(226)에 접속부(218V)를 접속하게 해도 된다.

[0311] 추가로 또한, 예를 들어 도 86에 도시한 바와 같이, 증폭 트랜지스터(AMP)의 게이트(AG)와 FD 변환 게인 전환 트랜지스터(FDG)의 소스(FS)를 직선상으로 배치하고, 폴리실리콘(226)으로 접속하게 해도 된다. 이에 의해, 증폭 트랜지스터(AMP)의 게이트(AG)와 FD 변환 게인 전환 트랜지스터(FDG)의 소스(FS)를 접속하는 폴리실리콘(226)의 배선 길이가 단축되기 때문에, 용량을 저감할 수 있다.

[0312] 또한, 예를 들어 도 87에 도시한 바와 같이, FD 변환 게인 전환 트랜지스터(FDG)의 소스(FS)의 주위에 산화실리콘막을 남기고, FD 변환 게인 전환 트랜지스터(FDG)의 소스(FS)와 폴리실리콘(226)을 접속부(218V)를 통하여 전기적으로 접속하도록 해도 된다.

[0313] <15. 변형예 22>

[0314] 도 88은, 본 개시의 변형예 22에 관계되는 촬상 장치(1)의 주요부의 단면 구성을 모식적으로 도시한 것이다. 도 89는, 도 88에 도시한 촬상 장치(1)의 등가 회로도이다. 상기 실시의 형태에서는, 화소 회로(210)를 제2 기판(200)에 마련한 예를 나타냈지만, 이것에 한정되는 것은 아니다. 예를 들어, 상술한 제2 기판(200)과 제3 기판(300) 사이에, 반도체층(400S)을 포함하는 제4 기판(400)을 마련하고, 반도체층(200S, 400S)에 화소 회로(210)를 구성하는 복수의 트랜지스터를 나누어서 마련하게 해도 된다.

[0315] 구체적으로는, 도 88 및 도 89에 도시한 바와 같이, 화소 회로(210)를 구성하는 복수의 트랜지스터 중, 증폭 트랜지스터(AMP) 및 선택 트랜지스터(SEL)를 반도체층(200S)에 마련하고, 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)를 반도체층(400S)에 마련하게 해도 된다. 이에 의해, 화소 피치를 축소하면서, 증폭 트랜지스터(AMP) 등의 화소 트랜지스터의 형성 면적을 확보할 수 있다.

[0316] 또한, 증폭 트랜지스터(AMP) 및 선택 트랜지스터(SEL)를 반도체층(200S)에, 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)를 반도체층(400S)에 마련하는 경우에는, 이하와 같은 평면 레이아웃으로 하는 것이 바람직하다. 예를 들어, 전송 트랜지스터(TR)의 소스 또는 드레인과, 증폭 트랜지스터(AMP)의 게이트(AG)와, FD 변환 게인 전환 트랜지스터(FDG)의 소스가 평면으로 보아 중첩되도록 레이아웃하는 것이 바람직하다. 이에 의해, 상술한 관통 전극(120E)을 제4 기판(400)까지 관통시킴으로써 전송 트랜지스터(TR)의 소스 또는 드레인과, 증폭 트랜지스터(AMP)의 게이트(AG)와, FD 변환 게인 전환 트랜지스터(FDG)의 소스를, 관통 전극(120E)으로 전기적으로 접속할 수 있다. 즉, 배선 길이가 최단화되어, FD 용량을 원리적으로 최소화하는 것이 가능하게 된다. 또한, 각 화소 트랜지스터를 전기적으로 접속하기 위한 비아 개수가 삭감되기 때문에, 화소 피치를 더 축소할 수 있다. 추가로, 비아에 의한 응력이 저감되기 때문에, 트랜지스터의 특성의 변동을 저감하는 것이 가능하게 된다.

[0317] 이러한 촬상 장치(1)는 예를 들어 이하와 같이 하여 형성할 수 있다.

[0318] 먼저, 도 90a에 도시한 바와 같이, 예를 들어 에칭에 의해 반도체층(200S)을 가공하고, 배선층(100T) 상에 증폭 트랜지스터(AMP) 및 선택 트랜지스터(SEL)의 핀(233)을 각각 형성한다. 이어서, 도 90b에 도시한 바와 같이, 절연 영역(212)을 형성함과 함께, 폴리실리콘을 성막, 가공함으로써 증폭 트랜지스터(AMP) 및 선택 트랜지스터(SEL)의 게이트(예를 들어 게이트(AG)) 형성한다.

[0319] 계속해서, 도 90c에 도시한 바와 같이, 층간 절연막(222)을 형성한 후, 도 90d에 도시한 바와 같이, 증폭 트랜지스터(AMP)의 게이트(AG)를 관통함과 함께, 전송 트랜지스터(TR)의 소스 또는 드레인 상에 마련된 패드부(12

0)까지 달하는 관통 전극(120E)을 형성한다. 이어서, 도 90e에 도시한 바와 같이, 배선층(200T) 상에 반도체층(400S)을 접합한다.

[0320] 계속해서, 도 90f에 도시한 바와 같이, 예를 들어 에칭에 의해 반도체층(400S)을 가공한 후, 절연 영역(412)을 형성한다. 이어서, 도 90g에 도시한 바와 같이, 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)의 게이트(RG, FG)를 각각 형성한다. 그 후, 층간 절연막(422)이나 각종 배선을 마련하여, 배선층(400T)을 형성한다. 이상에 의해, 도 88에 도시한 촬상 장치(1)가 완성된다.

[0321] 이와 같이, 본 변형예에서는, 화소 회로(210)를 구성하는 증폭 트랜지스터(AMP), 선택 트랜지스터(SEL), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG) 중, 증폭 트랜지스터(AMP) 및 선택 트랜지스터(SEL)를 반도체층(200S)에, 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)를 반도체층(400S)에 마련하도록 하였다. 이에 의해, 화소 피치를 축소하면서, 증폭 트랜지스터(AMP) 등의 화소 트랜지스터의 형성 면적을 확보할 수 있다.

[0322] 또한, 전송 트랜지스터(TR)의 소스 또는 드레인과, 증폭 트랜지스터(AMP)의 게이트(AG)와, FD 변환 게인 전환 트랜지스터(FDG)의 소스가 평면으로 보아 중첩되도록 했으므로, 이들을 관통 전극(120E)으로 전기적으로 접속하는 것이 가능하게 된다. 따라서, FD 용량을 원리적으로 최소화하는 것이 가능하게 된다. 또한, 각 화소 트랜지스터를 전기적으로 접속하기 위한 비아 개수가 삭감되기 때문에, 화소 피치를 더 축소할 수 있다. 추가로, 비아에 의한 응력이 저감되기 때문에, 트랜지스터의 특성의 변동을 저감하는 것이 가능하게 된다.

[0323] 또한, 도 88 및 도 89에서는, 화소 회로(210)를 구성하는 복수의 트랜지스터로서 FD 변환 게인 전환 트랜지스터(FDG)를 포함하는 예를 나타냈지만, 예를 들어, 도 92에 도시한 바와 같이, FD 변환 게인 전환 트랜지스터(FDG)는 생략해도 상관없다. 그 때에는, 예를 들어, 도 91에 도시한 바와 같이, 전송 트랜지스터(TR)의 소스 또는 드레인과, 증폭 트랜지스터(AMP)의 게이트(AG)와, 리셋 트랜지스터(RST)의 소스가 평면으로 보아 중첩되도록 하고, 이들을 관통 전극(120E)으로 전기적으로 접속한다.

[0324] 추가로 또한, 도 88 및 도 91 등에서는, 화소 회로(210)를 구성하는 증폭 트랜지스터(AMP), 선택 트랜지스터(SEL), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG) 중, 증폭 트랜지스터(AMP) 및 선택 트랜지스터(SEL)를 반도체층(200S)에, 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)를 반도체층(400S)에 마련하도록 한 예를 나타냈지만, 이것에 한정되는 것은 아니다. 예를 들어, 도 93 및 도 94에 도시한 바와 같이, 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)를 반도체층(200S)에 마련하고, 증폭 트랜지스터(AMP) 및 선택 트랜지스터(SEL)를 반도체층(400S)에 마련하게 해도 된다.

[0325] 이러한 촬상 장치(1)는 예를 들어 이하와 같이 하여 형성할 수 있다.

[0326] 먼저, 도 95a에 도시한 바와 같이, 배선층(100T)에 관통 전극(120E1)을 형성한 후, 배선층(100T)에 반도체층(200S)을 접합하고, 예를 들어 에칭에 의해 반도체층(200S)을 가공한다. 이어서, 도 95b에 도시한 바와 같이, 절연 영역(212)을 형성한 후, 반도체층(200S) 상에 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)의 게이트(RG, FG)를 각각 형성한다.

[0327] 계속해서, 도 95c에 도시한 바와 같이, 층간 절연막(222) 및 층간 절연막(222)을 관통하는 관통 전극(120E2)을 형성한다. 이어서, 도 95d에 도시한 바와 같이, 배선층(200T) 상에 반도체층(400S)을 접합한다. 계속해서, 도 95e에 도시한 바와 같이, 예를 들어 에칭에 의해 반도체층(400S)을 가공하고, 증폭 트랜지스터(AMP) 및 선택 트랜지스터(SEL)의 핀(433)을 각각 형성한다.

[0328] 이어서, 도 95f에 도시한 바와 같이, 폴리실리콘을 성막하고, 가공함으로써 증폭 트랜지스터(AMP) 및 선택 트랜지스터(SEL)의 게이트(예를 들어 게이트(AG)) 형성한다. 계속해서, 도 95g에 도시한 바와 같이, 절연 영역(412) 및 층간 절연막(422)을 성막한다. 그 후, 각종 배선을 마련하여, 배선층(400T)을 형성한다. 이상에 의해, 도 93에 도시한 촬상 장치(1)가 완성된다.

[0329] 또한, 도 93에서는, 증폭 트랜지스터(AMP)의 게이트(AG)와 FD 변환 게인 전환 트랜지스터(FDG)의 소스를 관통 전극(120E1)을 통하여 전기적으로 접속하고, FD 변환 게인 전환 트랜지스터(FDG)의 소스와 증폭 트랜지스터(AMP)의 게이트(AG)를 관통 전극(120E2)을 통하여 전기적으로 접속한 예를 나타냈지만, 이것에 한정되는 것은 아니다. 예를 들어, 도 96에 도시한 바와 같이, 반도체층(200S)을 관통하고, 반도체층(400S)의 면(400S2)까지 달하는 관통 전극(120E)을 통하여 증폭 트랜지스터(AMP)의 게이트(AG), FD 변환 게인 전환 트랜지스터(FDG)의 소스 및 증폭 트랜지스터(AMP)의 게이트(AG)를 전기적으로 접속하도록 해도 된다. 또한, 예를 들어, 도 97에 도시한 바와 같이, 관통 전극(120E)은 또한 제4 기판에 마련된 증폭 트랜지스터(AMP)의 게이트(AG)를 관통시키

게 해도 된다.

[0330] 또한, 제2 기판(200)과 제4 기판(400)은, 예를 들어, 도 98에 도시한 바와 같이, 제4 기판(400)과 대향하는 제2 기판(200)의 배선층(200T)의 표면 및 제2 기판(200)과 대향하는 제4 기판(400)의 면(400S2)측에 마련된 배선층(400T1)의 표면에 각각 마련된 콘택트부(201, 401)를 서로 접합하여 서로 전기적으로 접속하도록 해도 된다.

[0331] (기타의 변형예)

[0332] 상기 변형예 1 내지 22는 서로 조합해도 된다.

[0333] <16. 적용예>

[0334] 도 99는, 상기 실시 형태 등에 관계되는 촬상 장치(1)를 구비한 촬상 시스템(7)의 개략 구성의 일례를 도시한 것이다.

[0335] 촬상 시스템(7)은 예를 들어, 디지털 스틸 카메라나 비디오 카메라 등의 촬상 장치나, 스마트폰이나 태블릿형 단말기 등의 휴대 단말 장치 등의 전자 기기이다. 촬상 시스템(7)은 예를 들어, 상기 실시 형태 등에 관계되는 촬상 장치(1), DSP 회로(243), 프레임 메모리(244), 표시부(245), 기억부(246), 조작부(247) 및 전원부(248)를 구비하고 있다. 촬상 시스템(7)에 있어서, 상기 실시 형태 등에 관계되는 촬상 장치(1), DSP 회로(243), 프레임 메모리(244), 표시부(245), 기억부(246), 조작부(247) 및 전원부(248)는 버스 라인(249)을 통하여 서로 접속되어 있다.

[0336] 상기 실시 형태 등에 관계되는 촬상 장치(1)는 입사광에 따른 화상 데이터를 출력한다. DSP 회로(243)는 상기 실시 형태 등에 관계되는 촬상 장치(1)로부터 출력되는 신호(화상 데이터)를 처리하는 신호 처리 회로이다. 프레임 메모리(244)는 DSP 회로(243)에 의해 처리된 화상 데이터를, 프레임 단위로 일시적으로 유지한다. 표시부(245)는 예를 들어, 액정 패널이나 유기 EL(Electro Luminescence) 패널 등의 패널형 표시 장치를 포함하고, 상기 실시 형태 등에 관계되는 촬상 장치(1)로 촬상된 동화상 또는 정지 화상을 표시한다. 기억부(246)는 상기 실시 형태 등에 관계되는 촬상 장치(1)로 촬상된 동화상 또는 정지 화상의 화상 데이터를, 반도체 메모리나 하드 디스크 등의 기록 매체에 기록한다. 조작부(247)는 유저에 의한 조작에 따라서, 촬상 시스템(7)이 갖는 각종 기능에 관한 조작 지령을 발한다. 전원부(248)는 상기 실시 형태 등에 관계되는 촬상 장치(1), DSP 회로(243), 프레임 메모리(244), 표시부(245), 기억부(246) 및 조작부(247)의 동작 전원이 되는 각종 전원을, 이들 공급 대상에 대하여 적절히 공급한다.

[0337] 이어서, 촬상 시스템(7)에 있어서의 촬상 수순에 대하여 설명한다.

[0338] 도 100은, 촬상 시스템(7)에 있어서의 촬상 동작의 흐름도의 일례를 도시한다. 유저는, 조작부(247)를 조작함으로써 촬상 개시를 지시한다(스텝 S101). 그렇게 하면, 조작부(247)는 촬상 지령을 촬상 장치(1)로 송신한다(스텝 S102). 촬상 장치(1)(구체적으로는 시스템 제어 회로(36))는 촬상 지령을 받으면, 소정의 촬상 방식에 의한 촬상을 실행한다(스텝 S103).

[0339] 촬상 장치(1)는 촬상에 의해 얻어진 화상 데이터를 DSP 회로(243)로 출력한다. 여기서, 화상 데이터란, 플로팅 디퓨전(FD)에 일시적으로 유지된 전하에 기초하여 생성된 화소 신호의 전체 화소분의 데이터이다. DSP 회로(243)는 촬상 장치(1)로부터 입력된 화상 데이터에 기초하여 소정의 신호 처리(예를 들어 노이즈 저감 처리 등)를 행한다(스텝 S104). DSP 회로(243)는 소정의 신호 처리가 이루어진 화상 데이터를 프레임 메모리(244)에 유지시키고, 프레임 메모리(244)는 화상 데이터를 기억부(246)에 기억시킨다(스텝 S105). 이와 같이 하여, 촬상 시스템(7)에 있어서의 촬상이 행해진다.

[0340] 본 적용예에서는, 상기 실시 형태 등에 관계되는 촬상 장치(1)가 촬상 시스템(7)에 적용된다. 이에 의해, 촬상 장치(1)를 소형화 혹은 고정밀화할 수 있으므로, 소형 혹은 고정밀의 촬상 시스템(7)을 제공할 수 있다.

[0341] <17. 응용예>

[0342] [응용예 1]

[0343] 본 개시에 관계되는 기술(본 기술)은 여러가지 제품에 응용할 수 있다. 예를 들어, 본 개시에 관계되는 기술은, 자동차, 전기 자동차, 하이브리드 전기 자동차, 자동 이륜차, 자전거, 퍼스널 모빌리티, 비행기, 드론, 선박, 로봇 등의 어느 종류의 이동체에 탑재되는 장치로서 실현되어도 된다.

[0344] 도 101은, 본 개시에 관계되는 기술이 적용될 수 있는 이동체 제어 시스템의 일례인 차량 제어 시스템의 개략적

인 구성예를 도시하는 블록도이다.

[0345] 차량 제어 시스템(12000)은, 통신 네트워크(12001)를 통하여 접속된 복수의 전자 제어 유닛을 구비한다. 도 101에 도시한 예에서는, 차량 제어 시스템(12000)은, 구동계 제어 유닛(12010), 보디계 제어 유닛(12020), 차외 정보 검출 유닛(12030), 차내 정보 검출 유닛(12040) 및 통합 제어 유닛(12050)을 구비한다. 또한, 통합 제어 유닛(12050)의 기능 구성으로서, 마이크로컴퓨터(12051), 음성 화상 출력부(12052) 및 차량 탑재 네트워크 I/F(interface)(12053)가 도시되어 있다.

[0346] 구동계 제어 유닛(12010)은, 각종 프로그램에 따라서 차량의 구동계에 관련하는 장치의 동작을 제어한다. 예를 들어, 구동계 제어 유닛(12010)은, 내연 기관 또는 구동용 모터 등의 차량의 구동력을 발생시키기 위한 구동력 발생 장치, 구동력을 차륜에 전달하기 위한 구동력 전달 기구, 차량의 타각을 조절하는 스티어링 기구 및 차량의 제동력을 발생시키는 제동 장치 등의 제어 장치로서 기능한다.

[0347] 보디계 제어 유닛(12020)은, 각종 프로그램에 따라서 차체에 장비된 각종 장치의 동작을 제어한다. 예를 들어, 보디계 제어 유닛(12020)은, 키리스 엔트리 시스템, 스마트 키 시스템, 파워 윈도우 장치, 혹은, 헤드 램프, 백 램프, 브레이크 램프, 방향 지시등 또는 포그 램프 등의 각종 램프의 제어 장치로서 기능한다. 이 경우, 보디계 제어 유닛(12020)에는, 키를 대체하는 휴대기로부터 발신되는 전파 또는 각종 스위치의 신호가 입력될 수 있다. 보디계 제어 유닛(12020)은, 이들 전파 또는 신호의 입력을 접수하고, 차량의 도어록 장치, 파워 윈도우 장치, 램프 등을 제어한다.

[0348] 차외 정보 검출 유닛(12030)은, 차량 제어 시스템(12000)을 탑재한 차량의 외부의 정보를 검출한다. 예를 들어, 차외 정보 검출 유닛(12030)에는, 촬상부(12031)가 접속된다. 차외 정보 검출 유닛(12030)은, 촬상부(12031)에 차밖의 화상을 촬상시킴과 함께, 촬상된 화상을 수신한다. 차외 정보 검출 유닛(12030)은, 수신한 화상에 기초하여, 사람, 차, 장해물, 표지 또는 노면 상의 문자 등의 물체 검출 처리 또는 거리 검출 처리를 행해도 된다.

[0349] 촬상부(12031)는 광을 수광하고, 그 광의 수광량에 따른 전기 신호를 출력하는 광 센서이다. 촬상부(12031)는 전기 신호를 화상으로서 출력할 수도 있고, 측거의 정보로서 출력할 수도 있다. 또한, 촬상부(12031)가 수광하는 광은, 가시광이어도 되고, 적외선 등의 비가시광이어도 된다.

[0350] 차내 정보 검출 유닛(12040)은, 차 내의 정보를 검출한다. 차내 정보 검출 유닛(12040)에는, 예를 들어, 운전자의 상태를 검출하는 운전자 상태 검출부(12041)가 접속된다. 운전자 상태 검출부(12041)는 예를 들어 운전자를 촬상하는 카메라를 포함하고, 차내 정보 검출 유닛(12040)은, 운전자 상태 검출부(12041)로부터 입력되는 검출 정보에 기초하여, 운전자의 피로 정도 또는 집중 정도를 산출해도 되고, 운전자가 졸고 있는지 여부를 판별해도 된다.

[0351] 마이크로컴퓨터(12051)는 차외 정보 검출 유닛(12030) 또는 차내 정보 검출 유닛(12040)에 취득되는 차 내외의 정보에 기초하여, 구동력 발생 장치, 스티어링 기구 또는 제동 장치의 제어 목표값을 연산하고, 구동계 제어 유닛(12010)에 대하여 제어 지령을 출력할 수 있다. 예를 들어, 마이크로컴퓨터(12051)는 차량의 충돌 회피 혹은 충격 완화, 차간 거리에 기초하는 추종 주행, 차속 유지 주행, 차량의 충돌 경고, 또는 차량의 레인 일탈 경고 등을 포함하는 ADAS(Advanced Driver Assistance System)의 기능 실현을 목적으로 한 협조 제어를 행할 수 있다.

[0352] 또한, 마이크로컴퓨터(12051)는 차외 정보 검출 유닛(12030) 또는 차내 정보 검출 유닛(12040)으로 취득되는 차량의 주위의 정보에 기초하여 구동력 발생 장치, 스티어링 기구 또는 제동 장치 등을 제어함으로써, 운전자의 조작에 의하지 않고 자율적으로 주행하는 자동 운전 등을 목적으로 한 협조 제어를 행할 수 있다.

[0353] 또한, 마이크로컴퓨터(12051)는 차외 정보 검출 유닛(12030)으로 취득되는 차밖의 정보에 기초하여, 보디계 제어 유닛(12020)에 대하여 제어 지령을 출력할 수 있다. 예를 들어, 마이크로컴퓨터(12051)는 차외 정보 검출 유닛(12030)으로 검지한 선행차 또는 대향차의 위치에 따라서 헤드 램프를 제어하고, 하이 빔을 로우 빔으로 전환하는 등의 방현을 도모할 것을 목적으로 한 협조 제어를 행할 수 있다.

[0354] 음성 화상 출력부(12052)는 차량의 탑승자 또는 차밖에 대하여 시각적 또는 청각적으로 정보를 통지하는 것이 가능한 출력 장치에 음성 및 화상 중 적어도 한쪽의 출력 신호를 송신한다. 도 57의 예에서는, 출력 장치로서, 오디오 스피커(12061), 표시부(12062) 및 인스트루먼트 패널(12063)이 예시되어 있다. 표시부(12062)는 예를 들어, 온보드 디스플레이 및 헤드업 디스플레이의 적어도 하나를 포함하고 있어도 된다.

[0355] 도 102는, 촬상부(12031)의 설치 위치의 예를 도시하는 도면이다.

[0356] 도 102에서는, 차량(12100)은, 촬상부(12031)로서, 촬상부(12101, 12102, 12103, 12104, 12105)를 갖는다.

[0357] 촬상부(12101, 12102, 12103, 12104, 12105)는, 예를 들어, 차량(12100)의 프론트 노즈, 사이드미러, 리어 범퍼, 백 도어 및 차실 내의 프론트 글래스 상부 등의 위치에 마련된다. 프론트 노즈에 구비되는 촬상부(12101) 및 차실 내의 프론트 글래스 상부에 구비되는 촬상부(12105)는 주로 차량(12100)의 전방 화상을 취득한다. 사이드미러에 구비되는 촬상부(12102, 12103)는, 주로 차량(12100)의 측방 화상을 취득한다. 리어 범퍼 또는 백 도어에 구비되는 촬상부(12104)는 주로 차량(12100)의 후방 화상을 취득한다. 촬상부(12101 및 12105)에서 취득되는 전방의 화상은, 주로 선행 차량 또는, 보행자, 장해물, 신호기, 교통 표지 또는 차선 등의 검출에 사용된다.

[0358] 또한, 도 102에는, 촬상부(12101 내지 12104)의 촬영 범위의 일례가 도시되어 있다. 촬상 범위(12111)는 프론트 노즈에 마련된 촬상부(12101)의 촬상 범위를 나타내고, 촬상 범위(12112, 12113)는, 각각 사이드미러에 마련된 촬상부(12102, 12103)의 촬상 범위를 나타내고, 촬상 범위(12114)는 리어 범퍼 또는 백 도어에 마련된 촬상부(12104)의 촬상 범위를 나타낸다. 예를 들어, 촬상부(12101 내지 12104)로 촬상된 화상 데이터가 중첩되는 것에 의해, 차량(12100)을 상방으로부터 본 부감 화상이 얻어진다.

[0359] 촬상부(12101 내지 12104)의 적어도 하나는, 거리 정보를 취득하는 기능을 갖고 있어도 된다. 예를 들어, 촬상부(12101 내지 12104)의 적어도 하나는, 복수의 촬상 소자를 포함하는 스테레오 카메라여도 되고, 위상차 검출용의 화소를 갖는 촬상 소자여도 된다.

[0360] 예를 들어, 마이크로컴퓨터(12051)는 촬상부(12101 내지 12104)로부터 얻어진 거리 정보를 기초로, 촬상 범위(12111 내지 12114) 내에 있어서의 각 입체물까지의 거리와, 이 거리의 시간적 변화(차량(12100)에 대한 상대 속도)를 구함으로써, 특히 차량(12100)의 진행로 상에 있는 가장 가까운 입체물이며, 차량(12100)과 대략 동일한 방향으로 소정의 속도(예를 들어, 0km/h 이상)로 주행하는 입체물을 선행차로서 추출할 수 있다. 또한, 마이크로컴퓨터(12051)는 선행차의 앞쪽으로 미리 확보해야 할 차간 거리를 설정하고, 자동 브레이크 제어(추종 정지 제어도 포함한다)나 자동 가속 제어(추종 발진 제어도 포함한다) 등을 행할 수 있다. 이와 같이 운전자의 조작에 의하지 않고 자율적으로 주행하는 자동 운전 등을 목적으로 한 협조 제어를 행할 수 있다.

[0361] 예를 들어, 마이크로컴퓨터(12051)는 촬상부(12101 내지 12104)로부터 얻어진 거리 정보를 바탕으로, 입체물에 관한 입체물 데이터를, 2륜차, 보통 차량, 대형 차량, 보행자, 전주 등 기타의 입체물로 분류하여 추출하고, 장해물의 자동 회피에 사용할 수 있다. 예를 들어, 마이크로컴퓨터(12051)는 차량(12100)의 주변 장해물을, 차량(12100)의 드라이버가 시인 가능한 장해물과 시인 곤란한 장해물로 식별한다. 그리고, 마이크로컴퓨터(12051)는 각 장해물과의 충돌의 위험도를 나타내는 충돌 리스크를 판단하여, 충돌 리스크가 설정값 이상으로 충돌 가능성이 있는 상황일 때에는, 오디오 스피커(12061)나 표시부(12062)를 통하여 드라이버에게 경보를 출력하는 것이나, 구동계 제어 유닛(12010)을 통하여 강제 감속이나 회피 조타를 행함으로써, 충돌 회피를 위한 운전 지원을 행할 수 있다.

[0362] 촬상부(12101 내지 12104)의 적어도 하나는, 적외선을 검출하는 적외선 카메라여도 된다. 예를 들어, 마이크로컴퓨터(12051)는 촬상부(12101 내지 12104)의 촬상 화상 중에 보행자가 존재하는지의 여부를 판정함으로써 보행자를 인식할 수 있다. 이러한 보행자의 인식은, 예를 들어 적외선 카메라로서의 촬상부(12101 내지 12104)의 촬상 화상에 있어서의 특징점을 추출하는 수순과, 물체의 윤곽을 나타내는 일련의 특징점에 패턴 매칭 처리를 행하여 보행자인지 여부를 판별하는 수순에 의해 행해진다. 마이크로컴퓨터(12051)가 촬상부(12101 내지 12104)의 촬상 화상 중에 보행자가 존재한다고 판정하고, 보행자를 인식하면, 음성 화상 출력부(12052)는 당해 인식된 보행자에 강조를 위한 사각형 윤곽선을 중첩 표시하도록, 표시부(12062)를 제어한다. 또한, 음성 화상 출력부(12052)는 보행자를 나타내는 아이콘 등을 원하는 위치에 표시하도록 표시부(12062)를 제어해도 된다.

[0363] 이상, 본 개시에 관계되는 기술이 적용될 수 있는 이동체 제어 시스템의 일례에 대하여 설명하였다. 본 개시에 관계되는 기술은, 이상 설명한 구성 중, 촬상부(12031)에 적용될 수 있다. 구체적으로는, 상기 실시 형태 등에 관계되는 촬상 장치(1)는 촬상부(12031)에 적용할 수 있다. 촬상부(12031)에 본 개시에 관계되는 기술을 적용함으로써, 노이즈가 적은 고정밀의 촬영 화상을 얻을 수 있으므로, 이동체 제어 시스템에 있어서 촬영 화상을 이용한 고정밀도의 제어를 행할 수 있다.

[0364] [응용예 2]

[0365] 도 103은, 본 개시에 관계되는 기술(본 기술)이 적용될 수 있는 내시경 수술 시스템의 개략적인 구성의 일례를 도시하는 도면이다.

[0366] 도 103에서는, 시술자(의사)(11131)가, 내시경 수술 시스템(11000)을 사용하여, 환자 베드(11133) 상의 환자(11132)에게 수술을 행하고 있는 모습이 도시되어 있다. 도시한 바와 같이, 내시경 수술 시스템(11000)은, 내시경(11100)과, 기복 튜브(11111)나 에너지 처치구(11112) 등의, 기타의 술도구(11110)와, 내시경(11100)을 지지하는 지지 암 장치(11120)와, 내시경 하 수술을 위한 각종 장치가 탑재된 카트(11200)로 구성된다.

[0367] 내시경(11100)은, 선단으로부터 소정의 길이의 영역이 환자(11132)의 체강 내에 삽입되는 경통(11101)과, 경통(11101)의 기단에 접속되는 카메라 헤드(11102)로 구성된다. 도시하는 예에서는, 경성의 경통(11101)을 갖는 소위 경성경으로서 구성되는 내시경(11100)을 도시하고 있지만, 내시경(11100)은, 연성의 경통을 갖는 소위 연성경으로서 구성되어도 된다.

[0368] 경통(11101)의 선단에는, 대물 렌즈가 감입된 개구부가 마련되어 있다. 내시경(11100)에는 광원 장치(11203)가 접속되어 있고, 당해 광원 장치(11203)에 의해 생성된 광이, 경통(11101)의 내부에 연장 설치되는 라이트 가이드에 의해 당해 경통의 선단까지 도광되어, 대물 렌즈를 통하여 환자(11132)의 체강 내의 관찰 대상을 향하여 조사된다. 또한, 내시경(11100)은, 직시경이어도 되고, 사시경 또는 측시경이어도 된다.

[0369] 카메라 헤드(11102)의 내부에는 광학계 및 촬상 소자가 마련되어 있고, 관찰 대상으로부터의 반사광(관찰광)은 당해 광학계에 의해 당해 촬상 소자에 집광된다. 당해 촬상 소자에 의해 관찰광이 광전 변환되고, 관찰광에 대응하는 전기 신호, 즉 관찰상에 대응하는 화상 신호가 생성된다. 당해 화상 신호는, RAW 데이터로서 카메라 콘트롤 유닛(CCU: Camera Control Unit)(11201)으로 송신된다.

[0370] CCU(11201)는, CPU(Central Processing Unit)나 GPU(Graphics Processing Unit) 등으로 구성되어, 내시경(11100) 및 표시 장치(11202)의 동작을 통괄적으로 제어한다. 또한, CCU(11201)는, 카메라 헤드(11102)로부터 화상 신호를 수취하고, 그 화상 신호에 대하여 예를 들어 현상 처리(디모자이크 처리) 등의, 당해 화상 신호에 기초하는 화상을 표시하기 위한 각종 화상 처리를 실시한다.

[0371] 표시 장치(11202)는 CCU(11201)로부터의 제어에 의해, 당해 CCU(11201)에 의해 화상 처리가 실시된 화상 신호에 기초하는 화상을 표시한다.

[0372] 광원 장치(11203)는 예를 들어 LED(Light Emitting Diode) 등의 광원으로 구성되어, 술부 등을 촬영할 때의 조사광을 내시경(11100)에 공급한다.

[0373] 입력 장치(11204)는 내시경 수술 시스템(11000)에 대한 입력 인터페이스이다. 유저는, 입력 장치(11204)를 통하여, 내시경 수술 시스템(11000)에 대하여 각종 정보의 입력이나 지시 입력을 행할 수 있다. 예를 들어, 유저는, 내시경(11100)에 의한 촬상 조건(조사광의 종류, 배율 및 초점 거리 등)을 변경한다는 취지의 지시 등을 입력한다.

[0374] 처치구 제어 장치(11205)는, 조직의 소작, 절개 또는 혈관의 밀봉 등을 위한 에너지 처치구(11112)의 구동을 제어한다. 기복 장치(11206)는 내시경(11100)에 의한 시야의 확보 및 시술자의 작업 공간의 확보를 목적으로, 환자(11132)의 체강을 부풀리기 위해서, 기복 튜브(11111)를 통하여 당해 체강 내에 가스를 보내온다. 레코더(11207)는 수술에 관한 각종 정보를 기록 가능한 장치이다. 프린터(11208)는 수술에 관한 각종 정보를, 텍스트, 화상 또는 그래프 등 각종 형식으로 인쇄 가능한 장치이다.

[0375] 또한, 내시경(11100)에 술부를 촬영할 때의 조사광을 공급하는 광원 장치(11203)는 예를 들어 LED, 레이저 광원 또는 이들의 조합에 의해 구성되는 백색 광원으로 구성할 수 있다. RGB 레이저 광원의 조합에 의해 백색 광원이 구성되는 경우에는, 각 색(각 파장)의 출력 강도 및 출력 타이밍을 고정밀도로 제어할 수 있기 때문에, 광원 장치(11203)에 있어서 촬상 화상의 화이트 밸런스의 조정을 행할 수 있다. 또한, 이 경우에는, RGB 레이저 광원 각각으로부터의 레이저광을 시분할로 관찰 대상에 조사하고, 그 조사 타이밍에 동기하여 카메라 헤드(11102)의 촬상 소자의 구동을 제어함으로써, RGB 각각에 대응한 화상을 시분할로 촬상하는 것도 가능하다. 당해 방법에 의하면, 당해 촬상 소자에 컬러 필터를 마련하지 않더라도, 컬러 화상을 얻을 수 있다.

[0376] 또한, 광원 장치(11203)는 출력하는 광의 강도를 소정의 시간마다 변경하도록 그 구동이 제어되어도 된다. 그 광의 강도의 변경의 타이밍에 동기하여 카메라 헤드(11102)의 촬상 소자의 구동을 제어하여 시분할로 화상을 취득하고, 그 화상을 합성함으로써, 소위 흑색 포화 및 백색 날림이 없는 고다이내믹 레인지의 화상을 생성할 수 있다.

[0377] 또한, 광원 장치(11203)는 특수광 관찰에 대응한 소정의 파장 대역의 광을 공급 가능하게 구성되어도 된다. 특수광 관찰에서는, 예를 들어, 체조직에 있어서의 광의 흡수의 파장 의존성을 이용하여, 통상의 관찰 시에 있어서의 조사광(즉, 백색광)에 비하여 협대역의 광을 조사함으로써, 점막 표층의 혈관 등의 소정의 조직을 고콘트라스트로 촬영하는, 소위 협대역 광 관찰(Narrow Band Imaging)이 행해진다. 혹은, 특수광 관찰에서는, 여기광을 조사함으로써 발생하는 형광에 의해 화상을 얻는 형광 관찰이 행해져도 된다. 형광 관찰에서는, 체조직에 여기광을 조사하고 당해 체조직으로부터의 형광을 관찰하는 것(자가 형광 관찰), 또는 인도시아닌 그린(ICG) 등의 시약을 체조직에 국주함과 함께 당해 체조직에 그 시약의 형광 파장에 대응한 여기광을 조사하여 형광상을 얻는 것 등을 행할 수 있다. 광원 장치(11203)는 이러한 특수광 관찰에 대응한 협대역 광 및/또는 여기광을 공급 가능하게 구성될 수 있다.

[0378] 도 104는, 도 103에 도시하는 카메라 헤드(11102) 및 CCU(11201)의 기능 구성의 일례를 도시하는 블록도이다.

[0379] 카메라 헤드(11102)는 렌즈 유닛(11401)과, 촬상부(11402)와, 구동부(11403)와, 통신부(11404)와, 카메라 헤드 제어부(11405)를 갖는다. CCU(11201)는, 통신부(11411)와, 화상 처리부(11412)와, 제어부(11413)를 갖는다. 카메라 헤드(11102)와 CCU(11201)는, 전송 케이블(11400)에 의해 서로 통신 가능하게 접속되어 있다.

[0380] 렌즈 유닛(11401)은 경통(11101)과의 접속부에 마련되는 광학계이다. 경통(11101)의 선단으로부터 도입된 관찰광은, 카메라 헤드(11102)까지 도광되어, 당해 렌즈 유닛(11401)에 입사한다. 렌즈 유닛(11401)은 줌렌즈 및 포커스 렌즈를 포함하는 복수의 렌즈가 조합되어서 구성된다.

[0381] 촬상부(11402)는 촬상 소자로 구성된다. 촬상부(11402)를 구성하는 촬상 소자는, 1개(소위 단판식)여도 되고, 복수(소위 다판식)여도 된다. 촬상부(11402)가 다판식으로 구성되는 경우에는, 예를 들어 각 촬상 소자에 의해 RGB 각각에 대응하는 화상 신호가 생성되고, 그들이 합성됨으로써 컬러 화상이 얻어져도 된다. 혹은, 촬상부(11402)는 3D(Dimensional) 표시에 대응하는 우안용 및 좌안용의 화상 신호를 각각 취득하기 위한 1대의 촬상 소자를 갖도록 구성되어도 된다. 3D 표시가 행해짐으로써, 시술자(11131)는 술부에 있어서의 생체 조직의 깊이를 보다 정확하게 파악하는 것이 가능해진다. 또한, 촬상부(11402)가 다판식으로 구성되는 경우에는, 각 촬상 소자에 대응하여, 렌즈 유닛(11401)도 복수 계통 마련될 수 있다.

[0382] 또한, 촬상부(11402)는 반드시 카메라 헤드(11102)에 마련되지는 않아도 된다. 예를 들어, 촬상부(11402)는 경통(11101)의 내부에, 대물 렌즈의 직후에 마련되어도 된다.

[0383] 구동부(11403)는 액추에이터에 의해 구성되고, 카메라 헤드 제어부(11405)로부터의 제어에 의해, 렌즈 유닛(11401)의 줌렌즈 및 포커스 렌즈를 광축을 따라서 소정의 거리만큼 이동시킨다. 이에 의해, 촬상부(11402)에 의한 촬상 화상의 배율 및 초점이 적절히 조정될 수 있다.

[0384] 통신부(11404)는 CCU(11201)와의 사이에서 각종 정보를 송수신하기 위한 통신 장치에 의해 구성된다. 통신부(11404)는 촬상부(11402)로부터 얻은 화상 신호를 RAW 데이터로서 전송 케이블(11400)을 통하여 CCU(11201)로 송신한다.

[0385] 또한, 통신부(11404)는 CCU(11201)로부터, 카메라 헤드(11102)의 구동을 제어하기 위한 제어 신호를 수신하고, 카메라 헤드 제어부(11405)에 공급한다. 당해 제어 신호에는, 예를 들어, 촬상 화상의 프레임 레이트를 지정한다는 취지의 정보, 촬상 시의 노출값을 지정한다는 취지의 정보, 그리고/또는 촬상 화상의 배율 및 초점을 지정한다는 취지의 정보 등, 촬상 조건에 관한 정보가 포함된다.

[0386] 또한, 상기 프레임 레이트나 노출값, 배율, 초점 등의 촬상 조건은, 유저에 의해 적절히 지정되어도 되고, 취득된 화상 신호에 기초하여 CCU(11201)의 제어부(11413)에 의해 자동적으로 설정되어도 된다. 후자의 경우에는, 소위 AE(Auto Exposure) 기능, AF(Auto Focus) 기능 및 AWB(Auto White Balance) 기능이 내시경(11100)에 탑재되어 있게 된다.

[0387] 카메라 헤드 제어부(11405)는 통신부(11404)를 통하여 수신한 CCU(11201)로부터의 제어 신호에 기초하여, 카메라 헤드(11102)의 구동을 제어한다.

[0388] 통신부(11411)는 카메라 헤드(11102)와의 사이에서 각종 정보를 송수신하기 위한 통신 장치에 의해 구성된다. 통신부(11411)는 카메라 헤드(11102)로부터, 전송 케이블(11400)을 통하여 송신되는 화상 신호를 수신한다.

[0389] 또한, 통신부(11411)는 카메라 헤드(11102)에 대하여 카메라 헤드(11102)의 구동을 제어하기 위한 제어 신호를 송신한다. 화상 신호나 제어 신호는, 전기 통신이나 광통신 등에 의해 송신할 수 있다.

[0390] 화상 처리부(11412)는 카메라 헤드(11102)로부터 송신된 RAW 데이터인 화상 신호에 대하여 각종 화상 처리를 실시한다.

[0391] 제어부(11413)는 내시경(11100)에 의한 술부 등의 촬상 및 술부 등의 촬상에 의해 얻어지는 촬상 화상의 표시에 관한 각종 제어를 행한다. 예를 들어, 제어부(11413)는 카메라 헤드(11102)의 구동을 제어하기 위한 제어 신호를 생성한다.

[0392] 또한, 제어부(11413)는 화상 처리부(11412)에 의해 화상 처리가 실시된 화상 신호에 기초하여, 술부 등이 비친 촬상 화상을 표시 장치(11202)에 표시시킨다. 이때, 제어부(11413)는 각종 화상 인식 기술을 사용하여 촬상 화상 내에 있어서의 각종 물체를 인식해도 된다. 예를 들어, 제어부(11413)는 촬상 화상에 포함되는 물체의 에지 형상이나 색 등을 검출함으로써, 겸자 등의 술도구, 특정한 생체 부위, 출혈, 에너지 처치구(11112)의 사용 시의 미스트 등을 인식할 수 있다. 제어부(11413)는 표시 장치(11202)에 촬상 화상을 표시시킬 때, 그 인식 결과를 사용하여, 각종 수술 지원 정보를 당해 술부의 화상에 중첩 표시시켜도 된다. 수술 지원 정보가 중첩 표시되어, 시술자(11131)에게 제시됨으로써, 시술자(11131)의 부담을 경감하는 것이나, 시술자(11131)가 확실하게 수술을 진행시키는 것이 가능해진다.

[0393] 카메라 헤드(11102) 및 CCU(11201)를 접속하는 전송 케이블(11400)은, 전기 신호의 통신에 대응한 전기 신호 케이블, 광통신에 대응한 광 파이버, 또는 이들의 복합 케이블이다.

[0394] 여기서, 도시하는 예에서는, 전송 케이블(11400)을 사용하여 유선으로 통신이 행해지고 있었지만, 카메라 헤드(11102)와 CCU(11201) 간의 통신은 무선으로 행해져도 된다.

[0395] 이상, 본 개시에 관계되는 기술이 적용될 수 있는 내시경 수술 시스템의 일례에 대하여 설명하였다. 본 개시에 관계되는 기술은, 이상 설명한 구성 중, 내시경(11100)의 카메라 헤드(11102)에 마련된 촬상부(11402)에 적합하게 적용될 수 있다. 촬상부(11402)에 본 개시에 관계되는 기술을 적용함으로써, 촬상부(11402)를 소형화 혹은 고정밀화할 수 있으므로, 소형 혹은 고정밀의 내시경(11100)을 제공할 수 있다.

[0396] 이상, 제1, 제2 실시 형태 및 그의 변형예 1 내지 22, 적용예 그리고 응용예를 들어 본 개시를 설명했지만, 본 개시는 상기 실시 형태 등에 한정되는 것은 아니며, 여러가지 변형이 가능하다. 예를 들어, 상기 실시 형태 등에서는 촬상 장치(1)를 예로 들어 본 기술을 설명했지만, 본 기술은, 예를 들어 수광 소자 등에도 적용할 수 있다.

[0397] 또한, 본 명세서 중에 기재된 효과는, 어디까지나 예시이다. 본 개시의 효과는, 본 명세서 중에 기재된 효과에 한정되는 것은 아니다. 본 개시가, 본 명세서 중에 기재된 효과 이외의 효과를 갖고 있어도 된다.

[0398] 또한, 본 개시는 이하와 같은 구성을 취하는 것도 가능하다. 이하의 구성에 의하면, 제1 반도체층에 마련된 전하 축적부와, 제2 반도체층에 마련된 삼차원 구조를 갖는 화소 트랜지스터를 관통 배선에 의해 직접 접속하도록 했으므로, 제2 반도체 기판의 면 내에 있어서의 화소 트랜지스터 이외의 형성 면적을 삭감할 수 있게 되어, 면적 효율을 향상시키는 것이 가능하게 된다.

[0399] (1)

[0400] 화소마다, 광전 변환부 및 상기 광전 변환부에서 발생한 신호 전하가 축적되는 전하 축적부를 갖는 제1 반도체층과,

[0401] 상기 제1 반도체층에 적층되어, 삼차원 구조를 가짐과 함께, 상기 전하 축적부로부터 상기 신호 전하를 읽어내는 화소 트랜지스터가 마련된 제1 면을 갖는 제2 반도체층과,

[0402] 상기 전하 축적부와 상기 화소 트랜지스터의 게이트 전극을 직접 접속하는 관통 배선

[0403] 을 구비한 촬상 장치.

[0404] (2)

[0405] 상기 화소 트랜지스터는 핀형 구조를 갖는 상기 (1)에 기재된 촬상 장치.

[0406] (3)

[0407] 상기 제2 반도체층은, 상기 제1 면과는 반대측에 상기 제1 반도체층과 대향하는 제2 면을 더 갖고,

[0408] 상기 게이트 전극은, 상기 제2 반도체층의 상기 제1 면과 상기 제2 면 사이를 관통하고 있는, 상기 (1) 또는

(2)에 기재된 촬상 장치.

[0409] (4)

[0410] 상기 게이트 전극의 상기 제2 반도체층을 관통하는 관통 부분의 단부는, 상기 제2 반도체층의 상기 제2 면으로부터 돌출되어 있는, 상기 (3)에 기재된 촬상 장치.

[0411] (5)

[0412] 상기 관통 배선은, 상기 전하 축적부와, 상기 제2 반도체층의 상기 제2 면으로부터 돌출되는 상기 게이트 전극의 상기 단부를 접속하고 있는, 상기 (4)에 기재된 촬상 장치.

[0413] (6)

[0414] 상기 관통 배선은, 상기 제2 반도체층을 관통하는 상기 게이트 전극의 측면과 접하고 있는, 상기 (3) 내지 (5) 중 어느 하나에 기재된 촬상 장치.

[0415] (7)

[0416] 상기 관통 배선은, 또한 상기 게이트 전극의 상면의 일부와 접하고 있는, 상기 (6)에 기재된 촬상 장치.

[0417] (8)

[0418] 상기 화소 트랜지스터는 복수의 핀을 갖고,

[0419] 상기 복수의 핀의 사이를 관통하는 상기 관통 배선의 제1 폭은, 상기 게이트 전극의 상방으로 연신하는 상기 관통 배선의 제2 폭보다도 좁은, 상기 (3) 내지 (7) 중 어느 하나에 기재된 촬상 장치.

[0420] (9)

[0421] 상기 화소 트랜지스터는 게이트 올 어라운드 구조를 갖는 상기 (1) 내지 (8) 중 어느 하나에 기재된 촬상 장치.

[0422] (10)

[0423] 상기 화소 트랜지스터는, 상기 제2 반도체층의 상기 제1 면측에 마련되고, 상기 제2 반도체층의 평면 방향과 대략 평행 방향으로 연신하는 반도체층과, 상기 반도체층의 일부의 상면 및 하면 그리고 한쌍의 측면을 덮는 상기 게이트 전극과, 상기 반도체층과 상기 게이트 전극 사이에 마련되고, 상기 반도체층의 상기 상면 및 상기 한쌍의 측면을 덮는 제1 절연막 및 상기 반도체층의 상기 하면을 덮는 제2 절연막을 갖고,

[0424] 상기 제2 절연막은, 상기 반도체층의 연신 방향에 대하여 직교 방향인 제3 폭보다도 광폭으로 마련되어 있는, 상기 (9)에 기재된 촬상 장치.

[0425] (11)

[0426] 상기 제2 절연막의 상기 반도체층의 상기 제3 폭보다도 외측으로 연장되는 연장부는, 상기 반도체층의 상기 하면을 덮는 상기 제2 절연막보다도 하방에 형성되어 있는, 상기 (10)에 기재된 촬상 장치.

[0427] (12)

[0428] 상기 게이트 전극은, 상기 제1 반도체층과의 대향면측에, 상기 관통 배선보다도 폭이 넓은 볼록부를 갖는 상기 (10) 또는 (11)에 기재된 촬상 장치.

[0429] (13)

[0430] 상기 볼록부의 폭은, 상기 관통 배선의 배선 직경보다도 넓은, 상기 (12)에 기재된 촬상 장치.

[0431] (14)

[0432] 상기 화소 트랜지스터는, 상기 제2 반도체층의 상기 제1 면측에 마련되고, 상기 제2 반도체층의 평면 방향과 대략 평행 방향으로 연신하는 반도체층과, 상기 반도체층의 일부의 상면 및 하면 그리고 한쌍의 측면을 덮는 상기 게이트 전극과, 상기 반도체층과 상기 게이트 전극 사이에 마련되고, 상기 반도체층의 상기 상면 및 상기 하면 그리고 상기 한쌍의 측면을 덮는 제3 절연막을 갖고,

[0433] 또한, 상기 반도체층의 하방에 소정의 간격을 두고 마련된 제4 절연막을 더 갖는, 상기 (10) 내지 (13) 중 어느 하나에 기재된 촬상 장치.

[0434] (15)

[0435] 상기 제4 절연막은, 상기 반도체층의 상기 제3 폭보다도 광폭으로 마련되어 있는, 상기 (14)에 기재된 촬상 장치.

[0436] (16)

[0437] 상기 제4 절연막은, 상기 반도체층의 상기 제3 폭보다도 협폭으로 마련되어 있는, 상기 (14)에 기재된 촬상 장치.

[0438] (17)

[0439] 상기 게이트 전극은, 상기 제1 반도체층과의 대향면측에, 상기 제4 절연막보다도 폭이 넓은 볼록부를 갖는 상기 (15) 또는 (16)에 기재된 촬상 장치.

[0440] (18)

[0441] 상기 볼록부의 폭은, 상기 관통 배선의 배선 직경보다도 넓은, 상기 (17)에 기재된 촬상 장치.

[0442] (19)

[0443] 상기 화소 트랜지스터는, 상기 제2 반도체층의 상기 제1 면측에 마련되고, 상기 제2 반도체층의 평면 방향과 대략 평행 방향으로 연신하는 상기 반도체층의 양단에 소스 영역 및 드레인 영역을 갖고,

[0444] 상기 소스 영역 및 상기 드레인 영역의 상기 반도체층의 바로 아래에 상기 반도체층의 측면과 대략 동일한 측면을 갖는 희생층을 더 갖는, 상기 (10) 내지 (18) 중 어느 하나에 기재된 촬상 장치.

[0445] (20)

[0446] 상기 반도체층은 상기 연신 방향에 대하여 대략 일정한 폭을 갖는 상기 (19)에 기재된 촬상 장치.

[0447] (21)

[0448] 상기 화소 트랜지스터로서 증폭 트랜지스터와, 리셋 트랜지스터와, 선택 트랜지스터와, FD 변환 게인 전환 트랜지스터를 갖고 있는, 상기 (1) 내지 (20) 중 어느 하나에 기재된 촬상 장치.

[0449] (22)

[0450] 상기 증폭 트랜지스터, 상기 리셋 트랜지스터, 상기 선택 트랜지스터 및 상기 FD 변환 게인 전환 트랜지스터는 각각 상기 삼차원 구조를 갖고 있는, 상기 (21)에 기재된 촬상 장치.

[0451] (23)

[0452] 상기 증폭 트랜지스터, 상기 리셋 트랜지스터, 상기 선택 트랜지스터 및 상기 FD 변환 게인 전환 트랜지스터 중, 적어도 상기 증폭 트랜지스터의 게이트 전극은, 상기 제2 반도체층의 상기 제1 면과, 상기 제1 면과는 반대측에 상기 제1 반도체층과 대향하는 제2 면 사이를 관통하고 있는, 상기 (22)에 기재된 촬상 장치.

[0453] (24)

[0454] 상기 증폭 트랜지스터는 상기 삼차원 구조를 갖고,

[0455] 상기 리셋 트랜지스터, 상기 선택 트랜지스터 및 상기 FD 변환 게인 전환 트랜지스터는 플래너 구조를 갖고 있는, 상기 (21) 내지 (23) 중 어느 하나에 기재된 촬상 장치.

[0456] (25)

[0457] 광전 변환부 및 상기 광전 변환부에서 발생한 신호 전하가 축적되는 전하 축적부를 갖는 제1 반도체층과,

[0458] 상기 제1 반도체층에 적층되어, 삼차원 구조를 가짐과 함께, 상기 전하 축적부로부터 상기 신호 전하를 읽어내는 트랜지스터가 마련된 제1 면을 갖는 제2 반도체층과,

[0459] 상기 전하 축적부와 상기 트랜지스터의 게이트 전극을 직접 접속하는 관통 배선

[0460] 을 구비한 수광 소자.

[0461] (26)

[0462] 제1 반도체층에, 광전 변환부 및 상기 광전 변환부에서 발생한 신호 전하가 축적되는 전하 축적부를 화소마다 형성하고,

[0463] 상기 제1 반도체층의 제1 면에 제1 절연막을 통하여 제2 반도체층을 적층하고,

[0464] 상기 제2 반도체층에, 상기 전하 축적부로부터 상기 신호 전하를 읽어내는 삼차원 구조를 갖는 화소 트랜지스터를 형성하고,

[0465] 상기 제1 절연막을 관통하고, 상기 전하 축적부와 상기 화소 트랜지스터의 게이트 전극을 직접 접속하는 관통 배선을 형성하는

[0466] 촬상 장치의 제조 방법.

[0467] (27)

[0468] 상기 화소 트랜지스터는,

[0469] 상기 제2 반도체층을 가공하여 핀을 형성하고,

[0470] 소정의 파장의 제1 광을 흡수하는 광흡수막에 의해 상기 핀을 매설하고,

[0471] 상기 제1 광을 조사하여 상기 광흡수막에 에칭 레이트가 다른 층을 형성한 후, 상기 광흡수막을 에칭하는, 상기 (26)에 기재된 촬상 장치의 제조 방법.

[0472] (28)

[0473] 상기 제2 반도체층을 가공하여 핀을 형성하고, 상기 핀의 표면에 상기 광흡수막보다도 상기 제1 광에 대한 흡수 계수가 높은 고광흡수막을 형성한 후, 상기 광흡수막에 의해 상기 핀을 매설하는, 상기 (27)에 기재된 촬상 장치의 제조 방법.

[0474] (29)

[0475] 상기 화소 트랜지스터는,

[0476] 상기 관통 배선을 형성한 후,

[0477] 상기 관통 배선을 포함하는 상기 제2 반도체층 상에 제2 절연막 및 상기 화소 트랜지스터를 구성하는 폴리실리콘막을 순서대로 적층하고,

[0478] 상기 제2 절연막 및 상기 폴리실리콘막을 상기 화소 트랜지스터의 소정의 형상으로 가공하고,

[0479] 어닐 처리에 의해 상기 폴리실리콘막의 표면 및 상기 관통 배선의 표면에 열산화막을 형성한 후, 평면으로 보아 상기 폴리실리콘막보다도 외측의 상기 관통 배선의 표면에 형성된 열산화막의 적어도 일부를 제거하는, 상기 (26) 내지 (28) 중 어느 하나에 기재된 촬상 장치의 제조 방법.

[0480] (30)

[0481] 상기 화소 트랜지스터는,

[0482] 상기 관통 배선을 형성한 후,

[0483] 상기 관통 배선을 포함하는 상기 제2 반도체층 상에 제1 희생층 및 상기 화소 트랜지스터를 구성하는 폴리실리콘막을 순서대로 적층하고,

[0484] 상기 제1 희생층 및 상기 폴리실리콘막을 상기 화소 트랜지스터의 소정의 형상으로 가공하고,

[0485] 상기 화소 트랜지스터의 채널 부분에 형성된 상기 제1 희생층을 제거하고,

[0486] 어닐 처리에 의해 상기 폴리실리콘막의 표면 및 상기 관통 배선의 표면에 열산화막을 형성한 후, 평면으로 보아 상기 폴리실리콘막보다도 외측의 상기 관통 배선의 표면에 형성된 열산화막의 적어도 일부를 제거하는, 상기 (26) 내지 (28) 중 어느 하나에 기재된 촬상 장치의 제조 방법.

[0487] (31)

[0488] 상기 화소 트랜지스터는,

[0489] 상기 관통 배선을 형성한 후,

[0490] 상기 관통 배선을 포함하는 상기 제2 반도체층 상에 제1 희생층 및 상기 화소 트랜지스터를 구성하는 폴리실리콘막을 순서대로 적층하고,

[0491] 상기 제1 희생층 및 상기 폴리실리콘막을 상기 화소 트랜지스터의 소정의 형상으로 가공하고,

[0492] 상기 화소 트랜지스터의 채널 부분의 하방에 형성된 상기 제1 희생층을 알칼리 수용액에 의한 에칭 선택성에 의해 제거하는, 상기 (26) 내지 (28) 중 어느 하나에 기재된 촬상 장치의 제조 방법.

[0493] (32)

[0494] 상기 전하 축적부를 상기 화소마다 형성한 후, 상기 전하 축적부 상에 제2 희생층을 성막하는, 상기 (26) 내지 (31) 중 어느 하나에 기재된 촬상 장치의 제조 방법.

[0495] (33)

[0496] 상기 제2 희생층을 산화에 의해 상기 제1 절연막과의 에칭 선택성이 커지는 재료를 사용하여 형성하는, 상기 (32)에 기재된 촬상 장치의 제조 방법.

[0497] (34)

[0498] 상기 제2 희생층을 게르마늄을 사용하여 형성하는, 상기 (33)에 기재된 촬상 장치의 제조 방법.

[0499] (35)

[0500] 상기 제2 희생층을 상기 제1 절연막과의 에칭 선택성이 큰 재료를 사용하여 형성하는, 상기 (32)에 기재된 촬상 장치의 제조 방법.

[0501] (36)

[0502] 상기 제2 희생층을 III-V족 화합물 반도체 재료를 사용하여 형성하는, 상기 (35)에 기재된 촬상 장치의 제조 방법.

[0503] (37)

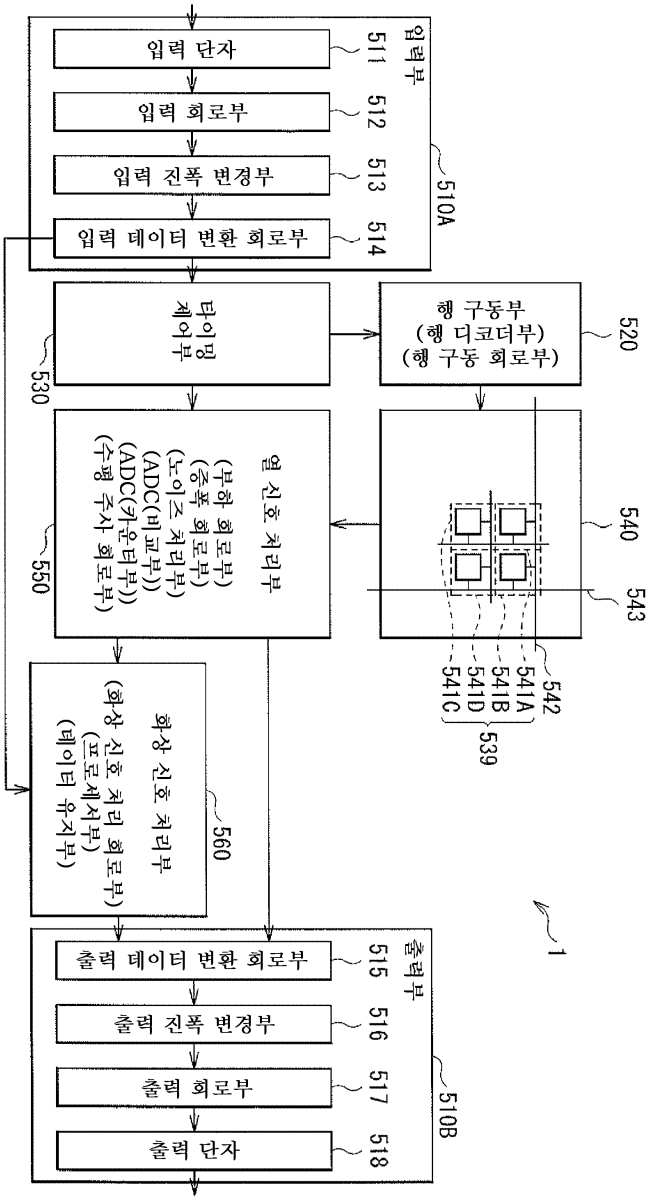
[0504] 아몰퍼스 카본을 사용하여 상기 제2 희생층을 형성하는, 상기 (32)에 기재된 촬상 장치의 제조 방법.

[0505] 본 출원은, 일본 특허청에 있어서 2020년 10월 23일에 출원된 일본 특허 출원 번호 2020-178463호를 기초로 하여 우선권을 주장하는 것이며, 이 출원의 모든 내용을 참조에 의해 본 출원에 원용한다.

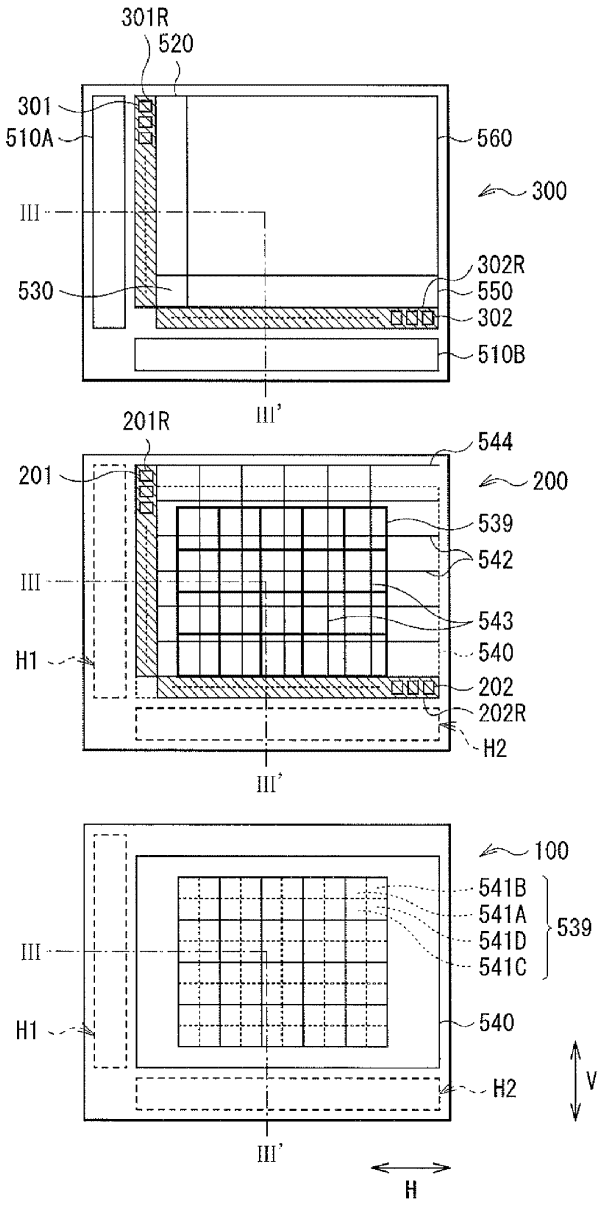
[0506] 당업자이면 설계상의 요건이나 다른 요인에 따라, 여러가지 수정, 콤비네이션, 서브 콤비네이션 및 변경을 상도할 수 있지만, 그들은 첨부된 청구범위나 그의 균등물의 범위에 포함되는 것임이 이해될 것이다.

도면

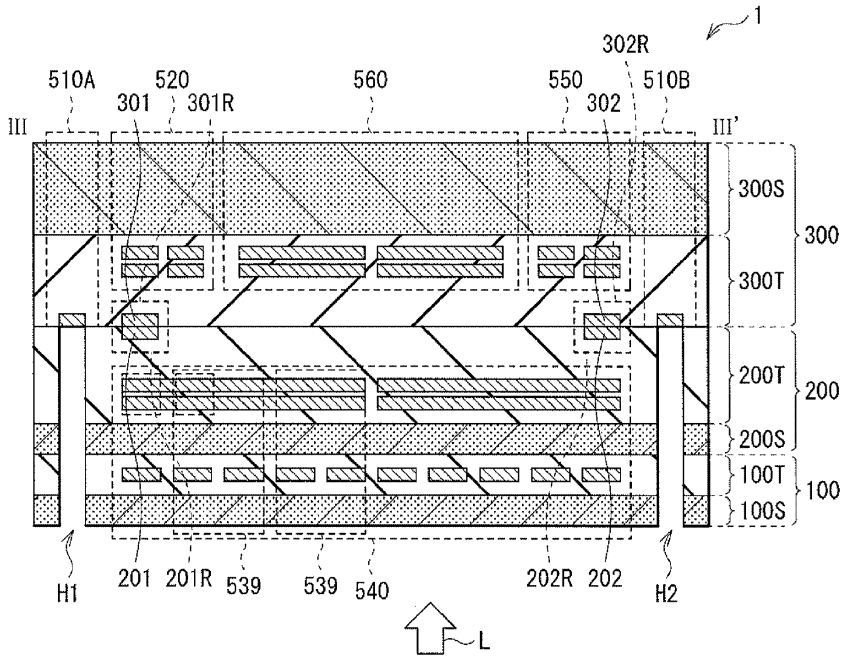
도면1


입력부
입력 단자
511
입력 회로부
512
입력 진폭 변경부
513
입력 데이터 변환 회로부
514
510A
타이밍 제어부
530
행 구동부 (행 디코더부) (행 구동 회로부)
520
열 신호 처리부 (부하 회로부) (증폭 회로부) (노이즈 처리부) (ADC(비교부)) (ADC(카운터부)) (수평 주사 회로부)
550
540
543
542
541A
541B
541D
541C
539
화상 신호 처리부 (화상 신호 처리 회로부) (프로세서부) (데이터 유지부)
560
1
출력부
출력 데이터 변환 회로부
515
출력 진폭 변경부
516
출력 회로부
517
출력 단자
518
510B

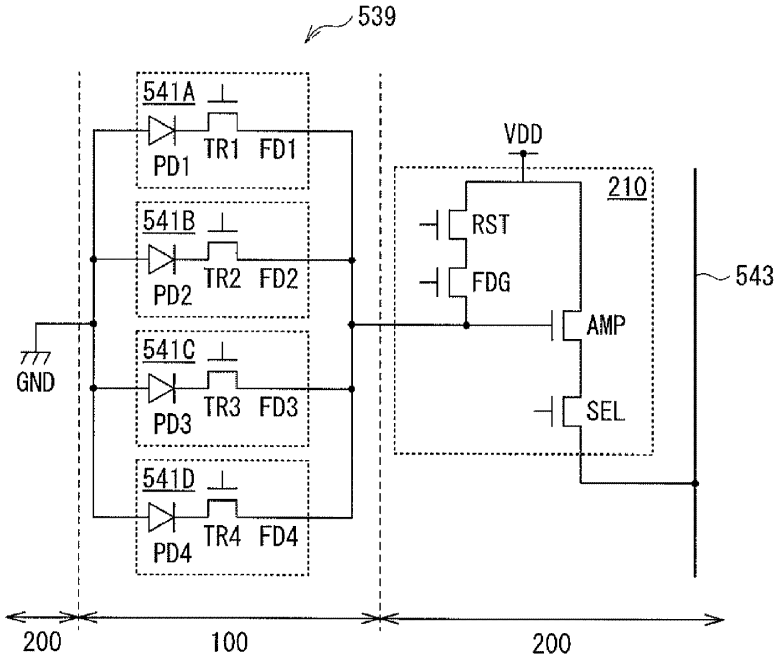
도면2


301R
520
301
510A
560
300
III
530
302R
550
302
510B
III'
201R
544
201
200
539
542
III
543
H1
540
202
202R
H2
III'
100
541B
541A
541D
541C
539
III
H1
540
H2
V
III'
H

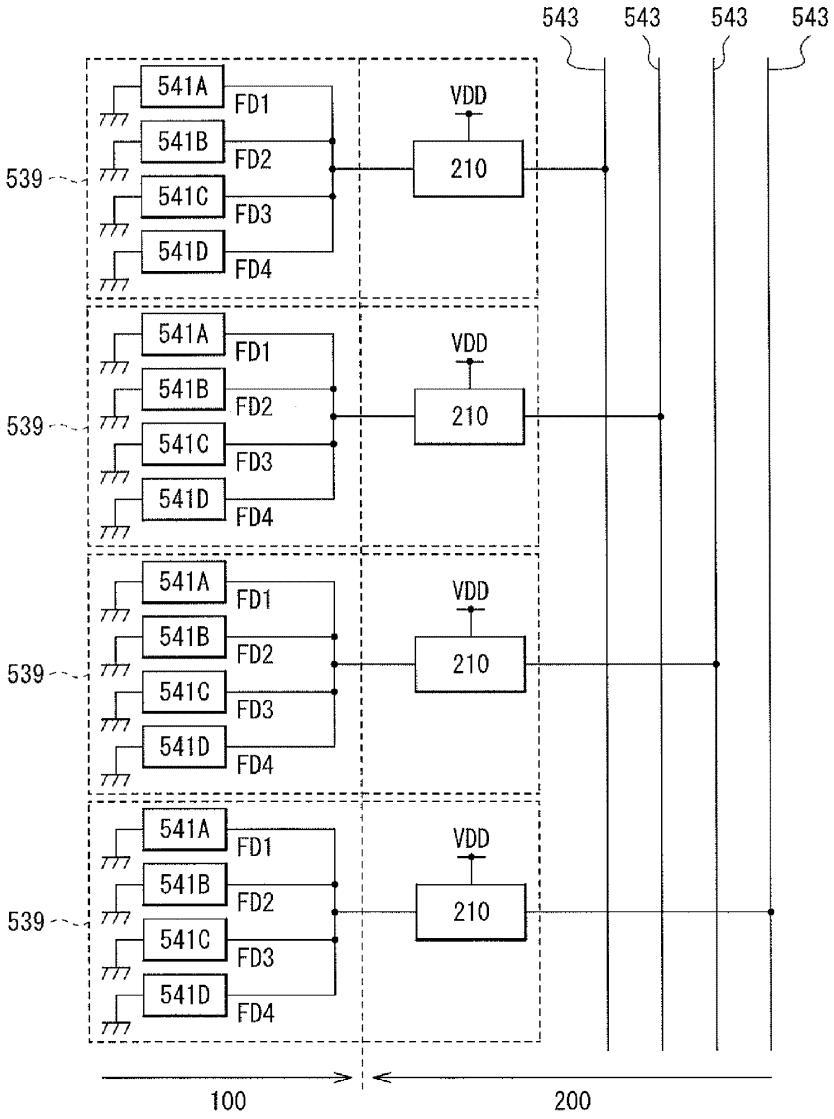
도면3


1
302R
510A
520
560
550
510B
301
301R
302
III
III'
300S
300
300T
200T
200
200S
100T
100
100S
H1
201
201R
539
539
540
202R
202
H2
L

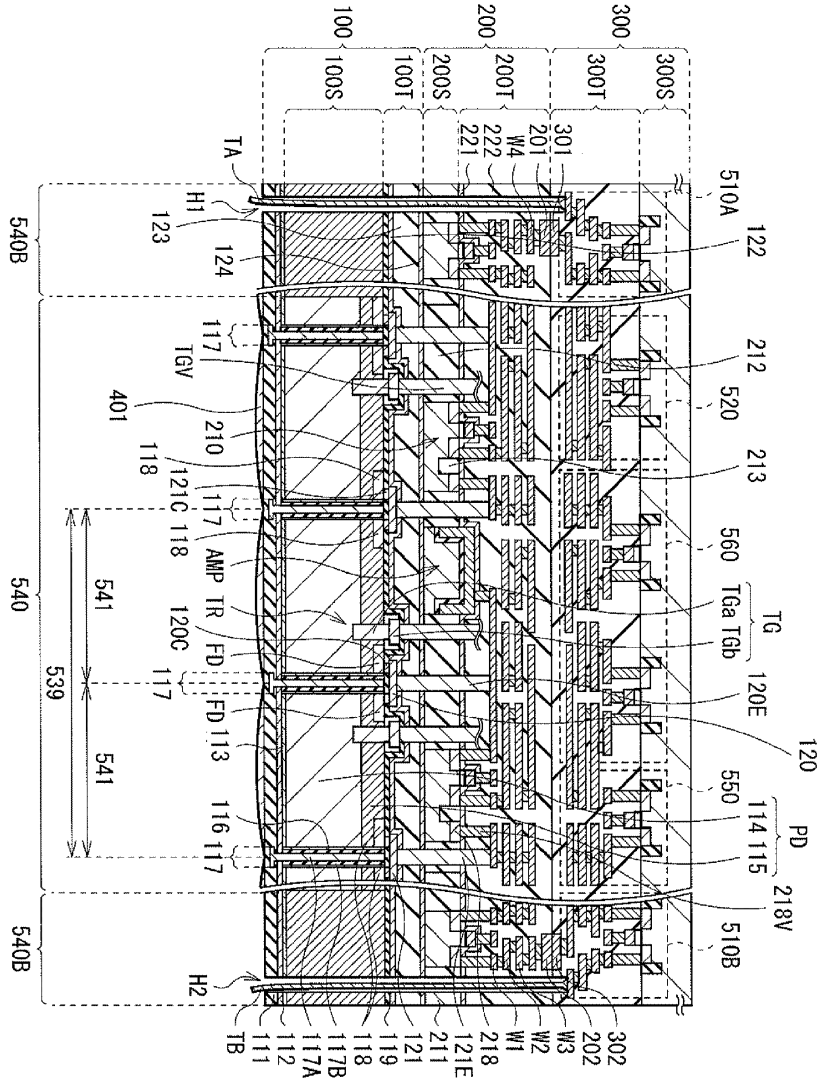
도면4


539
541A
PD1
TR1
FD1
541B
PD2
TR2
FD2
541C
PD3
TR3
FD3
541D
PD4
TR4
FD4
GND
VDD
210
RST
FDG
AMP
SEL
543
200
100
200

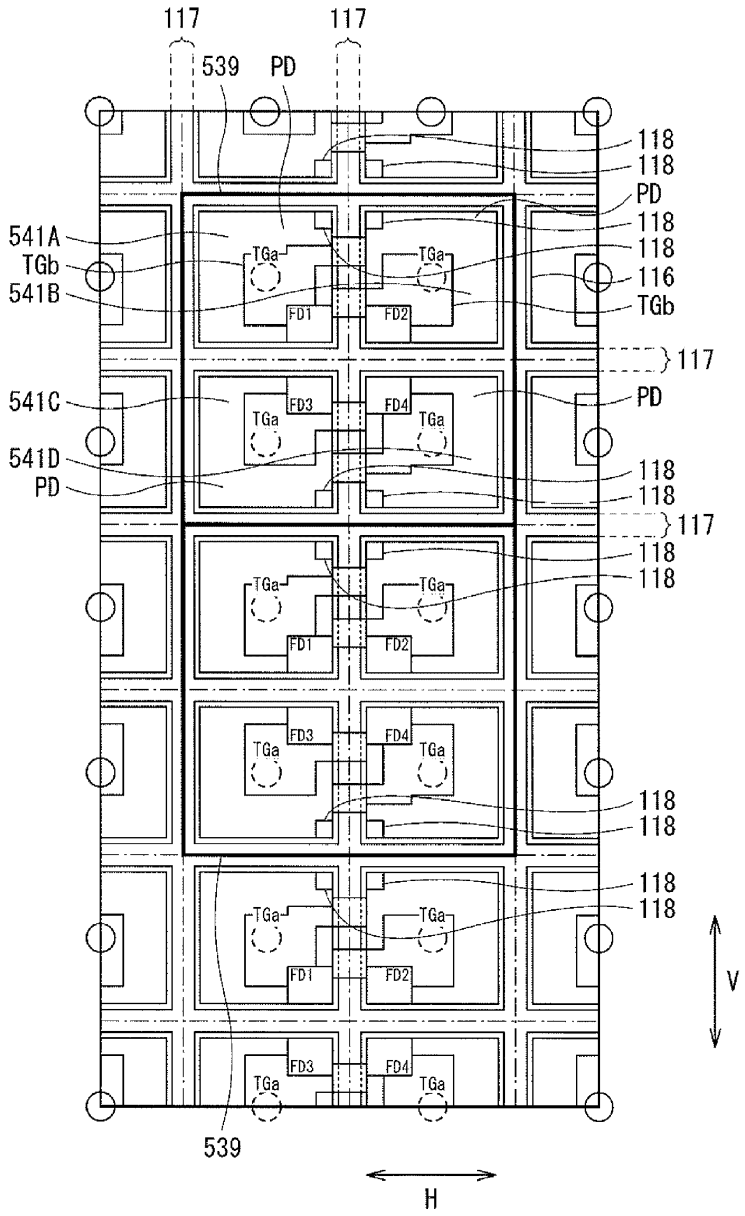
도면5


543
543
543
543
539
541A
541B
541C
541D
FD1
FD2
FD3
FD4
VDD
210
100
200

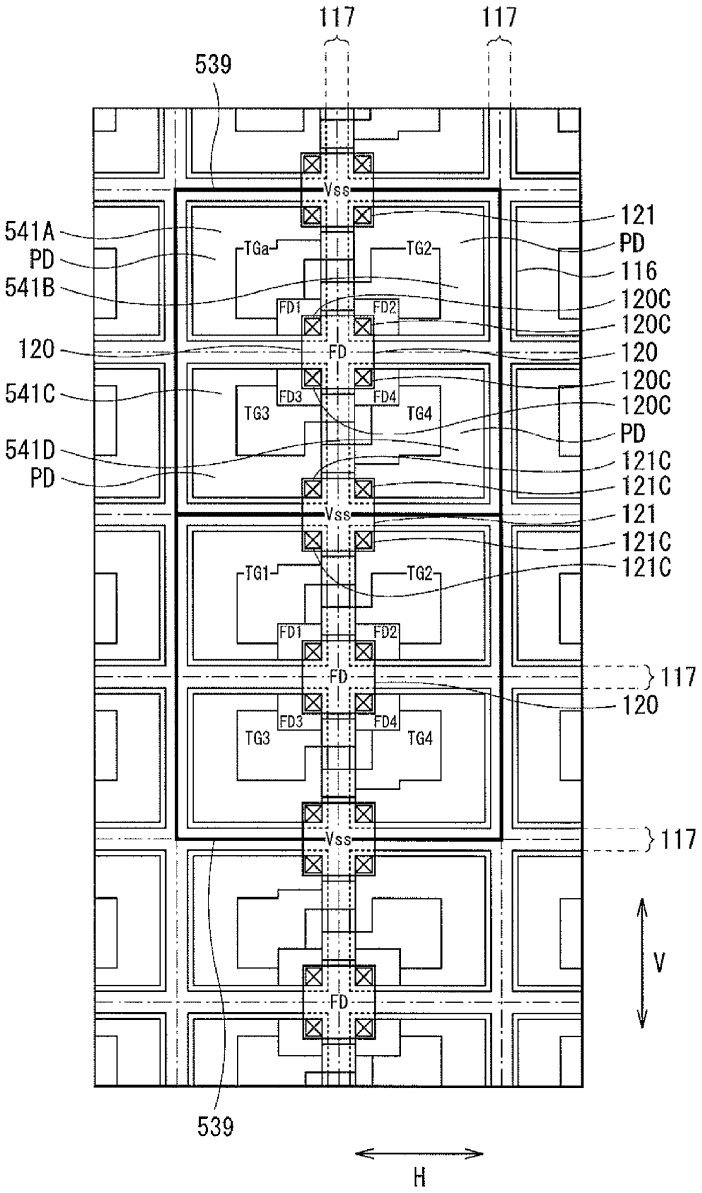
도면6


100
100S
100T
200
200S
200T
300
300S
300T
TA
H1
123
124
540B
540
539
541
541
540B
H2
TB
111
112
117A
117B
118
119
121
211
121E
218
W1
W2
W3
202
302
117
TGV
401
210
118
121C
117
118
AMP
TR
120C
FD
117
FD
113
116
117
221
222
W4
201
301
510A
122
212
520
213
560
TG
TGa
TGb
120E
120
550
PD
114
115
218V
510B

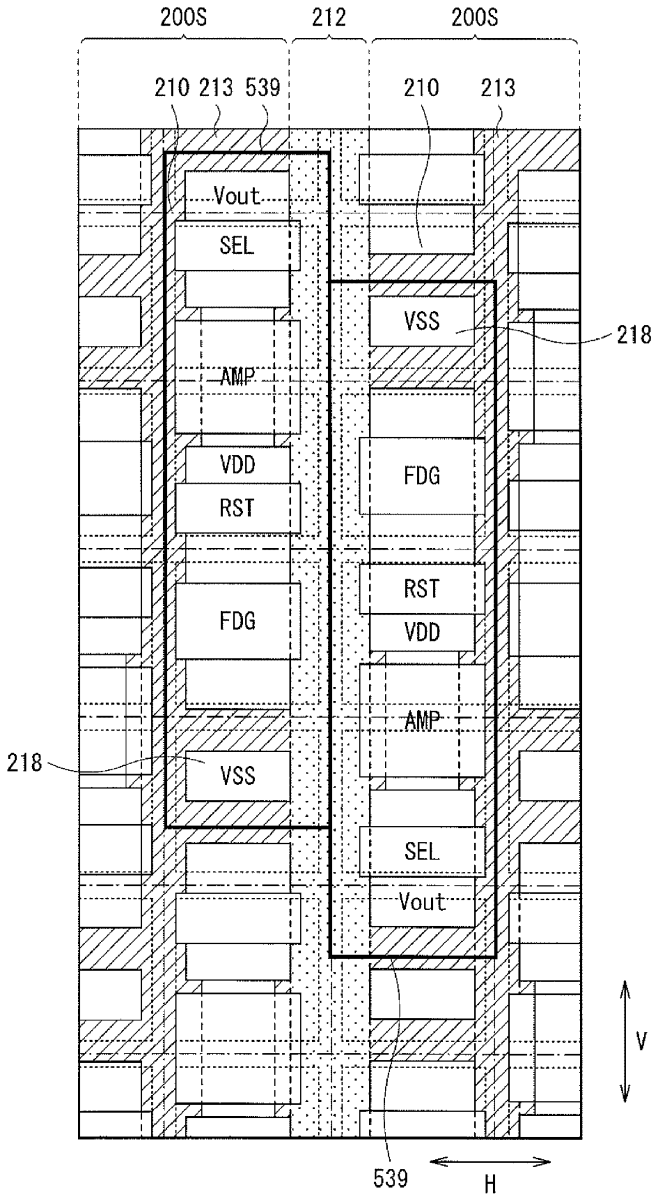
도면7a


117
117
539
PD
118
118
PD
118
118
116
TGb
541A
TGb
541B
TGa
TGa
FD1
FD2
117
541C
PD
541D
PD
FD3
FD4
TGa
TGa
118
118
117
118
118
118
118
118
118
V
539
H

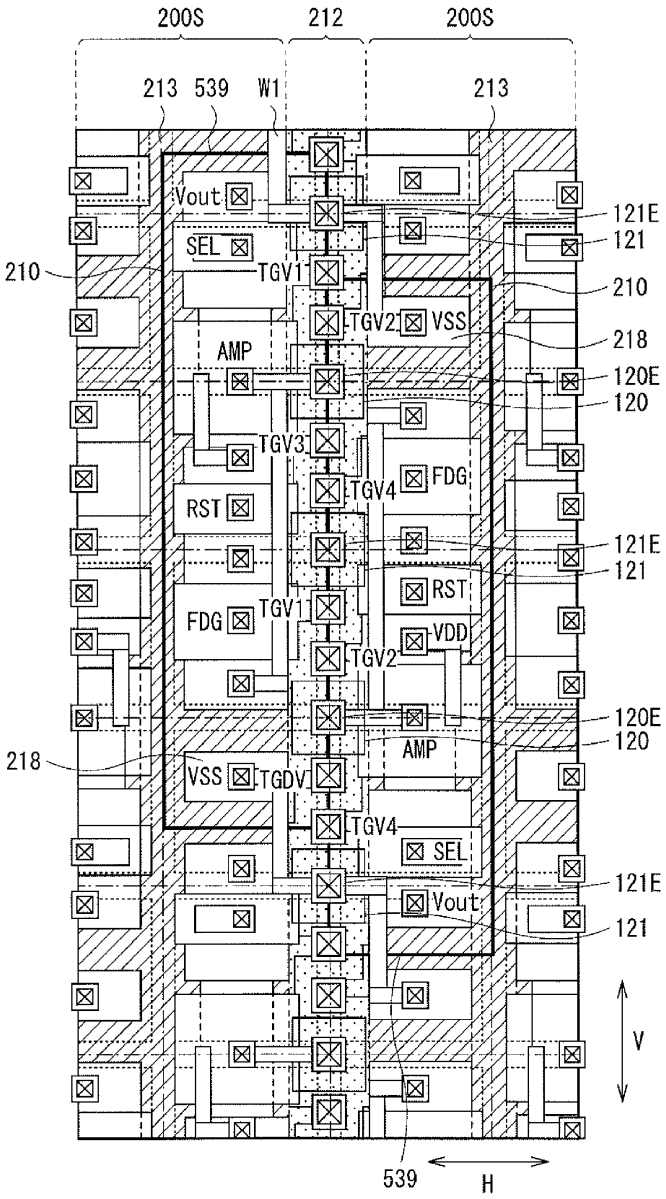
도면7b


117
117
539
Vss
541A
PD
541B
120
541C
541D
PD
TGa
TG2
FD1
FD2
FD
FD3
FD4
TG3
TG4
121
PD
116
120C
120C
120
120C
120C
PD
121C
121C
121
121C
121C
TG1
117
120
117
V
539
H

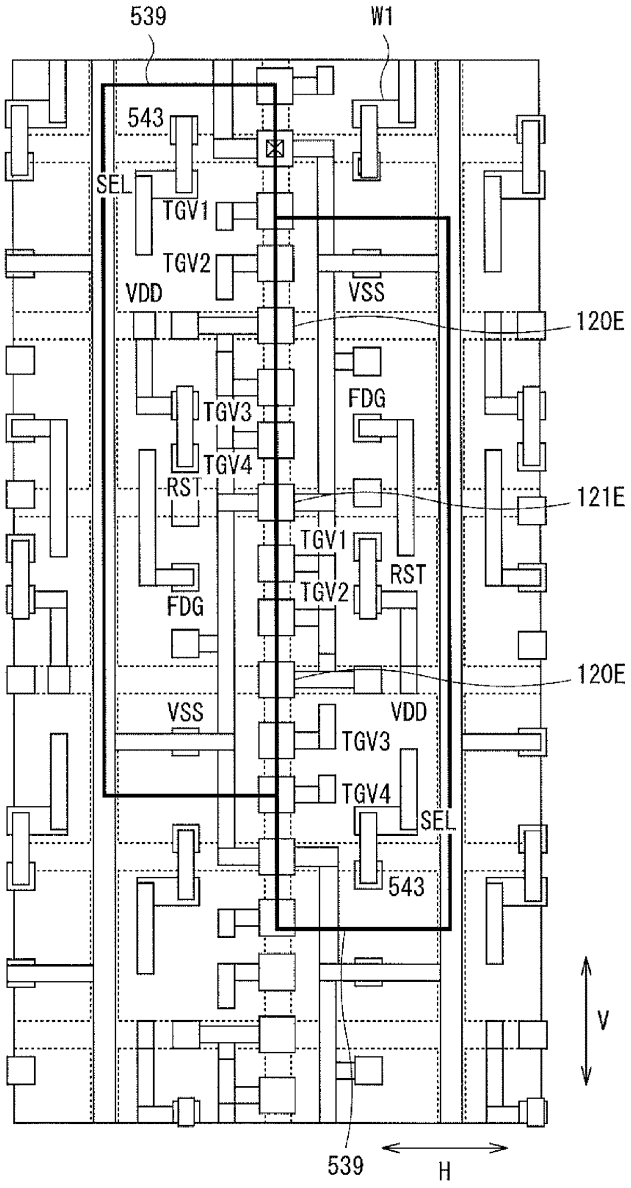
도면8


200S
212
200S
210
213
539
210
213
Vout
SEL
AMP
VDD
RST
FDG
VSS
218
VSS
218
FDG
RST
VDD
AMP
SEL
Vout
V
539
H

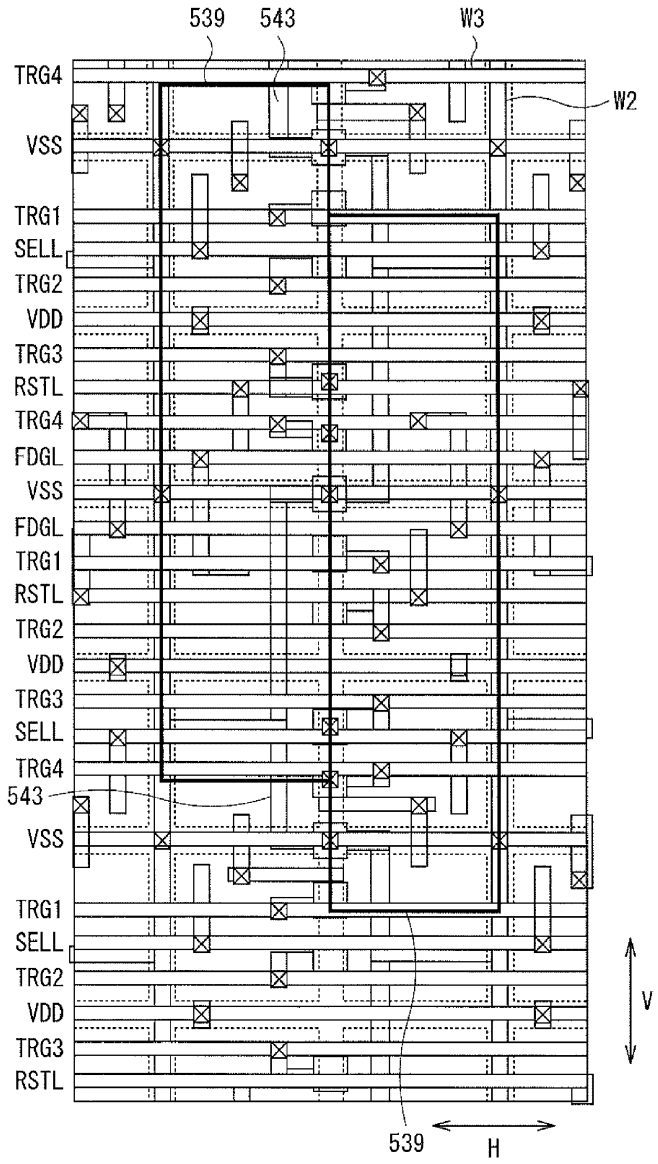
도면9


200S
212
200S
213
539
W1
213
Vout
SEL
TGV1
210
TGV2
VSS
218
AMP
120E
120
TGV3
FDG
TGV4
RST
121E
121
RST
FDG
TGV1
VDD
TGV2
120E
120
AMP
218
VSS
TGDV
TGV4
SEL
121E
Vout
121
V
539
H

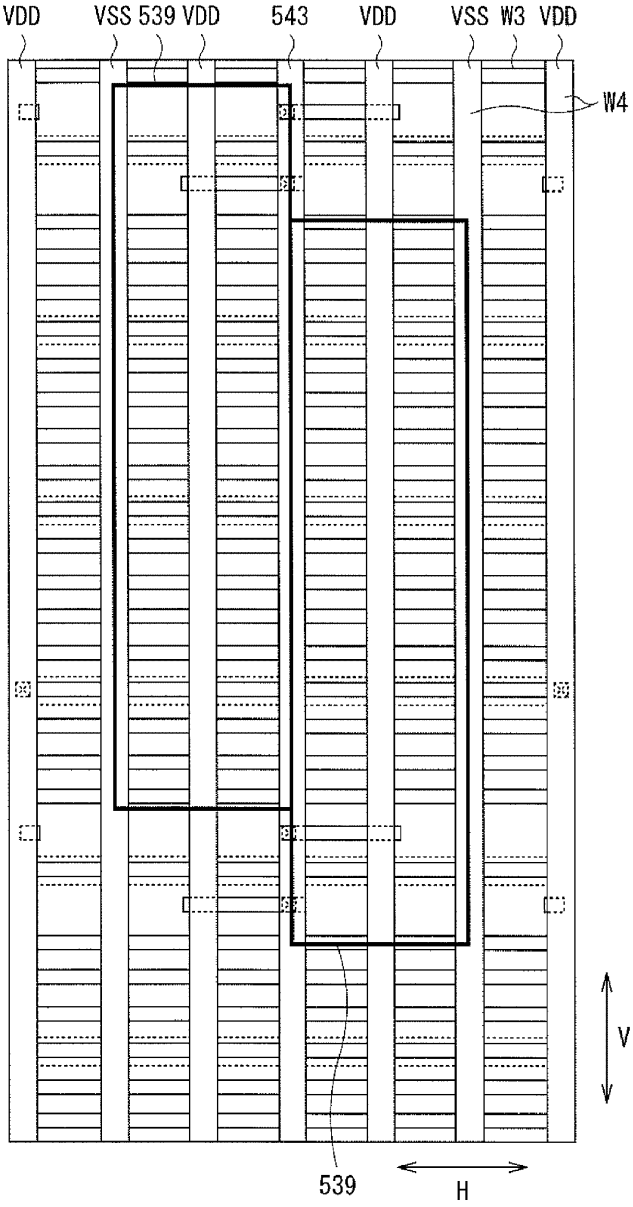
도면10


539
W1
543
SEL
TGV1
TGV2
VDD
VSS
120E
TGV3
FDG
TGV4
RST
121E
TGV1
RST
TGV2
FDG
120E
VSS
VDD
TGV3
TGV4
SEL
543
V
539
H

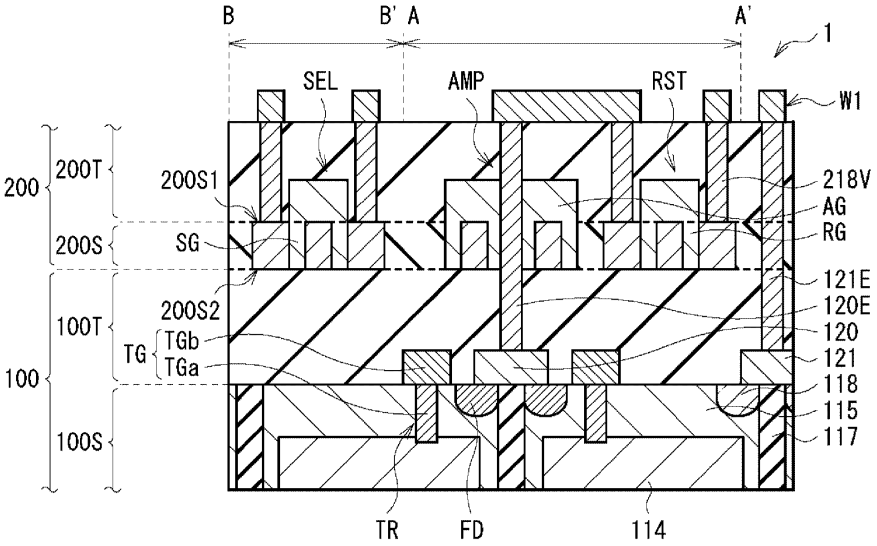
도면11


539
543
W3
W2
TRG4
VSS
TRG1
SELL
TRG2
VDD
TRG3
RSTL
TRG4
FDGL
VSS
FDGL
TRG1
RSTL
TRG2
VDD
TRG3
SELL
TRG4
543
VSS
TRG1
SELL
TRG2
VDD
TRG3
RSTL
V
539
H

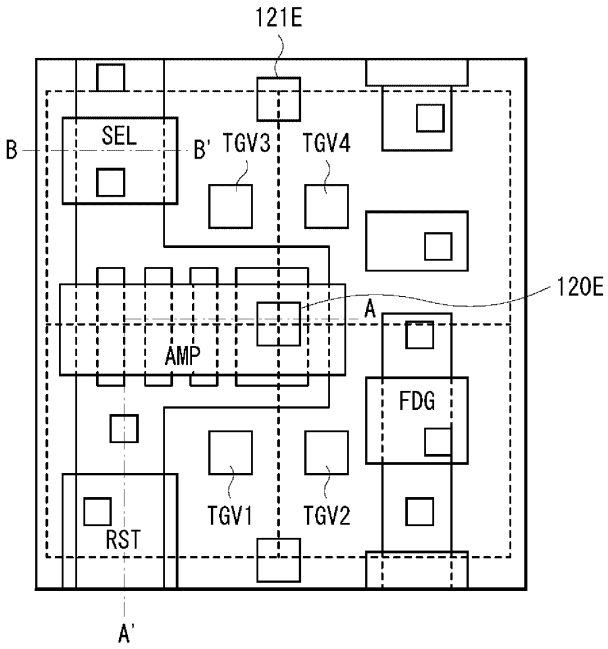
도면12



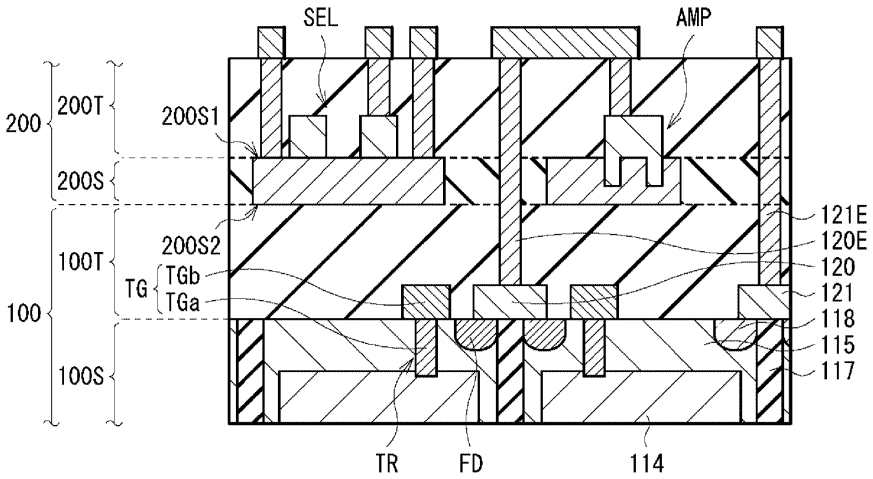
도면13


B
B'
A
A'
1
SEL
AMP
RST
W1
200
200T
200S1
218V
AG
200S
SG
RG
121E
200S2
120E
100T
TG
TGb
120
TGa
121
100
118
115
100S
117
TR
FD
114

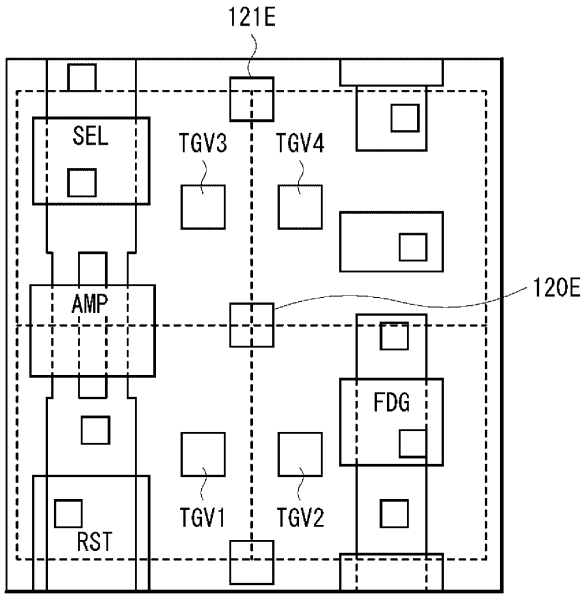
도면14


121E
B
SEL
B'
TGV3
TGV4
120E
A
AMP
FDG
TGV1
TGV2
RST
A'

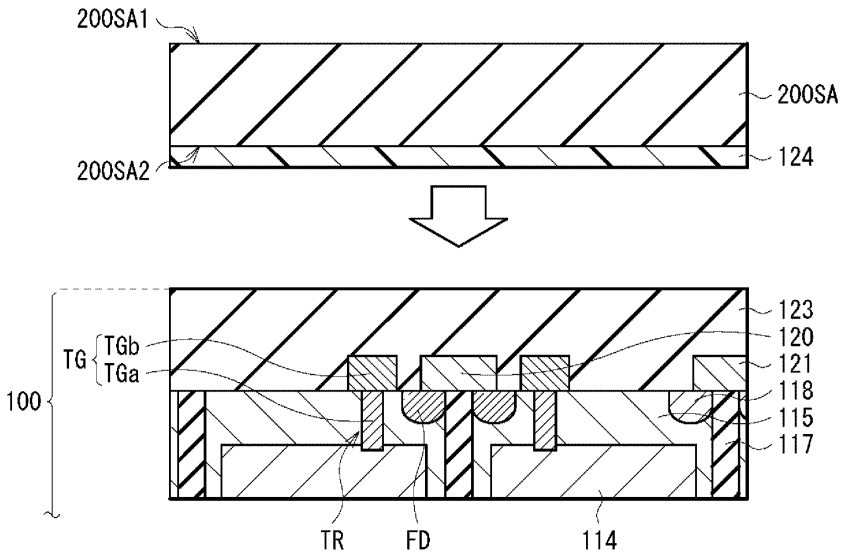
도면15


SEL
AMP
200
200T
200S1
200S
100T
TG
TGb
TGa
100
100S
200S2
121E
120E
120
121
118
115
117
TR
FD
114

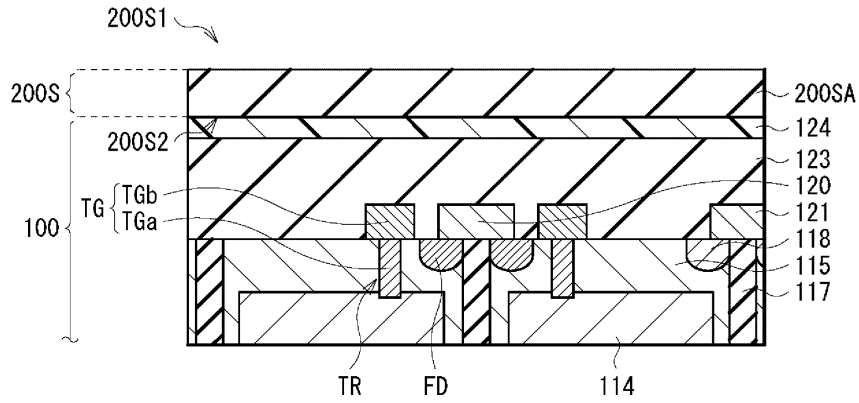
도면16


121E
SEL
TGV3
TGV4
120E
AMP
FDG
TGV1
TGV2
RST

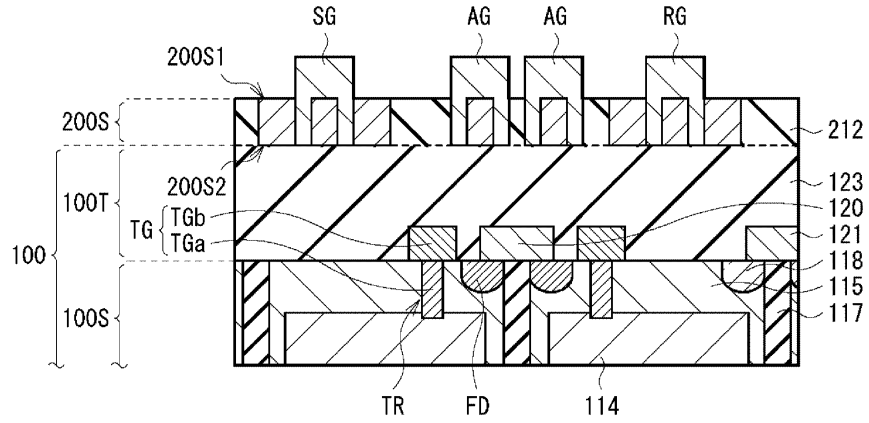
도면17a



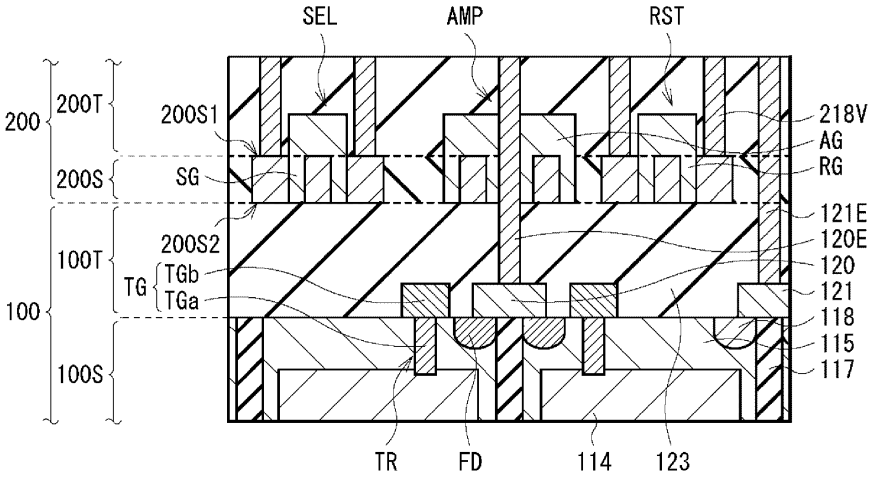
도면17b



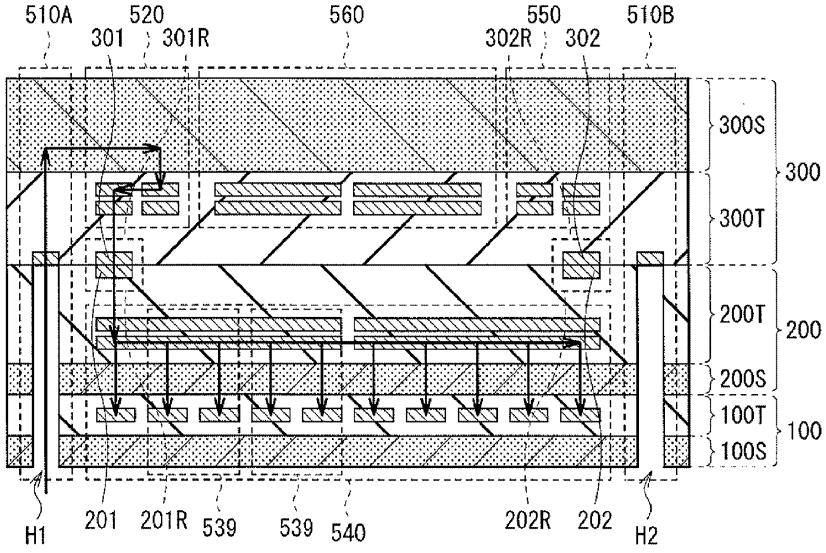
도면17c



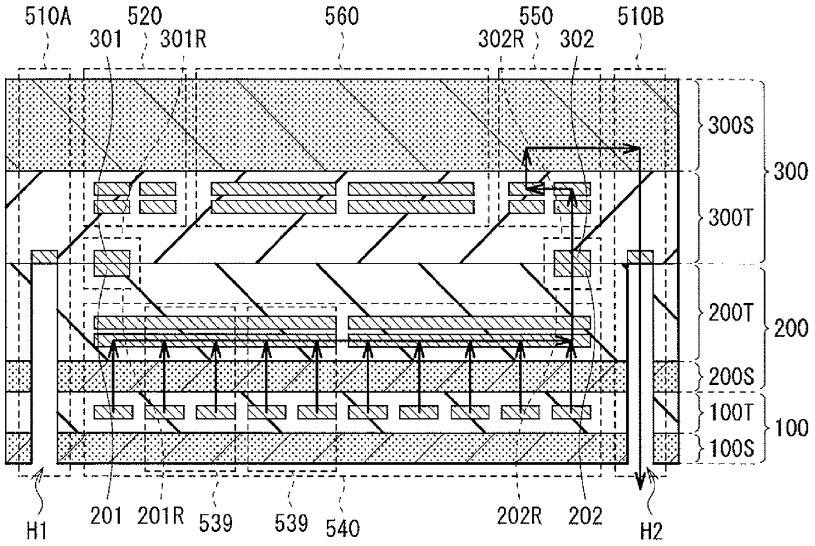
도면17d


SEL
AMP
RST
200
200T
200S1
200S
SG
100
100T
200S2
TG
TGb
TGa
100S
218V
AG
RG
121E
120E
120
121
118
115
117
TR
FD
114
123

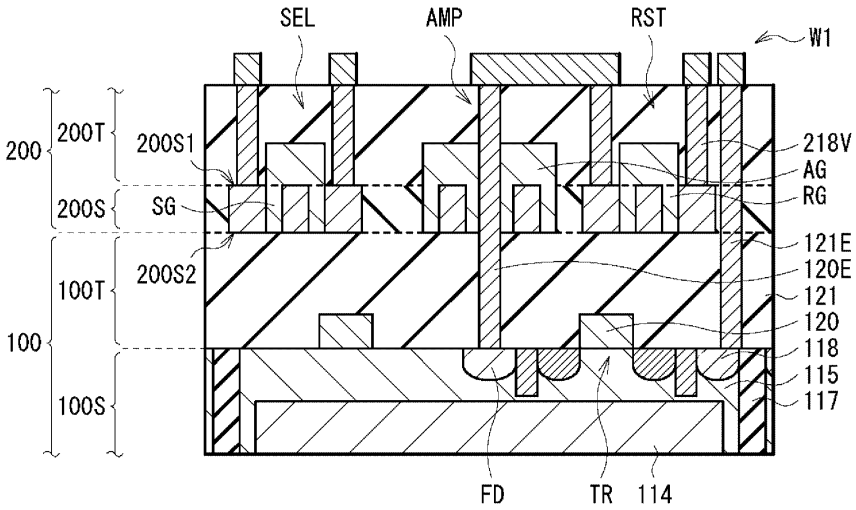
도면18


510A
520
301
301R
560
550
302R
302
510B
300S
300
300T
200T
200
200S
100T
100
100S
H1
201
201R
539
539
540
202R
202
H2

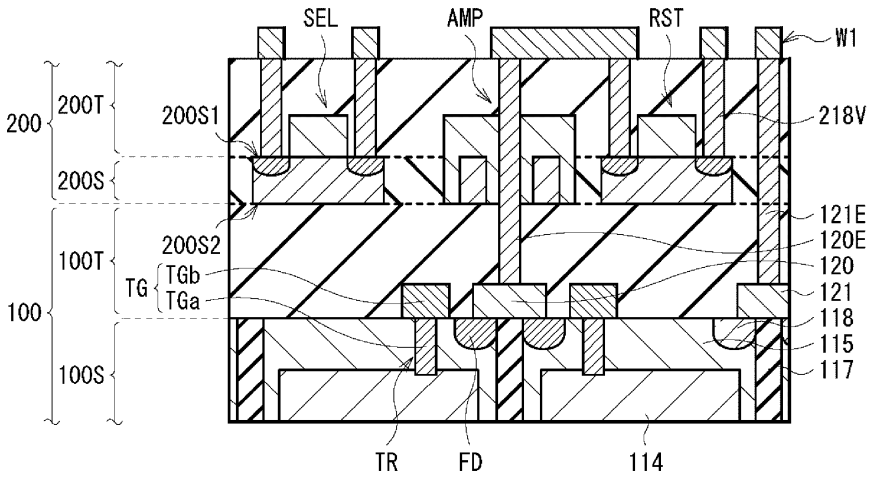
도면19


510A
520
301
301R
560
550
302R
302
510B
300S
300
300T
200T
200
200S
100T
100
100S
H1
201
201R
539
539
540
202R
202
H2

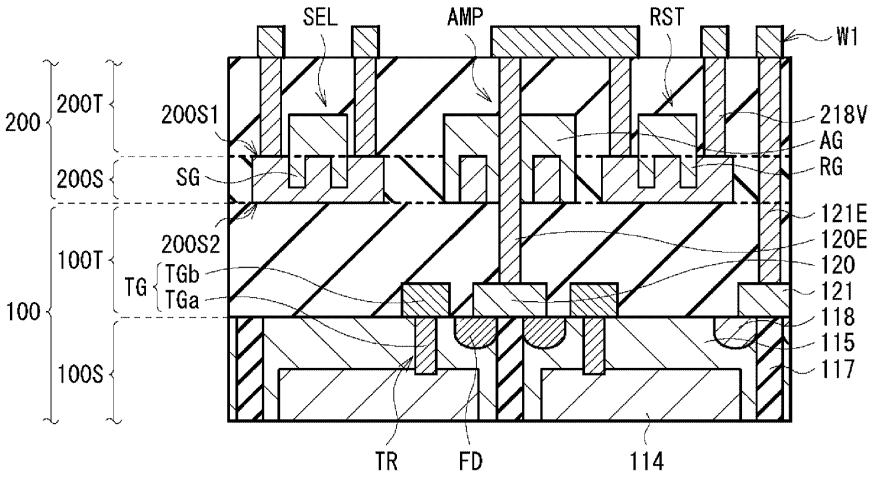
도면20


SEL
AMP
RST
W1
200
200T
200S1
200S
SG
100T
200S2
100
100S
218V
AG
RG
121E
120E
121
120
118
115
117
FD
TR
114

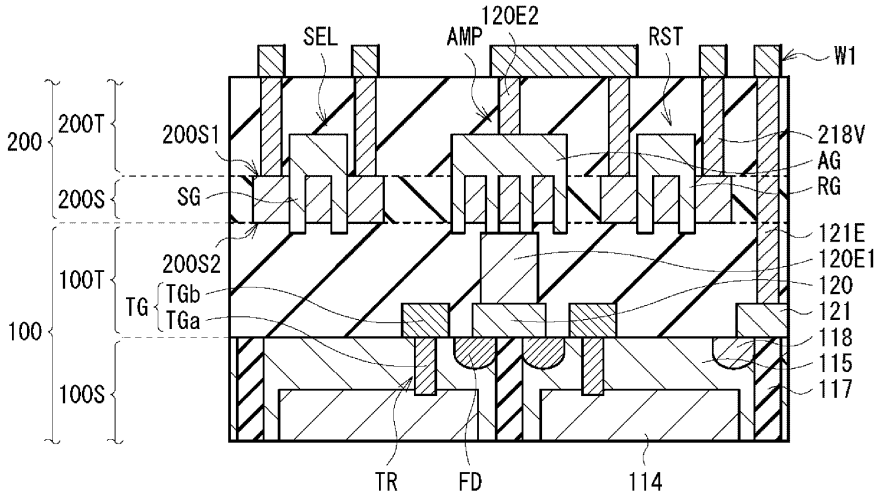
도면21



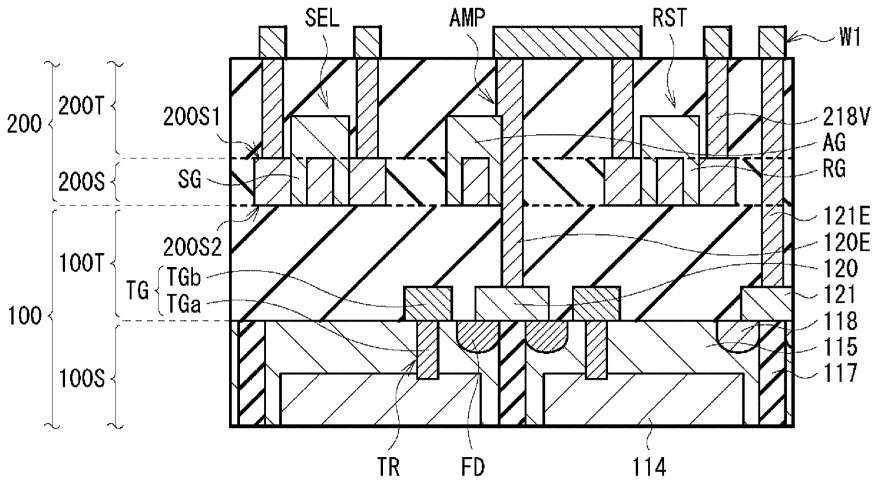
도면22



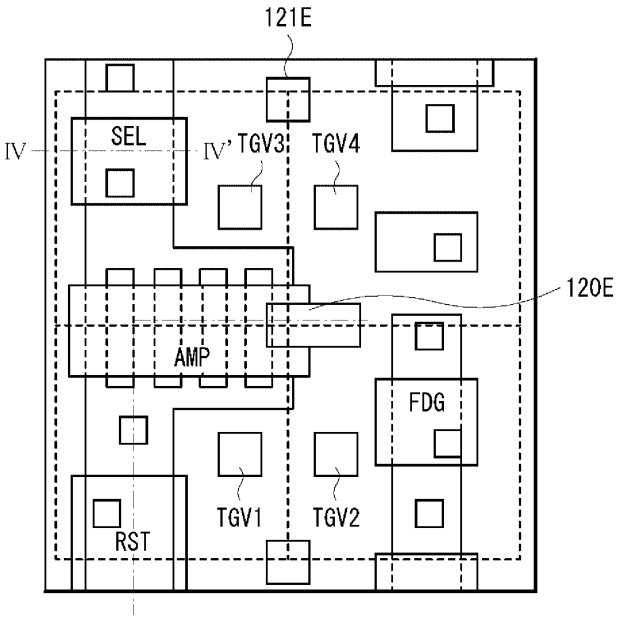
도면23



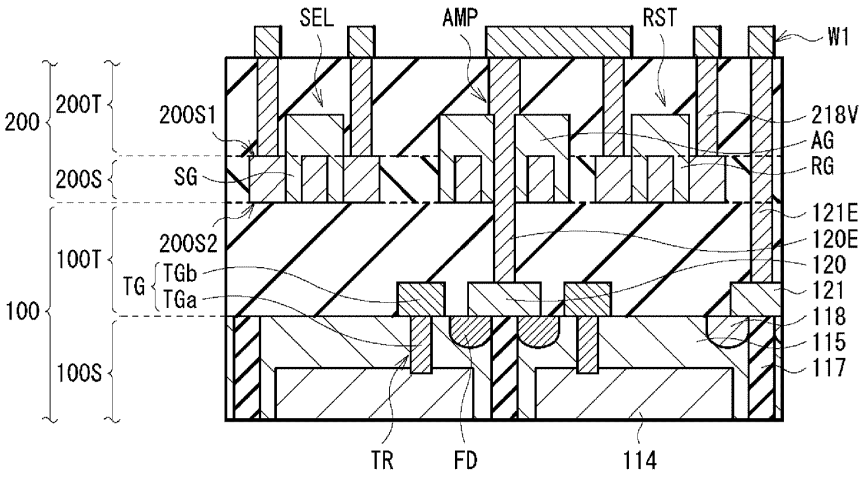
도면24


SEL
AMP
RST
W1
200
200T
200S1
218V
AG
200S
SG
RG
121E
200S2
120E
100T
TG
TGb
120
TGa
121
100
118
115
100S
117
TR
FD
114

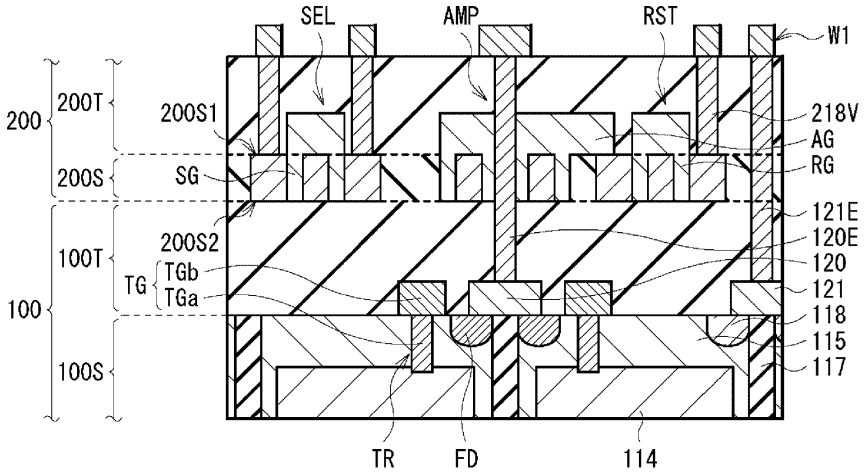
도면25


121E
IV
SEL
IV'
TGV3
TGV4
120E
AMP
FDG
TGV1
TGV2
RST

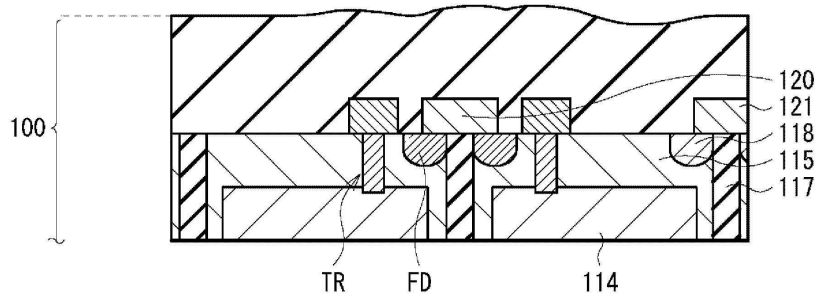
도면26



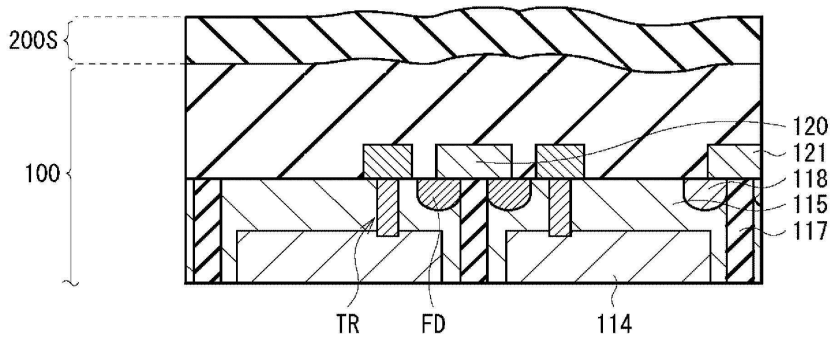
도면27



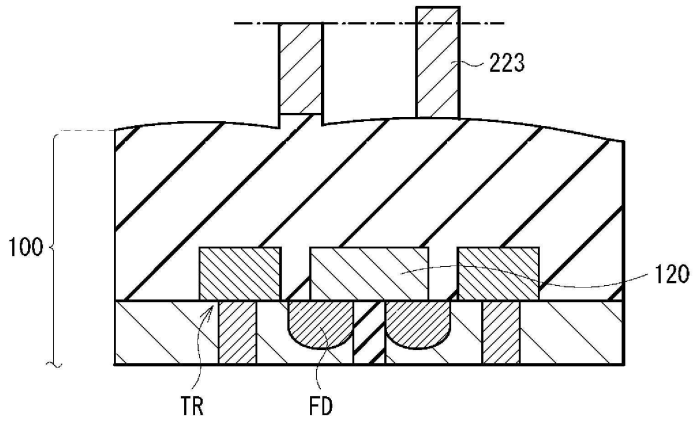
도면28a



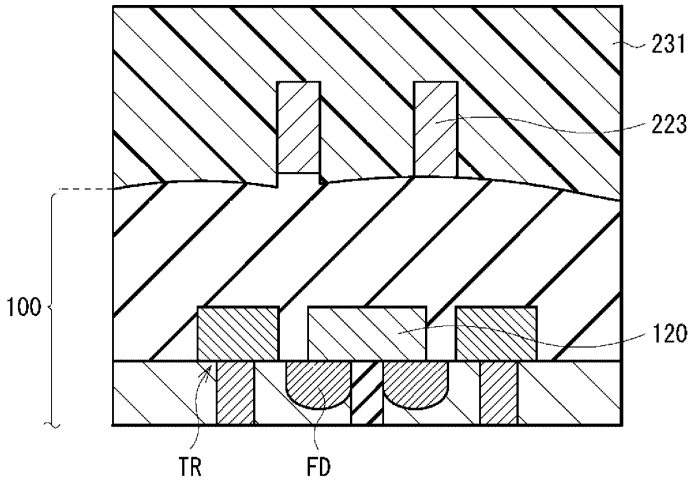
도면28b



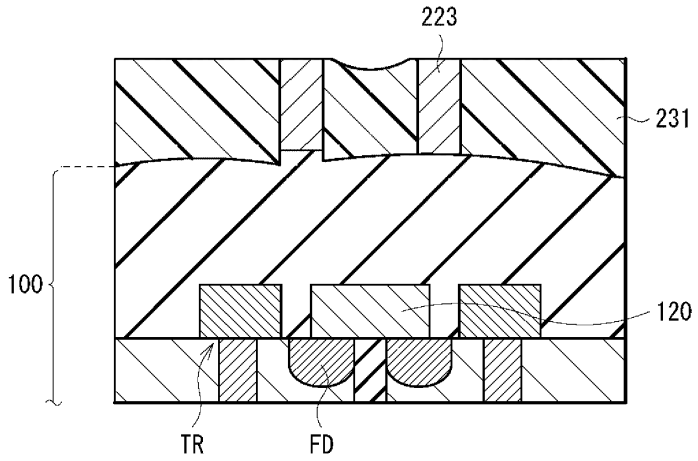
도면28c



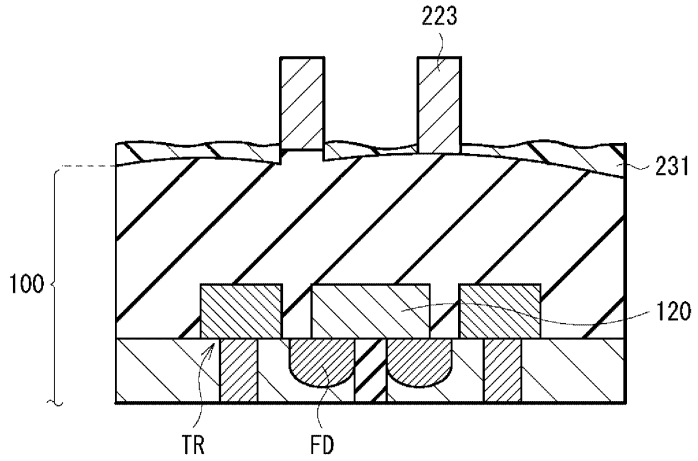
도면28d



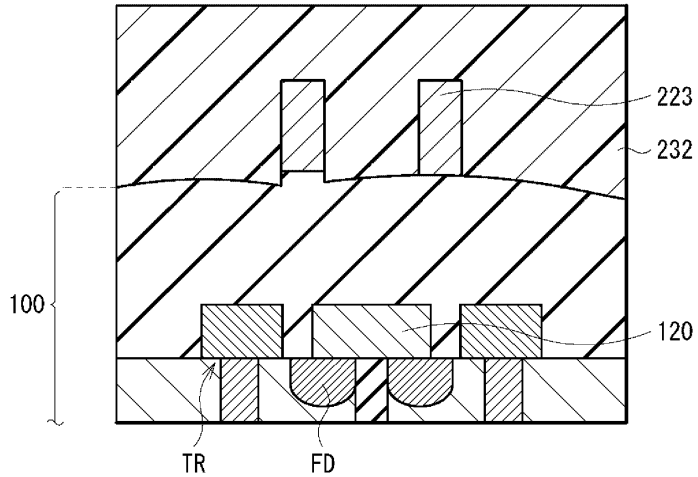
도면28e



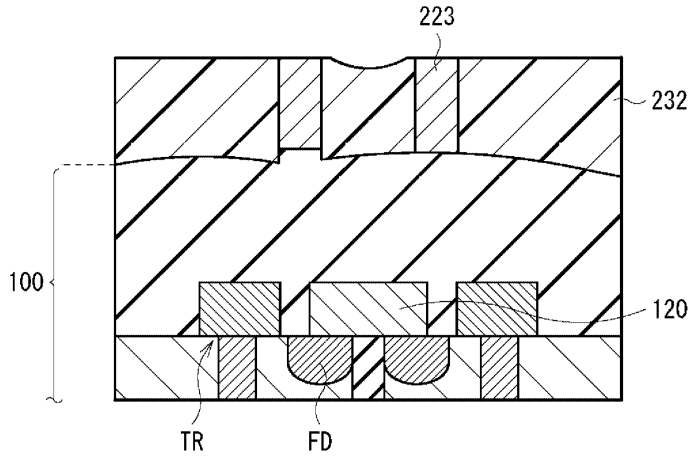
도면28f



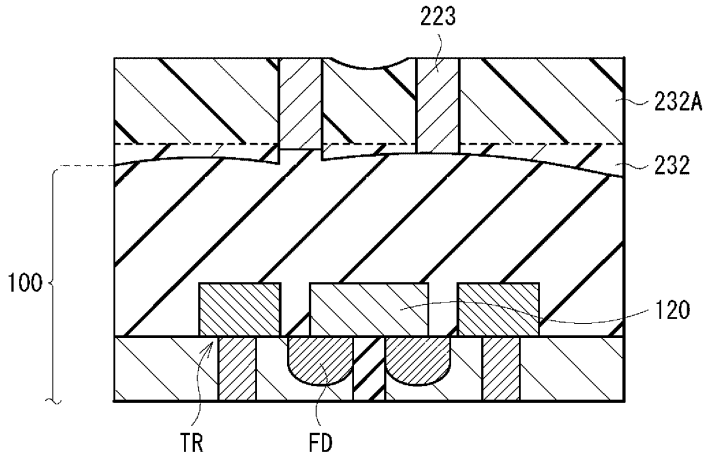
도면29a



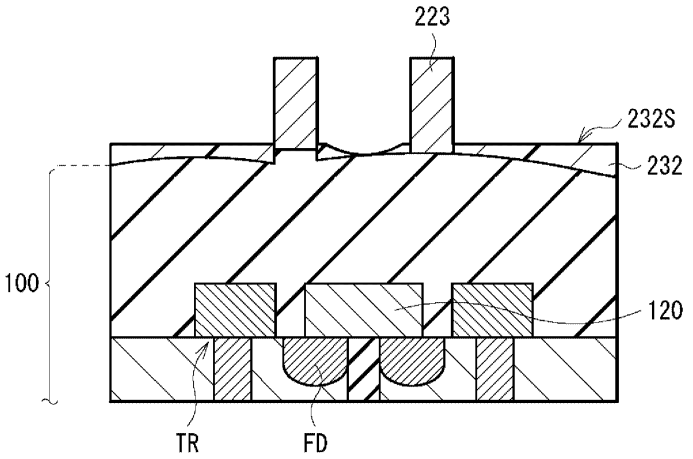
도면29b



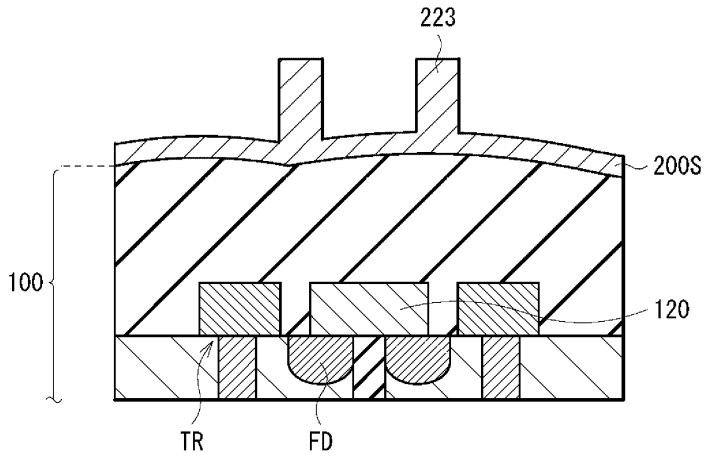
도면29c



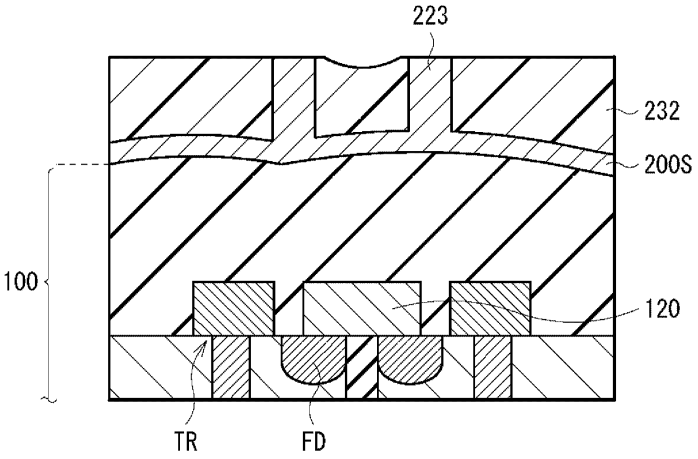
도면29d



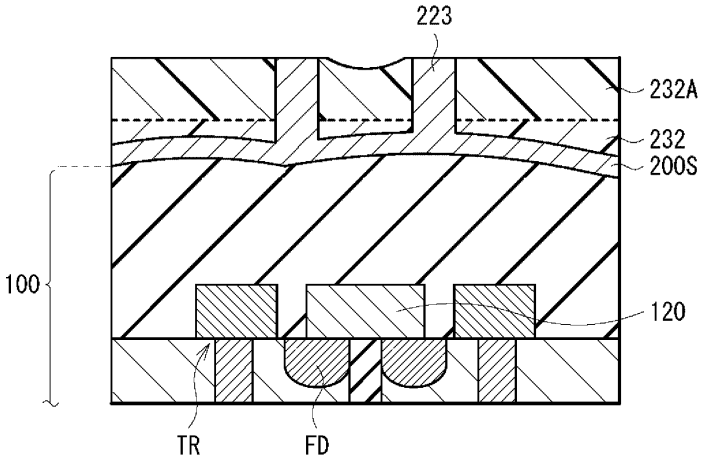
도면30a



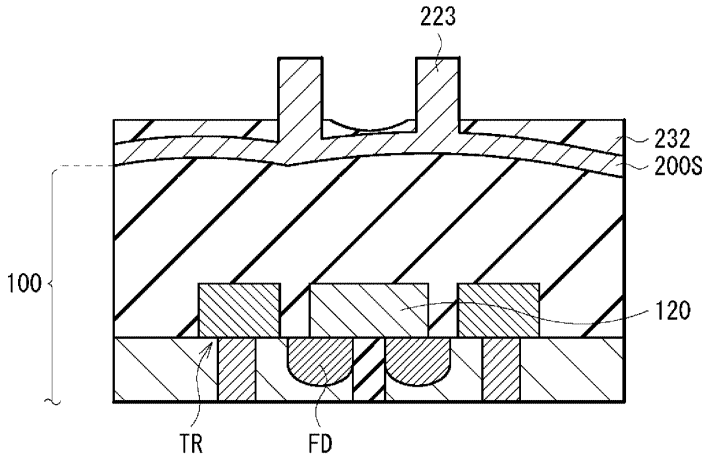
도면30b



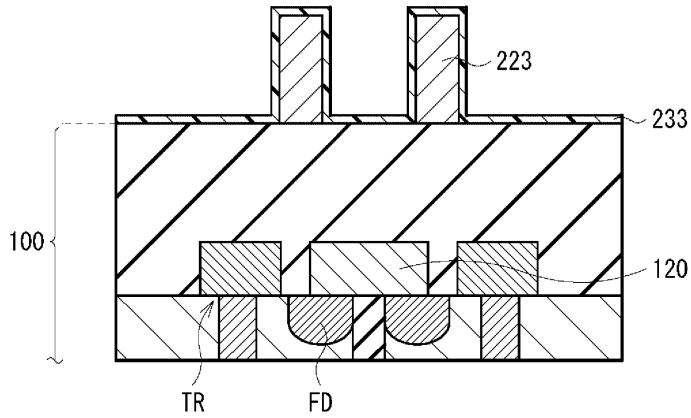
도면30c



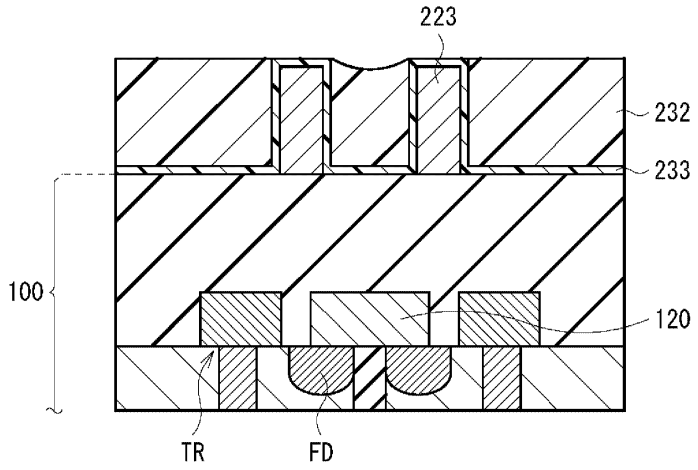
도면30d



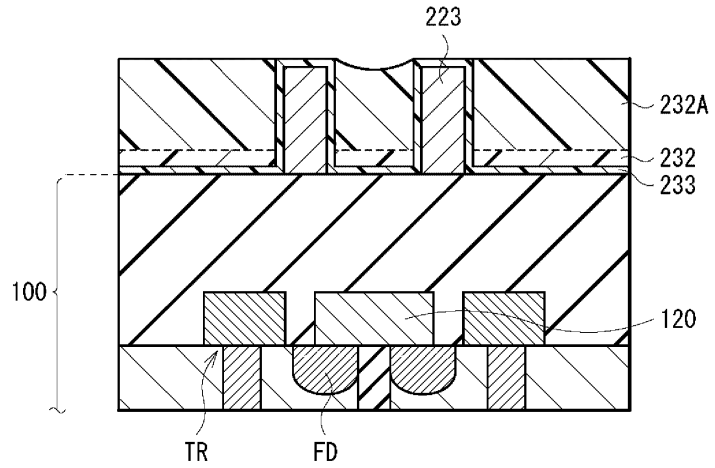
도면31a



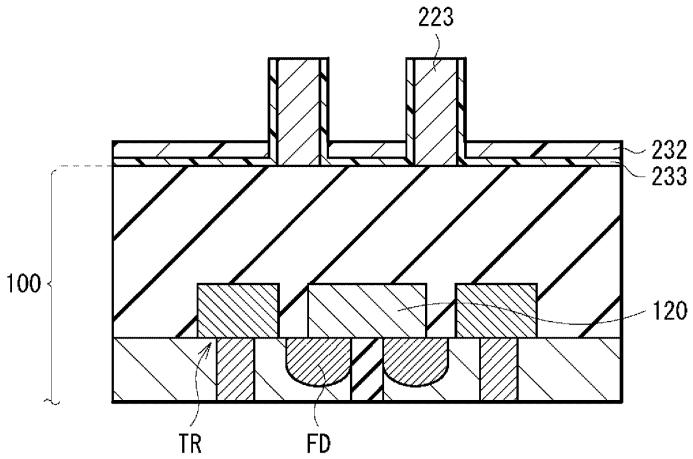
도면31b



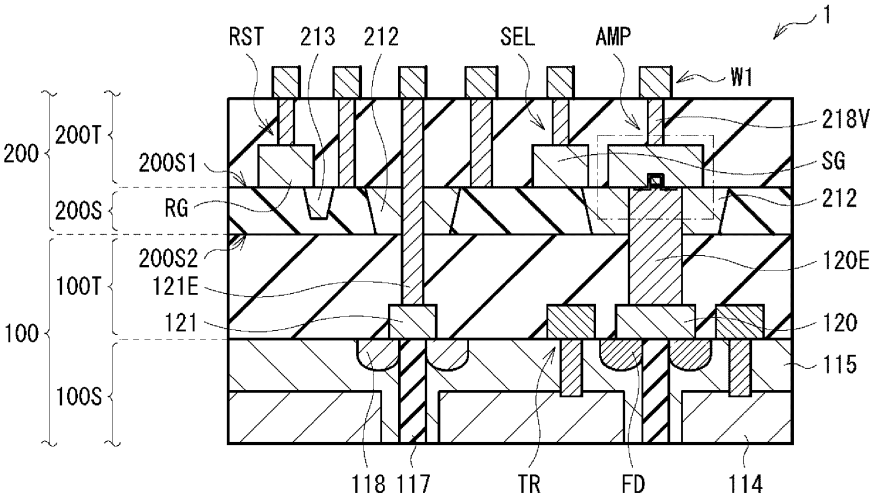
도면31c



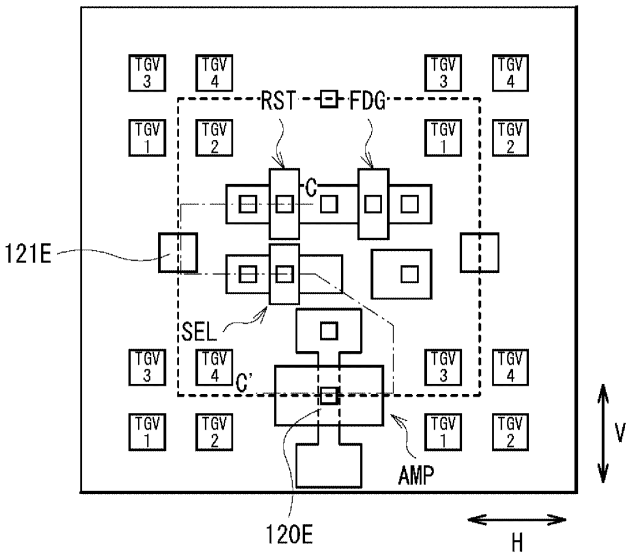
도면31d



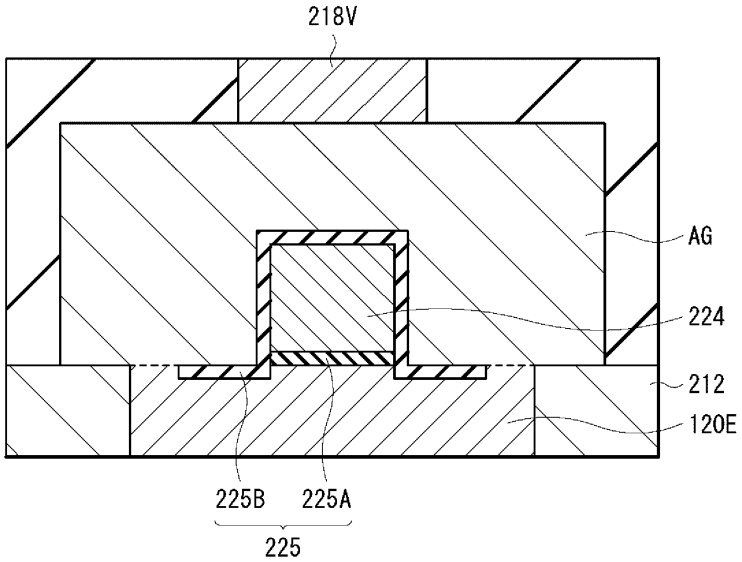
도면32



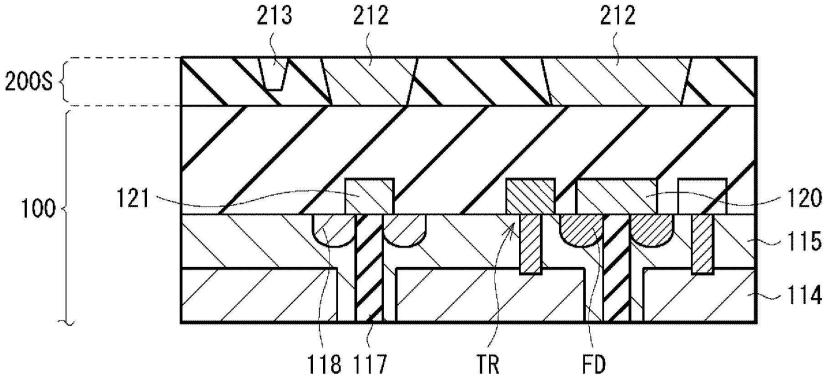
도면33



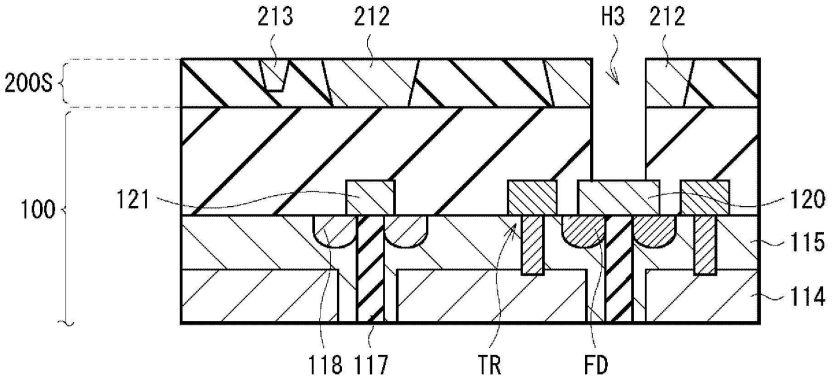
도면34



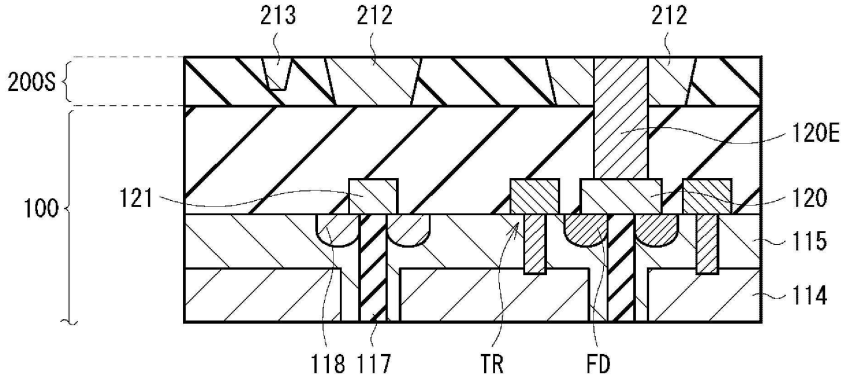
도면35a



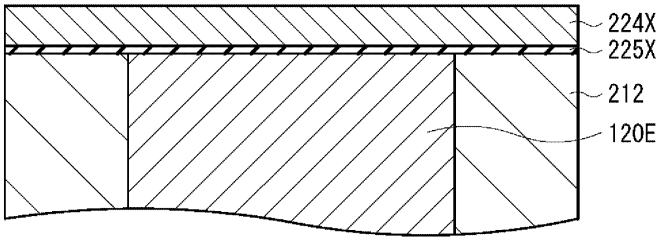
도면35b



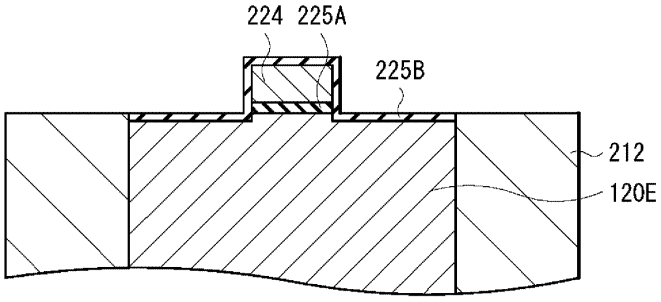
도면35c



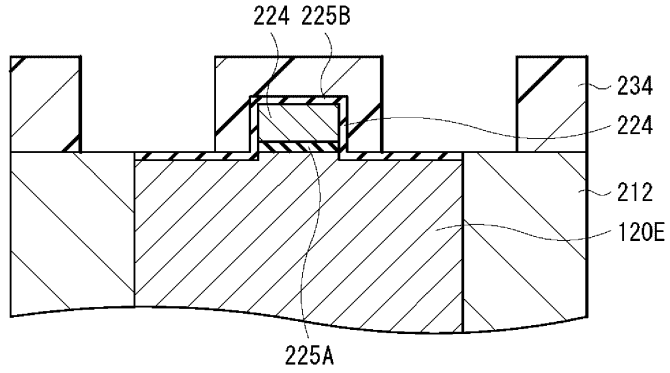
도면35d



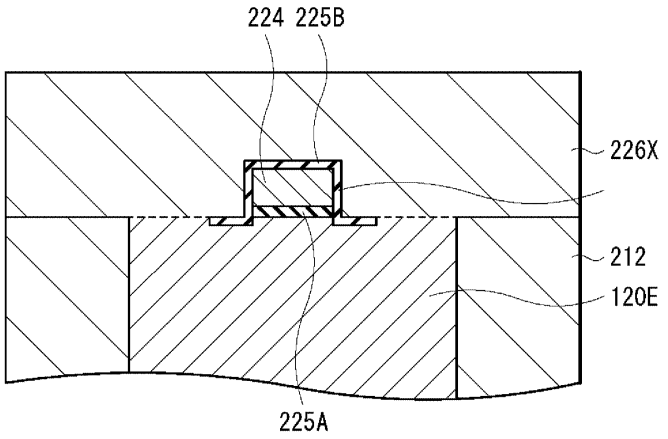
도면35e



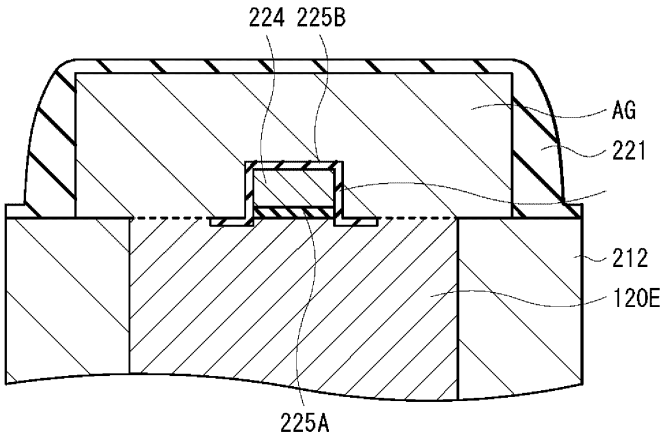
도면35f



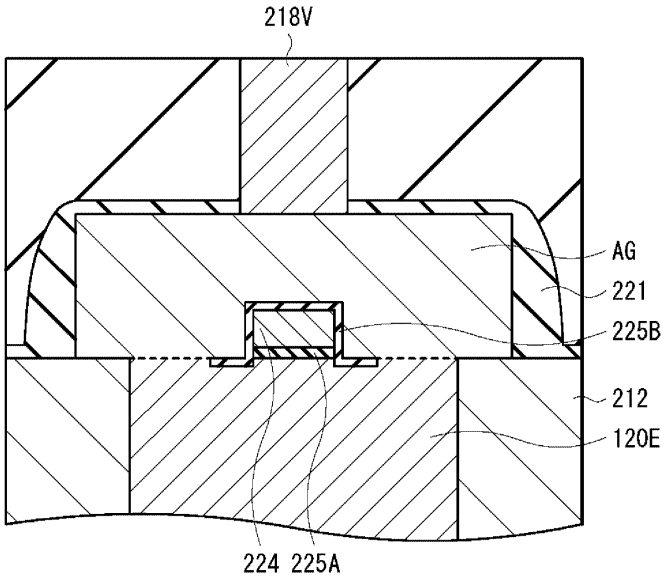
도면35g



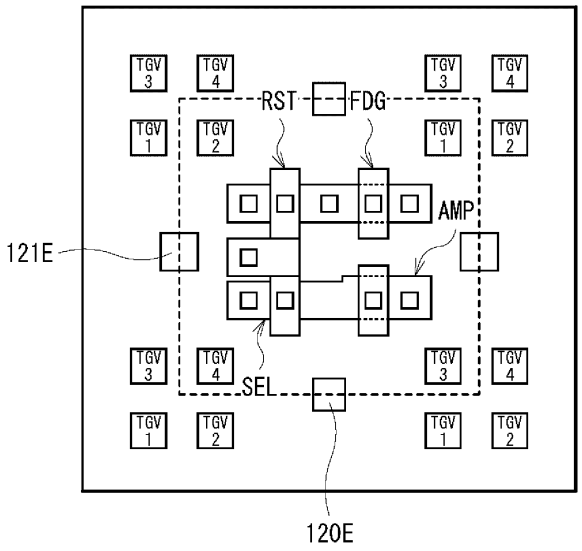
도면35h



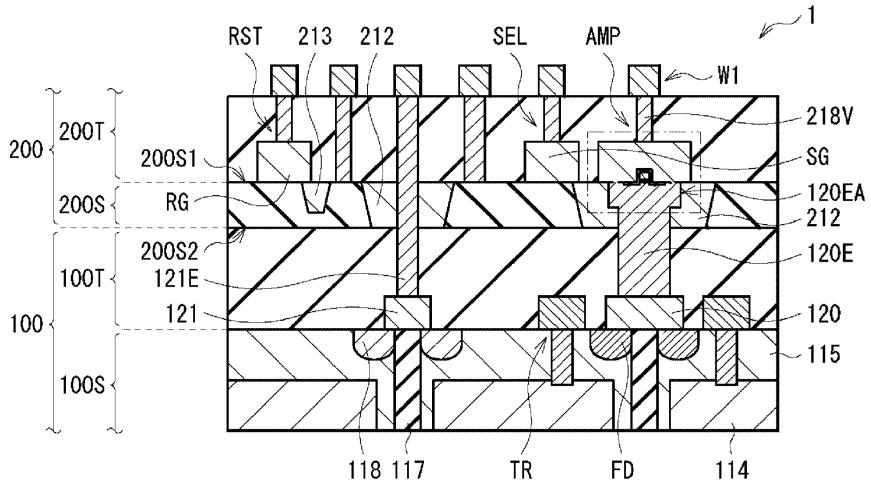
도면35i


218V
AG
221
225B
212
120E
224
225A

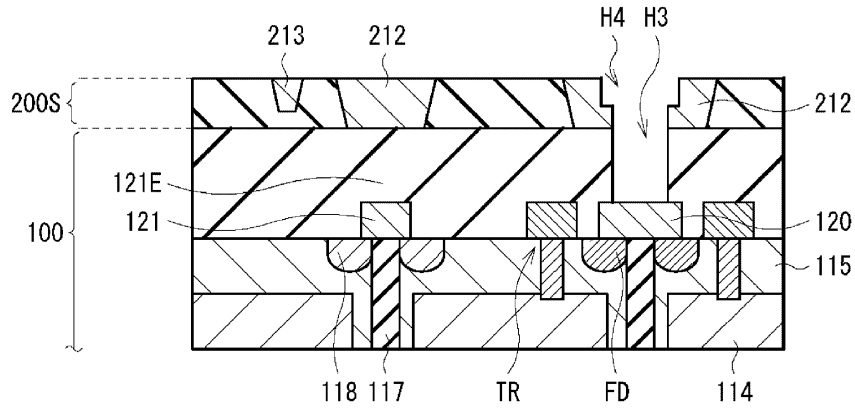
도면36


TGV 3
TGV 4
TGV 1
TGV 2
RST
FDG
AMP
121E
SEL
120E

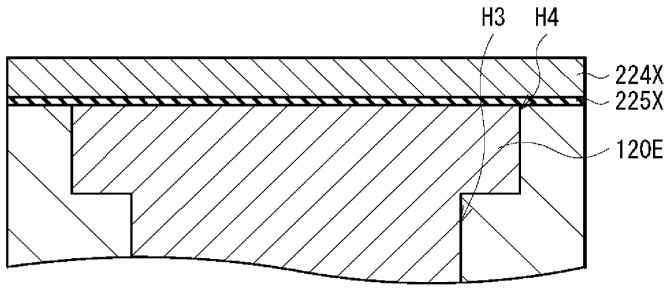
도면37



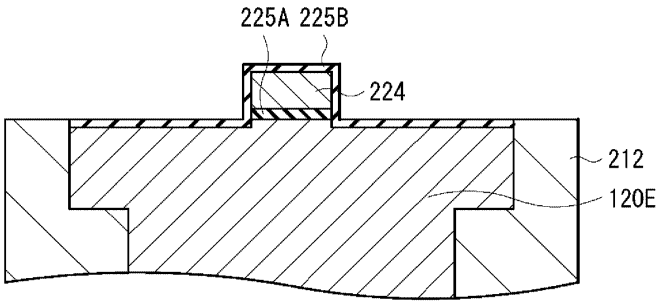
도면38a



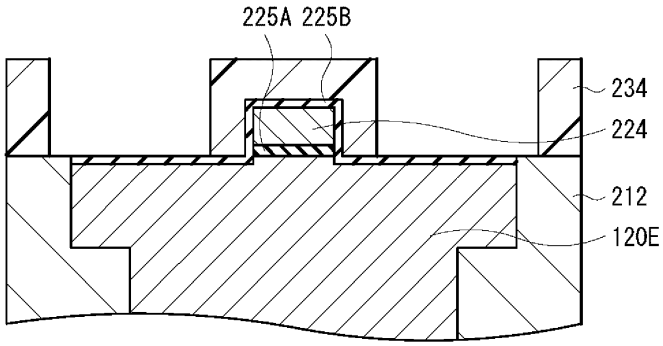
도면38b



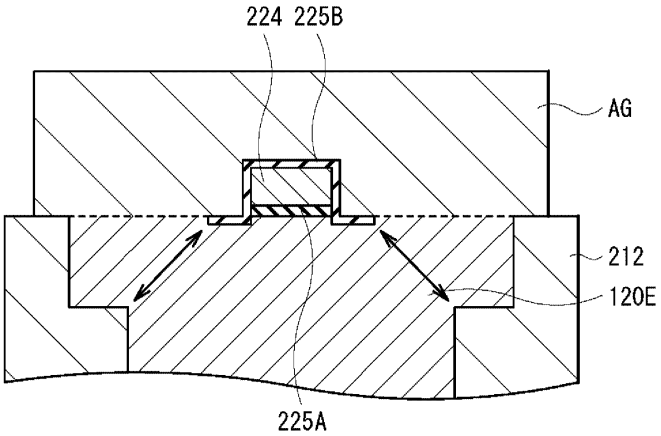
도면38c



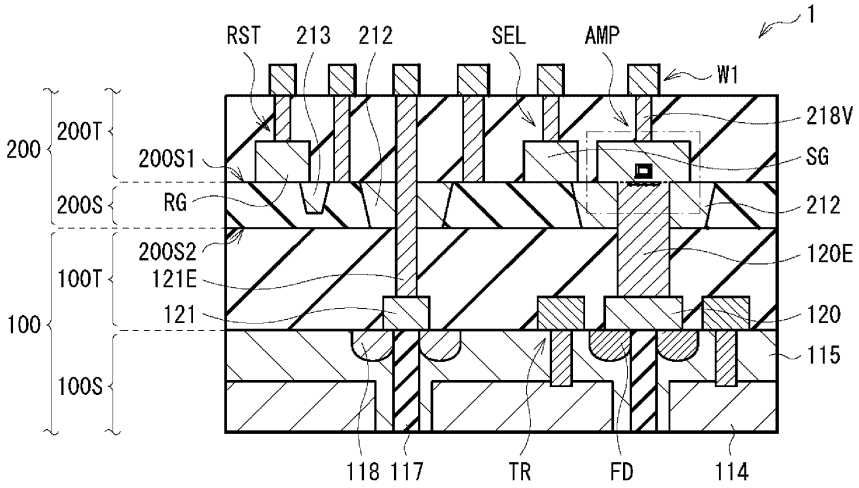
도면38d



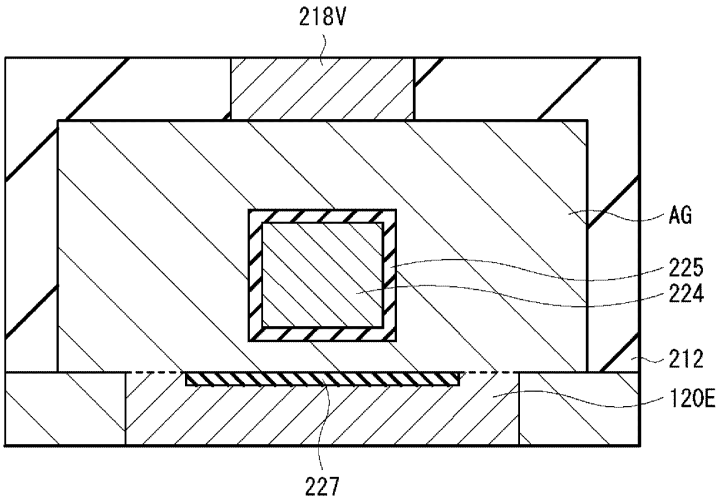
도면38e



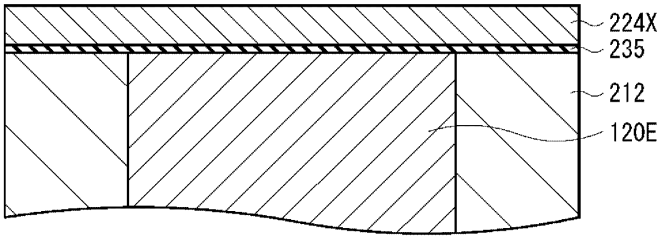
도면39



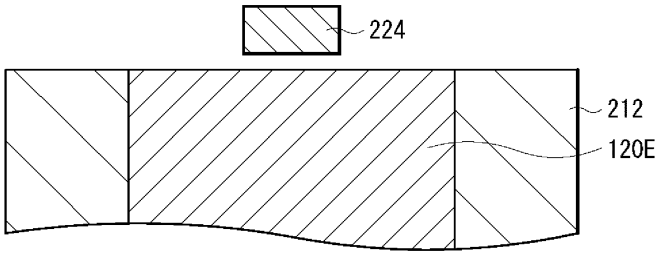
도면40



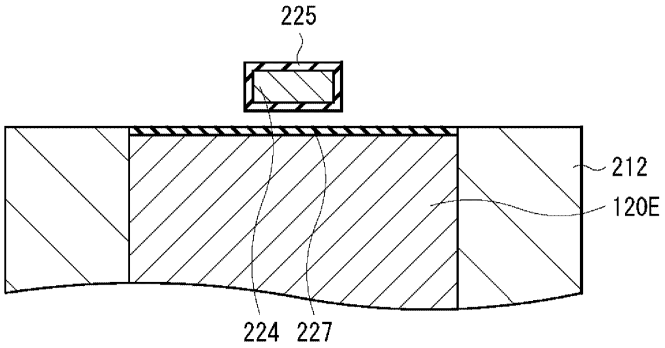
도면41a



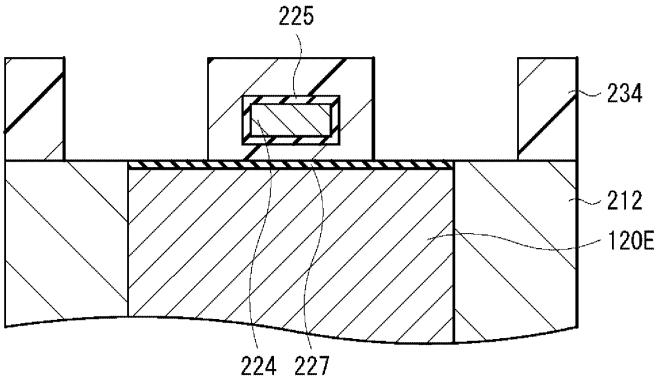
도면41b



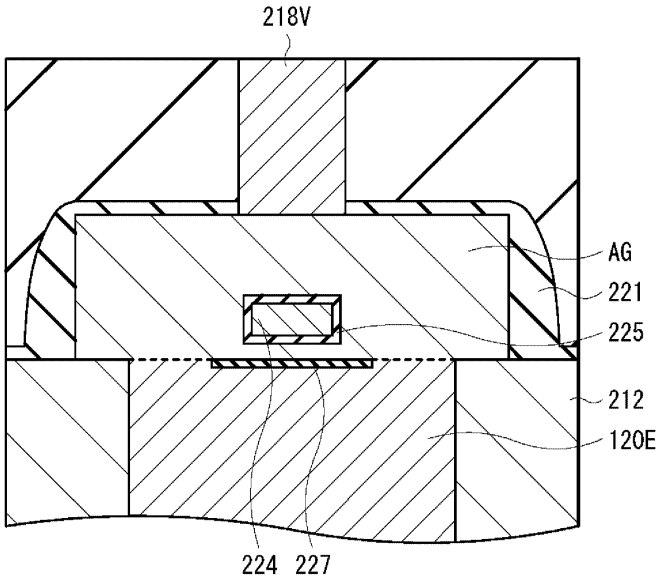
도면41c



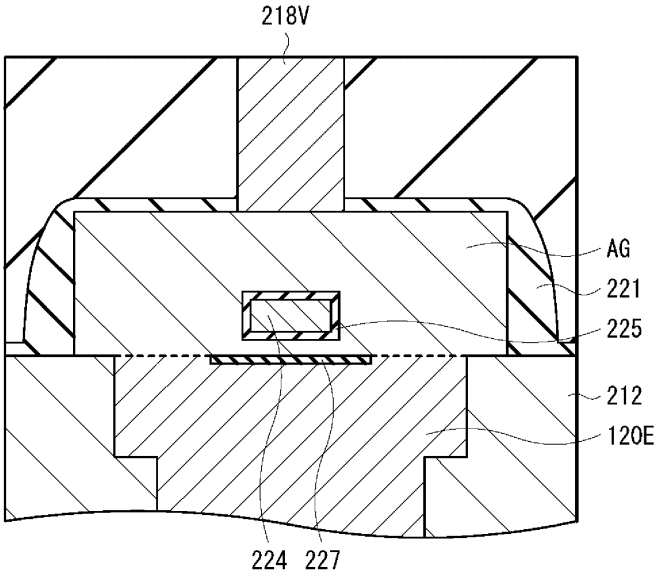
도면41d



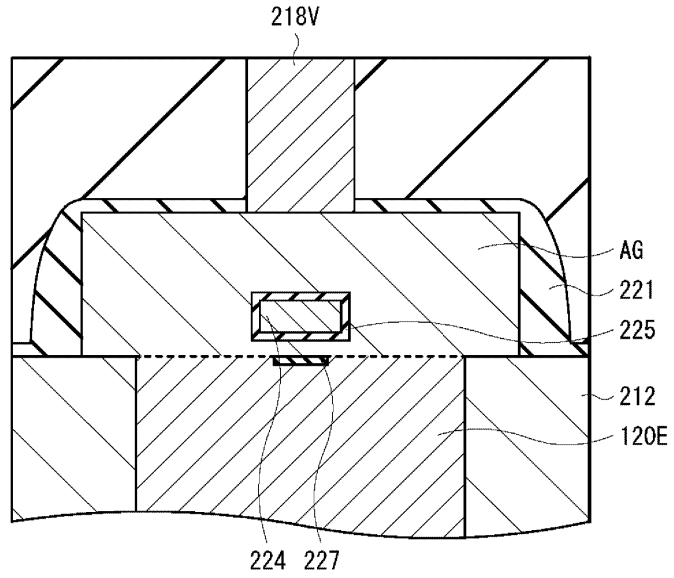
도면41e


218V
AG
221
225
212
120E
224
227

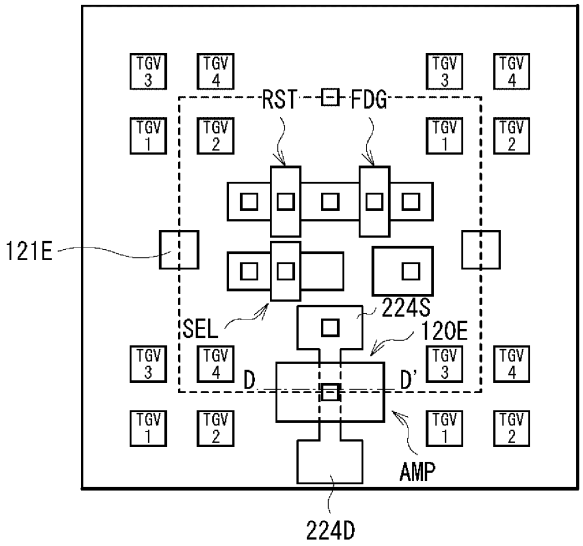
도면42


218V
AG
221
225
212
120E
224
227

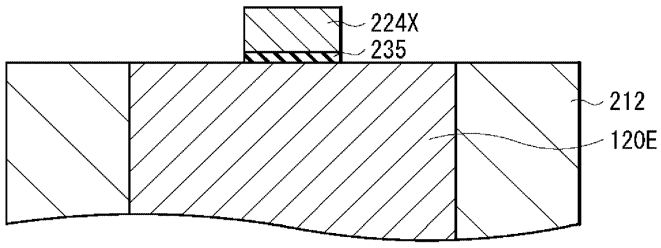
도면43



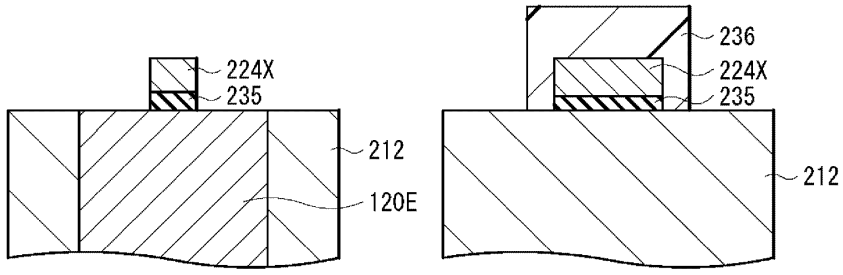
도면44



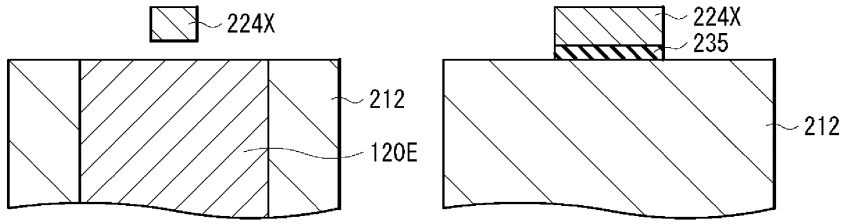
도면45a



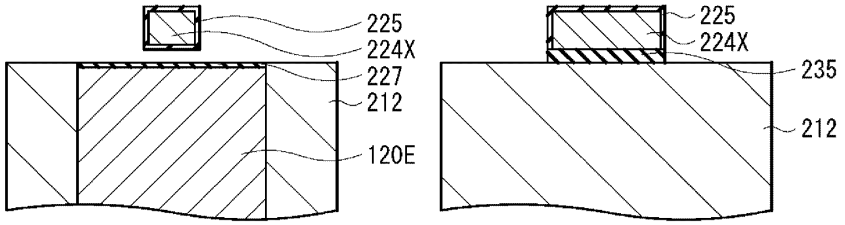
도면45b



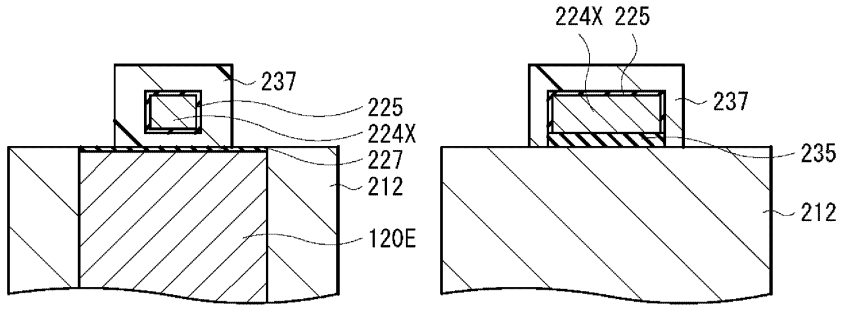
도면45c



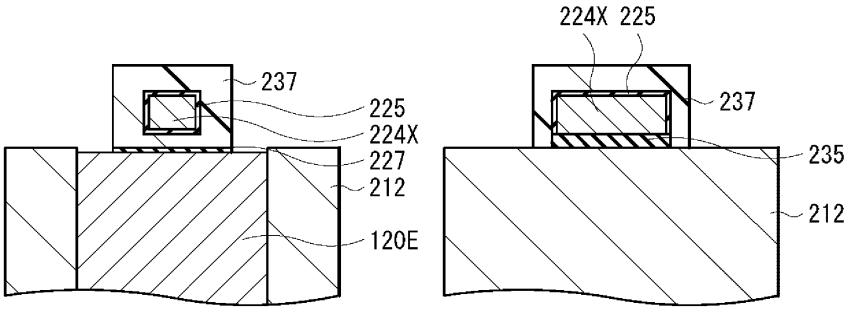
도면45d



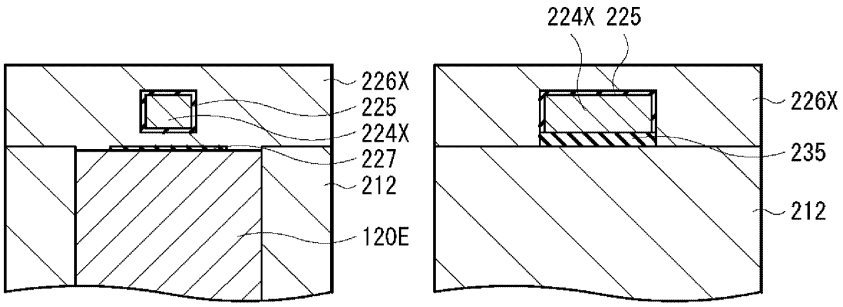
도면45e



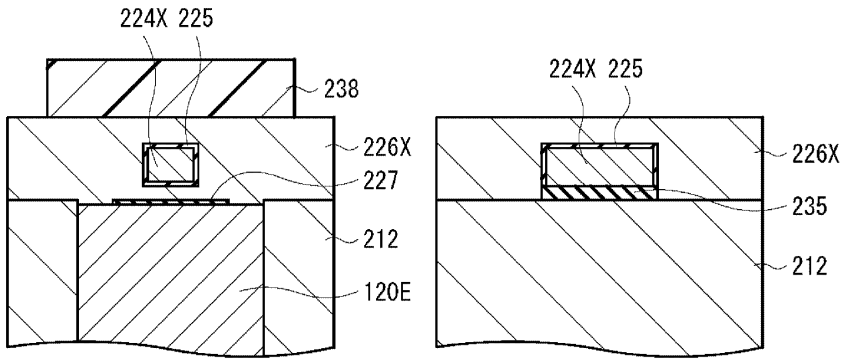
도면45f



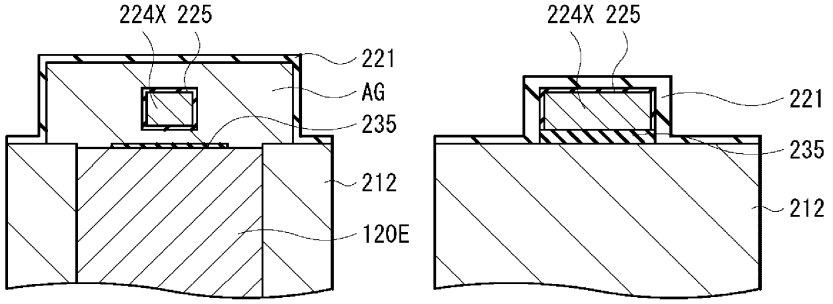
도면45g



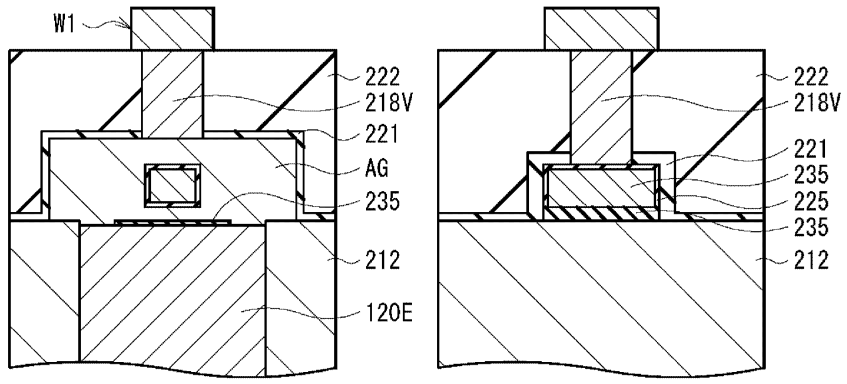
도면45h



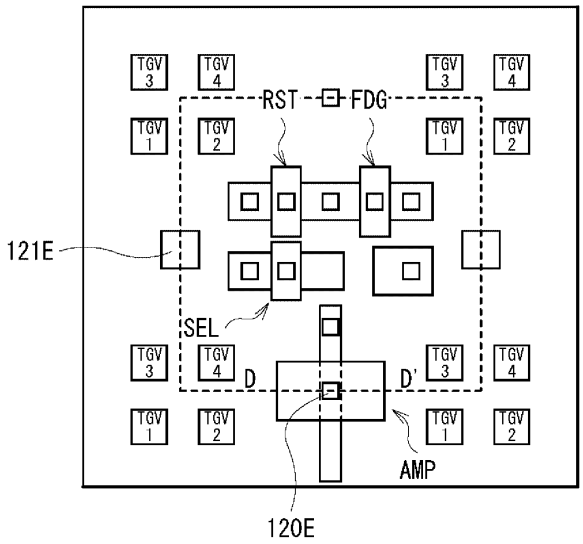
도면45i



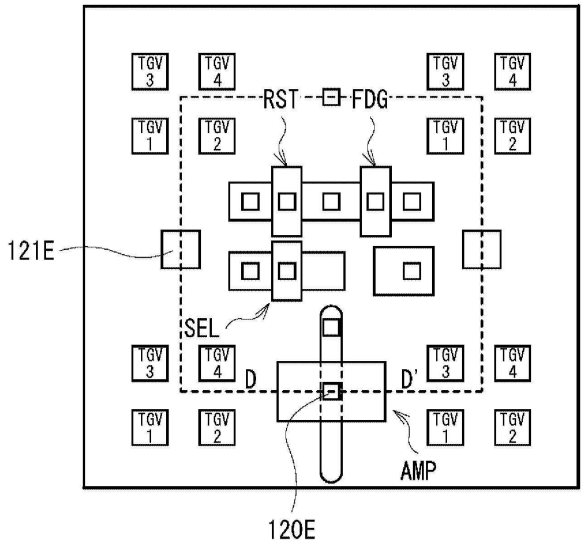
도면45j



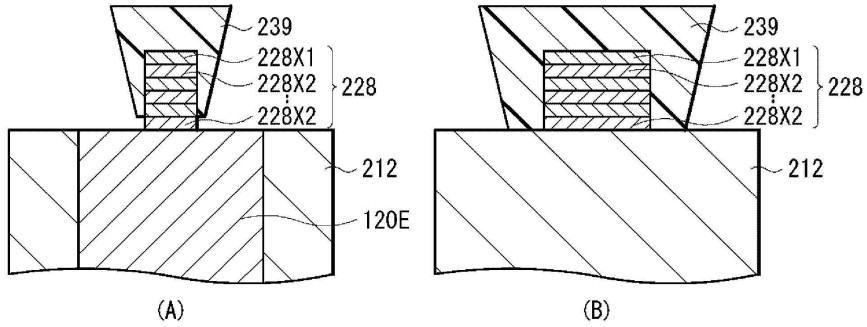
도면46



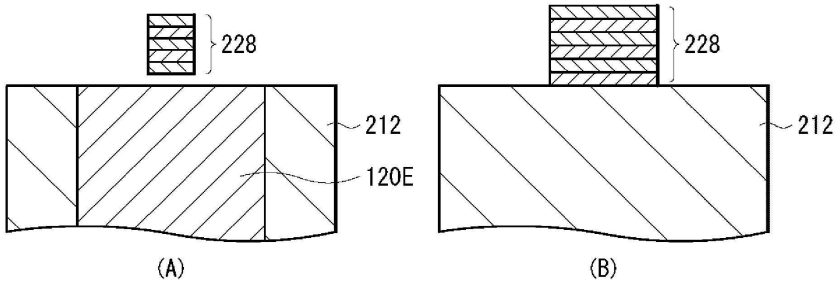
도면47



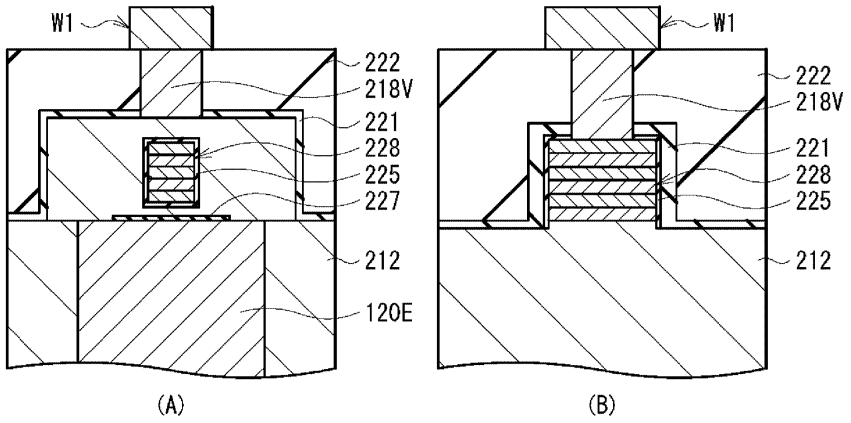
도면48a



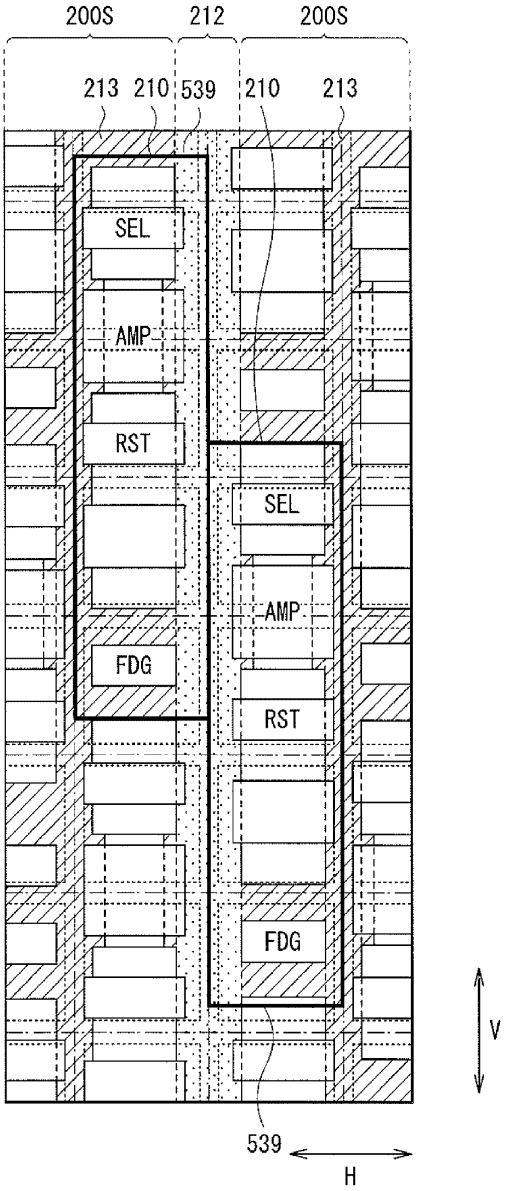
도면48b



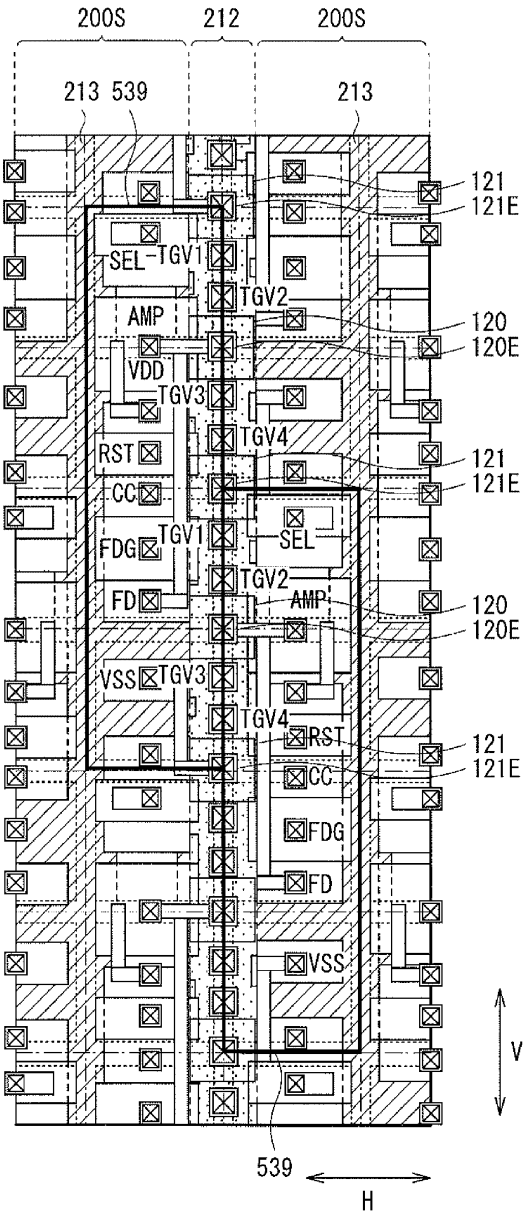
도면48c



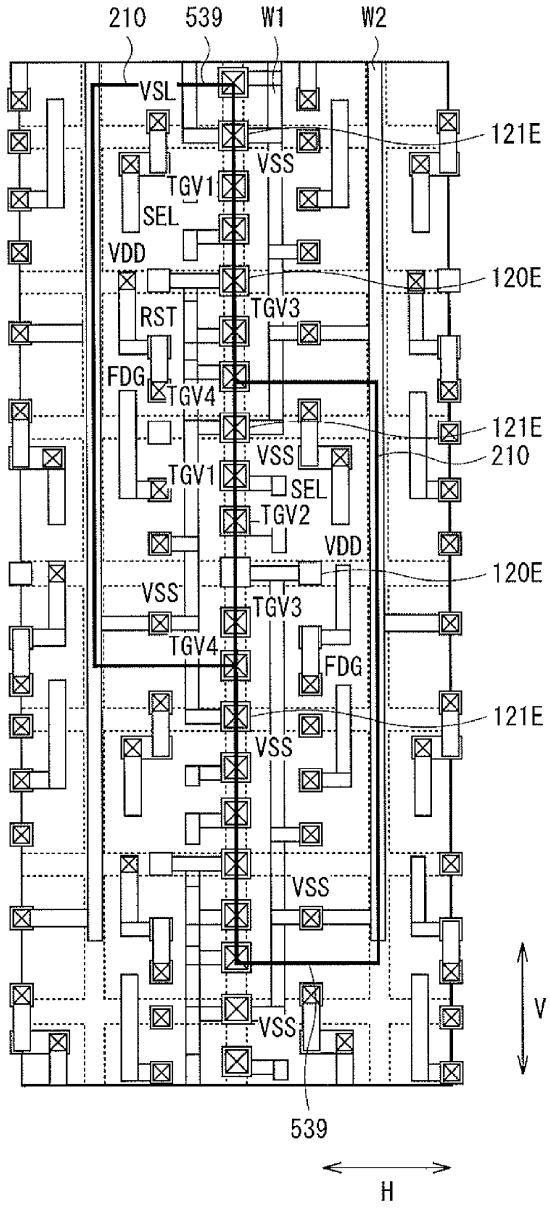
도면49


200S
212
200S
213
210
539
210
213
SEL
AMP
RST
SEL
AMP
FDG
RST
FDG
V
539
H

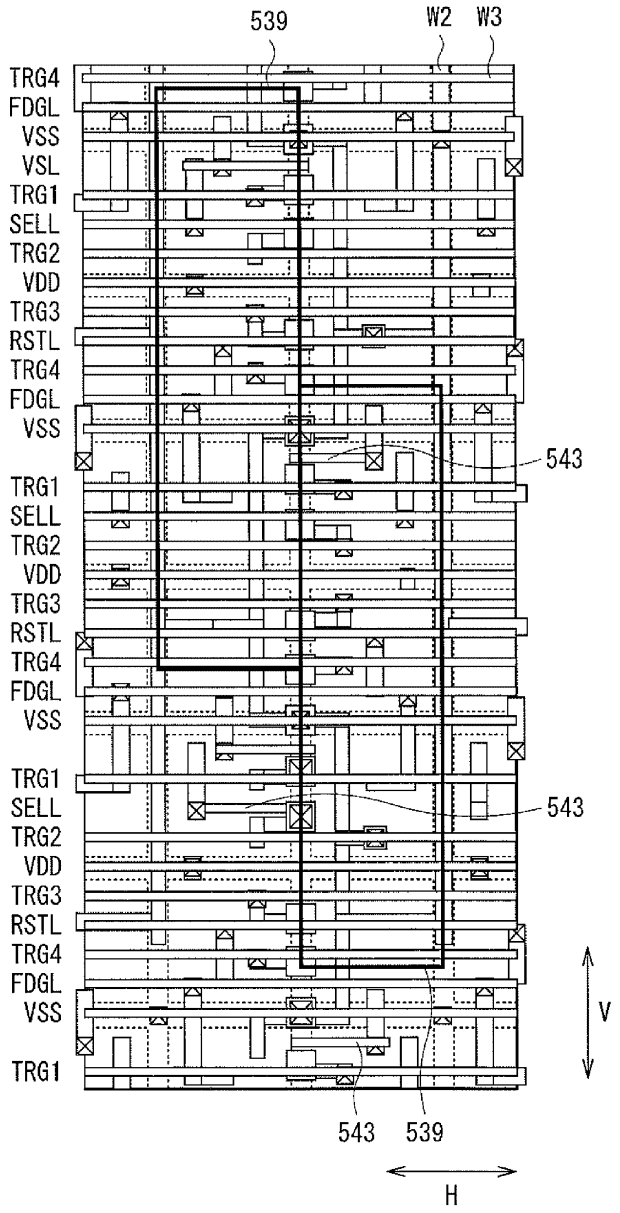
도면50


200S
212
200S
213
539
213
121
121E
SEL
TGV1
TGV2
AMP
120
120E
VDD
TGV3
TGV4
RST
121
121E
CC
SEL
TGV1
FDG
TGV2
AMP
FD
120
120E
VSS
TGV3
TGV4
RST
121
121E
CC
FDG
FD
VSS
V
539
H

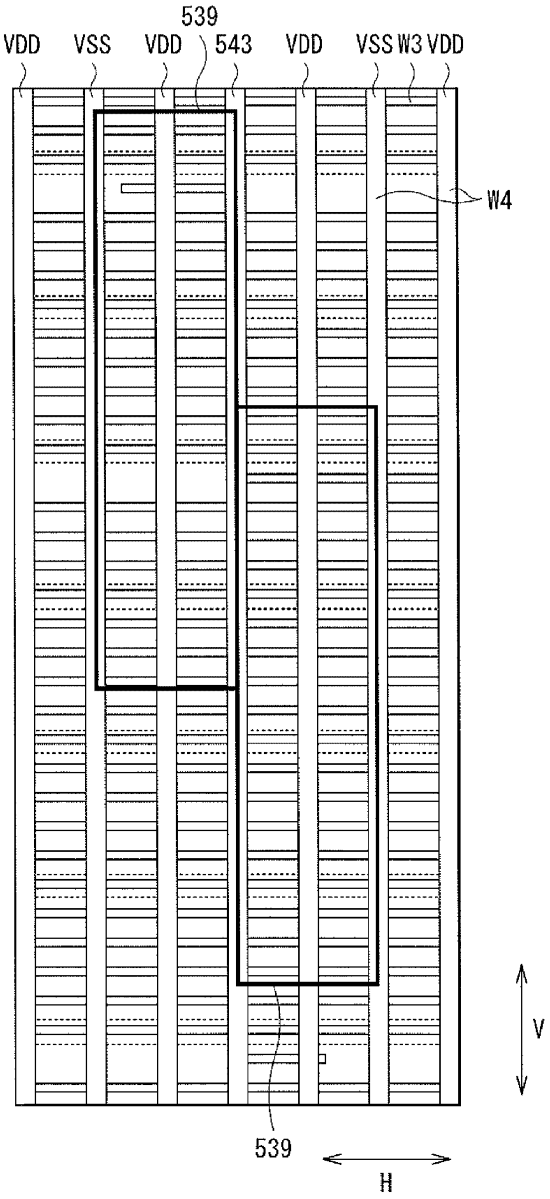
도면51


210
539
W1
W2
VSL
121E
VSS
TGV1
SEL
VDD
120E
RST
TGV3
FDG
TGV4
121E
VSS
210
TGV1
SEL
TGV2
VDD
120E
VSS
TGV3
TGV4
FDG
121E
VSS
VSS
VSS
V
539
H

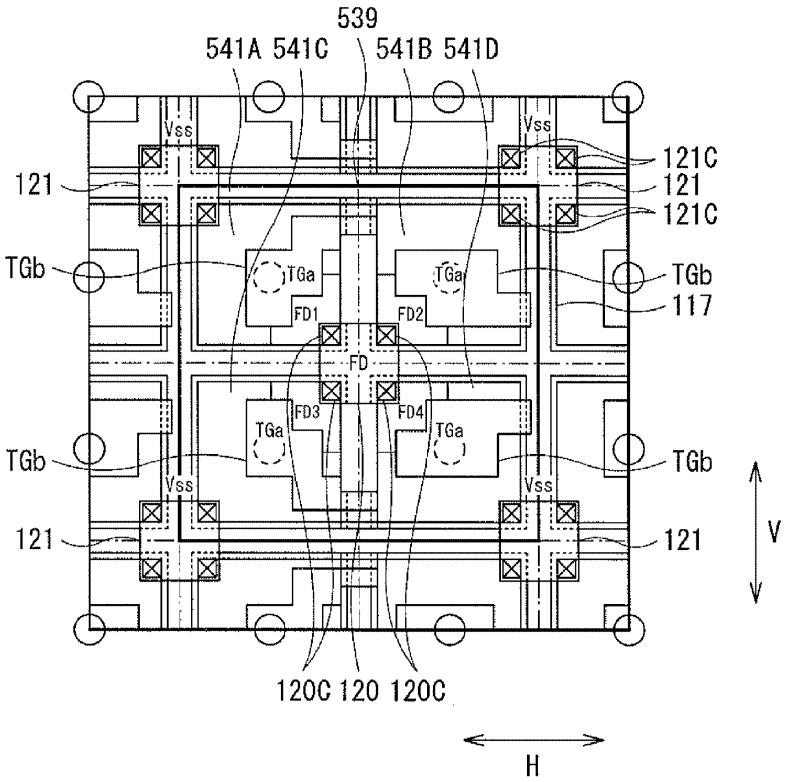
도면52


539
W2
W3
TRG4
FDGL
VSS
VSL
TRG1
SELL
TRG2
VDD
TRG3
RSTL
TRG4
FDGL
VSS
543
TRG1
SELL
TRG2
VDD
TRG3
RSTL
TRG4
FDGL
VSS
543
TRG1
SELL
TRG2
VDD
TRG3
RSTL
TRG4
FDGL
VSS
TRG1
V
543
539
H

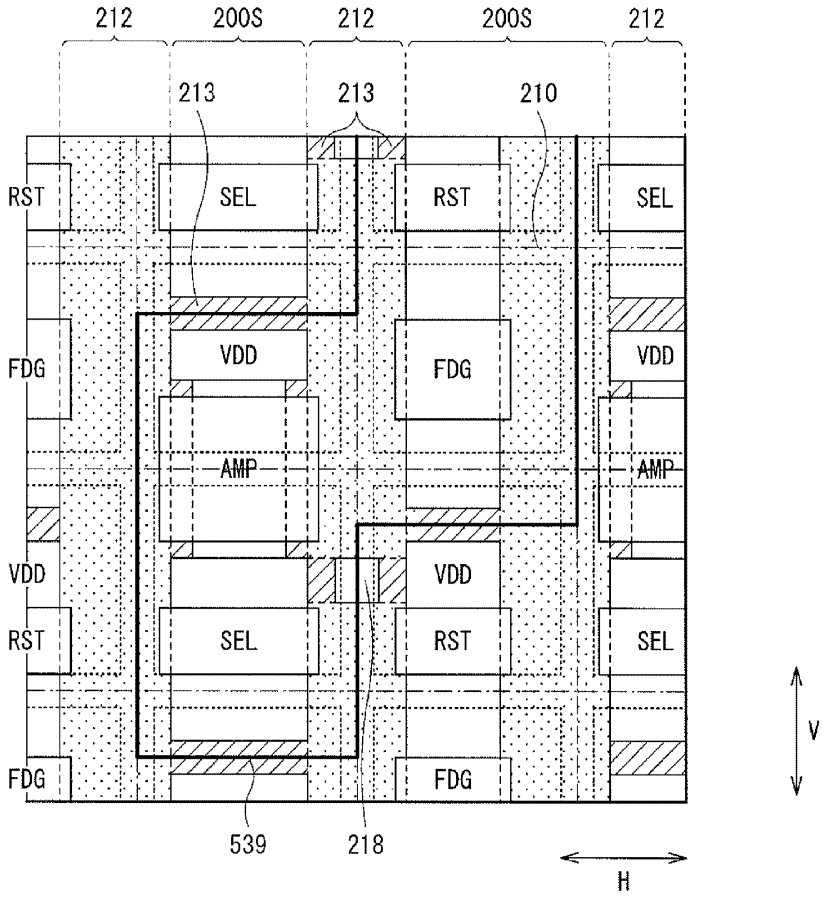
도면53



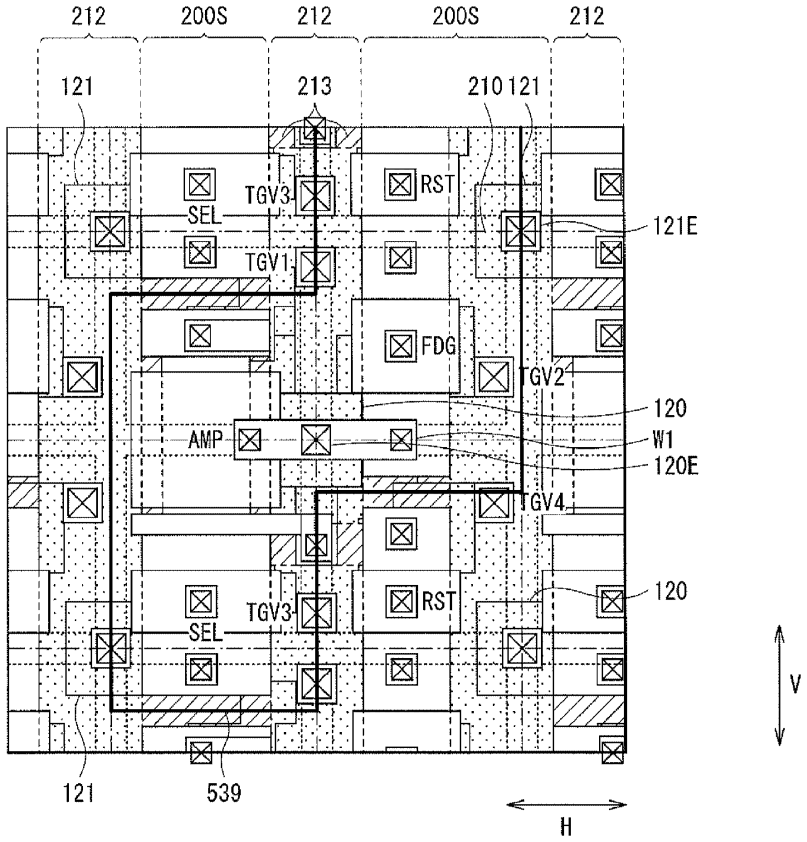
도면54


539
541A 541C
541B 541D
Vss
121C
121
TGb
TGa
FD1
FD2
117
FD
FD3
FD4
V
120C 120
H

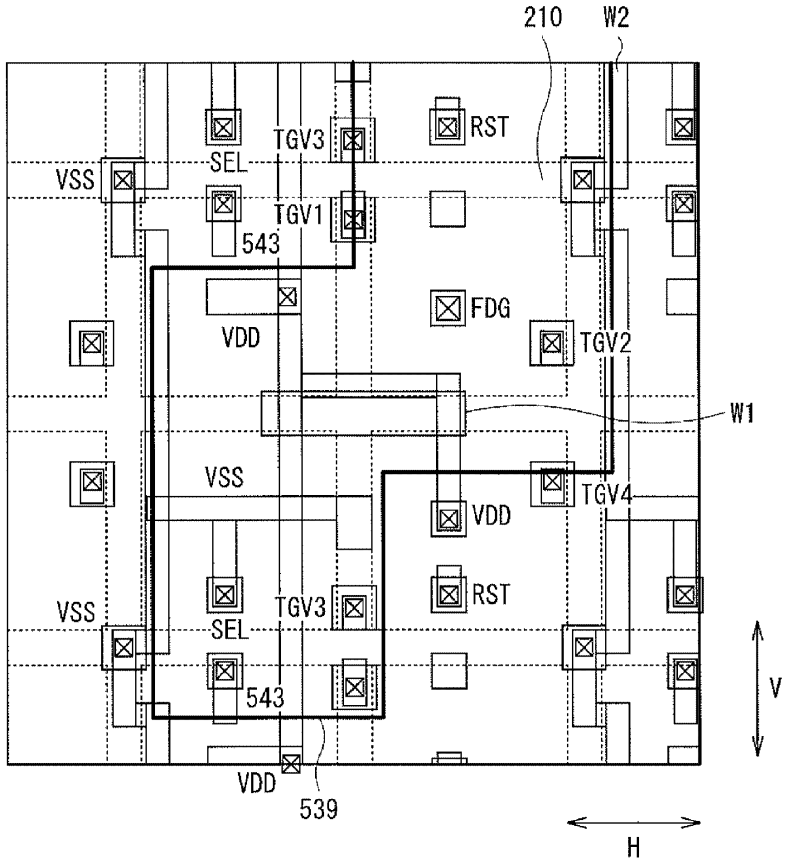
도면55


212
200S
212
200S
212
213
213
210
RST
SEL
RST
SEL
FDG
VDD
FDG
VDD
AMP
AMP
VDD
VDD
RST
SEL
RST
SEL
FDG
FDG
539
218
V
H

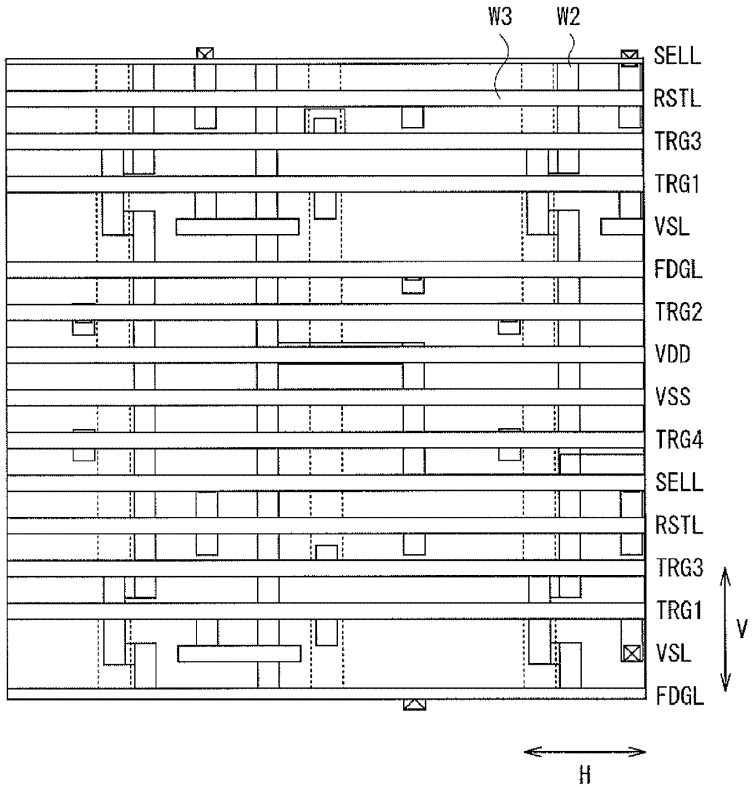
도면56


212
200S
212
200S
212
121
213
210
121
TGV3
RST
SEL
121E
TGV1
FDG
TGV2
120
AMP
W1
120E
TGV4
120
TGV3
RST
SEL
V
121
539
H

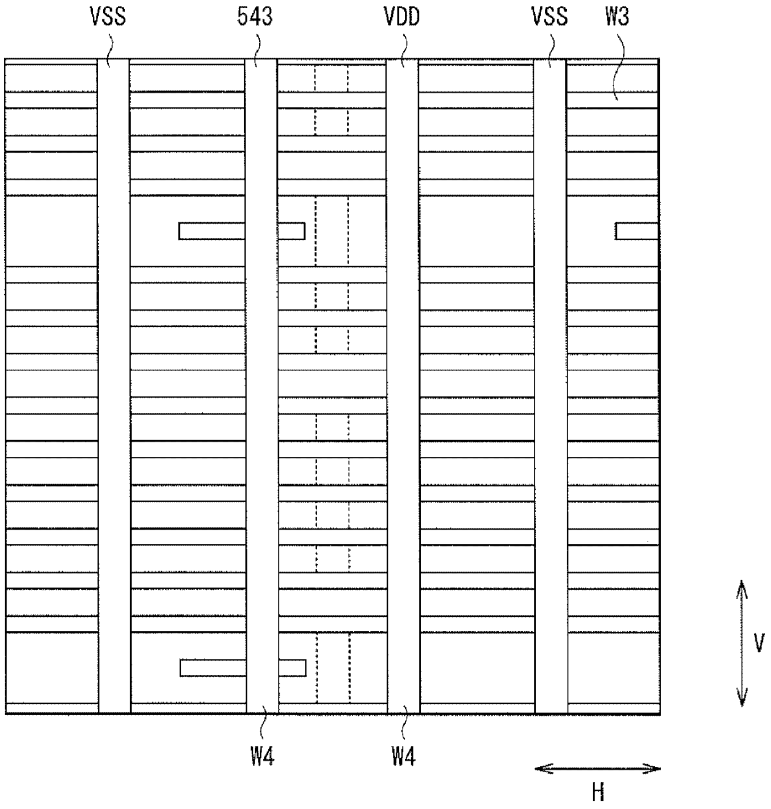
도면57


210
W2
RST
TGV3
SEL
VSS
TGV1
543
FDG
VDD
TGV2
W1
VSS
TGV4
VDD
RST
VSS
TGV3
SEL
543
V
VDD
539
H

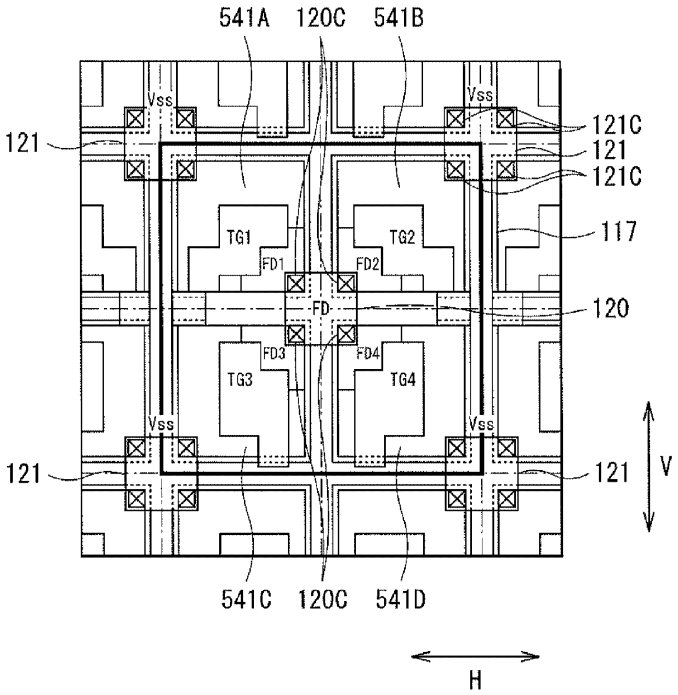
도면58


W3
W2
SELL
RSTL
TRG3
TRG1
VSL
FDGL
TRG2
VDD
VSS
TRG4
SELL
RSTL
TRG3
TRG1
VSL
FDGL
V
H

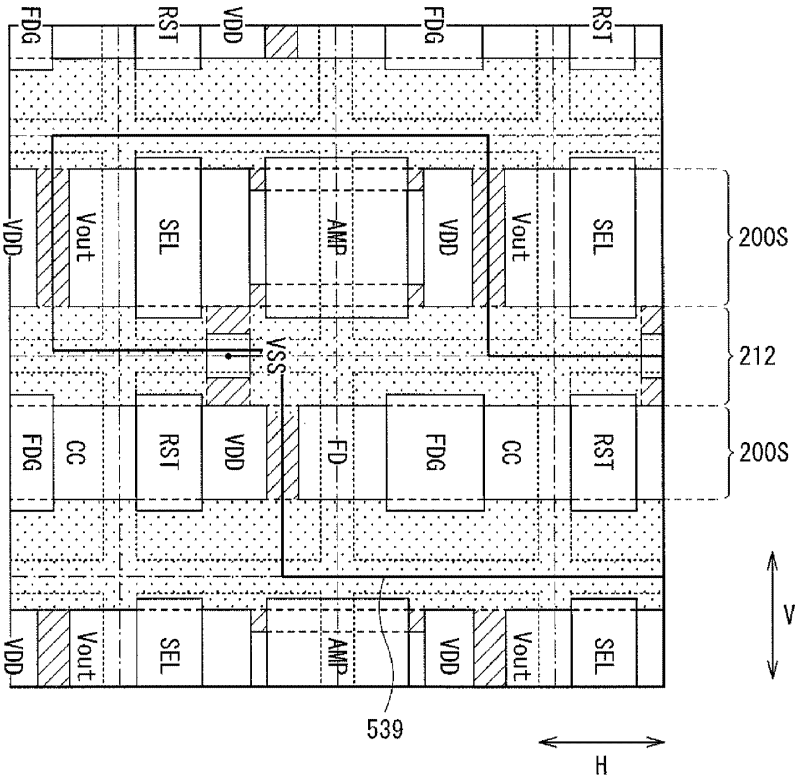
도면59


VSS
543
VDD
VSS
W3
W4
W4
V
H

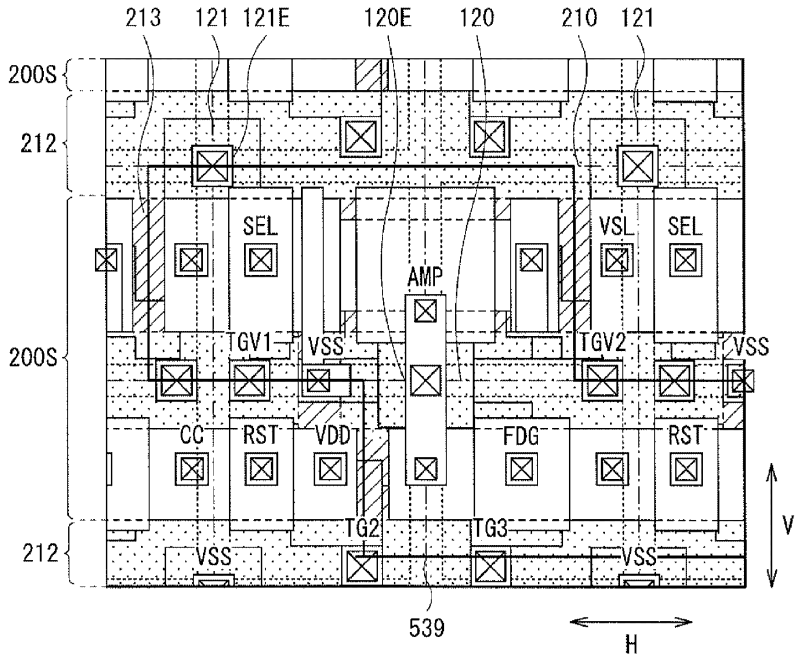
도면60


541A
120C
541B
Vss
Vss
121
121C
121
121C
117
TG1
TG2
FD1
FD2
FD
120
FD3
FD4
TG3
TG4
Vss
Vss
121
121
V
541C
120C
541D
H

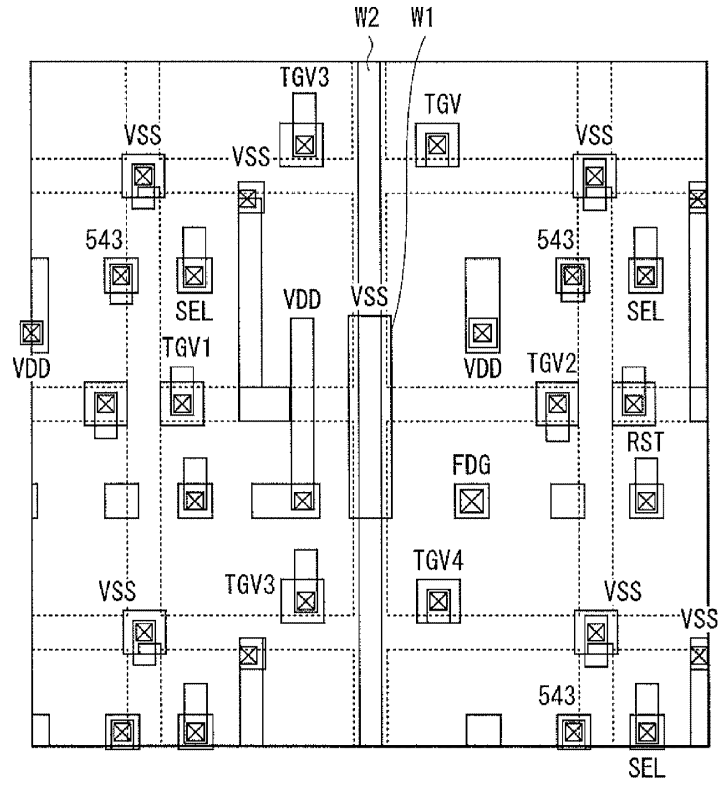
도면61


FDG
RST
VDD
FDG
RST
VDD
Vout
SEL
AMP
VDD
Vout
SEL
200S
212
VSS
FDG
CC
RST
VDD
FD
FDG
CC
RST
200S
V
VDD
Vout
SEL
AMP
VDD
Vout
SEL
539
H

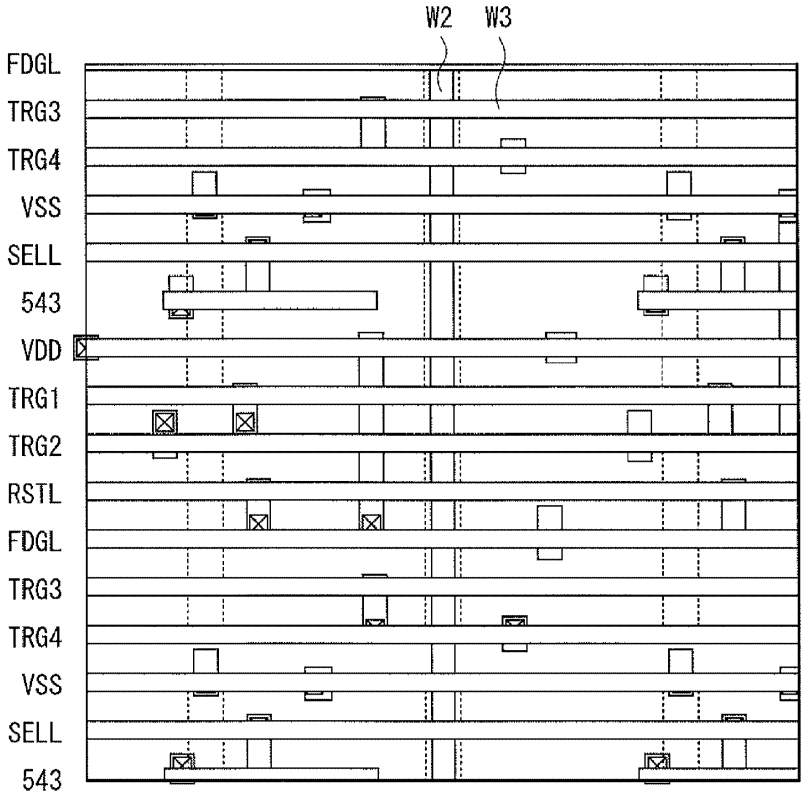
도면62


213
121
121E
120E
120
210
121
200S
212
SEL
VSL
SEL
AMP
200S
TGV1
VSS
TGV2
VSS
CC
RST
VDD
FDG
RST
V
212
TG2
TG3
VSS
VSS
539
H

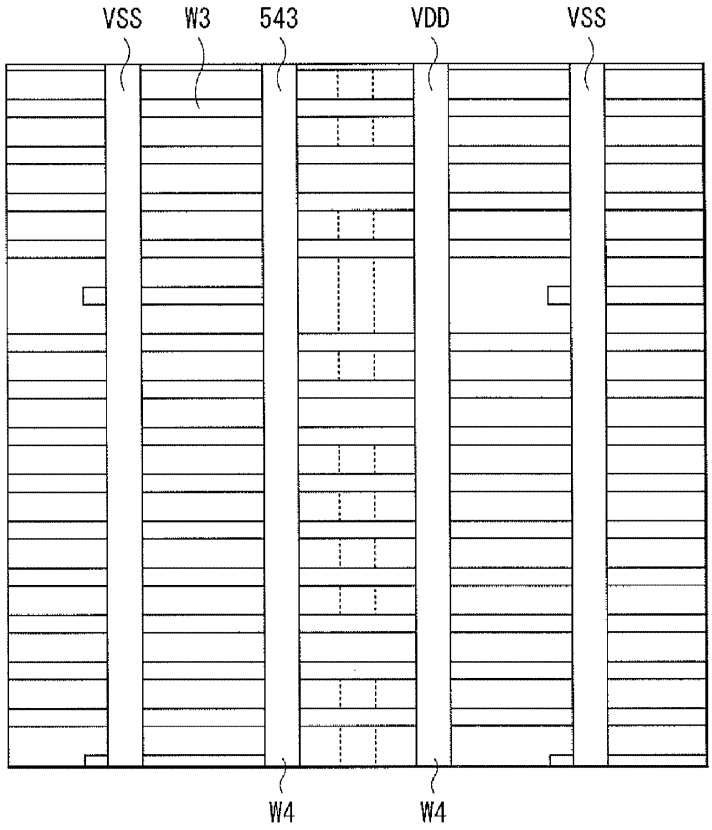
도면63


W2
W1
TGV3
TGV
VSS
VSS
VSS
543
543
SEL
SEL
VDD
VSS
VDD
VDD
TGV1
TGV2
RST
FDG
TGV4
VSS
TGV3
VSS
VSS
543
SEL

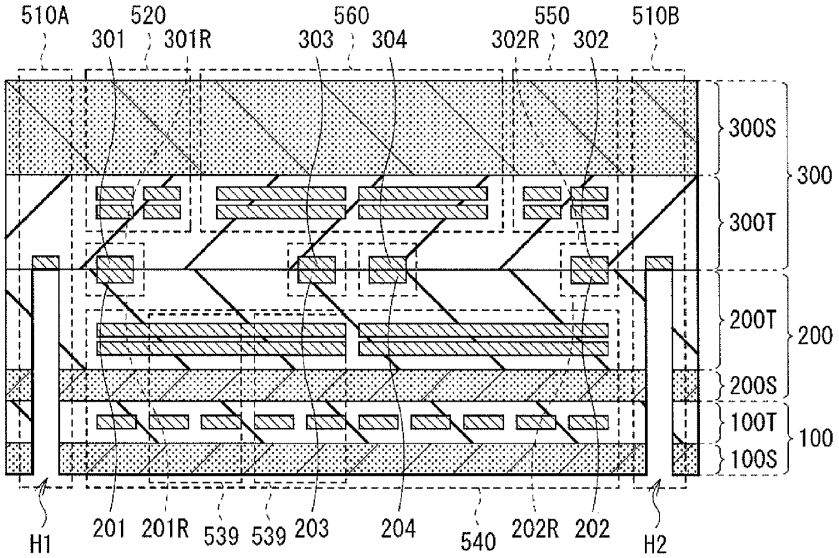
도면64


W2
W3
FDGL
TRG3
TRG4
VSS
SELL
543
VDD
TRG1
TRG2
RSTL
FDGL
TRG3
TRG4
VSS
SELL
543

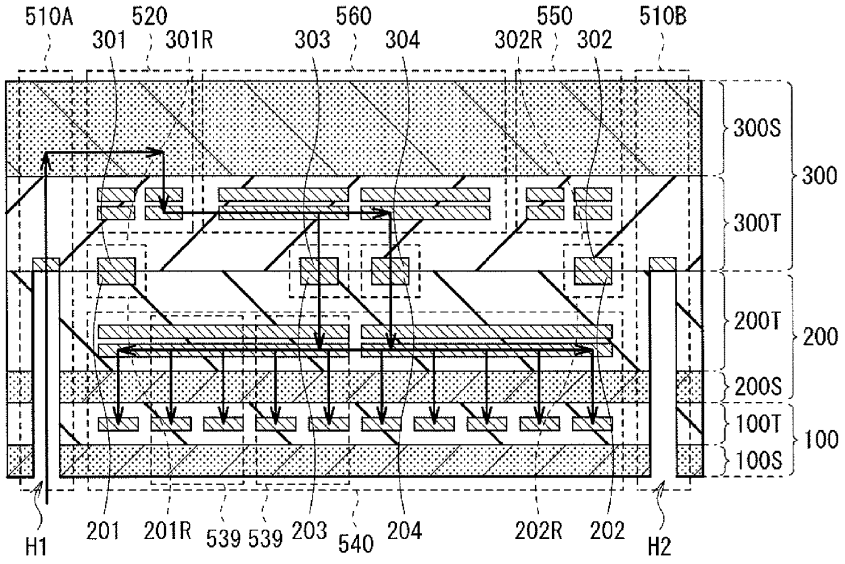
도면65


VSS
W3
543
VDD
VSS
W4
W4

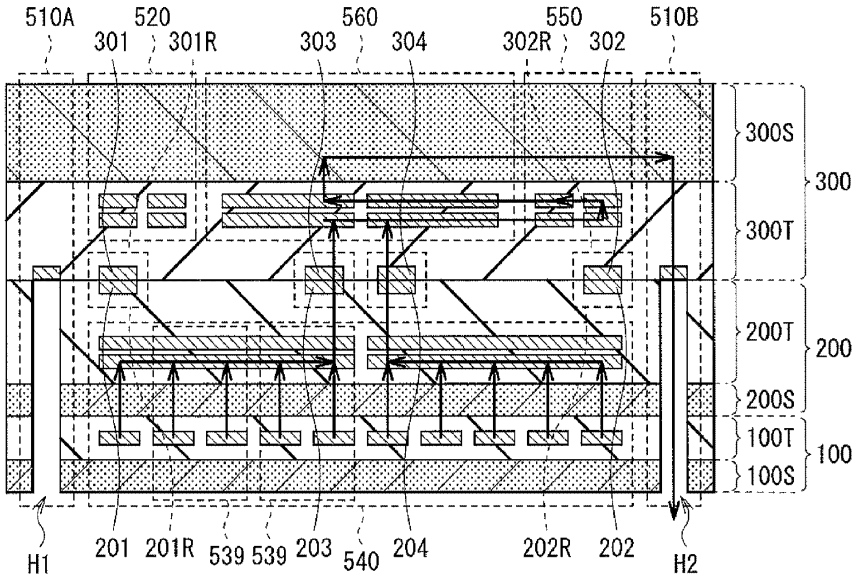
도면66


510A
520
301
301R
560
303
304
550
302R
302
510B
300S
300
300T
200T
200
200S
100T
100
100S
H1
201
201R
539
539
203
204
540
202R
202
H2

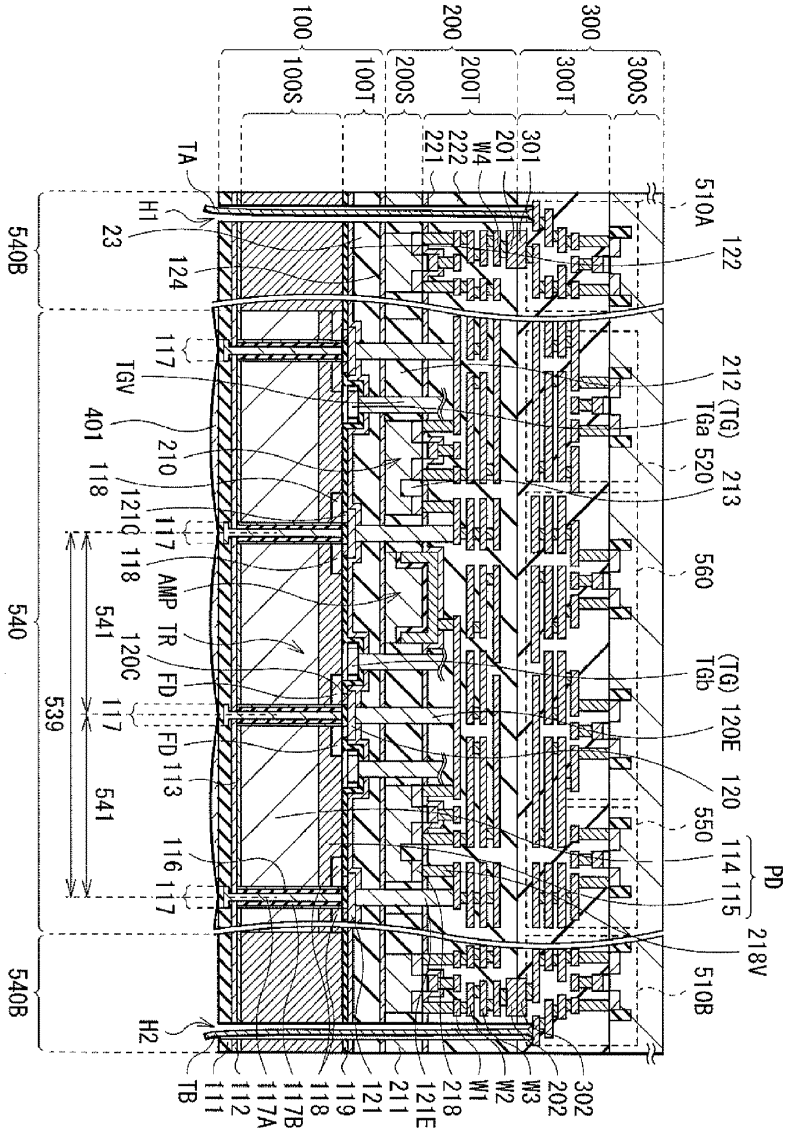
도면67


510A
520
301
301R
560
303
304
550
302R
302
510B
300S
300
300T
200T
200
200S
100T
100
100S
H1
201
201R
539
539
203
540
204
202R
202
H2

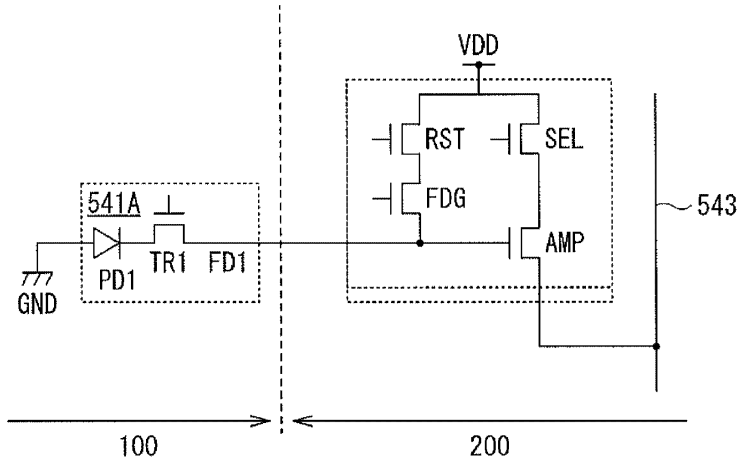
도면68


510A
520
301
301R
560
303
304
550
302R
302
510B
300S
300
300T
200T
200
200S
100T
100
100S
H1
201
201R
539
539
203
540
204
202R
202
H2

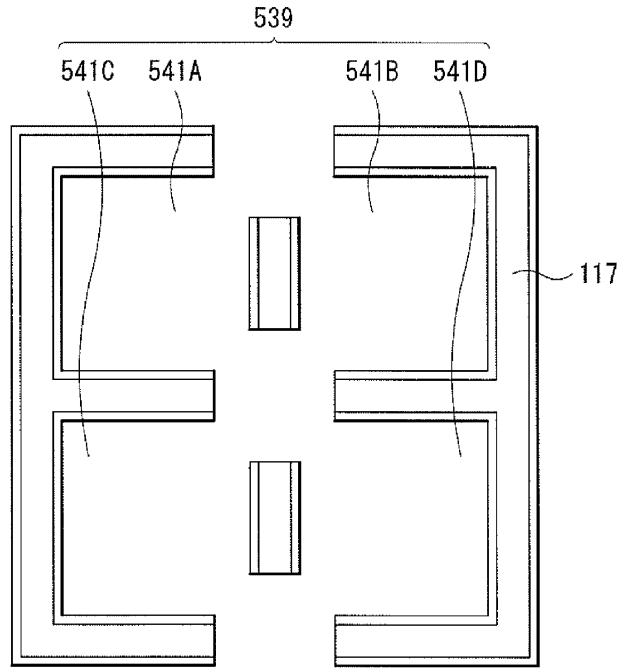
도면69


100
200
300
100S
100T
200S
200T
300T
300S
TA
H1
23
124
117
TGV
401
210
118
121C
AMP
TR
541
120C
FD
539
113
116
510A
122
212 (TG)
TGa
520
213
560
(TG)
TGb
120E
120
550
114
115
PD
218V
510B
540B
540
H2
TB
111
112
117A
117B
118
119
121
211
121E
218
W1
W2
W3
202
302
W4
201
222
221
301

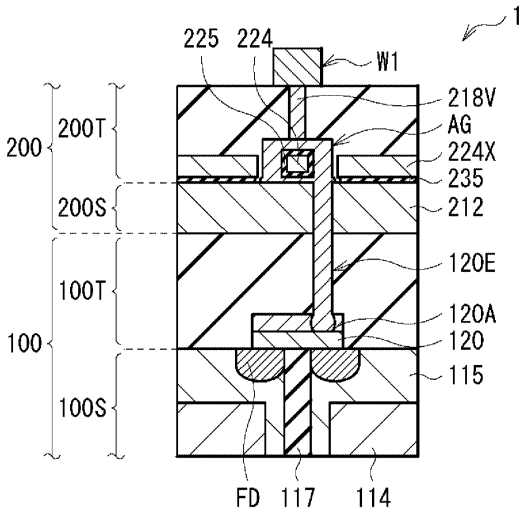
도면70


VDD
RST
SEL
FDG
AMP
543
541A
PD1
TR1
FD1
GND
100
200

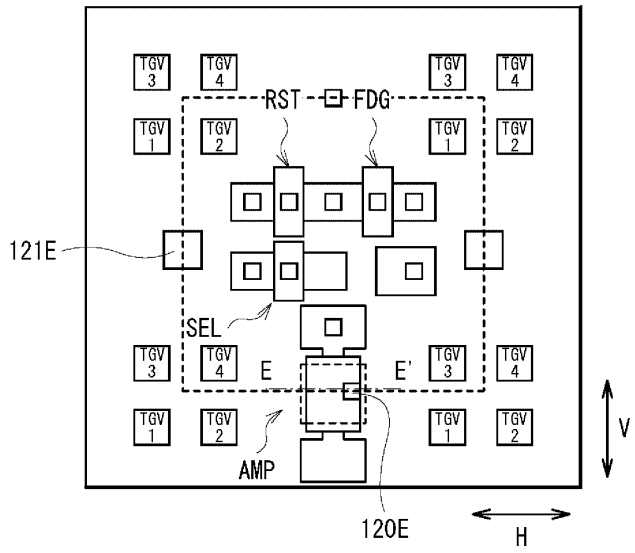
도면71


539
541C
541A
541B
541D
117

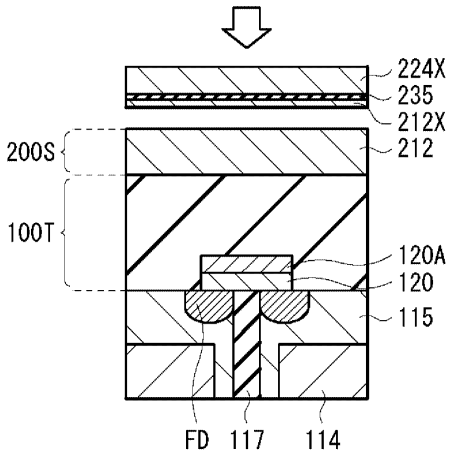
도면72


1
225
224
W1
218V
AG
224X
235
212
120E
120A
120
115
200
200T
200S
100
100T
100S
FD
117
114

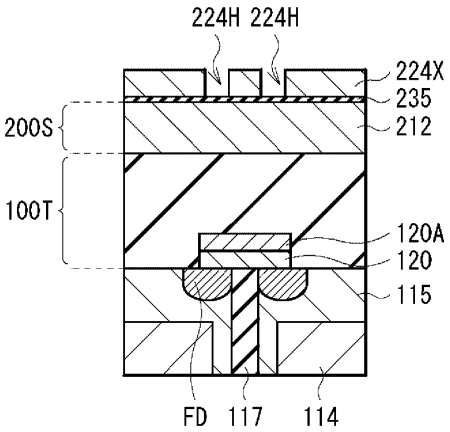
도면73



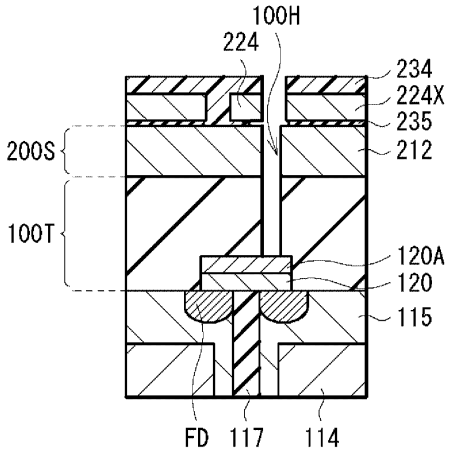
도면74a



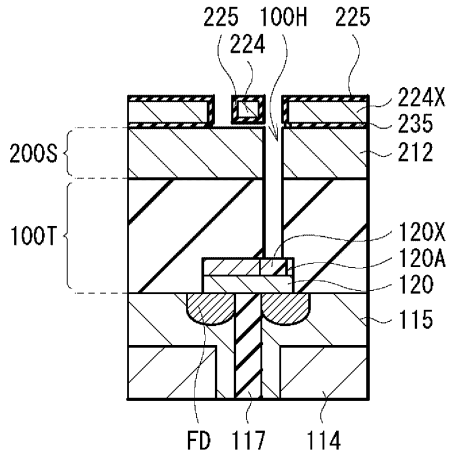
도면74b



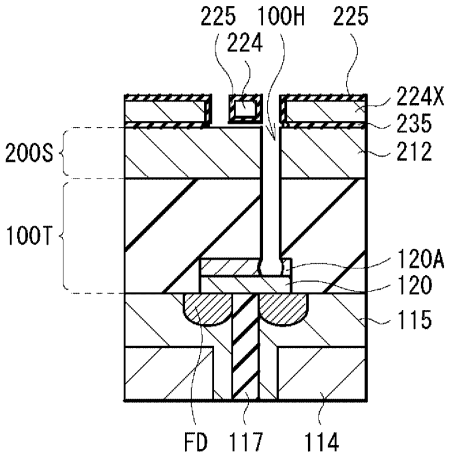
도면74c



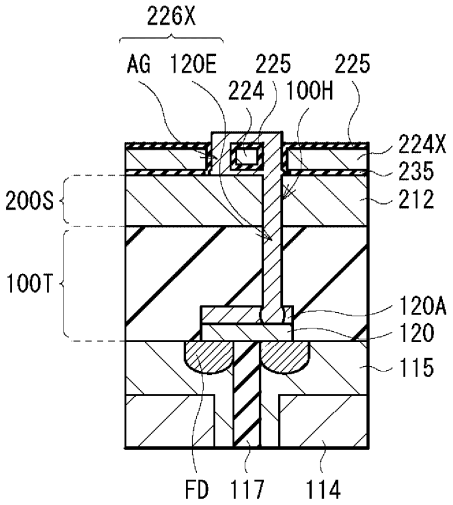
도면74d



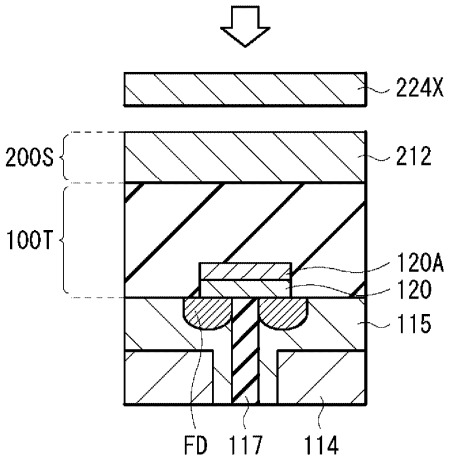
도면74e



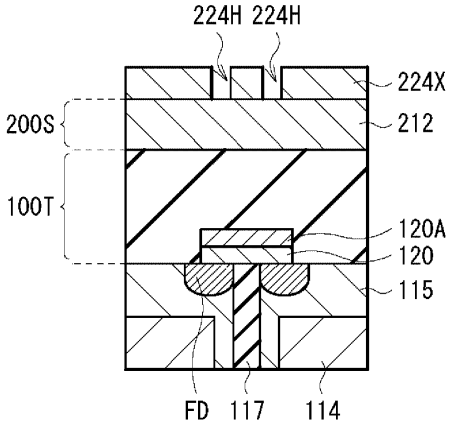
도면74f



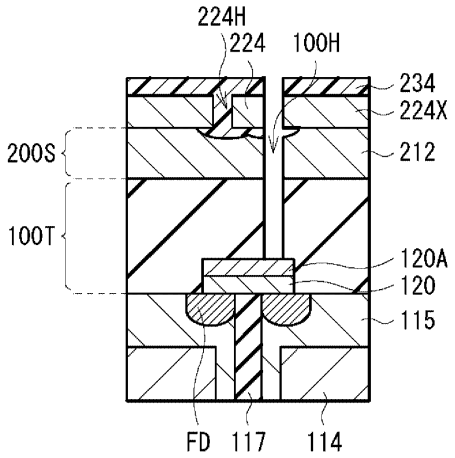
도면75a



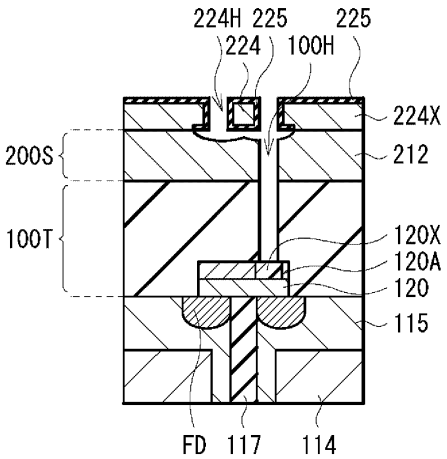
도면75b



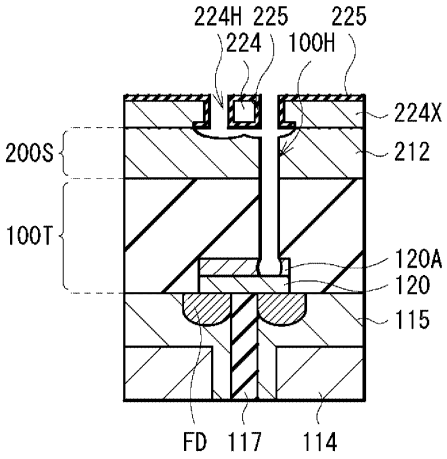
도면75c



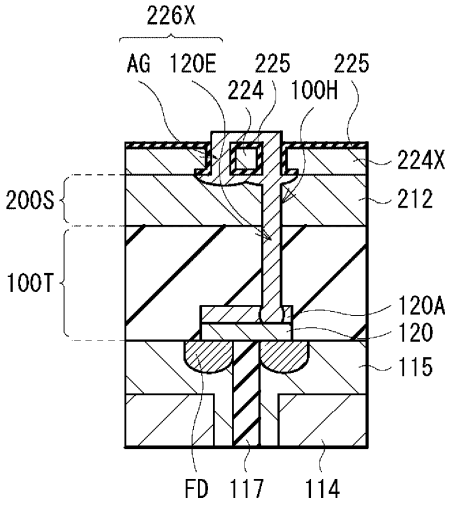
도면75d



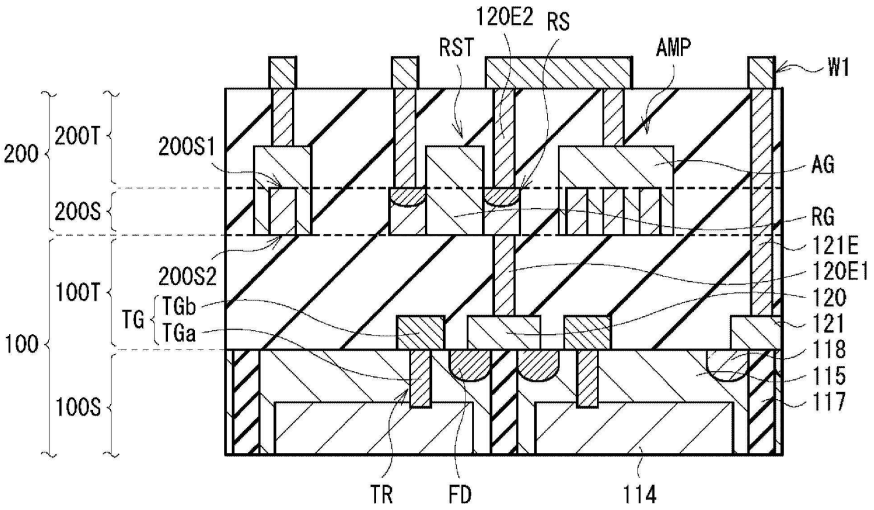
도면75e



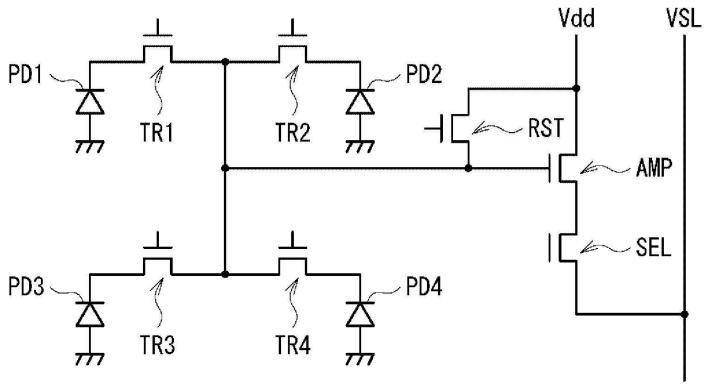
도면75f



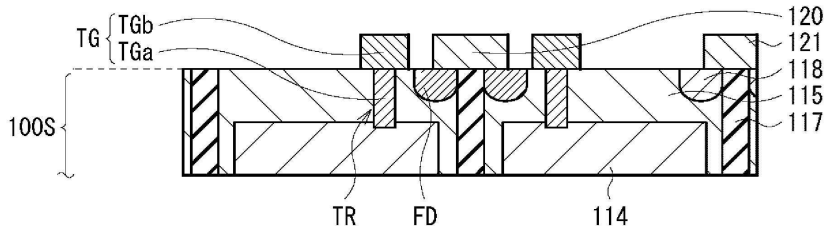
도면76



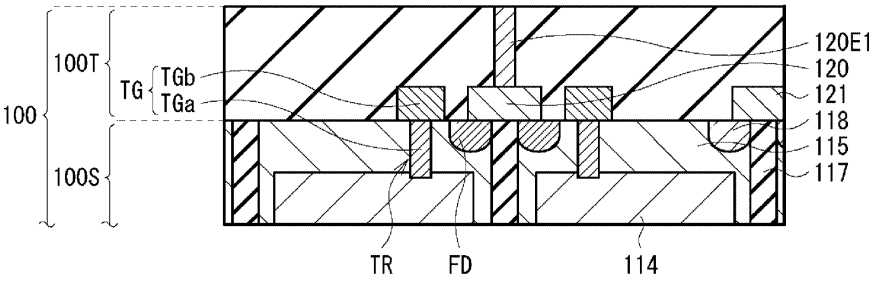
도면77



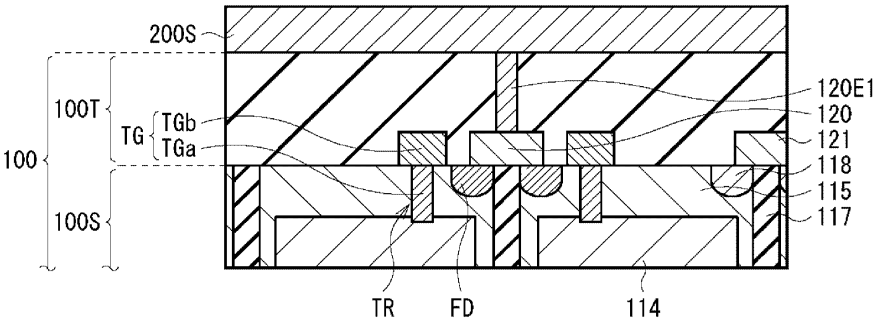
도면78a



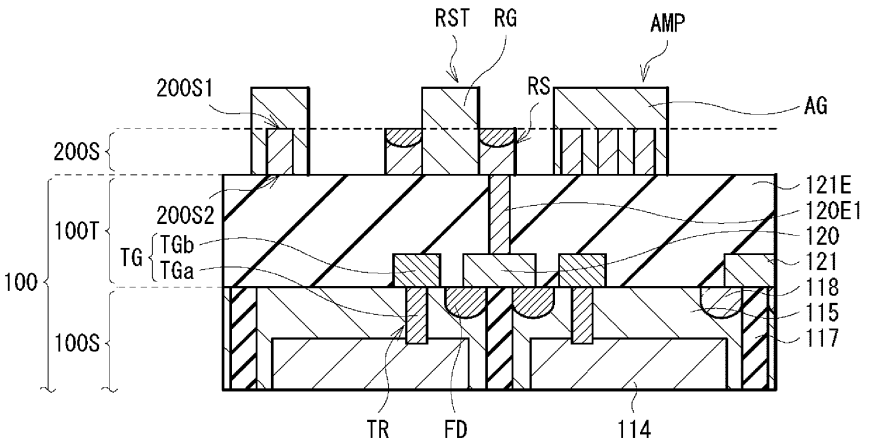
도면78b



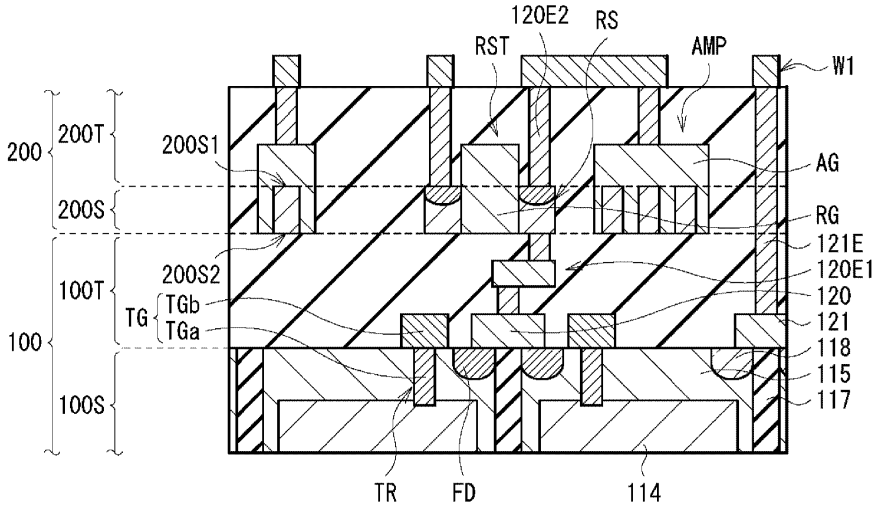
도면78c



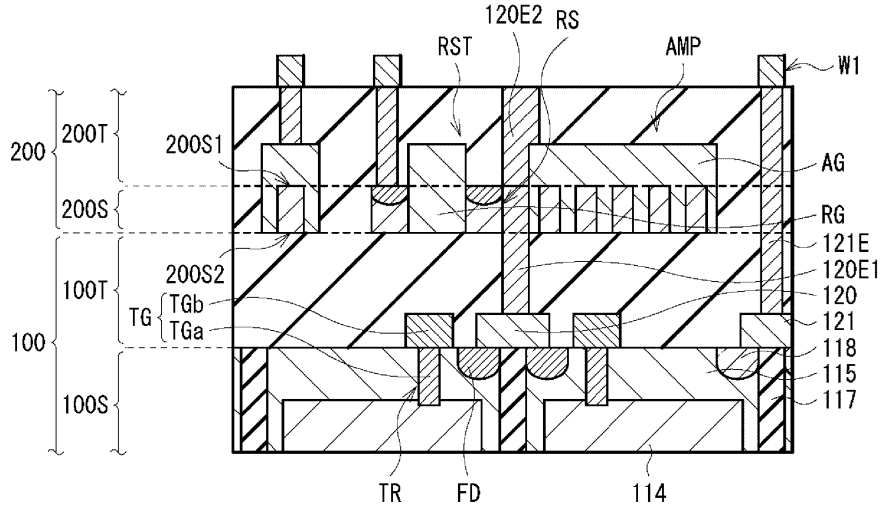
도면78d



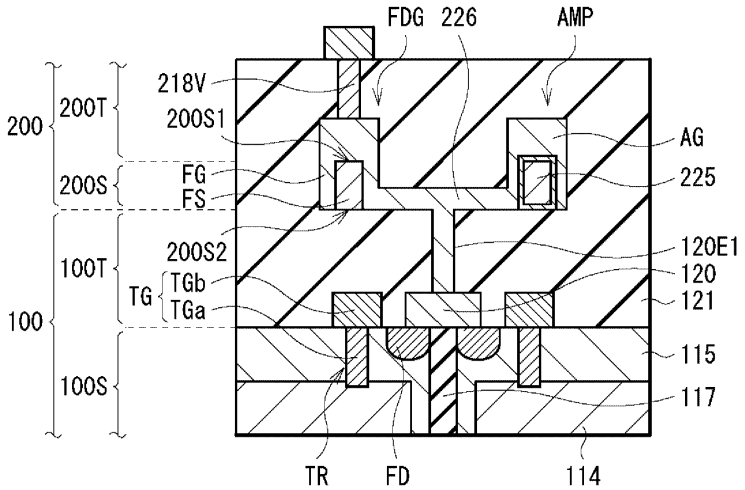
도면79



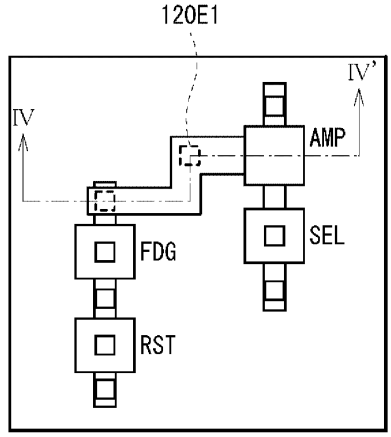
도면80



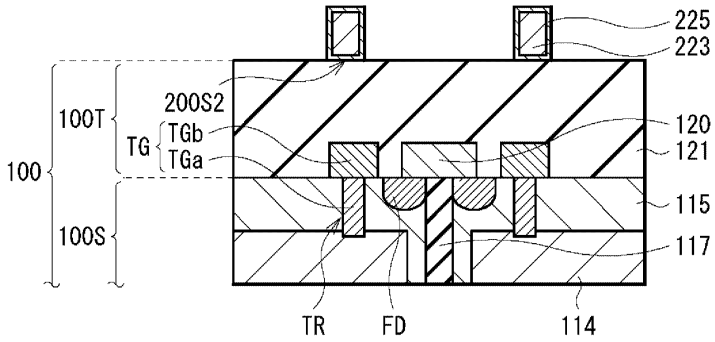
도면81



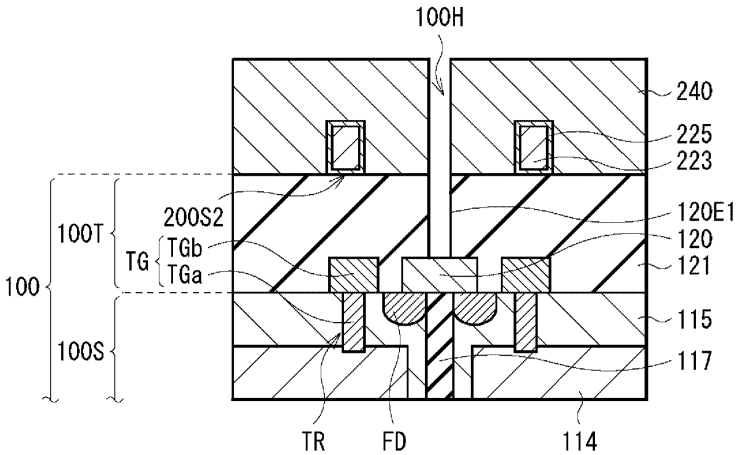
도면82



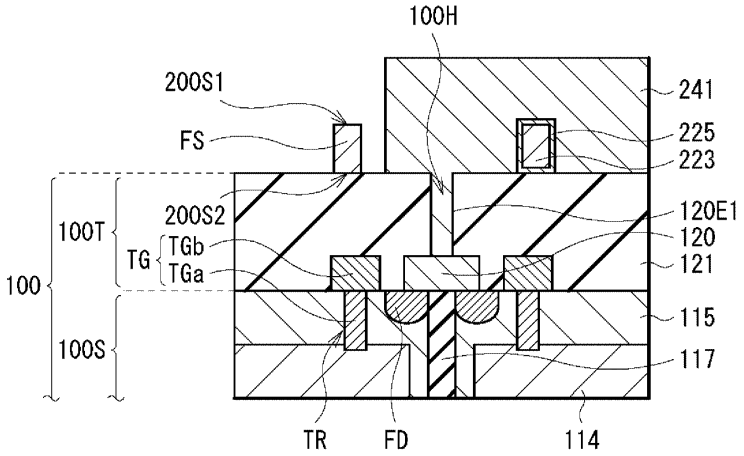
도면83a



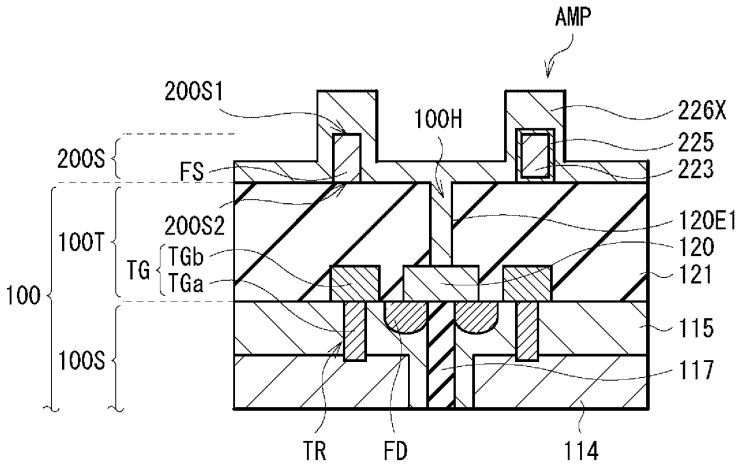
도면83b



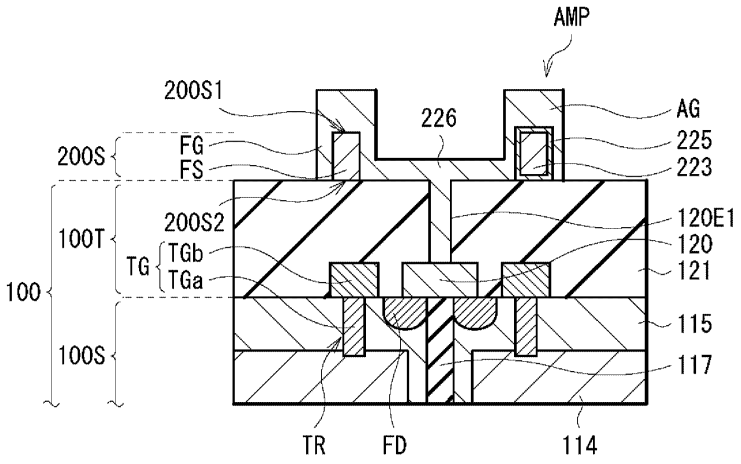
도면83c



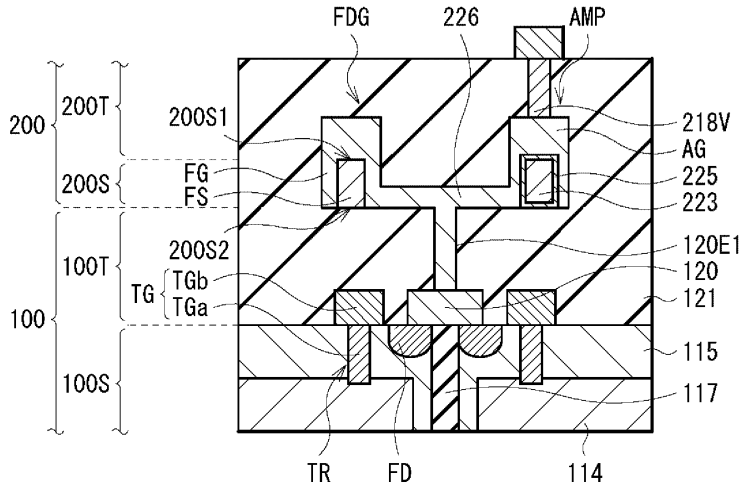
도면83d



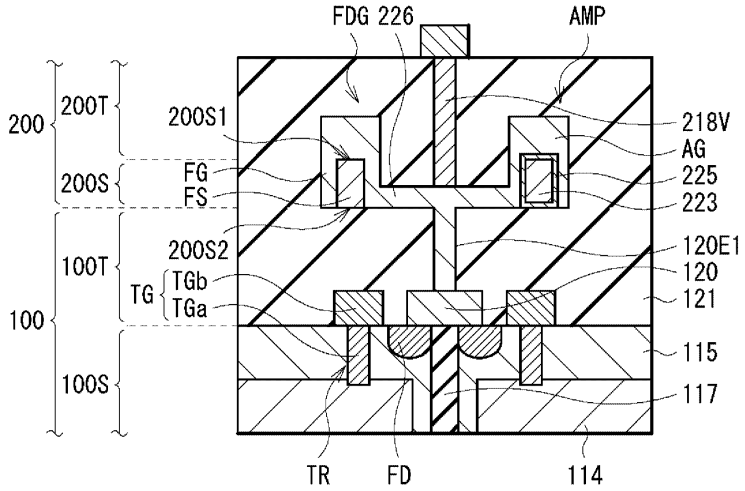
도면83e



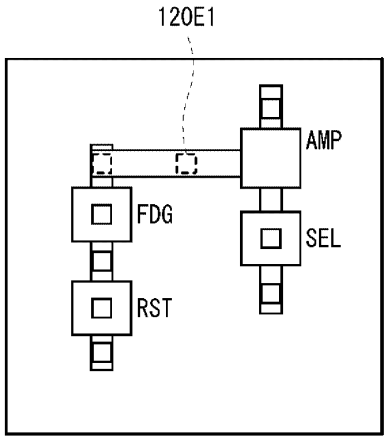
도면84



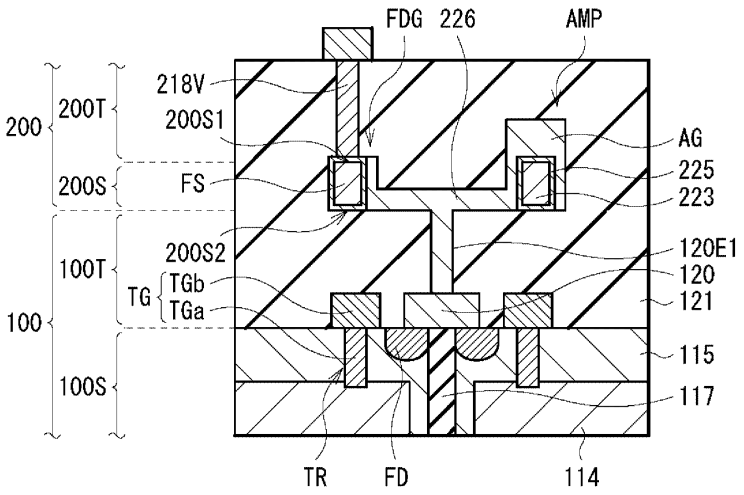
도면85



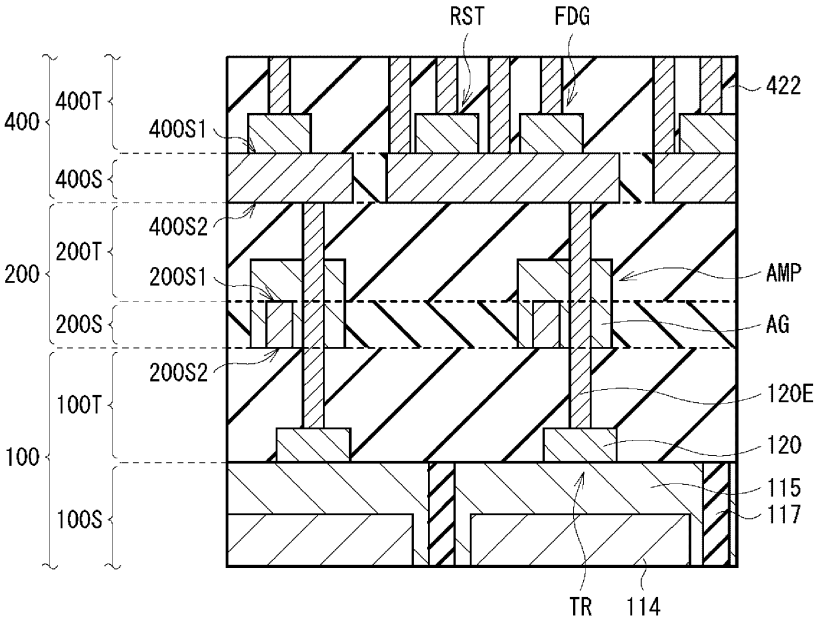
도면86



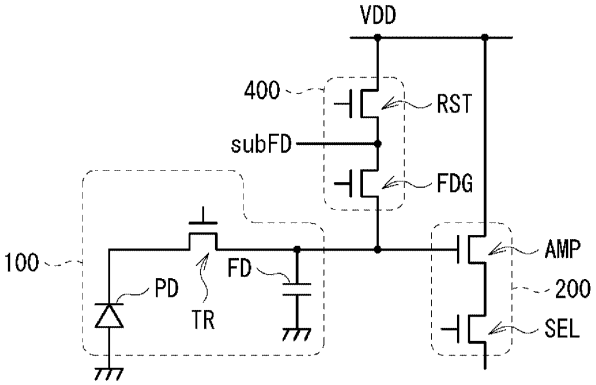
도면87


FDG
226
AMP
218V
200S1
AG
225
223
FS
200S2
120E1
120
121
TGb
TGa
115
117
TR
FD
114
200
200T
200S
100T
100
100S
TG

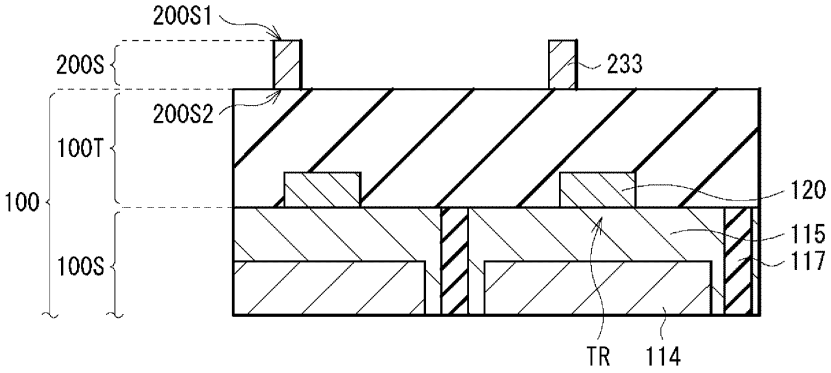
도면88


RST
FDG
422
400S1
400S2
AMP
AG
200S1
200S2
120E
120
115
117
TR
114
400
400T
400S
200
200T
200S
100
100T
100S

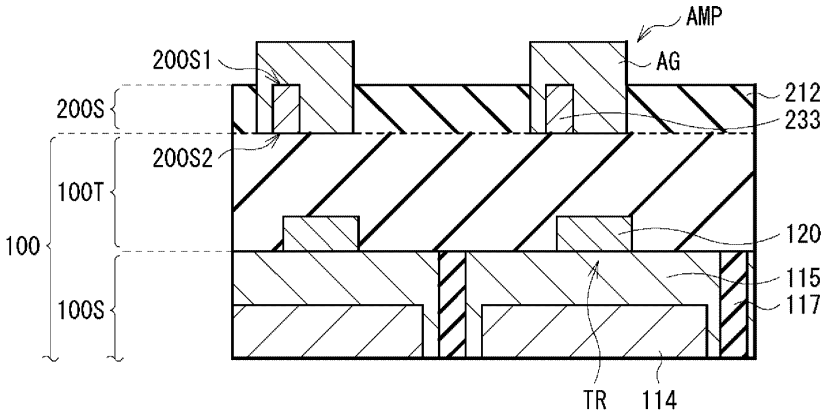
도면89



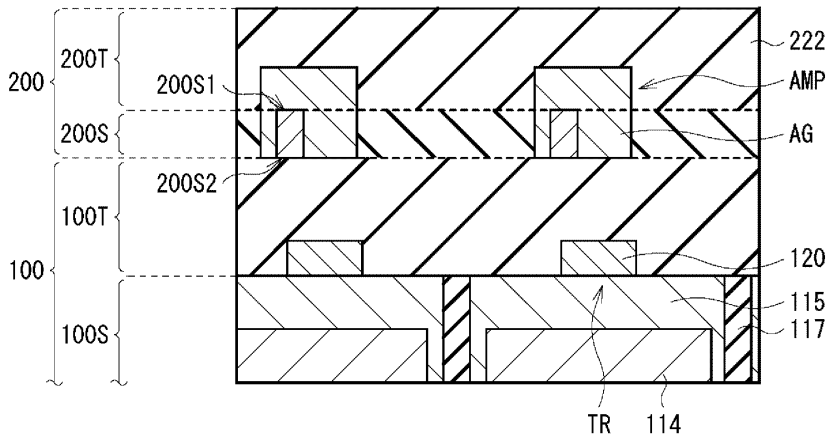
도면90a



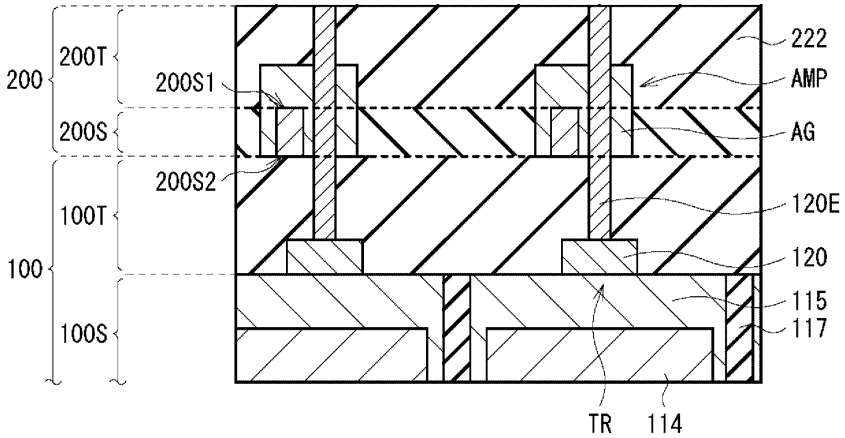
도면90b



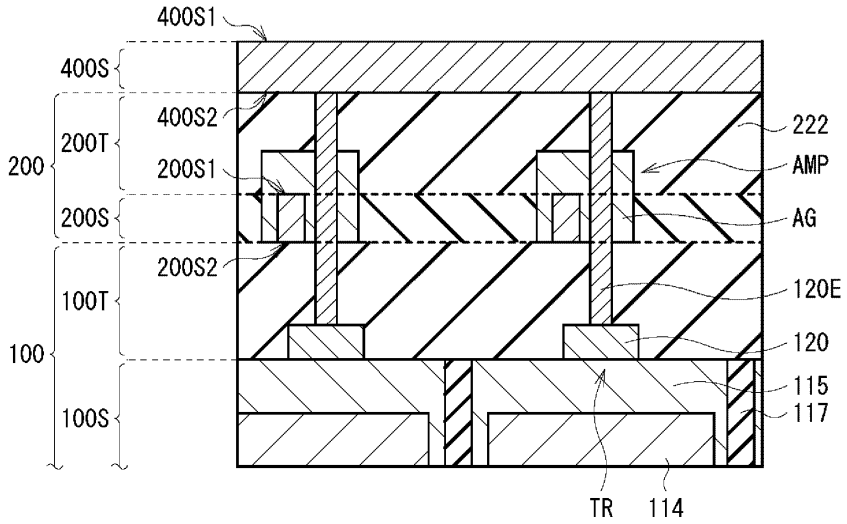
도면90c



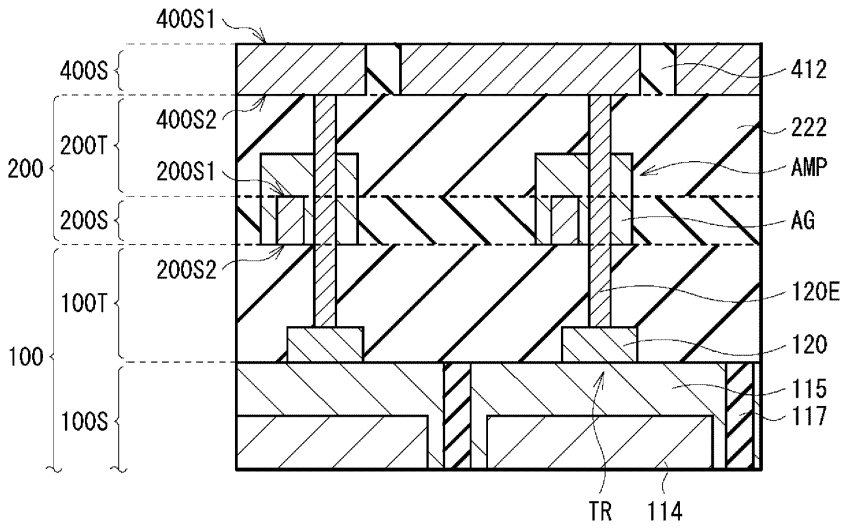
도면90d



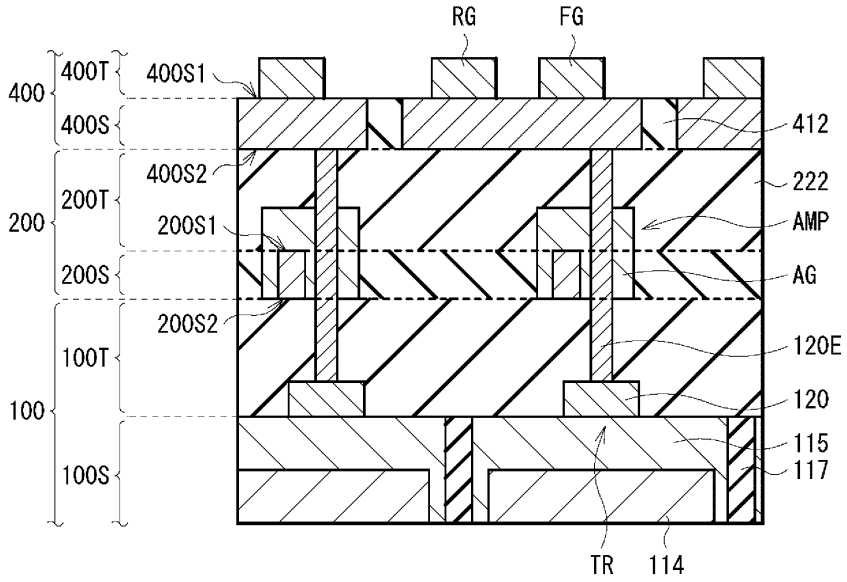
도면90e



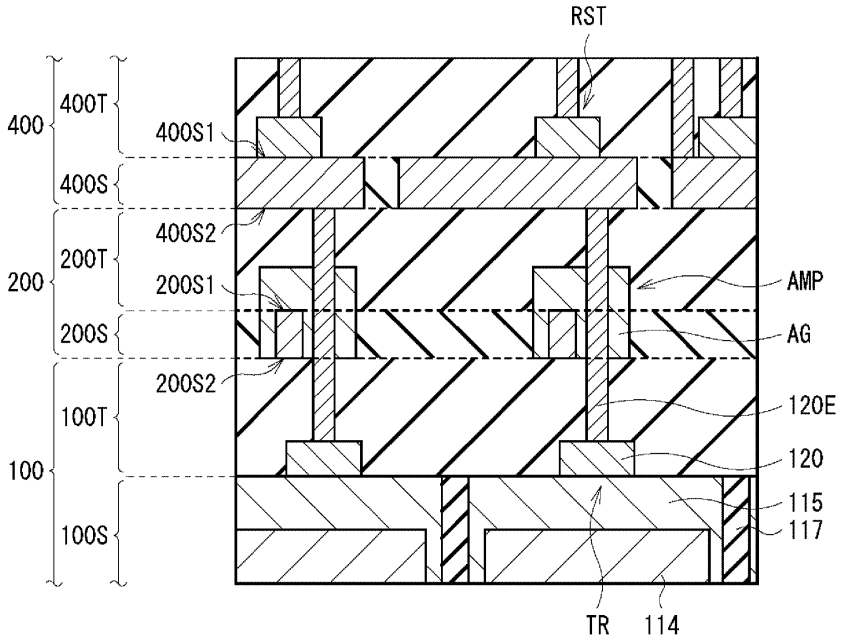
도면90f


400S1
400S
400S2
200T
200
200S1
200S
200S2
100T
100
100S
412
222
AMP
AG
120E
120
115
117
TR
114

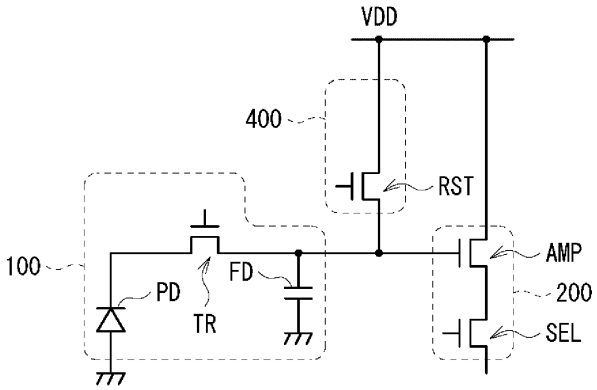
도면90g


RG
FG
400
400T
400S1
400S
400S2
200T
200
200S1
200S
200S2
100T
100
100S
412
222
AMP
AG
120E
120
115
117
TR
114

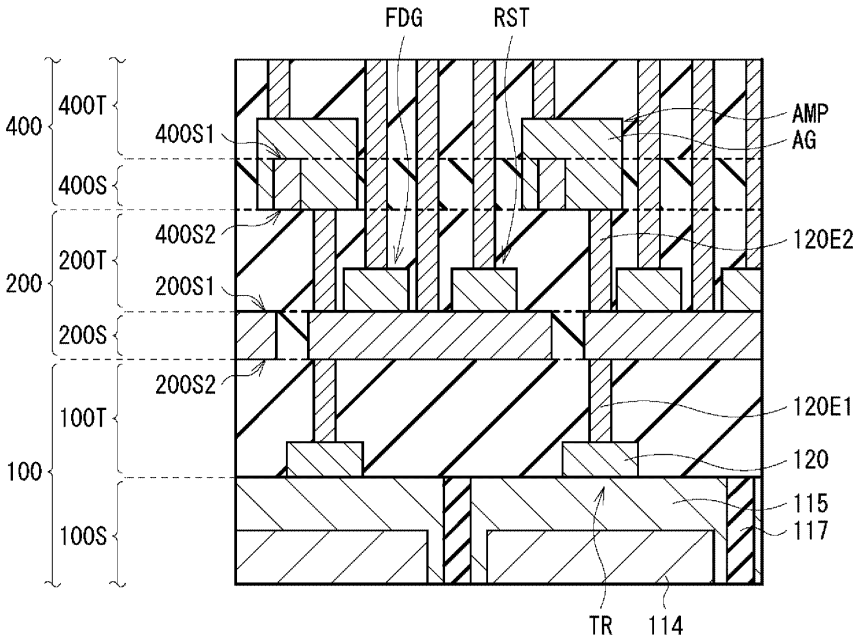
도면91


RST
400
400T
400S1
400S
200
200T
200S1
200S
100
100T
100S
400S2
200S2
AMP
AG
120E
120
115
117
TR
114

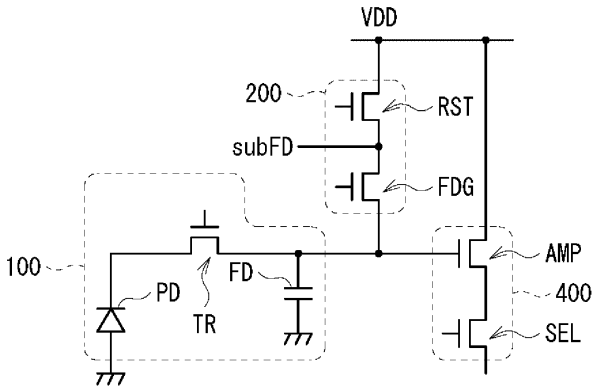
도면92


VDD
400
RST
100
PD
TR
FD
AMP
200
SEL

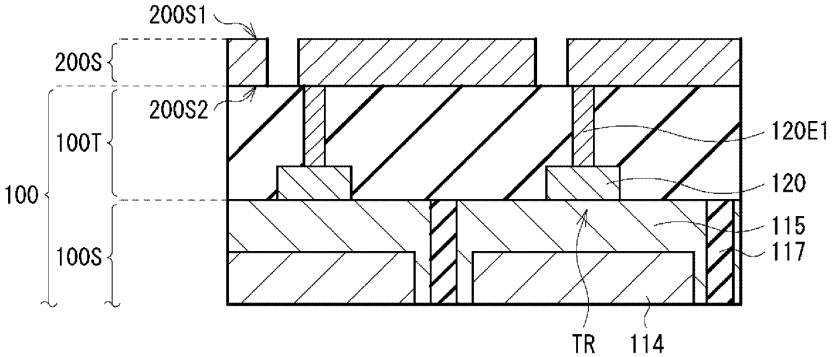
도면93



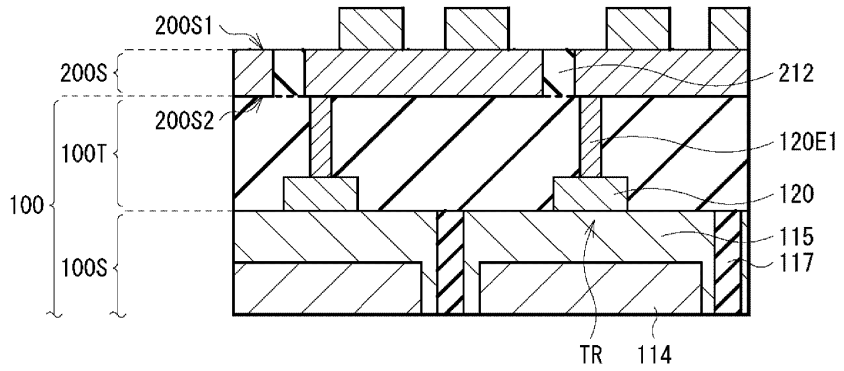
도면94



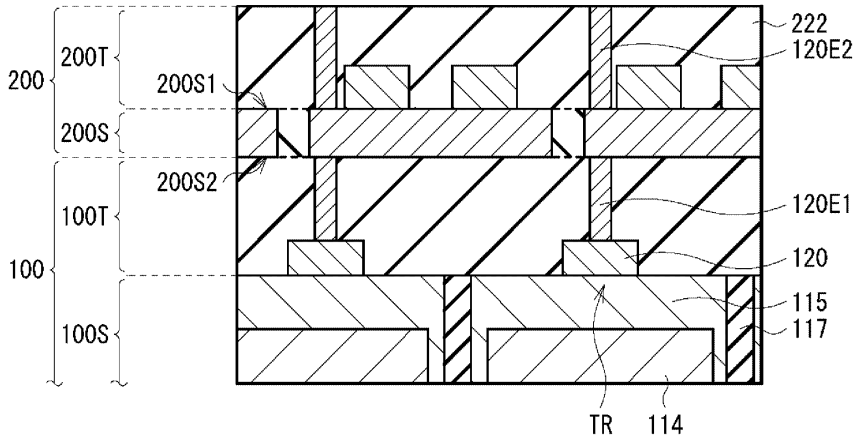
도면95a



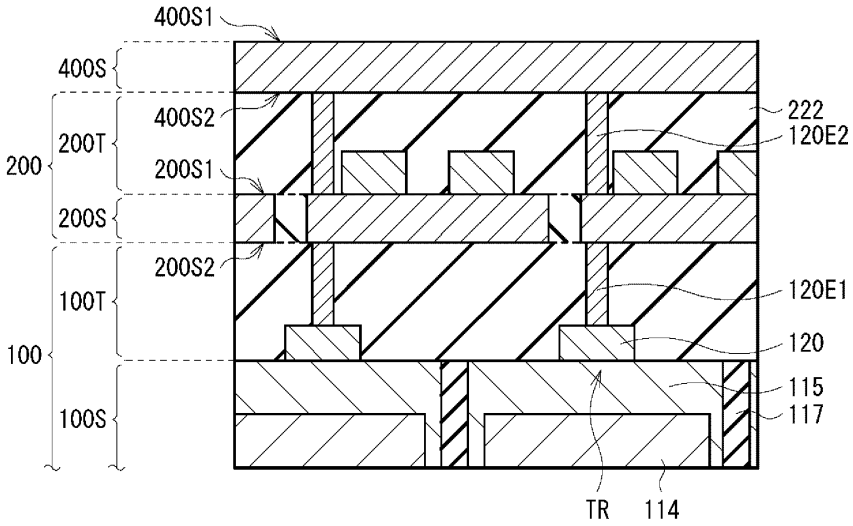
도면95b



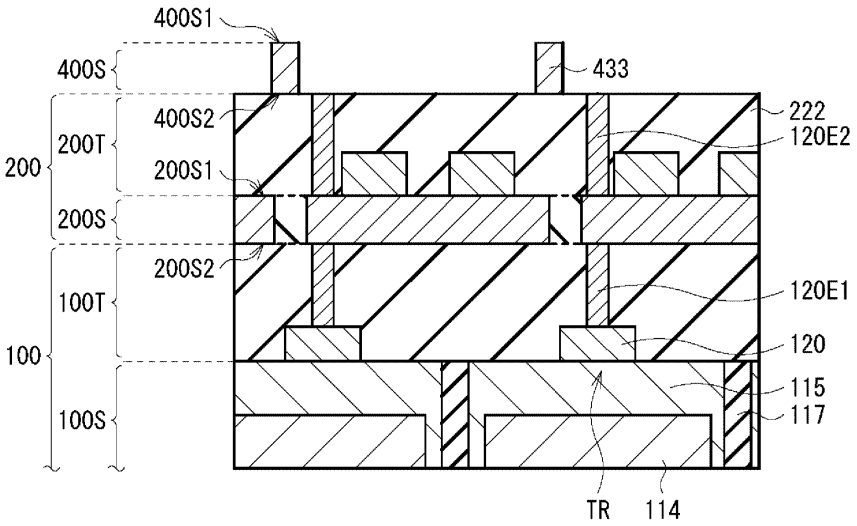
도면95c



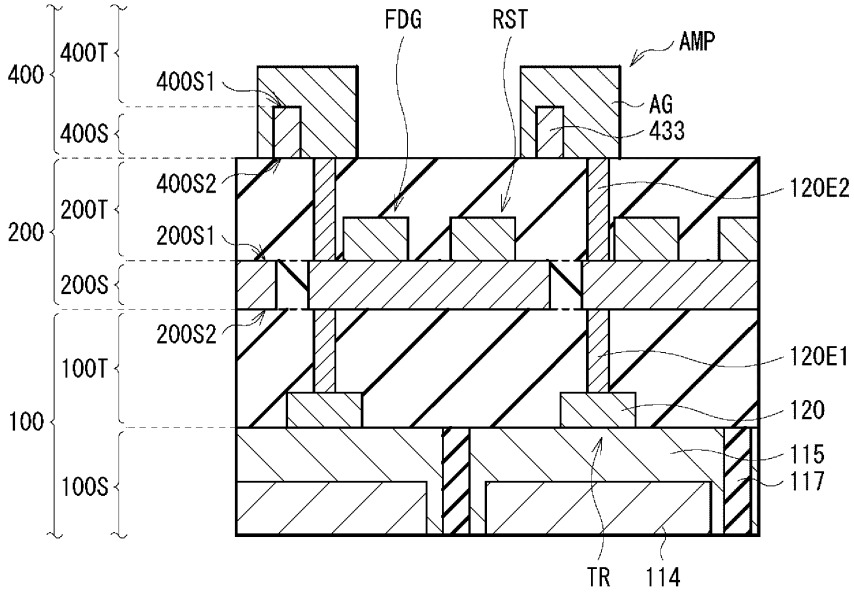
도면95d



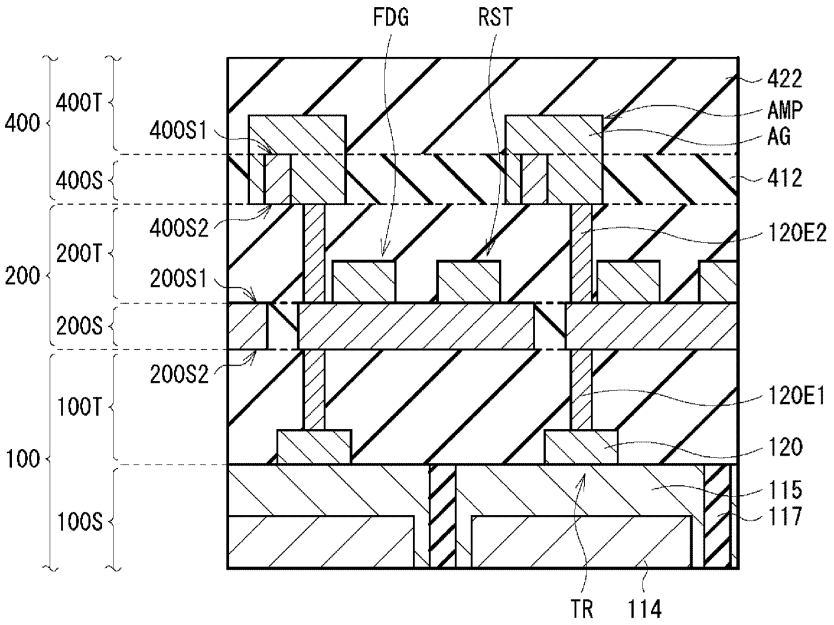
도면95e


400S1
400S
433
400S2
222
120E2
200T
200
200S1
200S
200S2
120E1
100T
120
100
115
100S
117
TR
114

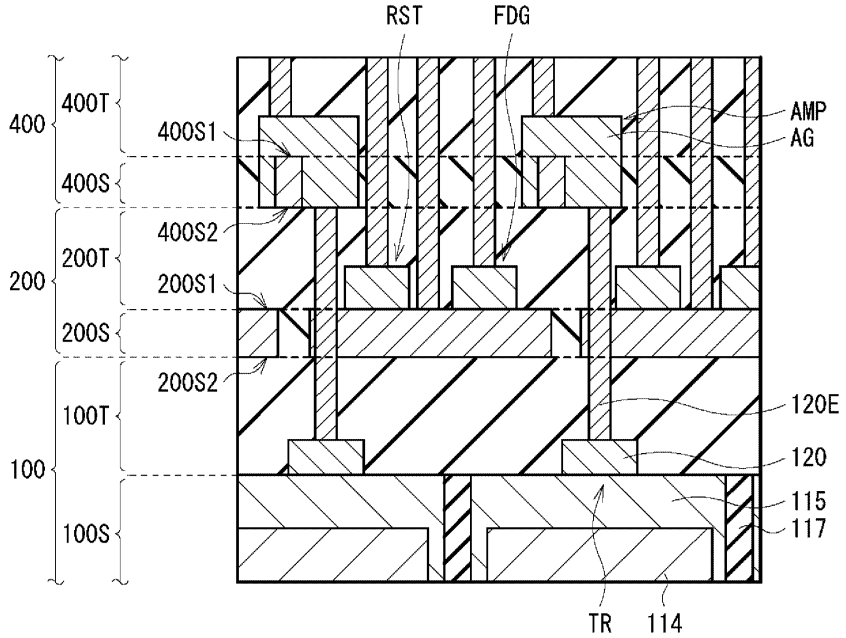
도면95f


FDG
RST
AMP
400T
400
400S1
AG
400S
433
400S2
120E2
200T
200
200S1
200S
200S2
120E1
100T
120
100
115
100S
117
TR
114

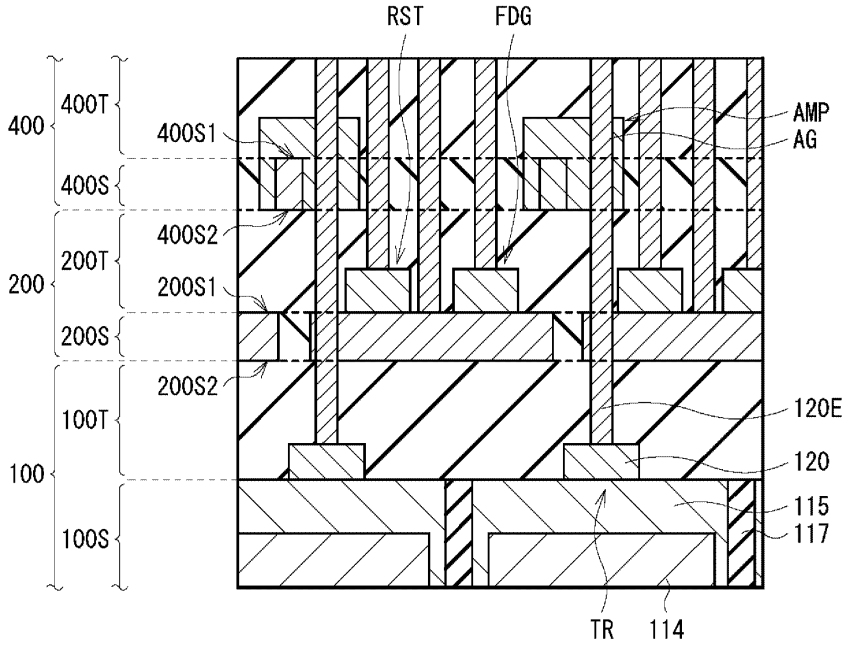
도면95g


FDG
RST
422
AMP
AG
412
120E2
120E1
120
115
117
400
400T
400S1
400S
200
200T
200S1
200S
100
100T
100S
400S2
200S2
TR
114

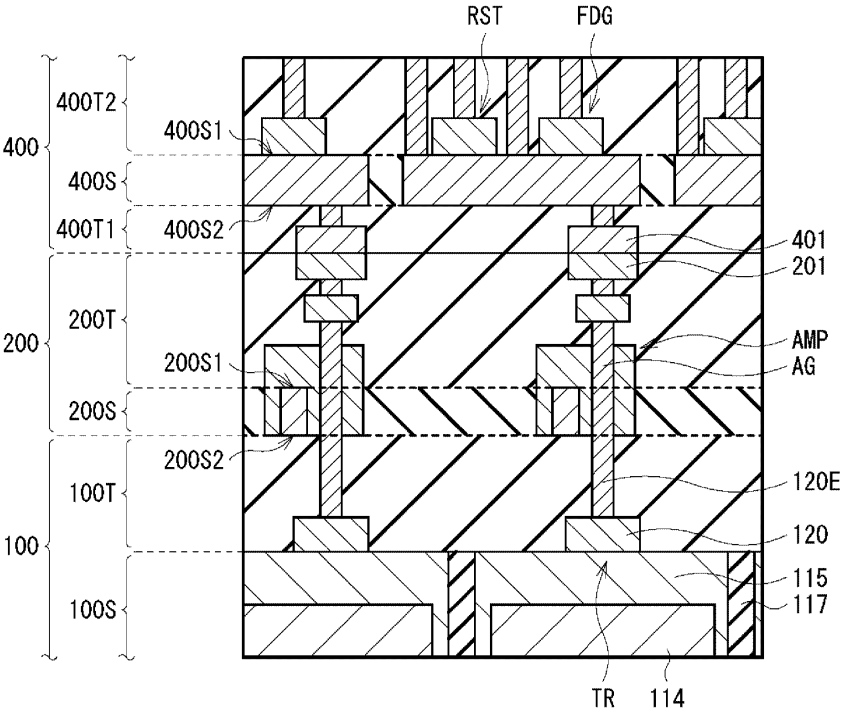
도면96


RST
FDG
AMP
AG
120E
120
115
117
400
400T
400S1
400S
200
200T
200S1
200S
100
100T
100S
400S2
200S2
TR
114

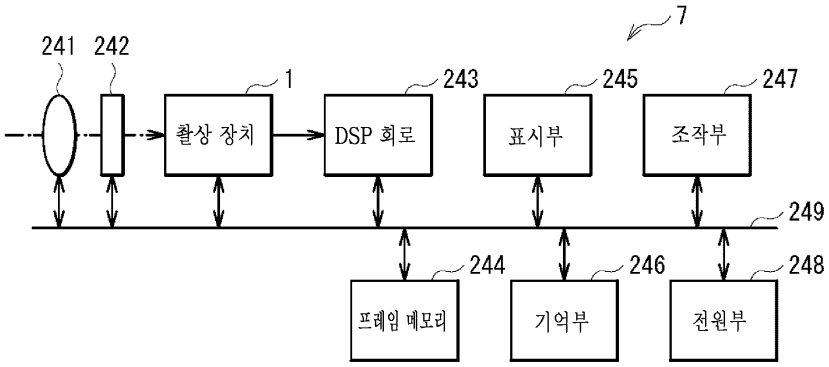
도면97


RST
FDG
400
400T
400S1
400S
200
200T
400S2
200S1
200S
100
100T
200S2
100S
AMP
AG
120E
120
115
117
TR
114

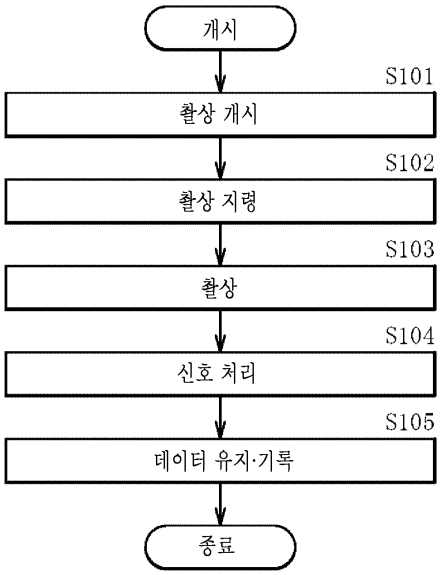
도면98


RST
FDG
400
400T2
400S1
400S
400T1
400S2
200
200T
200S1
200S
100
100T
200S2
100S
401
201
AMP
AG
120E
120
115
117
TR
114

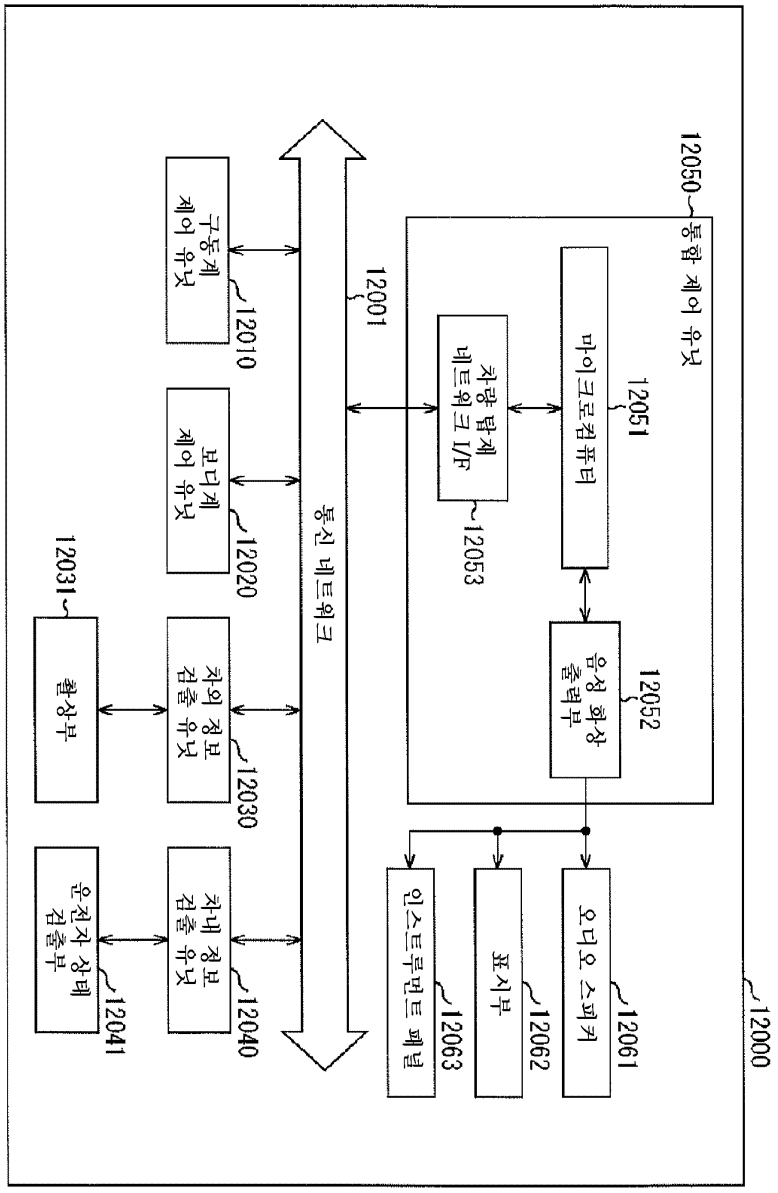
도면99


7
241
242
1
243
245
247
촬상 장치
DSP 회로
표시부
조작부
249
244
246
248
프레임 메모리
기억부
전원부

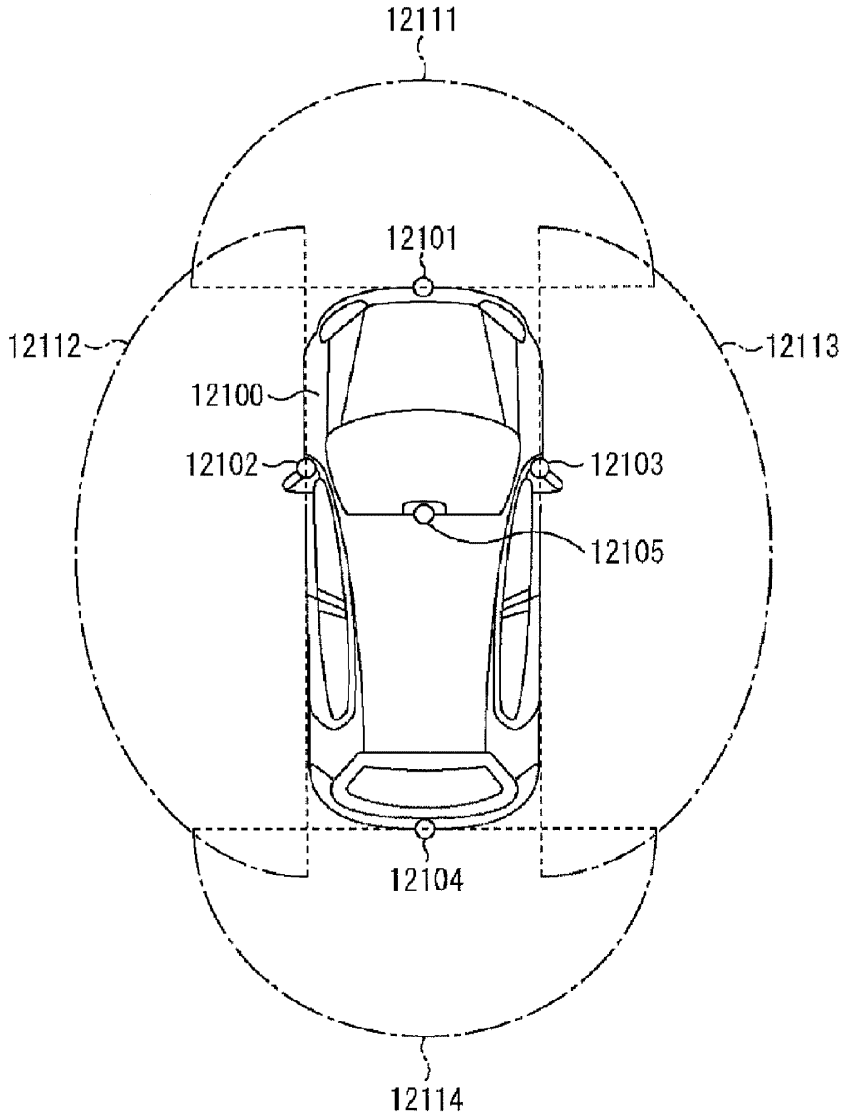
도면100


개시
S101
촬상 개시
S102
촬상 지령
S103
촬상
S104
신호 처리
S105
데이터 유지·기록
종료

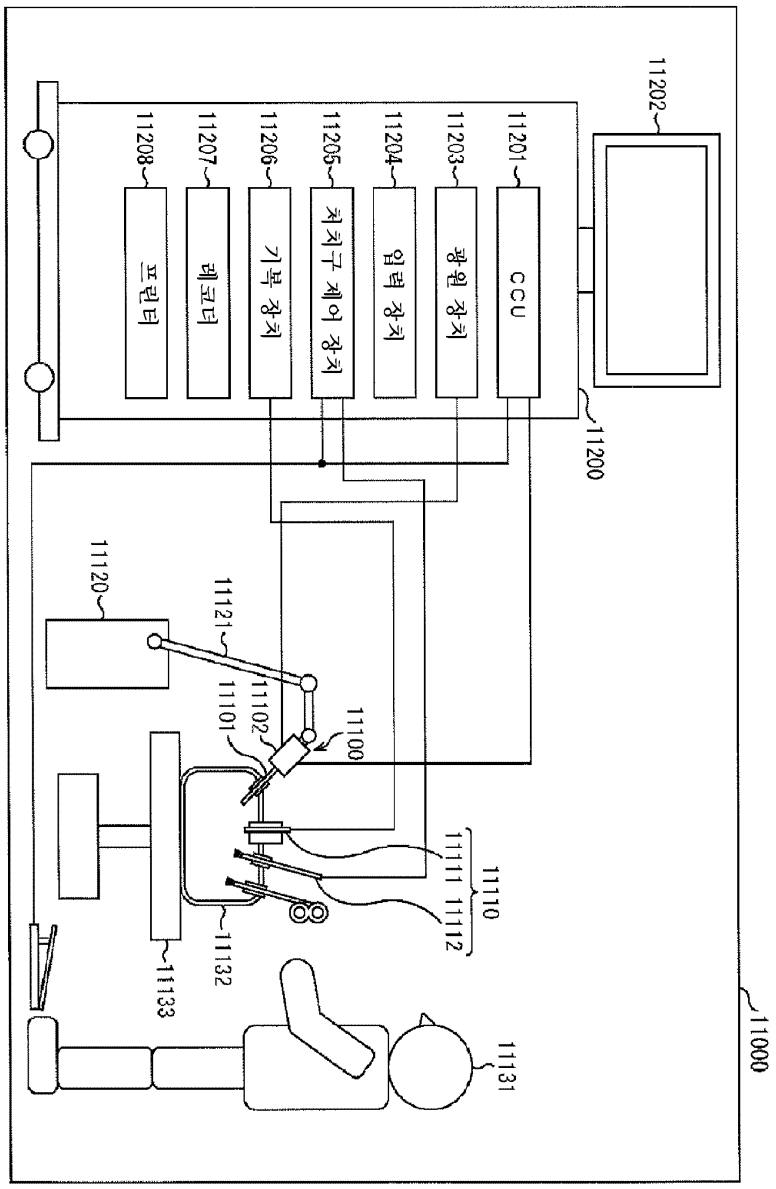
도면101


12000
12050
통합 제어 유닛
12051
마이크로컴퓨터
12052
음성 화상 출력부
12053
차량 탑재 네트워크 I/F
12001
통신 네트워크
12010
구동계 제어 유닛
12020
보디계 제어 유닛
12030
차외 정보 검출 유닛
12040
차내 정보 검출 유닛
12041
운전자 상태 검출부
12031
촬상부
12061
오디오 스피커
12062
표시부
12063
인스트루먼트 패널

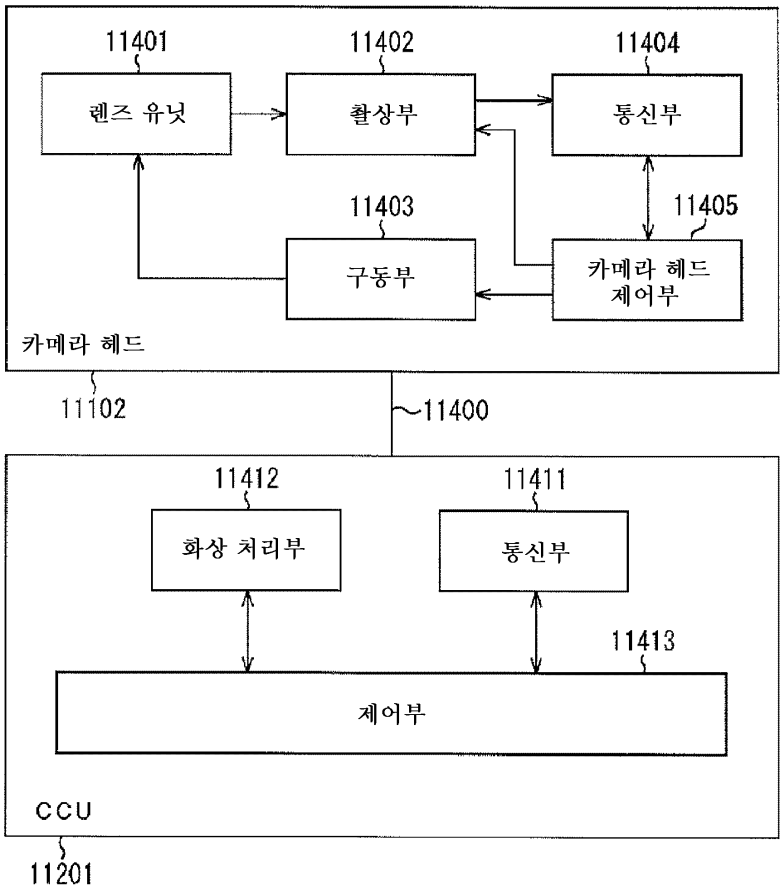
도면102


12111
12101
12112
12113
12100
12102
12103
12105
12104
12114

도면103


11202
11201
CCU
11203
광원 장치
11204
입력 장치
11205
처치구 제어 장치
11206
기복 장치
11207
레코더
11208
프린터
11200
11120
11121
11101
11102
11100
11110
11111
11112
11132
11133
11131
11000

도면104


11401
렌즈 유닛
11402
촬상부
11404
통신부
11403
구동부
11405
카메라 헤드 제어부
카메라 헤드
11102
11400
11412
화상 처리부
11411
통신부
11413
제어부
CCU
11201