

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2012年10月4日(04.10.2012)



(10) 国際公開番号  
WO 2012/132019 A1

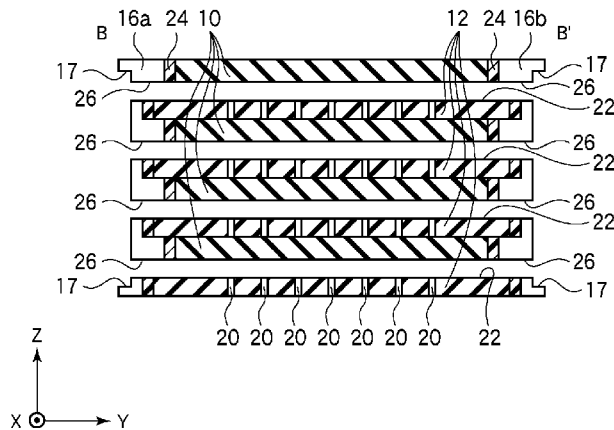
- (51) 国際特許分類:  
H01L 25/065 (2006.01) H01L 25/07 (2006.01)  
H01L 23/473 (2006.01) H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2011/058361
- (22) 国際出願日: 2011年3月31日(31.03.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): 富士通株式会社(FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 水野 義博(MIZUNO, Yoshihiro) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP). ▲高▼馬 悟覚(KOUMA, Norinao) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP). 壺井 修(TSUBOI, Osamu) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 北野 好人(KITANO, Yoshihito); 〒1600015 東京都新宿区大京町9番地 エクシード四谷2階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,

[続葉有]

(54) Title: THREE-DIMENSIONALLY MOUNTED SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 三次元実装半導体装置及びその製造方法

[図3]



(57) Abstract: A three-dimensionally mounted semiconductor device has a stacked structure and a third substrate. The stacked structure is formed by alternately stacking a plurality of first substrates on which a groove-shaped recess portion is formed and a plurality of second substrates on which a semiconductor element is formed, and has recesses and protrusions formed on the sides thereof by the size difference between the first substrate and the second substrate and a first through-hole formed so as to be defined by the inner surface of the groove-shaped recess portion and the surface of the first substrate. The third substrate is joined to the sides of the stacked structure and has recesses and protrusions formed on the surface to be joined to the stacked structure and fitted into the recesses and protrusions on the sides of the stacked structure.

(57) 要約: 溝状の凹部が形成された複数の第1の基板と、半導体素子が形成された複数の第2の基板とが交互に積層されてなり、第1の基板と第2の基板との大きさの違いによる凹凸が側面に形成され、溝状の凹部の内面と第1の基板の面とにより規定される第1の貫通孔が形成された積層構造体と、積層構造体の側面に接合され、積層構造体との接合面に、積層構造体の側面の凹凸に嵌合する凹凸が形成された第3の基板とを有している。



WO 2012/132019 A1

GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:  
— 国際調査報告 (条約第 21 条(3))

## 明 細 書

**発明の名称**：三次元実装半導体装置及びその製造方法

### 技術分野

[0001] 本発明は、複数の半導体チップを積み重ねて実装した三次元実装半導体装置及びその製造方法に関する。

### 背景技術

[0002] 半導体 I Cチップやパッケージ、車載用パワー半導体等の電子部品や電子機器等では、動作時に発生する熱を効率的に取り除き、高い信頼性のもとに継続的に動作する機能を搭載することが求められている。例えば、サーバや P Cには非常に多くの熱を発生する C P U (Central Processing Unit) が使用されているため、そこから発生する熱を効率よく取り除くとともに、筐体内部や設置場所の温度環境を適正に維持することが求められている。また、装置の小型化・高速化の進展に伴い、電流密度が増加しひいては発熱量も多くなっており、熱を効率的に取り除くことがますます求められている。

[0003] 特に、複数の半導体チップを積み重ねて実装した三次元実装半導体装置では、チップ表面に設けたヒートシンク等の放熱装置によって積層内の総ての半導体チップを冷却することは困難であり、如何にして内部の半導体チップから効率的に熱を取り除くかが重要である。

[0004] このような背景から、三次元実装半導体装置の各半導体チップを効率よく冷却するための候補技術として、マイクロチャネルを用いた冷却技術が注目されている。この技術は、三次元実装半導体装置に複数のマイクロチャネルを設け、このマイクロチャネルに冷却用の液体を流すことにより、各半導体チップを冷却する方法である。

[0005] マイクロチャネルとは、マイクロオーダーのディメンジョンをもつ液体用の流路である。マイクロスケールの流れは層流であるとともに体積力よりも表面力（流体の粘性効果）の影響が大きくなる効果が現れるため、少ない流量の流体によって熱伝達率を向上することができる。これにより、熱源から発

生じた熱を効率よく移動させるとともに、必要な冷却性能を得ることができ  
る。さらに、チャンネルの幅及び高さはマイクロオーダーであるため、冷却装置  
を小型化できるメリットもある。また、流体の使用量が少ないため、流体の  
移動エリアや保管エリアに対する設計の自由度が向上するメリットもある。

## 先行技術文献

### 特許文献

[0006] 特許文献1：特開平5-251601号公報

特許文献2：特開平6-21291号公報

### 発明の概要

#### 発明が解決しようとする課題

[0007] 三次元実装半導体装置に設けたマイクロチャンネルに冷却用の流体を流すた  
めには、複数の半導体チップ間や他の部材との接合を確実にし、流体の圧力  
に耐えられるようにすることが重要である。特に、半導体素子の動作時には  
発熱によって熱膨張が生じることもあり、接合部分の信頼性を高めることが  
求められる。

[0008] 本発明の目的は、マイクロチャンネルを有する三次元実装半導体装置に関し  
、半導体チップ間や他の部材との間の接合部分の信頼性を向上しうる三次元  
実装半導体装置及びその製造方法を提供することにある。

#### 課題を解決するための手段

[0009] 実施形態の一観点によれば、溝状の凹部が形成された複数の第1の基板と  
、半導体素子が形成された複数の第2の基板とが交互に積層されてなり、前  
記第1の基板と前記第2の基板との大きさの違いによる凹凸が側面に形成さ  
れ、前記溝状の凹部の内面と前記第1の基板の面とにより規定される第1の  
貫通孔が形成された積層構造体と、前記積層構造体の前記側面に接合され、  
前記積層構造体との接合面に、前記積層構造体の前記側面の凹凸に嵌合する  
凹凸が形成された第3の基板とを有する三次元実装半導体装置が提供される  
。

[0010] また、実施形態の他の観点によれば、溝状の凹部が形成された複数の第 1 の基板と、半導体素子が形成された複数の第 2 の基板とを交互に積層し、前記溝状の凹部の内面と前記第 1 の基板の面とにより規定される第 1 の貫通孔が形成され、側面に前記第 1 の基板と前記第 2 の基板との大きさの違いによる凹凸が形成された積層構造体を形成する工程と、前記積層構造体の前記側面に、前記側面の凹凸に嵌合する凹凸を有する第 3 の基板を接合する工程とを有する三次元実装半導体装置の製造方法が提供される。

### 発明の効果

[0011] 開示の三次元実装半導体装置及びその製造方法によれば、半導体チップ間や他の部材との間の接合部分の信頼性を向上することができる。これにより、三次元実装半導体装置の信頼性及び冷却効率を高めることができる。

### 図面の簡単な説明

[0012] [図1] 図 1 は、第 1 実施形態による三次元実装半導体装置の構造を示す斜視図である。

[図2] 図 2 は、第 1 実施形態による三次元実装半導体装置の構造を示す断面図（その 1）である。

[図3] 図 3 は、第 1 実施形態による三次元実装半導体装置の構造を示す断面図（その 2）である。

[図4] 図 4 は、第 1 実施形態による三次元実装半導体装置の構造を示す断面図（その 3）である。

[図5] 図 5 は、第 1 実施形態による三次元実装半導体装置に用いるシリコンチップの構造を示す平面図（その 1）である。

[図6] 図 6 は、第 1 実施形態による三次元実装半導体装置に用いるシリコンチップの構造を示す平面図（その 2）である。

[図7] 図 7 は、第 1 実施形態による三次元実装半導体装置に配管を接合した構造を示す断面図である。

[図8] 図 8 は、第 1 実施形態による三次元実装半導体装置の製造方法を示す工程断面図（その 1）である。

[図9] 図9は、第1実施形態による三次元実装半導体装置の製造方法を示す工程断面図（その2）である。

[図10] 図10は、第1実施形態による三次元実装半導体装置の製造方法を示す工程断面図（その3）である。

[図11] 図11は、第1実施形態による三次元実装半導体装置の製造方法を示す工程断面図（その4）である。

[図12] 図12は、第2実施形態による三次元実装半導体装置の構造を示す斜視図である。

[図13] 図13は、第2実施形態による三次元実装半導体装置の構造を示す断面図である。

[図14] 図14は、第2実施形態による三次元実装半導体装置に用いるシリコンチップの構造を示す平面図である。

[図15] 図15は、第2実施形態による三次元実装半導体装置の製造方法を示す工程断面図（その1）である。

[図16] 図16は、第2実施形態による三次元実装半導体装置の製造方法を示す工程断面図（その2）である。

[図17] 図17は、第3実施形態による三次元実装半導体装置の構造を示す断面図である。

[図18] 図18は、第3実施形態による三次元実装半導体装置の製造方法を示す工程断面図である。

### 発明を実施するための形態

[0013] [第1実施形態]

第1実施形態による三次元実装半導体装置について図1乃至図11を用いて説明する。

[0014] 図1は、本実施形態による三次元実装半導体装置の構造を示す斜視図である。図2乃至図4は、本実施形態による三次元実装半導体装置の構造を示す断面図である。図5及び図6は、本実施形態による三次元実装半導体装置に用いるシリコンチップの構造を示す平面図である。図7は、本実施形態による

三次元実装半導体装置に配管を接合した構造を示す断面図である。図8乃至図11は、本実施形態による三次元実装半導体装置の製造方法を示す工程断面図である。

[0015] はじめに、本実施形態による三次元実装半導体装置の構造について図1乃至5を用いて説明する。なお、図2は、図1のX-Z面に平行な方向の断面図であり、図4のA-A'線断面図に相当する。図3は、図1のY-Z面に平行な方向の断面図であり、図4のB-B'線断面図に相当する。図4は、図1のX-Y面に平行な方向の断面図であり、図2のC-C'線断面に相当する。

[0016] 本実施形態による三次元実装半導体装置は、図1に示すように、積層構造体14と、積層構造体14の各側面に接合されたシリコンチップ16a, 16b, 16c, 16dとを有している。また、本実施形態による三次元実装半導体装置には、シリコンチップ16aが形成された側面とシリコンチップ16bが形成された側面との間を貫通する複数のマイクロチャネル22, 26が形成されている。

[0017] 積層構造体14は、図2及び図3に示すように、半導体チップ10とマイクロチャネルチップ12とが交互に積層されたものである。図2及び図3の例では、4枚の半導体チップ10と4枚のマイクロチャネルチップ12とを交互に積層しているが、半導体チップ10及びマイクロチャネルチップ12の枚数は、これらに限定されるものではない。

[0018] 半導体チップ10は、シリコン基板上に所定の機能を有する半導体素子が形成されたものであり、必要に応じて図示しない貫通配線を有している。

[0019] マイクロチャネルチップ12は、シリコンにより形成された板状体であり、Z方向に貫くように形成された貫通配線20と、Y方向に延在する溝（マイクロチャネル22）とを有している。

[0020] 半導体チップ10とマイクロチャネルチップ12とを積層することにより、マイクロチャネルチップ12に形成された溝が半導体チップ10によって覆われる。これにより、半導体チップ10とマイクロチャネルチップ12と

間に、積層構造体 14 を Y 方向に貫通する複数のマイクロチャネル 22 が形成される。

- [0021] マイクロチャネル 22 は、水等の冷却用流体を流すためのチャネル（溝）である。マイクロチャネル 22 に冷却用流体を流すことにより、動作により発熱した半導体チップ 10 を冷却することができる。マイクロチャネル 22 は、例えば、幅  $70\ \mu\text{m}$ 、高さ  $100\ \mu\text{m}$  程度の大きさを有している。
- [0022] また、マイクロチャネルチップ 12 を挟む上下の半導体チップ 10 間には、マイクロチャネルチップ 12 に形成された貫通配線 20 によって所望の接続配線が形成される。
- [0023] マイクロチャネルチップ 12 の X 方向及び Y 方向のサイズは、半導体チップ 10 の X 方向及び Y 方向のサイズよりも大きくなっている。半導体チップ 10 の Z 方向のサイズ（厚さ）及びマイクロチャネルチップ 12 の Z 方向のサイズ（厚さ）は、特に限定されるものではない。半導体チップ 10 の Z 方向のサイズ（厚さ）は、例えば半導体チップ 10 の X 方向及び Y 方向のサイズや半導体チップ 10 の形成方法に応じて  $50\ \mu\text{m} \sim 1000\ \mu\text{m}$  程度の間から適宜選択される。マイクロチャネルチップ 12 の Z 方向のサイズ（厚さ）は、例えばマイクロチャネルチップ 12 の X 方向及び Y 方向のサイズやマイクロチャネルチップ 12 の形成方法に応じて  $50\ \mu\text{m} \sim 1000\ \mu\text{m}$  程度の間から適宜選択される。
- [0024] 例えば、半導体チップ 10 のサイズは、特に限定されるものではないが、X 方向のサイズが  $10000\ \mu\text{m}$  であり、Y 方向のサイズが  $10000\ \mu\text{m}$  であり、Z 方向のサイズ（厚さ）が  $500\ \mu\text{m}$  である。また、マイクロチャネルチップ 12 のサイズは、特に限定されるものではないが、X 方向のサイズが  $10200\ \mu\text{m}$  であり、Y 方向のサイズが  $10200\ \mu\text{m}$  であり、Z 方向のサイズ（厚さ）が  $200\ \mu\text{m}$  である。
- [0025] なお、半導体チップ 10 の X 方向及び Y 方向のサイズとマイクロチャネルチップ 12 の X 方向及び Y 方向のサイズとは異なっていればよく、マイクロチャネルチップ 12 の X 方向及び Y 方向のサイズを、半導体チップ 10 の X

方向及びY方向のサイズよりも小さくするようにしてもよい。X方向及びY方向の一方で半導体チップ10のサイズを大きくし、X方向及びY方向の他方でマイクロチャネルチップ12のサイズを大きくするようにしてもよい。

[0026] 大きさの異なる半導体チップ10とマイクロチャネルチップ12とを交互に積層すると、積層構造体14の各側面には、半導体チップ10とマイクロチャネルチップ12とのサイズの差に応じた段差が形成される（図2及び図3を参照）。

[0027] 半導体チップ10とマイクロチャネルチップ12とは、熱膨張係数が同じ材料により形成されていることが望ましい。半導体チップ10を形成する材料の熱膨張係数とマイクロチャネルチップ12を形成する材料の熱膨張係数が異なると、半導体チップ10を駆動した際の熱によって半導体チップ10とマイクロチャネルチップ12との間に亀裂が生じる虞があるからである。上記の例では半導体チップ10及びマイクロチャネルチップ12を同じ材料のシリコンにより形成しているが、熱膨張係数が近い材料であれば、必ずしも同じ材料を用いる必要はない。

[0028] シリコンチップ16a、16b、16c、16dは、図1乃至図4に示すように、積層構造体14の4つの側面にそれぞれ接合されている。シリコンチップ16a及びシリコンチップ16bは、Y方向と交差する積層構造体14の2つの側面にそれぞれ形成されており、シリコンチップ16c及びシリコンチップ16dは、X方向と交差する積層構造体14の2つの側面にそれぞれ形成されている。

[0029] シリコンチップ16aは、図5(a)及び図5(b)に示す構造を有している。

[0030] シリコンチップ16aの、積層構造体14と接合される面には、図5(a)に示すように、凹凸25と貫通孔26とが形成されている。凹凸25は、積層構造体14の側面の段差に嵌合する形状となっている。貫通孔26は、マイクロチャネル22と同じ大きさを有しており、積層構造体14の側面に露出しているマイクロチャネル22の位置と合致するように形成されている。

- 。
- [0031] シリコンチップ 16 a の、積層構造体 14 と接合される面とは反対側の面には、図 5 (b) に示すように、凹部 17 と、貫通孔 26 とが形成されている。凹部 17 は、マイクロチャネル 22 に流す冷却用流体を導入するための配管 (図示せず) と接続する際の便宜のために設けられたものである。凹部 17 の大きさは、特に限定されるものではないが、例えば、Y 方向のサイズが  $500 \mu\text{m}$  であり、Z 方向のサイズが例えば  $2800 \mu\text{m}$  である。
- [0032] シリコンチップ 16 a のその他の面は、特に限定されるものではないが、平面である。
- [0033] シリコンチップ 16 b は、シリコンチップ 16 a と同様の形状を有している。
- [0034] シリコンチップ 16 c は、積層構造体 14 と接合される面には、図 6 に示すように、積層構造体 14 の側面の段差に嵌合する形状の凹凸 27 が形成されている。シリコンチップ 16 c のその他の面は、特に限定されるものではないが、平面である。
- [0035] シリコンチップ 16 d は、シリコンチップ 16 c と同様の形状を有している。
- [0036] シリコンチップ 16 a, 16 b, 16 c, 16 d は、図 2 乃至図 4 に示すように、積層構造体 14 の各側面にシリコーンゴム層 24 を介して接合されている。シリコーンゴム層 24 の厚さは、特に限定されるものではないが、例えば  $10 \mu\text{m}$  程度である。
- [0037] シリコンチップ 16 a, 16 b, 16 c, 16 d は、積層構造体 14 を形成する材料と熱膨張係数が同じ材料により形成されていることが望ましい。シリコンチップ 16 a, 16 b, 16 c, 16 d を形成する材料の熱膨張係数と積層構造体 14 を形成する材料の熱膨張係数が異なると、半導体チップ 10 を駆動した際の熱によって積層構造体 14 とシリコンチップ 16 a, 16 b, 16 c, 16 d との間に亀裂が生じる虞があるからである。上記の例では積層構造体 14 と同じ材料のシリコンにより形成しているが、熱膨張

係数が近い材料であれば、必ずしも同じ材料を用いる必要はない。

[0038] 次に、本実施形態による三次元実装半導体装置に冷却用流体を流すための配管を接続する方法の一例について図7を用いて説明する。なお、図7(a)は、X-Y面に平行な方向の断面図であり、図7(b)は、Y-Z面に平行な方向の断面図である。

[0039] 冷却用流体を流すための配管は、図7(a)及び図7(b)に示すように、本実施形態による三次元実装半導体装置のシリコンチップ16a側の面及びシリコンチップ16b側の面に接続される。即ち、シリコンチップ16a側の面に、配管60aが接続される。また、シリコンチップ16b側の面に、配管60bが接続される。

[0040] 配管60a、60bは、マイクロリング62を介してシリコンチップ16a、16bの凹部17の部分に接合される。シリコンチップ16a、16bに凹部17を設けておくことにより、三次元実装半導体装置と配管60a、60bとの位置合わせが容易になるとともに、配管60a、60bを容易に固定することができる。配管60a、60bの径の大きさは、シリコンチップ16a、16bの凹部17の開口寸法に応じて、適宜選択することが望ましい。または、シリコンチップ16a、16bの凹部17のサイズは、配管60a、60bの径の大きさに応じて、適宜選択することが望ましい。凹部17の形状は、矩形形状に限定されるものではなく、配管60a、60bの形状に応じて適宜選択することができる。

[0041] 配管60aと配管60bとは、例えばバネ機能を有する治具64により接続することが望ましい。配管60aと配管60bとを治具64により接続し、配管60aと配管60bとの間に三次元実装半導体装置を挟持することにより、配管60aとシリコンチップ16aとの接合及び配管60bとシリコンチップ16bとの接合を確実にすることができる。これにより、配管60a、60bの位置ずれや冷却用流体の漏れ等を防止することができる。

[0042] 次に、本実施形態による三次元実装半導体装置の製造方法について図8乃至図11を用いて説明する。

- [0043] まず、積層構造体 14 を形成するための半導体チップ 10 及びマイクロチャネルチップ 12 を用意する。
- [0044] マイクロチャネルチップ 12 の X 方向及び Y 方向のサイズは、半導体チップ 10 の X 方向及び Y 方向のサイズと異なる大きさとする。例えば、半導体チップ 10 の X 方向のサイズを  $10000\ \mu\text{m}$ 、Y 方向のサイズを  $10000\ \mu\text{m}$ 、Z 方向のサイズ（厚さ）を  $500\ \mu\text{m}$  とする。また、マイクロチャネルチップ 12 の X 方向のサイズを  $10200\ \mu\text{m}$ 、Y 方向のサイズを  $10200\ \mu\text{m}$ 、Z 方向のサイズ（厚さ）を  $200\ \mu\text{m}$  とする。
- [0045] 次に、用意した半導体チップ 10 及びマイクロチャネルチップ 12 を交互に積み重ね、積層構造体 14 を形成する。
- [0046] 積層構造体 14 を形成する方法は、特に限定されるものではないが、例えば表面活性化接合法を用いることができる。表面活性化接合法とは、接合面にイオンビームを照射して表面活性化を行った後、配線間のアライメントを行い、加圧接合する方法である。
- [0047] 表面活性化接合法のほか、接合面のシリコン或いはシリコン酸化膜の表面を親水化処理し、水酸基によって接合する酸化膜直接接合法を用いてもよい。或いは、接合面に Cu 膜、Al 膜等の薄膜を形成し、金属原子の拡散を用いて接合する金属接合法を用いてもよい。或いは、BCB (Benzocyclobutene、ベンゾシクロブテン) 樹脂等を用いて接合する樹脂接合法等の他の接合方法を用いてもよい。なお、金属接合法を用いる場合には、金属薄膜が貫通配線間の電氣的導通に影響しないように、金属薄膜を予めパターニングしておく。
- [0048] また、積層構造体 14 とは別に、シリコンチップ 16a, 16b, 16c, 16d を製造する。
- [0049] シリコンチップ 16a, 16b は、例えば以下のようにして製造される。
- [0050] まず、シリコンチップ 16a, 16b を形成するための基板として、例えばシリコン基板 40 を用意する。シリコン基板 40 の厚さは、特に限定されるものではないが、 $200\ \mu\text{m}\sim 525\ \mu\text{m}$  程度、例えば  $500\ \mu\text{m}$  とする

。なお、本実施形態では、基板の表面及び裏面にフォトレジスト等のパターンを形成しエッチング処理を施すので、基板としては、基板の両面が鏡面研磨されたシリコン基板40を用いることが望ましい。シリコン基板40は、不純物をドーピングすることにより導電性を付与されたものでもよい。

[0051] 次いで、シリコン基板40の表面及び裏面に、例えばプラズマCVD法により、シリコン酸化膜42a、42bを形成する。シリコン酸化膜42a、42bの膜厚は、例えば1~2 $\mu$ m程度とする。

[0052] 次いで、シリコン酸化膜42a上に、例えばスピコート法により、フォトレジスト膜43を形成する。フォトレジスト膜43の厚さは、例えば4 $\mu$ m程度とする。フォトレジスト膜43の材料としては、例えばAZエレクトロニックマテリアルズ社製のフォトレジスト（商品名：AZ P4620）を用いる。フォトレジストは、例えば回転数2000rpmでシリコン酸化膜42a上に塗布される。その後、フォトレジストは、120 $^{\circ}$ Cで加熱処理される。こうして、シリコン酸化膜42a上にフォトレジスト膜43が形成される（図8（a））。

[0053] 次いで、フォトリソグラフィ技術によりフォトレジスト膜43をパターンニングし、フォトレジスト膜43の貫通孔26の形成領域に、開口部44を形成する。開口部44の開口寸法は、例えば70 $\mu$ m $\times$ 100 $\mu$ m程度とする。

[0054] 次いで、フォトレジスト膜43をマスクとして、例えばバッファードフッ酸を用いたウェットエッチングにより、シリコン酸化膜42aをエッチングする。これにより、シリコン酸化膜42aの貫通孔26形成領域に、開口部45が形成される（図8（b））。

[0055] なお、エッチングを行う時間は、シリコン酸化膜42aの膜厚に応じて適宜調整する。また、シリコン酸化膜42aのエッチングの際に裏面のシリコン酸化膜42bがエッチングされないように、シリコン基板40の裏面をフォトレジスト膜等の保護膜で覆っておく。

[0056] 次いで、例えばアッシング等により、フォトレジスト膜43を除去する。

- [0057] 次いで、同様の手順により、シリコン基板40の裏面に形成されたシリコン酸化膜42bをパターニングし、シリコン酸化膜42bの凹部17の形成予定領域に開口部46を形成する。開口部46の開口寸法は、例えば10000 $\mu\text{m}$ ×2000 $\mu\text{m}$ とする(図8(c))。
- [0058] 次いで、シリコン酸化膜42a上に、例えばスピコート法により、フォトレジスト膜48を形成する。フォトレジスト膜48の膜厚は、例えば4 $\mu\text{m}$ 程度とする。
- [0059] 次に、フォトリソグラフィ技術により、フォトレジスト膜48をパターニングする。これにより、フォトレジスト膜48に、凹凸25の凸部に対応する開口部50を形成する(図8(d))。開口部50の開口寸法は、例えば10200 $\mu\text{m}$ ×200 $\mu\text{m}$ 程度とする。
- [0060] 次いで、シリコン酸化膜42a及びフォトレジスト膜48をマスクとして、例えばDRIE(Deep Reactive Ion Etching、深堀りRIE)法により、シリコン基板40を、例えば300 $\mu\text{m}$ 程度エッチングする(図9(a))。
- [0061] DRIEとは、エッチングとエッチング側壁保護とを繰り返しながら行うエッチング技術である。エッチングのステップにおいては、例えばSF<sub>6</sub>ガスを用いてエッチングを行う。側壁保護のステップにおいては、例えばC<sub>4</sub>F<sub>8</sub>ガスを用いて側壁を保護する。保護膜により横方向のエッチングが抑制される異方性エッチングとなる。これにより、アスペクト比の高い溝を形成することができる。
- [0062] DRIE法の第1のステップとしては、例えば、コイルパワーを600W、プロセスチャンバ内の圧力を14.5mTorrとした状態下にて、C<sub>4</sub>F<sub>8</sub>ガスを例えば130sccmの流量で導入する6.3秒の処理を適用することができる。DRIE法の第2のステップとしては、例えば、コイルパワーを600W、プロセスチャンバ内の圧力を14.5mTorr、基板へのRFパワーを380kHzで23Wとした状態下にて、SF<sub>6</sub>ガスを130sccmの流量で導入する7.5秒の処理を適用することができる。第1のステ

ップ及び第2のステップは、交互に繰り返される。

[0063] 次いで、フォトリジスト膜48をマスクとして、例えばドライエッチングにより、シリコン酸化膜42aをエッチングする(図9(b))。

[0064] 次いで、フォトリジスト膜48をマスクとして、例えばDRIE法により、シリコン基板40を、例えば100 $\mu$ m程度エッチングする(図9(c))。エッチング条件としては、図7(b)を用いて上述したエッチング条件と同様の条件を適用することができる。

[0065] 次に、例えばアッシングによりフォトリジスト膜48を、例えばドライエッチングによりシリコン酸化膜42aを、除去する。

[0066] 次いで、シリコン基板40上にサポート基板52を貼り合わせる。サポート基板52としては、例えば日東電工株式会社製の熱剥離シート(商品名:リバアルファ 3195M)を用いる。サポート基板の厚さは、例えば525 $\mu$ mとする。サポート基板52は、後述するシリコン基板40を裏面からのエッチングを行うプロセスにおいて、シリコン基板40の破損を防止するために用いられる。

[0067] 次いで、シリコン酸化膜42bをマスクとして、例えばDRIE法により、シリコン基板40を、シリコン基板40の裏面側から例えば100 $\mu$ mエッチングする。これにより、シリコン基板40の裏面側に凹部17が形成される。また、シリコン基板40の裏面側に形成した凹部17とシリコン基板40の表面側に形成した開口部とが接続され、貫通孔26が形成される(図9(d))。エッチング条件としては、図7(b)を用いて上述したエッチング条件と同様の条件を適用することができる。

[0068] 次いで、シリコン基板40に貫通孔26が形成されたことを確認した後に、サポート基板52を剥離する。

[0069] 次いで、例えばドライエッチングにより、シリコン酸化膜42bを除去する(図9(e))。

[0070] こうして、シリコンチップ16a、シリコンチップ16bが製造される。

[0071] シリコンチップ16c、16dは、例えば以下のようにして製造される。

- [0072] まず、シリコンチップ16c, 16dを形成するための基板として、例えばシリコン基板54を用意する。シリコン基板54の厚さは、特に限定されるものではないが、200 $\mu$ m~525 $\mu$ m程度、例えば500 $\mu$ mとする。なお、本実施形態では、基板の表面にフォトレジスト等のパターンを形成しエッチング処理を施すので、基板としては、基板の表面が鏡面研磨されたシリコン基板54を用いることが望ましい。シリコン基板54は、不純物をドーピングすることにより導電性を付与されたものでもよい。
- [0073] 次に、シリコン基板54上に、例えばスピコート法により、フォトレジスト膜56を形成する。フォトレジスト膜56の厚さは、例えば4 $\mu$ m程度とする（図10（a））。
- [0074] 次に、フォトリソグラフィ技術によりフォトレジスト膜56をパターンニングし、フォトレジスト膜56に、凹凸27の凸部に対応する開口部58を形成する。開口部58の開口寸法は、例えば10200 $\mu$ m $\times$ 200 $\mu$ m程度とする
- 次に、フォトレジスト膜56をマスクとして、例えばDRIE法により、シリコン基板56を、例えば100 $\mu$ m程度エッチングする（図10（c））。これにより、シリコン基板56に凹凸27の凹部が形成される。エッチング条件としては、図7（b）を用いて上述したエッチング条件と同様の条件を適用することができる。
- [0075] 次に、例えばアッシング等により、フォトレジスト膜56を除去する。
- [0076] こうして、シリコンチップ16c, 16dが製造される。
- [0077] 次に、積層構造体14と、シリコンチップ16a, 16b, 16c, 16dとを接合する。
- [0078] まず、シリコンチップ16a, 16bの積層構造体14と接合される表面上に、例えばスピコート法又はスプレーコート法により、PDMS（polydimethylsiloxane）を塗布し、乾燥させる。こうして、シリコンチップ16a, 16bの凹凸を有する表面上に、シリコーンゴム層24を形成する（図11（a））。シリコーンゴム層24の厚さは、例えば10 $\mu$ m程度とする

- 。
- [0079] 次いで、マイクロチャネル22が露出している積層構造体14の側面の段差とシリコンチップ16a, 16bの表面の凹凸25とが合致するように、位置合わせをする。
- [0080] 次いで、例えば、積層構造体14の側面にエキシマ光を照射する。エキシマ光とは、希ガスやハロゲン等の混合ガスを用いたレーザー光である。エキシマ光を照射することにより、積層構造体14の表面、即ち、半導体チップ10及びマイクロチャネルチップ12の形成材料であるシリコン原子が活性化する。
- [0081] 次いで、活性化した積層構造体14の側面と、シリコーンゴム層24が形成されたシリコンチップ16a, 16bの表面とを加圧接合する。これにより、シリコンチップ16a, 16bと積層構造体14とがシリコーンゴム層24を介して接合される(図11(b))。なお、接合面にシリコーンゴム層24を形成しておくことには、シリコンチップ16a, 16b, 16c, 16dと積層構造体14とを接合する際の衝撃を吸収する効果もある。
- [0082] この際、シリコンチップ16a, 16bの表面の凹凸25と積層構造体14の側面の段差とが嵌合したときに貫通孔26の位置とマイクロチャネル22との位置が合致するように予め凹凸25及び貫通孔26を形成しておくことにより、貫通孔26とマイクロチャネル22との位置合わせは不要となる。
- 。
- [0083] 次いで、図11を用いて上述した接合方法と同様の方法により、積層構造体14の他の側面とシリコンチップ16c, 16dとを接合する(図示せず)。
- [0084] こうして、本実施形態による三次元実装半導体装置が製造される。
- [0085] このように、本実施形態によれば、半導体チップ10, マイクロチャネルチップ12及びシリコンチップ16a, 16b, 16c, 16dはシリコンを材料としている。これにより、熱膨張に対する高い信頼性を確保することができる。

[0086] また、本実施形態によれば、積層構造体 14 の側面に段差を設け、シリコンチップ 16 a ~ 16 d に積層構造体 14 の側面の段差に対応する凹凸を形成することにより、積層構造体 14 とシリコンチップ 16 a ~ 16 d との接合を容易に行うことができる。

[0087] また、本実施形態によれば、シリコンチップ 16 a, 16 b に形成された凹部 17 により、シリコンチップ 16 a, 16 b と配管 60 a, 60 b とを容易に接合することができる。これにより、三次元実装半導体装置を他の基板へ実装するプロセスの順序をより柔軟に選択することができる。より具体的には、シリコンチップ 16 a, 16 b と配管 60 a, 60 b とを接合した後に、三次元実装半導体装置を他の基板へ実装してもよい。或いは、三次元実装半導体装置を他の基板へ実装した後に、シリコンチップ 16 a, 16 b と配管 60 a, 60 b とを接合してもよい。

[0088] [第 2 実施形態]

第 2 実施形態による三次元実装半導体装置及びその製造方法について図 12 乃至 16 を用いて説明する。図 1 乃至図 11 に示す第 1 実施形態による三次元実装半導体装置と同一の構成要素には同一の符号を付し説明を省略し又は簡潔にする。

[0089] 図 12 は、本実施形態による三次元実装半導体装置の斜視図である。図 13 は、本実施形態による三次元実装半導体装置の断面図である。図 14 は、本実施形態による三次元実装半導体装置に用いるシリコンチップの構造を示す平面図である。図 15 及び図 16 は、本実施形態による三次元実装半導体装置の製造方法を示す工程断面図である。

[0090] はじめに、本実施形態による三次元実装半導体装置の製造について図 12 乃至図 14 を用いて説明する。なお、図 13 は、図 12 の Y-Z 面に平行な方向の断面図である。

[0091] 本実施形態による三次元実装半導体装置は、シリコンチップ 16 a, 16 b に形成された貫通孔 26 の形状が異なるほかは、図 1 に示す第 1 実施形態による三次元実装半導体装置と同様である。

- [0092] 即ち、本実施形態による三次元実装半導体装置は、図12乃至図14に示すように、チップ16a, 16bに形成された貫通孔26が、マイクロチャネル22側に向かうほどに幅（内径）が狭くなるテーパ形状を有している。
- [0093] 貫通孔26の形状をこのようなテーパ形状とすることにより、配管60aから貫通孔26を介してマイクロチャネル22に流入する冷却用流体の抵抗、並びに、マイクロチャネル22から貫通孔26を介して配管60bに流出する冷却用流体の抵抗を低減することができる。即ち、冷却用流体と貫通孔26との間の摩擦抵抗による圧力損失を低減することができる。これにより、半導体装置の冷却効率を高めることができる。
- [0094] 次に、本実施形態による三次元実装半導体装置の製造方法について、図15及び図16を用いて説明する。
- [0095] 本実施形態による三次元実装半導体装置の製造方法は、シリコンチップ16a, 16bの製造方法が異なるほかは、第1実施形態による三次元実装半導体装置の製造方法と同じである。
- [0096] 本実施形態による三次元実装半導体装置のシリコンチップ16a, 16bは、例えば以下のように製造することができる。
- [0097] まず、シリコンチップ16a, 16bを形成するための基板として、例えばシリコン基板70を用意する。シリコン基板70の厚さは、特に限定されるものではないが、200 $\mu$ m~525 $\mu$ m程度、例えば500 $\mu$ mとする。なお、本実施形態では、基板の両面にフォトリソグラフィ等のパターンを形成しエッチング処理を施すので、基板としては、基板の両面が鏡面研磨されたシリコン基板70を用いることが望ましい。シリコン基板70は、不純物をドーピングすることにより導電性を付与されたものでもよい。
- [0098] 次いで、シリコン基板70の表面及び裏面に、例えばプラズマCVD法により、シリコン酸化膜72a, 72bを形成する。シリコン酸化膜72a, 72bの膜厚は、例えば1~2 $\mu$ m程度とする
- 次いで、フォトリソグラフィ及びドライエッチングにより、シリコン酸化膜72aをパターンニングする。これにより、シリコン酸化膜72aの凹部1

7の形成予定領域に開口部46を形成する。開口部46の開口寸法は、例えば $10000\mu\text{m}\times 2000\mu\text{m}$ とする。

[0099] 次いで、フォトリソグラフィ及びドライエッチングにより、シリコン酸化膜72bをパターニングする。これにより、シリコン酸化膜72bに、凹凸25の凸部に対応する開口部76を形成する。開口部76の開口寸法は、例えば $10200\mu\text{m}\times 200\mu\text{m}$ とする(図15(a))。

[0100] 次いで、シリコン基板70の表面に、例えばスピコート法により、フォトレジスト膜78を形成する。フォトレジスト膜78の膜厚は、例えば $4\mu\text{m}$ 程度とする。

[0101] 次いで、フォトリソグラフィ技術により、フォトレジスト膜78をパターニングする。これにより、フォトレジスト膜78に、テーパ状の貫通孔26の開口面に対応する開口部80を形成する(図15(b))。開口部80の開口寸法は、例えば $10000\mu\text{m}\times 2000\mu\text{m}$ 程度とする。

[0102] 次いで、シリコン酸化膜72a及びフォトレジスト膜78をマスクとして、例えばDRIE法により、シリコン基板70を、側壁部分がテーパ形状になるようにエッチングする(図15(c))。より具体的には、DRIE法の第1のステップとしては、例えば、コイルパワーを600W、プロセスチャンバ内の圧力を $14.5\text{mTorr}$ とした状態下にて、 $\text{C}_4\text{F}_8$ ガスを例えば $130\text{sccm}$ の流量で導入する6.3秒の処理を適用することができる。DRIE法の第2のステップとしては、例えば、コイルパワーを600W、プロセスチャンバ内の圧力を $14.5\text{mTorr}$ 、基板へのRFパワーを $380\text{kHz}$ で $23\text{W}$ とした状態下にて、 $\text{SF}_6$ ガスを $130\text{sccm}$ の流量で導入する4.5秒の処理を適用することができる。第1のステップ及び第2のステップは、交互に繰り返される。これにより、横方向へのエッチングを制御することができる。即ち、側壁形状を制御しながらエッチングを行うことが可能となる。なお、シリコン基板70のエッチングには、異方性ウェットエッチングを用いてもよい。

[0103] 次いで、例えばアッシング等により、フォトレジスト膜78を除去する。

- [0104] 次いで、シリコン酸化膜 72 a をマスクとして、例えば D R I E 法により、シリコン基板 70 を、例えば 100  $\mu$ m 程度エッチングする。これにより、シリコン基板 70 に凹部 17 を形成する（図 15 (d)）。エッチング条件としては、図 7 (b) を用いて上述したエッチング条件と同様の条件を適用することができる。
- [0105] 次いで、シリコン酸化膜 72 b をマスクとして、例えば D R I E 法により、シリコン基板 70 を、シリコン基板 70 の裏面から例えば 100  $\mu$ m 程度エッチングする。これにより、シリコン基板 70 の裏面側に凹凸 25 が形成される。また、シリコン基板 70 の裏面側に形成した凹凸 25 とシリコン基板 70 の表面側に形成した開口部が接続され、テーパ状の貫通孔 26 が形成される（図 15 (e)）。エッチング条件としては、図 7 (b) を用いて上述したエッチング条件と同様の条件を適用することができる。
- [0106] 次いで、例えばドライエッチングにより、シリコン酸化膜 72 a, 72 b を除去する（図 15 (f)）。
- [0107] こうして、本実施形態による三次元実装半導体装置のシリコンチップ 16 a, 16 b が製造される。
- [0108] このように製造されたシリコンチップ 16 a, 16 b は、別途製造した積層構造体 14 の側面部分に、第 1 実施形態による三次元実装半導体装置の製造方法と同様の手順により接合される（図 16 (a) ~ (c)）。
- [0109] この後、シリコンチップ 16 c, 16 d を積層構造体 14 に接合し、本実施形態による三次元実装半導体装置を完成する。
- [0110] このように、本実施形態によれば、シリコンチップ 16 a, 16 b の貫通孔 26 をテーパ形状とするので、冷却用流体と貫通孔 26 との間の摩擦抵抗による圧力損失を低減することができる。これにより、冷却効率を高めることができる。
- [0111] [第 3 実施形態]
- 第 3 実施形態による三次元実装半導体装置及びその製造方法について図 17 及び図 18 を用いて説明する。図 1 乃至図 16 に示す第 1 及び第 2 実施形

態による三次元実装半導体装置と同一の構成要素には同一の符号を付し説明を省略し又は簡潔にする。

[0112] 図 17 は、本実施形態による三次元実装半導体装置の構造を示す断面図である。図 18 は、本実施形態による三次元実装半導体装置の製造方法を示す工程断面図である。

[0113] はじめに、本実施形態による三次元実装半導体装置の構造について図 17 を用いて説明する。なお、図 17 は、図 1 の Y-Z 面に平行な方向の断面図である。

[0114] 本実施形態による三次元実装半導体装置は、図 12 に示すように、第 1 実施形態による三次元実装半導体装置の構造と基本的に同じである。本実施形態による三次元実装半導体装置が第 1 実施形態による三次元実装半導体装置と異なる点は、シリコンチップ 16 a, 16 b, 16 c, 16 d とがシリコンゴム層 24 を介さずに積層構造体 14 に直接接合されている点である（図 17 参照）。

[0115] 次に、本実施形態による三次元実装半導体装置の製造方法について図 18 を用いて説明する。

[0116] まず、第 1 実施形態による三次元実装半導体装置の製造方法と同様の手順により、積層構造体 14 及びシリコンチップ 16 a, 16 b, 16 c, 16 d を用意する。

[0117] 次に、シリコンチップ 16 a, 16 b, 16 c, 16 d を、積層構造体 14 の側面に接合する。

[0118] まず、マイクロチャネル 22 が露出している積層構造体 14 の側面の段差とシリコンチップ 16 a, 16 b の表面の凹凸 25 とが合致するように、位置合わせをする（図 18 (a)）。

[0119] 次に、例えば、積層構造体 14 の側面及びシリコンチップ 16 a, 16 b の凹凸 25 を有する表面に、例えばアルゴンガスを原料ガスとするイオンビームを照射する。イオンビームを照射することにより、積層構造体 14 の側面及びシリコンチップ 16 a, 16 b の表面が活性化する。

- [0120] なお、アルゴンイオンを照射する代わりに、例えば酸素を用いたプラズマを照射した後に窒素ラジカル処理を用いてもよい。
- [0121] 次いで、活性化した積層構造体14の側面と、活性化したシリコンチップ16a, 16bの表面とを加圧接合する。これにより、積層構造体14の表面の活性化したシリコン原子と、シリコンチップ16a, 16bの表面の活性化したシリコン原子とが結合する。即ち、シリコンチップ16a, 16bと積層構造体14とが接合される(図14(b))。
- [0122] なお、本実施形態では、積層構造体14の表面及びシリコンチップ16a, 16bの表面を活性化することにより積層構造体14とシリコンチップ16a, 16bとを直接接合したが、接合方法は特に限定されるものではない。
- [0123] 例えば、金属接合法により、積層構造体14とシリコンチップ16a, 16bとを接合してもよい。金属接合法を用いる場合においては、シリコンチップ16a, 16bの凹凸25を有する表面上に、例えば10nm~100nm程度の金属薄膜を形成する。金属薄膜の形成材料としては、例えば銅或いはアルミニウムを用いる。その後、積層構造体14とシリコンチップ16a, 16bとを接触させ、例えば400℃で、例えば1時間加熱処理する。これにより、積層構造体14とシリコンチップ16a, 16bとが接合される。
- [0124] 次いで、図14を用いて上述した接合方法と同様の方法により、積層構造体14の他の側面とシリコンチップ16c, 16dとを接合する(図示せず)。
- [0125] こうして、本実施形態による三次元実装半導体装置が製造される。
- [0126] このように、本実施形態によれば、積層構造体14の表面及びシリコンチップ16a, 16bの凹凸25を有する表面を活性化させることにより、常温で接合することができる。
- [0127] [変形実施形態]  
上記実施形態に限らず種々の変形が可能である。

[0128] 例えば、第1実施形態及び第2実施形態では、シリコーンゴム層24を介して、積層構造体14とシリコンチップ16a、16bとを接合したが、接合方法は、特に限定されるものではない。例えば、シリコーンゴム層24の代わりに、シリコーン系接着剤やポリイミド層を用いてもよい。シリコーン系接着剤としては、例えば東レ・ダウコーニング株式会社製シリコン樹脂（商品名：SYLGARD（商標登録）シリーズ）を挙げることができる。ポリイミド層の形成材料としては、例えば日立化成デュポンマイクロシステムズ株式会社製ポリイミド樹脂（商品名：HD3000シリーズ）を挙げることができる。

[0129] また、上記実施形態では、半導体チップ10のX方向のサイズ及びY方向のサイズと、マイクロチャネルチップ12のX方向のサイズ及びY方向のサイズとが異なるようにしたが、これに限定されるものではない。例えば、半導体チップ10のX方向のサイズ及びY方向のサイズと、マイクロチャネルチップ12のX方向のサイズ及びY方向のサイズとが同じであってもよい。その際には、半導体チップ10とマイクロチャネルチップ12とを、各側面に段差が形成されるように積層すればよい。

[0130] また、上記実施形態では、シリコンチップ16a～16dのエッチング方法として、DRIE法を用いたが、これに限定されるものではない。例えば、ウェットエッチングを用いてもよい。

[0131] また、第2実施形態では、シリコーンゴム層24を介して積層構造体14とシリコンチップ16a、16b、16c、16dとを接合したが、これに限定されるものではない。例えば、第3実施形態と同様に、積層構造体14とシリコンチップ16a、16b、16c、16dとを直接接合してもよい。或いは、金属接合法等の他の方法により接合してもよい。

## 符号の説明

- [0132] 10…半導体チップ  
12…マイクロチャネルチップ  
14…積層構造体

- 16 a ~ 16 d …シリコンチップ
- 17 …凹部
- 20 …貫通配線
- 22 …マイクロチャネル
- 24 …シリコーンゴム層
- 25 …凹凸
- 26 …貫通孔
- 27 …凹凸
- 40 …シリコン基板
- 42 a, 42 b …シリコン酸化膜
- 43 …フォトレジスト膜
- 44, 45, 46 …開口部
- 48 …フォトレジスト膜
- 50 …開口部
- 52 …サポート基板
- 54 …シリコン基板
- 56 …フォトレジスト膜
- 58 …開口部
- 60 a, 60 b …配管
- 62 …マイクロリング
- 64 …治具
- 70 …シリコン基板
- 72 a, 72 b …シリコン酸化膜
- 76 …開口部
- 78 …フォトレジスト膜
- 80 …開口部

## 請求の範囲

- [請求項1] 溝状の凹部が形成された複数の第1の基板と、半導体素子が形成された複数の第2の基板とが交互に積層されてなり、前記第1の基板と前記第2の基板との大きさの違いによる凹凸が側面に形成され、前記溝状の凹部の内面と前記第1の基板の面とにより規定される第1の貫通孔が形成された積層構造体と、
- 前記積層構造体の前記側面に接合され、前記積層構造体との接合面に、前記積層構造体の前記側面の凹凸に嵌合する凹凸が形成された第3の基板と
- を有することを特徴とする三次元実装半導体装置。
- [請求項2] 請求項1記載の三次元実装半導体装置において、
- 前記第1の基板、前記第2の基板、及び前記第3の基板は、熱膨張係数が同じ材料により形成されている
- ことを特徴とする三次元実装半導体装置。
- [請求項3] 請求項2記載の三次元実装半導体装置において、
- 前記第1の基板、前記第2の基板、及び前記第3の基板を形成する前記材料は、シリコンである
- ことを特徴とする三次元実装半導体装置。
- [請求項4] 請求項1乃至3のいずれか1項に記載の三次元実装半導体装置において、
- 前記積層構造体の各側面に、前記第3の基板が接合されている
- ことを特徴とする三次元実装半導体装置。
- [請求項5] 請求項1乃至4のいずれか1項に記載の三次元実装半導体装置において、
- 前記第3の基板は、前記第1の貫通孔に対向する第2の貫通孔を有する
- ことを特徴とする三次元実装半導体装置。
- [請求項6] 請求項5記載の三次元実装半導体装置において、

前記第 2 の貫通孔は、前記第 1 の貫通孔に向かって幅の狭くなるテーパー形状を有する

ことを特徴とする三次元実装半導体装置。

[請求項7]

請求項 5 又は 6 記載の三次元実装半導体装置において、  
前記積層構造体側の前記第 2 の貫通孔の大きさと前記第 1 の貫通孔の大きさとが略等しい

ことを特徴とする三次元実装半導体装置。

[請求項8]

請求項 5 乃至 7 のいずれか 1 項に記載の三次元実装半導体装置において、

前記第 3 の基板は、前記積層構造体への接合面とは反対側の面に、前記第 1 の貫通孔に流体を導入出する導管を接続するための凹部が形成されている

ことを特徴とする三次元実装半導体装置。

[請求項9]

請求項 1 乃至 8 のいずれか 1 項に記載の三次元実装半導体装置において、

前記第 1 の貫通孔は、マイクロチャネルである

ことを特徴とする三次元実装半導体装置。

[請求項10]

溝状の凹部が形成された複数の第 1 の基板と、半導体素子が形成された複数の第 2 の基板とを交互に積層し、前記溝状の凹部の内面と前記第 1 の基板の面とにより規定される第 1 の貫通孔が形成され、側面に前記第 1 の基板と前記第 2 の基板との大きさの違いによる凹凸が形成された積層構造体を形成する工程と、

前記積層構造体の前記側面に、前記側面の凹凸に嵌合する凹凸を有する第 3 の基板を接合する工程と

を有することを特徴とする三次元実装半導体装置の製造方法。

[請求項11]

請求項 10 記載の三次元実装半導体装置の製造方法において、前記積層構造体の各側面に、前記第 3 の基板を接合する

ことを特徴とする三次元実装半導体装置の製造方法。

[請求項12] 請求項10又は11記載の三次元実装半導体装置の製造方法において、

前記第3の基板は、シリコーンゴム層を介して前記積層構造体に接合する

ことを特徴とする三次元実装半導体装置の製造方法。

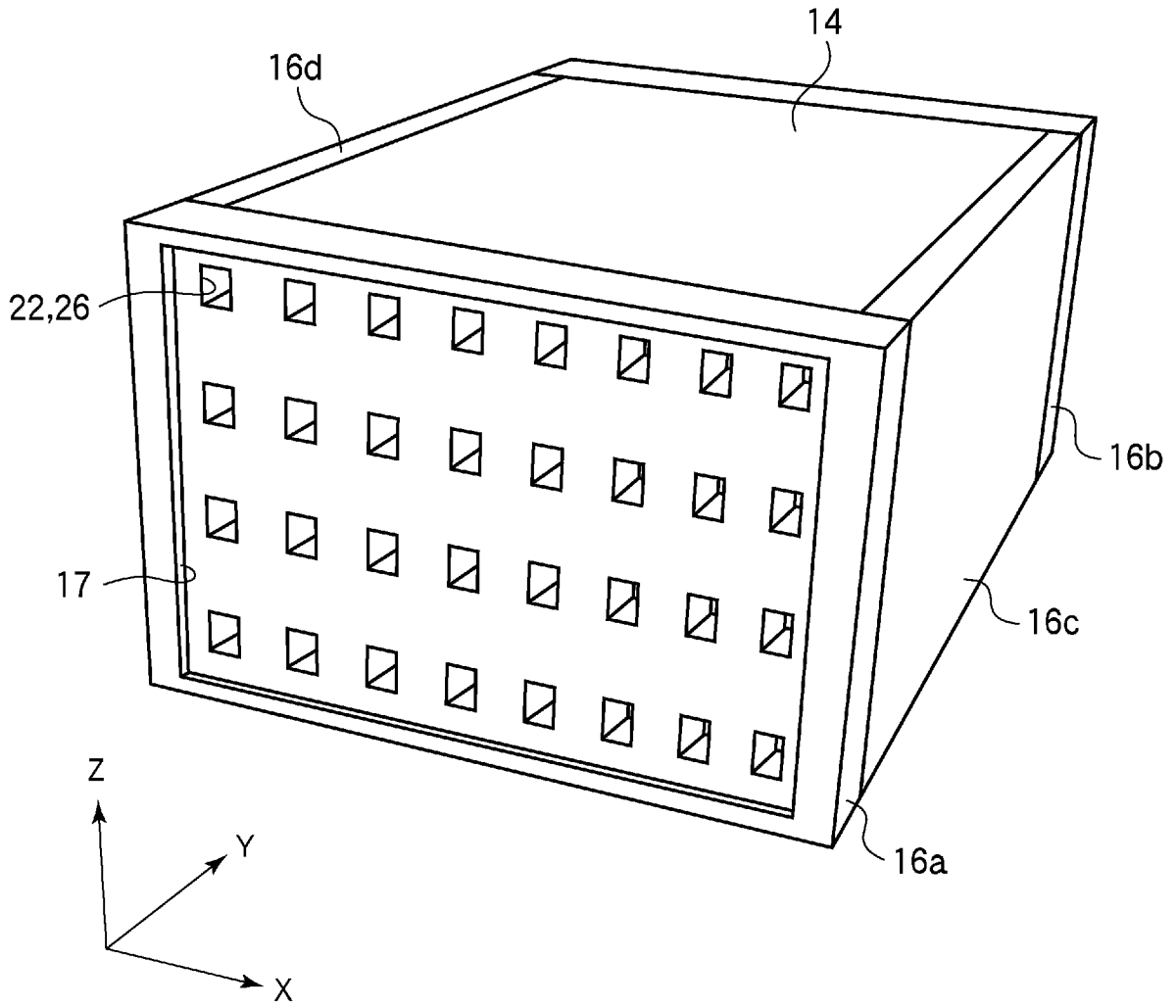
[請求項13] 請求項10又11記載の三次元実装半導体装置の製造方法において

、

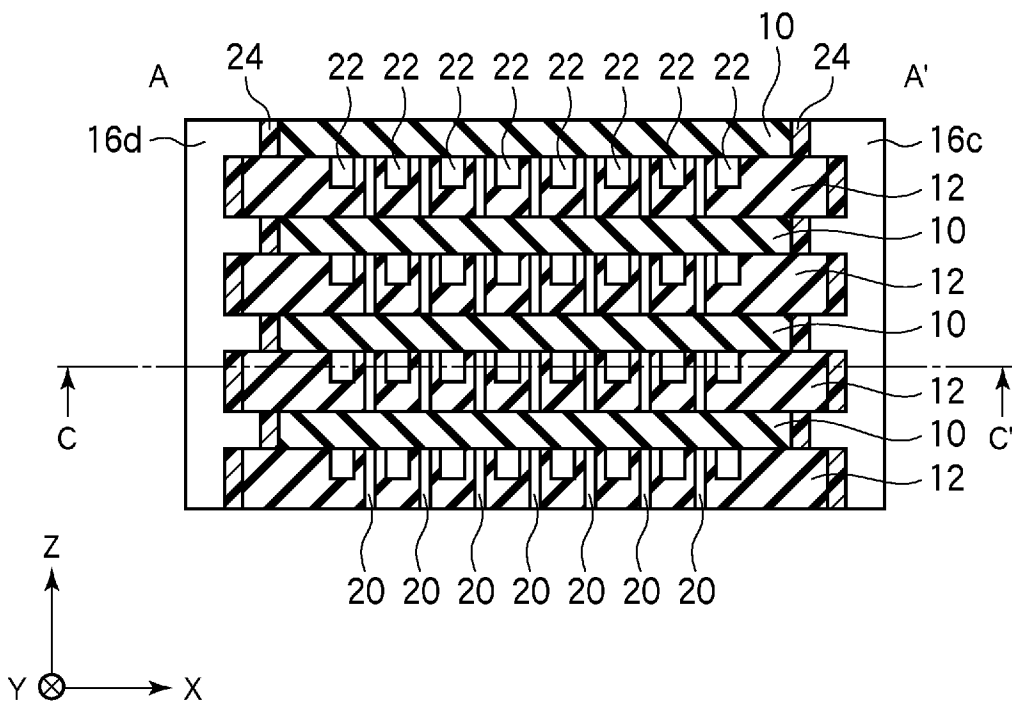
前記第3の基板は、前記積層構造体に直接接合する

ことを特徴とする三次元実装半導体装置の製造方法。

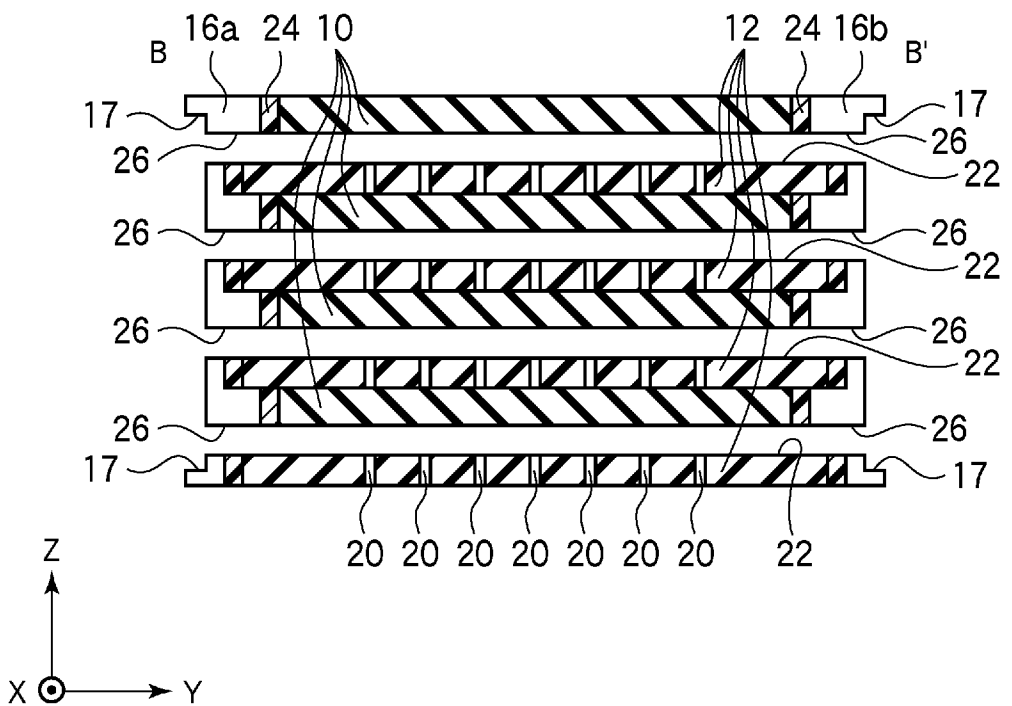
[図1]



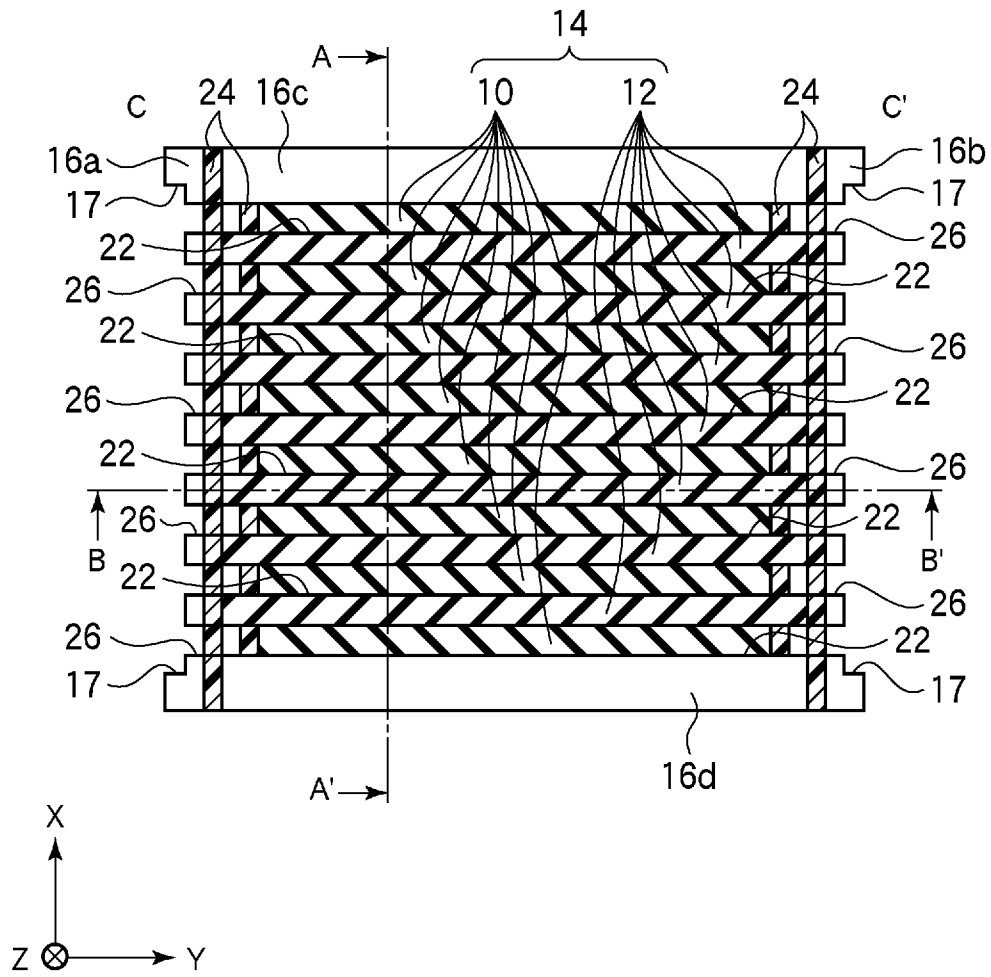
[圖2]



[圖3]

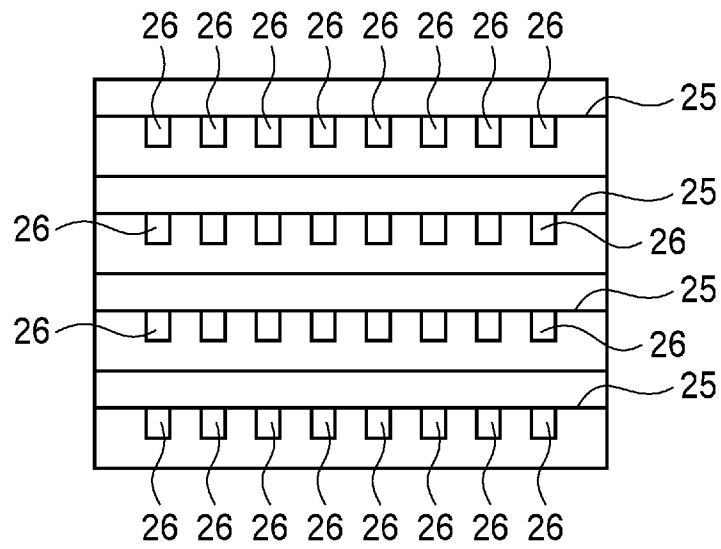


[図4]

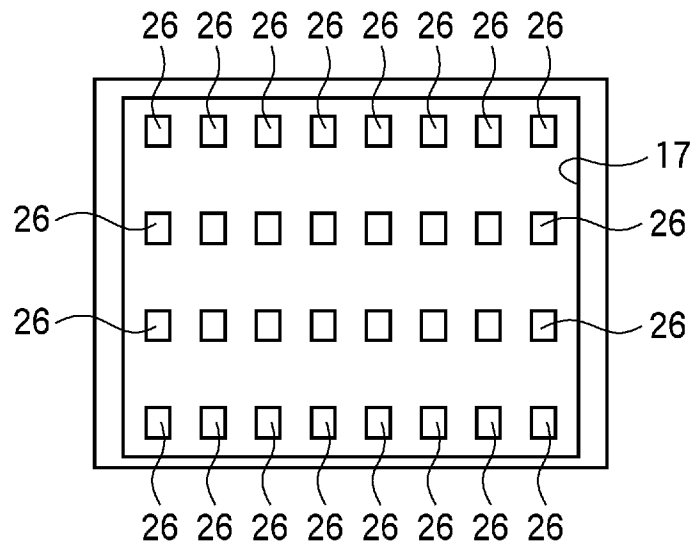


[図5]

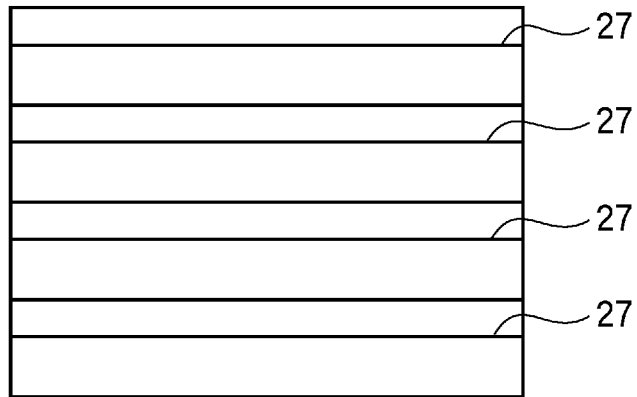
(a)



(b)

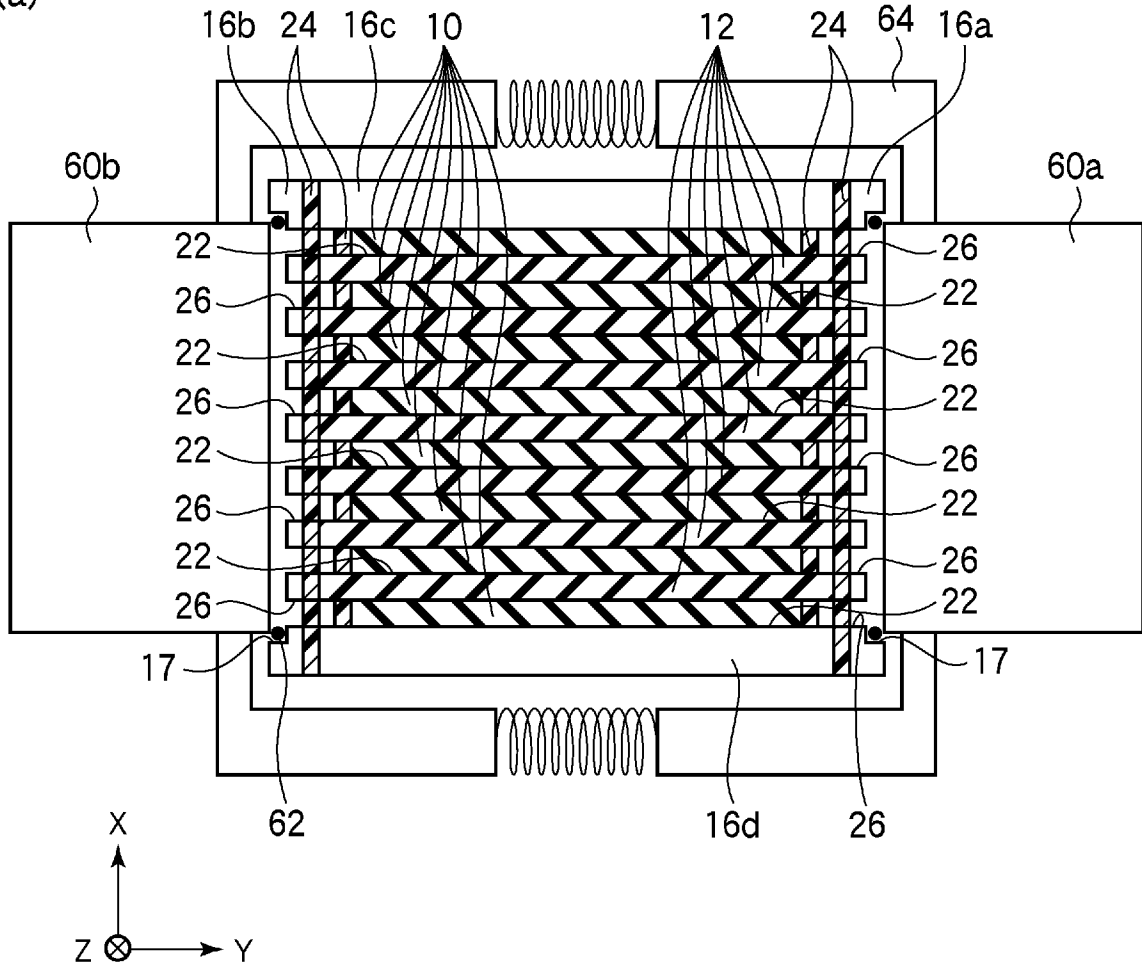


[図6]

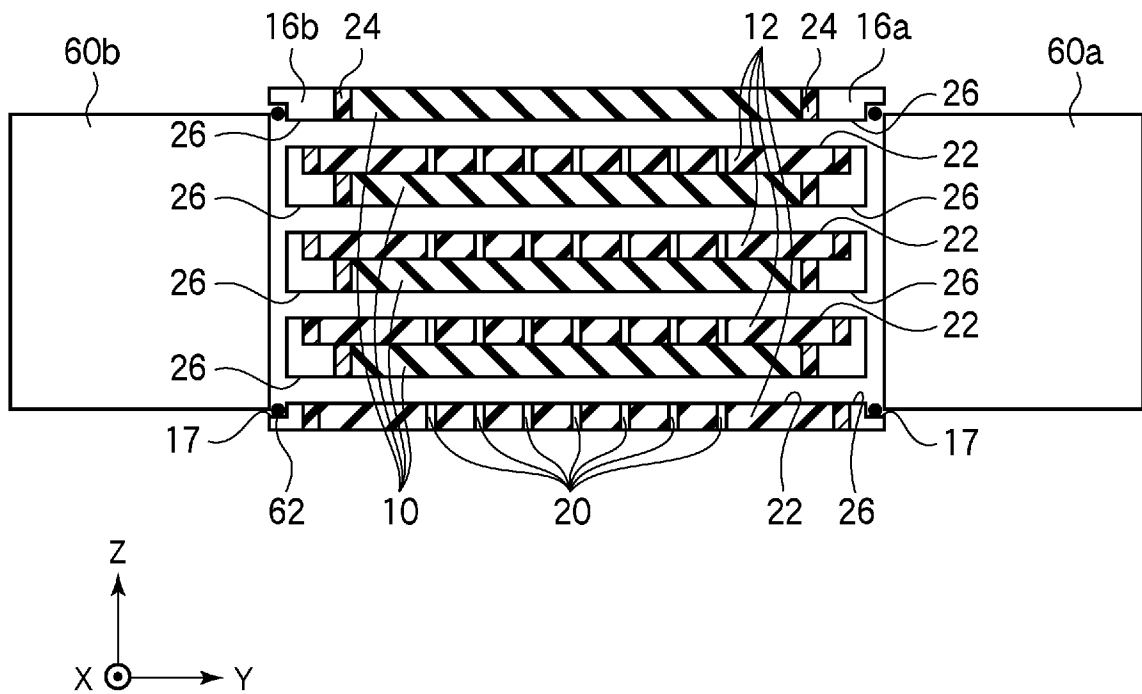


[図7]

(a)

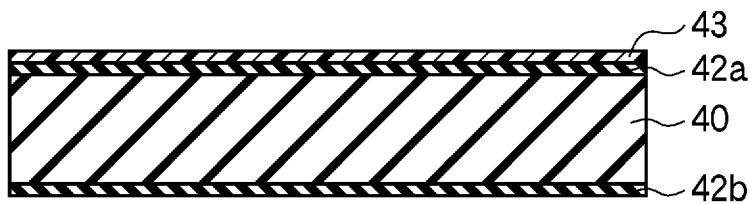


(b)

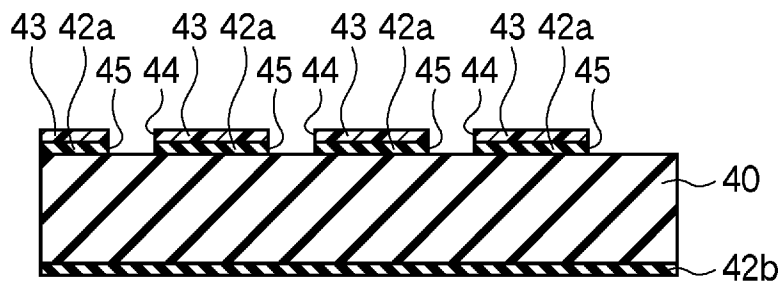


[図8]

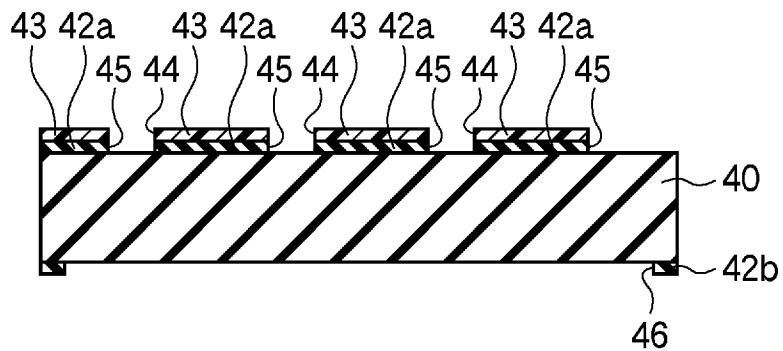
(a)



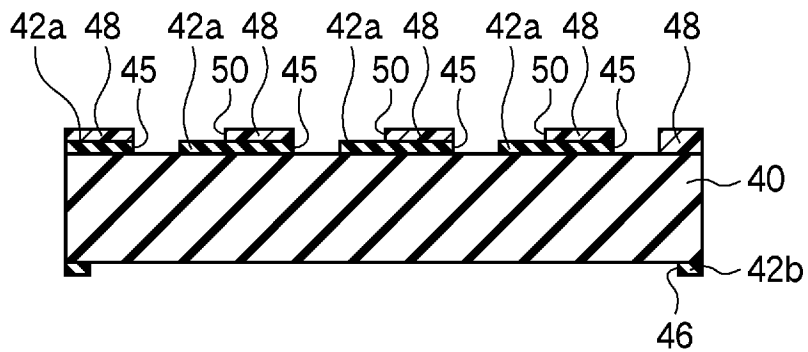
(b)



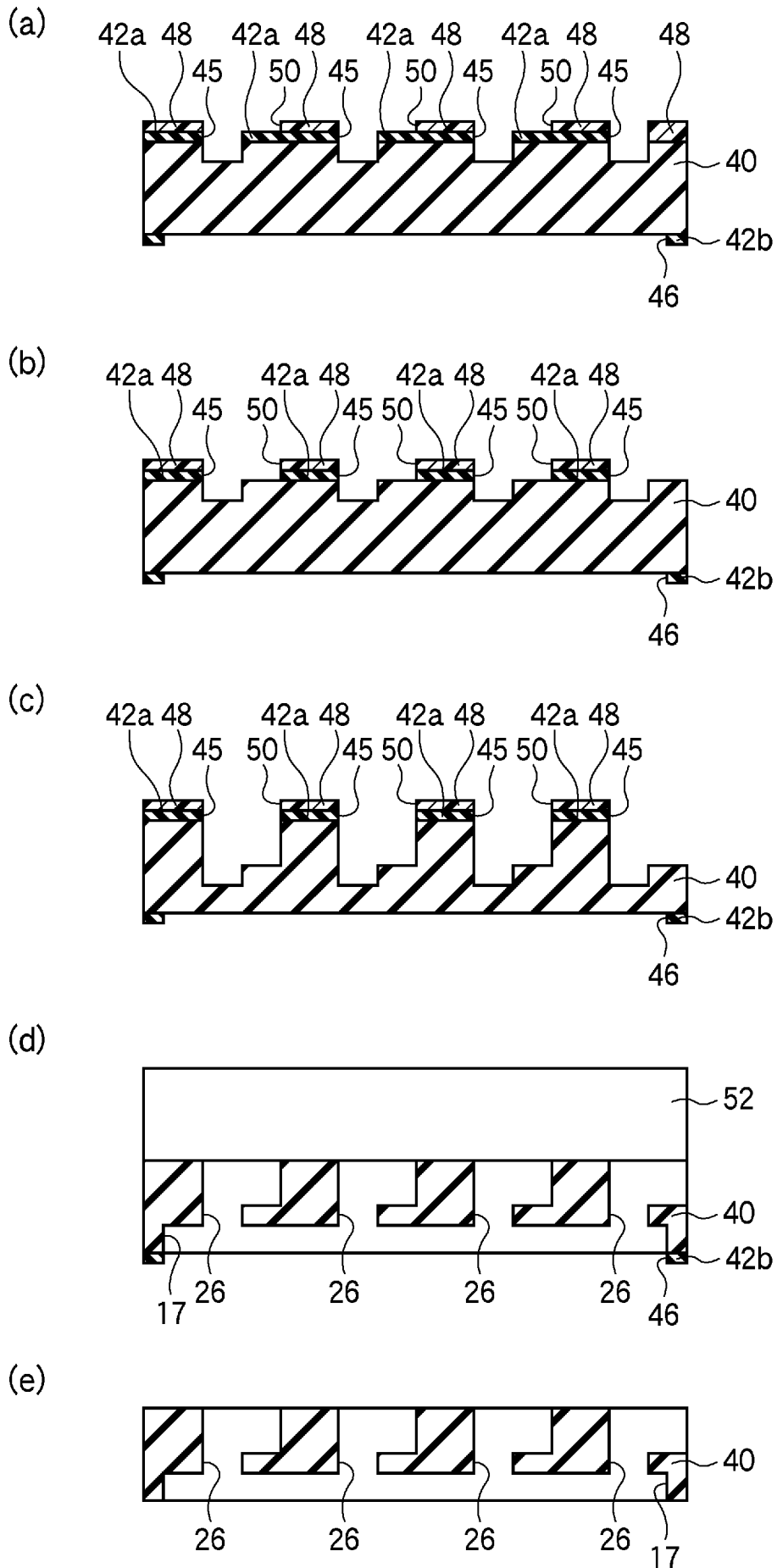
(c)



(d)

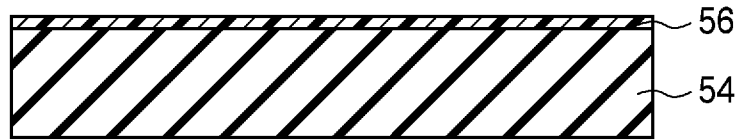


[図9]

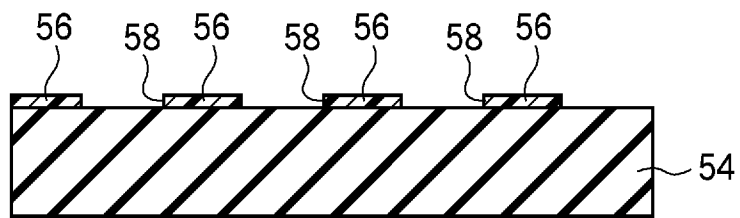


[図10]

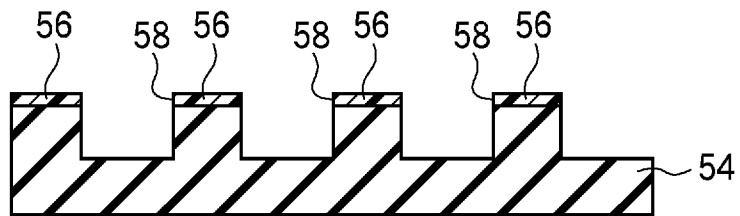
(a)



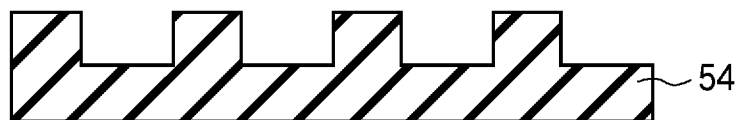
(b)



(c)

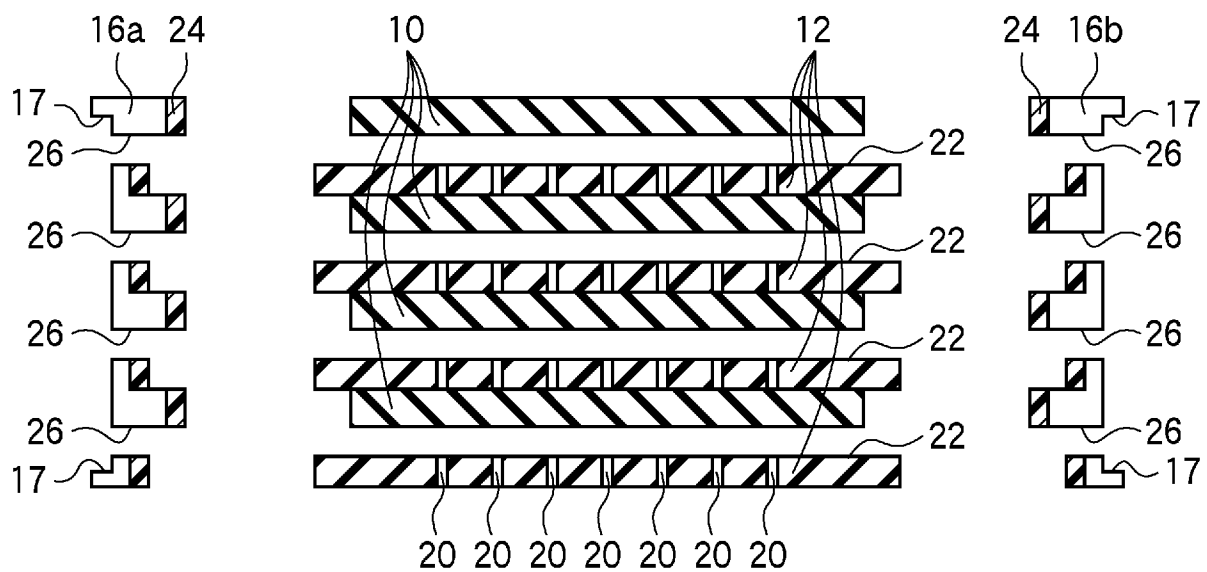


(d)

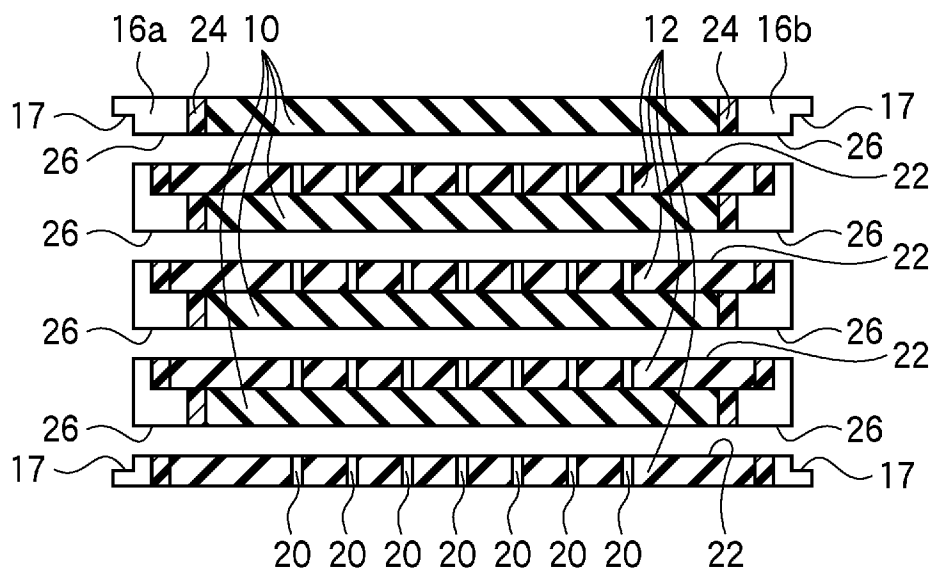


[図11]

(a)



(b)

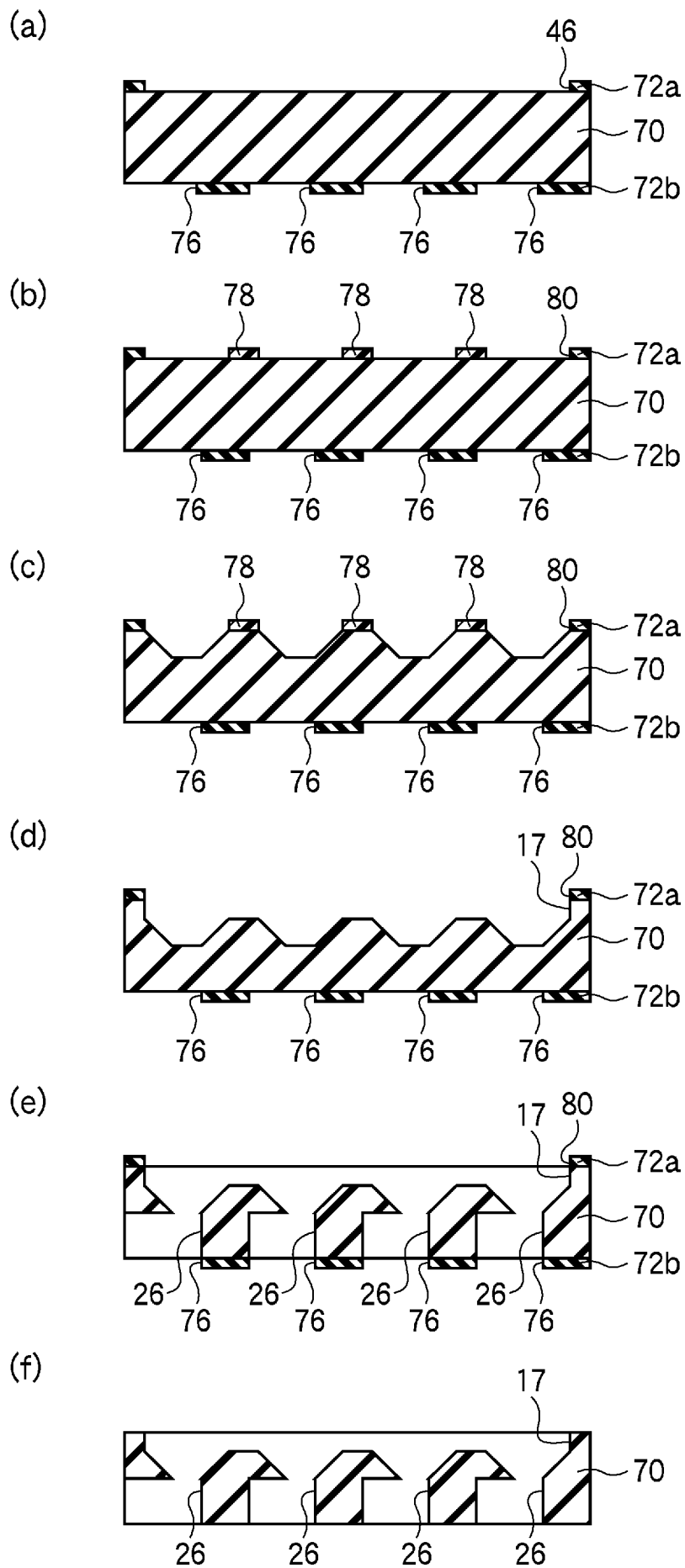


[図12]



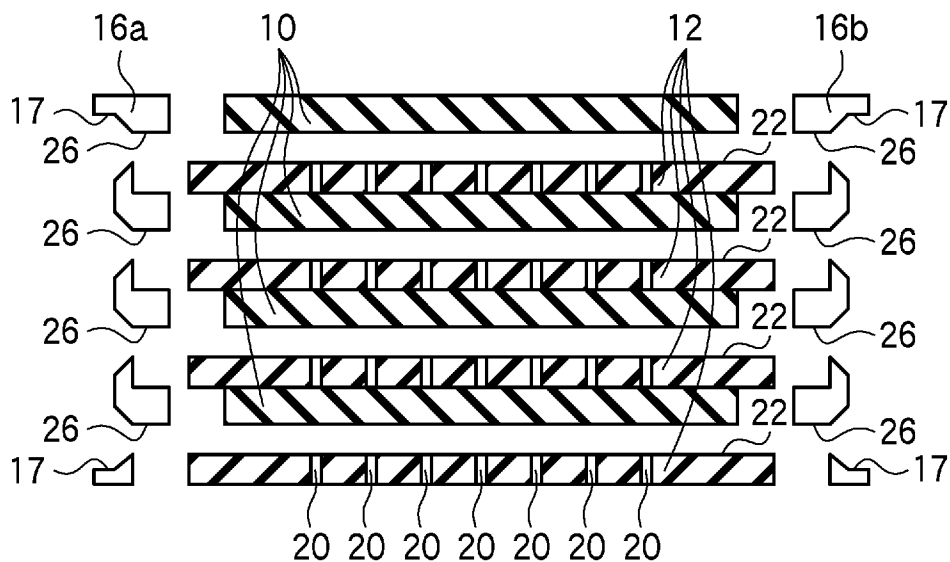


[図15]

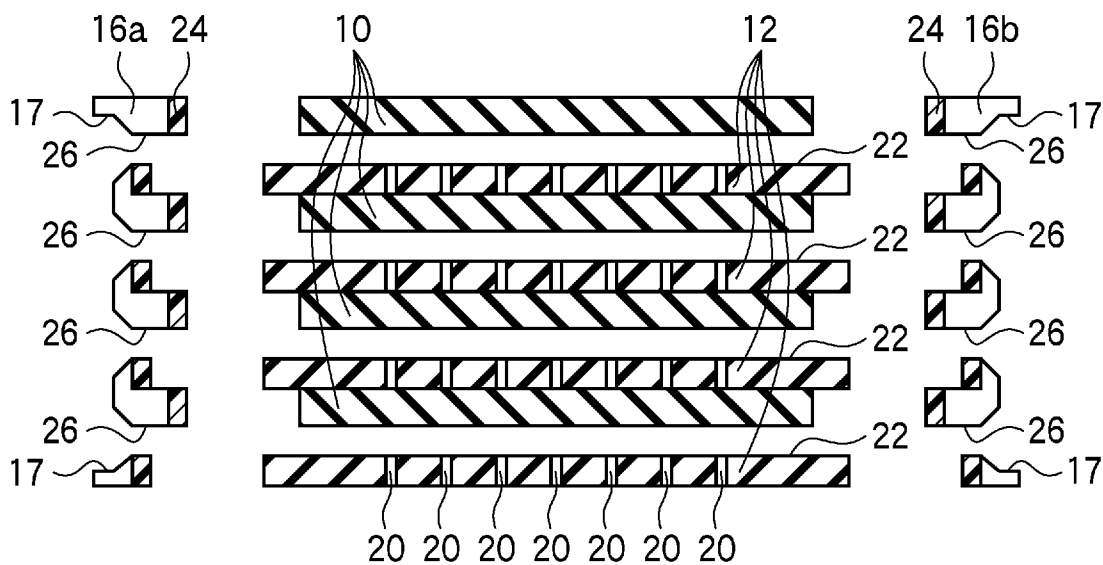


[図16]

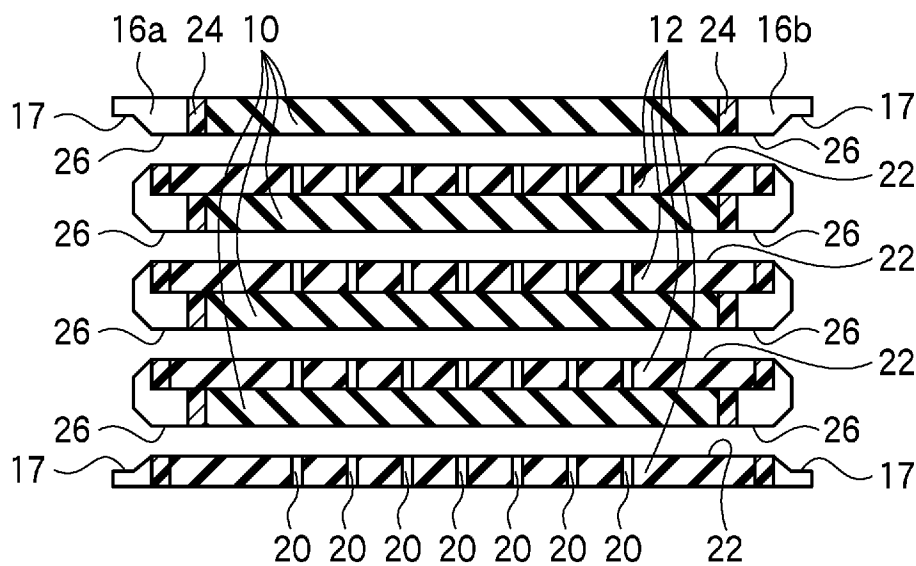
(a)



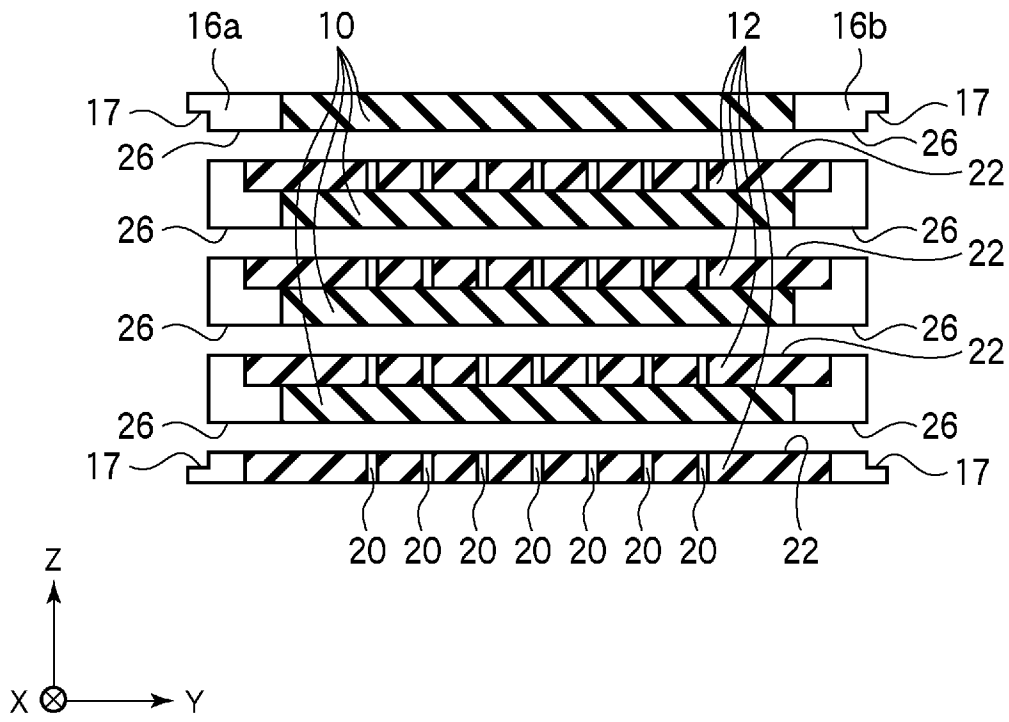
(b)



(c)

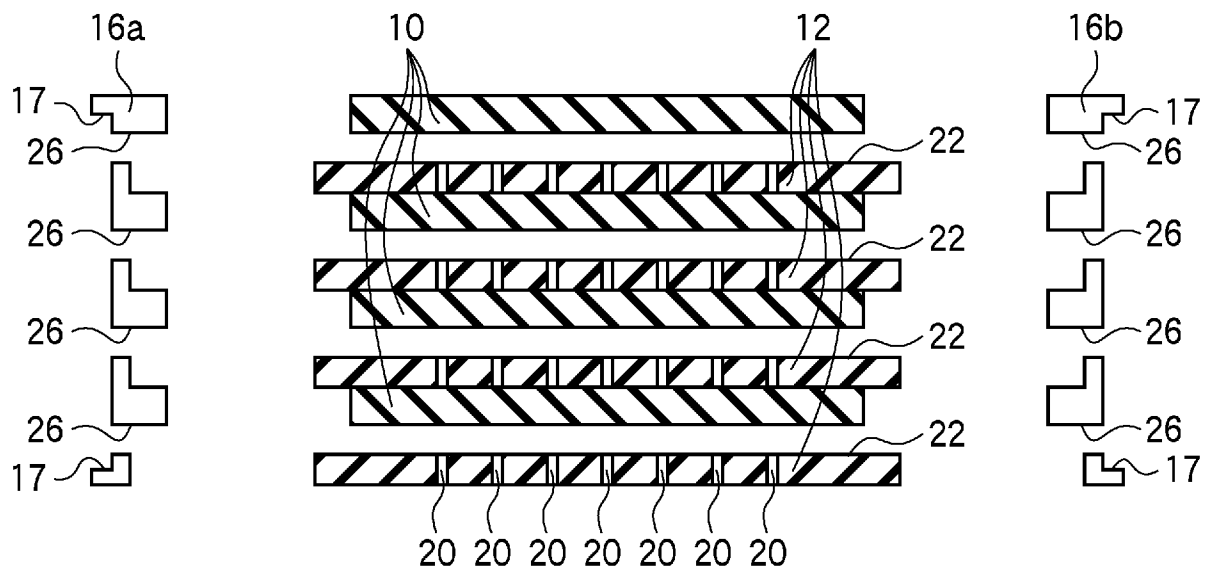


[図17]

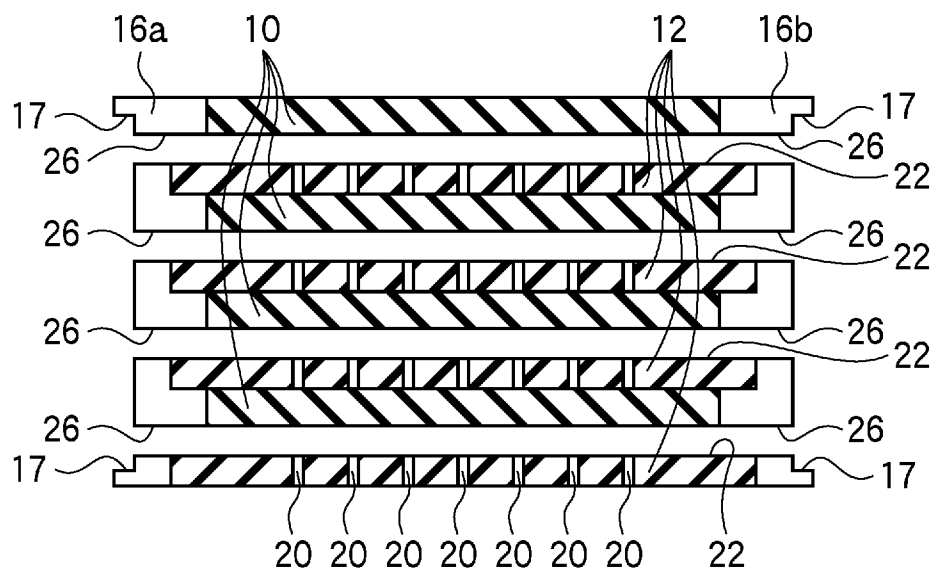


[図18]

(a)



(b)



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/058361

## A. CLASSIFICATION OF SUBJECT MATTER

H01L25/065(2006.01)i, H01L23/473(2006.01)i, H01L25/07(2006.01)i,  
H01L25/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/065, H01L23/473, H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-81874 A (Canon Inc.), 22 March 2002 (22.03.2002), paragraphs [0053] to [0054]; fig. 9 (Family: none)	1-13
A	JP 8-111502 A (International Business Machines Corp.), 30 April 1996 (30.04.1996), paragraphs [0013] to [0014], [0019]; fig. 1 to 2 & US 5506753 A & EP 706219 A1 & CN 1119788 A & CN 1206227 A	1-13
A	JP 4-176151 A (Toshiba Corp.), 23 June 1992 (23.06.1992), page 4, upper left column, line 4 to page 4, lower right column, line 18; fig. 4 to 6 (Family: none)	1-13

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
14 June, 2011 (14.06.11)

Date of mailing of the international search report  
28 June, 2011 (28.06.11)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L25/065 (2006.01) i, H01L23/473 (2006.01) i, H01L25/07 (2006.01) i, H01L25/18 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L25/065, H01L23/473, H01L25/07, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2011年
日本国実用新案登録公報	1996-2011年
日本国登録実用新案公報	1994-2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2002-81874 A (キャノン株式会社) 2002.03.22, 【0053】 - 【0054】 , 【図9】 (ファミリーなし)	1-13
A	JP 8-111502 A (インターナショナル・ビジネス・マシーンズ・コー ポレイション) 1996.04.30, 【0013】 - 【0014】 , 【0019】 , 【図1】 - 【図2】 & US 5506753 A & EP 706219 A1 & CN 1119788 A & CN 1206227 A	1-13

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的な技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日

14.06.2011

国際調査報告の発送日

28.06.2011

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

今井 拓也

電話番号 03-3581-1101 内線 3471

4R

9169

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 4-176151 A (株式会社東芝) 1992. 06. 23, 4 頁左上欄 4 行-4 頁右下欄 18 行, 第 4-6 図 (ファミリーなし)	1-13
A	JP 63-187697 A (イーティーエー システムズ, インコーポレーテ ッド) 1988. 08. 03, 6 頁左下欄 4-17 行, 第 1 図 & US 4763298 A & EP 276052 A2 & AU 1026988 A	1-13