(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0012816
(43) 공개일자 2021년02월03일

(51) 국제특허분류(Int. Cl.)
H03F 3/45 (2006.01) *H03F 1/02* (2006.01)
H03F 1/08 (2006.01) *H03F 3/08* (2006.01)
(52) CPC특허분류
H03F 3/45192 (2013.01)
H03F 1/0205 (2013.01)
(21) 출원번호 10-2019-0091183
(22) 출원일자 2019년07월26일
심사청구일자 2019년07월26일

(71) 출원인
이화여자대학교 산학협력단
서울특별시 서대문구 이화여대길 52 (대현동, 이화여자대학교)
(72) 발명자
박성민
경기도 성남시 분당구 미금로 114, 206동 102호(구미동, 하얀마을그랜드빌라)
윤다슬
인천광역시 계양구 계산로 18-1, 1동 301호(계산동, 서해아파트)
(74) 대리인
특허법인(유한)아이시스

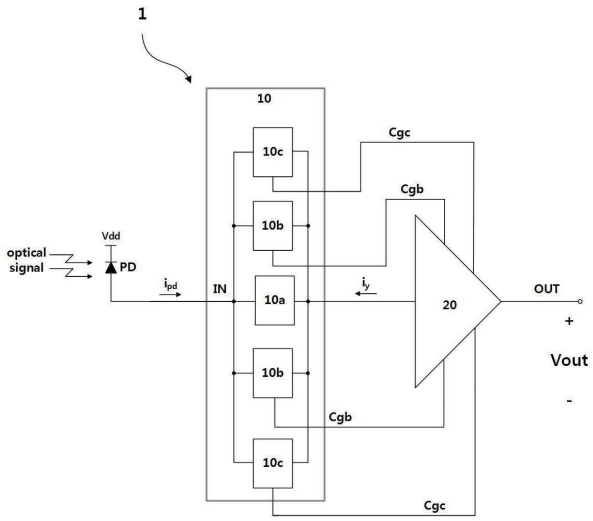
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 **전달 임피던스 증폭기**

(57) 요 약

본 실시예에 의한 전달 임피던스 증폭기는 입력 전류를 버퍼(buffer)하여 전달하고, 입력된 전류에 상응하는 입력 전압을 형성하는 전류 전달(current conveyer) 스테이지와, 입력 전압을 증폭하여 증폭기의 트랜스 임피던스 이득 조절 신호를 형성하는 증폭 스테이지(amplifying stage)를 포함하는 전류 버퍼를 복수개 포함하는 전류 버퍼부 및 전류 버퍼부가 전달한 전류로부터 출력 전압을 형성하되, 트랜스 임피던스 이득 조절 신호에 따라 서로 다른 전달 임피던스 이득(trans-impedance gain)으로 출력 전압을 형성하는 가변 전달 임피던스 증폭기를 포함한다.

대 표 도



(52) CPC특허분류
H03F 1/083 (2013.01)
H03F 3/082 (2013.01)

명 세 서

청구범위

청구항 1

입력 전류를 버퍼(buffer)하여 전달하고, 상기 입력된 전류에 상응하는 입력 전압을 형성하는 전류 전달(current conveyer) 스테이지와, 상기 입력 전압을 증폭하여 상기 증폭기의 트랜스 임피던스 이득 조절 신호를 형성하는 증폭 스테이지(amplifying stage)를 포함하는 전류 버퍼를 복수개 포함하는 전류 버퍼부; 및

상기 전류 버퍼부가 전달한 전류로부터 출력 전압을 형성하되, 트랜스 임피던스 이득 조절 신호에 따라 서로 다른 전달 임피던스 이득(trans-impedance gain)으로 상기 출력 전압을 형성하는 가변 전달 임피던스 증폭기를 포함하는 전달 임피던스 증폭기.

청구항 2

제1항에 있어서,

전류 버퍼들은,

상기 입력 전류의 크기와 관계없이 동작하는 적어도 하나의 전류 버퍼와,

상기 입력 전류가 제1 문턱 전류값 이상일 때 동작하는 적어도 하나의 전류 버퍼를 포함하는 전달 임피던스 증폭기.

청구항 3

제2항에 있어서,

상기 복수의 전류 버퍼들은,

상기 입력 전류가 제1 문턱 전류값보다 큰 제2 문턱 전류값 이상일 때 동작하는 적어도 하나의 전류 버퍼를 포함하는 전달 임피던스 증폭기.

청구항 4

제1항에 있어서,

상기 전류 전달 스테이지는,

입력 노드와 출력 노드에서 각각 연결된 제1 도전형 모디파이드 캐스코드 회로(modified cascode circuit)와, 제2 도전형 모디파이드 캐스코드 회로를 포함하며,

상기 제1 도전형 모디파이드 캐스코드 회로는 제1 도전형 트랜지스터들의 제1 페어드 게이트 회로(paired gate circuit)와, 상기 제1 도전형 트랜지스터들의 제3 페어드 게이트 회로를 포함하고, 상기 제1 페어드 게이트 회로와 상기 제3 페어드 게이트 회로는 모디파이드 캐스코드 구조로 연결되며,

상기 제2 도전형 모디파이드 캐스코드 회로는 제2 도전형 트랜지스터의 제2 페어드 게이트 회로와, 상기 제2 페어드 게이트 회로, 상기 제2 도전형 트랜지스터의 제4 페어드 게이트 회로를 포함하고, 상기 제2 페어드 게이트 회로와 상기 제4 페어드 게이트 회로는 모디파이드 캐스코드 구조로 연결된 전달 임피던스 증폭기.

청구항 5

제4항에 있어서,

상기 입력 전압은,

상기 입력 전류의 크기와 상기 전류 버퍼부의 등가 입력 저항의 곱으로 표시되는 전달 임피던스 증폭기.

청구항 6

제1항에 있어서,

상기 가변 전달 임피던스 증폭기는,

일 전극으로 기준 전압이 제공되는 제1 도전형 트랜지스터와,

일 전극으로 구동 전압이 제공되는 제2 도전형 트랜지스터와,

상기 제1 도전형 트랜지스터의 제어전극과 상기 제2 도전형 트랜지스터의 제어전극이 서로 연결되며, 상기 전류 버퍼부가 출력한 전류가 입력되는 입력 노드와

상기 제1 도전형 트랜지스터의 타 전극과, 상기 제2 도전형 트랜지스터의 타 전극이 연결되어 상기 출력 전압이 형성되는 출력 노드와,

상기 입력 노드와 상기 출력 노드 사이에 연결된 제1 저항 및

트랜스 임피던스 이득 조절 신호에 의하여 도통이 제어되는 스위치 및 상기 스위치와 직렬로 연결된 저항이 연결된 저항 가지(resistor branch)를 포함하며,

상기 저항 가지는 상기 입력 노드와 상기 출력 노드 사이에서 복수개가 병렬로 연결된 전달 임피던스 트랜지스터.

발명의 설명

기 술 분 야

[0001] 본 기술은 전달 임피던스 증폭기에 관한 것이다.

배 경 기 술

[0002] 종래의 대칭형 전류전달 트랜스임피던스 증폭기 회로는 입력 노드와 출력 노드에서 NMOS 모디파이드 캐스코드 회로와 대칭인 PMOS 모디파이드 캐스코드 회로를 결합함으로써 회로의 입력저항을 NMOS 모디파이드 캐스코드 회로의 입력 저항과 PMOS 모디파이드 캐스코드 회로의 입력 저항의 병렬 값으로 낮출 수 있다.

발명의 내용

해결하려는 과제

[0003] 그러나, 종래의 대칭형 전류전달 트랜스임피던스 증폭기는 입력 소자의 크기에 따라 입력 가능한 신호 전류의 크기가 결정되는 단점이 있다. 또한, 잡음 특성을 개선하기 위해서는 입력 직류 전류의 크기를 낮추어야 하는데, 이로 인해 입력 AC전류의 크기가 한정되는 설계상 난점이 발생한다. 일 예로, 100㎂ DC전류를 바이어스 전류로 갖는 회로의 경우, 입력 최대 교류 전류의 크기는 약 20 ㎂App로 한정되어 입력 다이내믹 레인지(dynamic range)가 제한된다.

[0004] 본 기술은 상기한 종래 기술의 제약을 극복하기 위한 것으로, 입력 다이내믹 레인지에 대한 제한을 극복하고, 입력 다이내믹 레인지를 벗어나는 크기의 신호 전류에 대해서도 선형성(linearity)을 유지할 수 있도록 트랜스임피던스 이득(transimpedance gain)을 자동으로 조절할 수 있는 트랜스임피던스 증폭기를 제공하는 것이 해결하고자 하는 과제 중 하나이다.

과제의 해결 수단

[0005] 본 실시예에 의한 전달 임피던스 증폭기는 입력 전류를 버퍼(buffer)하여 전달하고, 입력된 전류에 상응하는 입력 전압을 형성하는 전류 전달(current conveyer) 스테이지와, 입력 전압을 증폭하여 증폭기의 트랜스 임피던스 이득 조절 신호를 형성하는 증폭 스테이지(amplifying stage)를 포함하는 전류 버퍼를 복수개 포함하는 전류 버퍼부 및 전류 버퍼부가 전달한 전류로부터 출력 전압을 형성하되, 트랜스 임피던스 이득 조절 신호에 따라 서로 다른 전달 임피던스 이득(trans-impedance gain)으로 출력 전압을 형성하는 가변 전달 임피던스 증폭기를 포함한다.

발명의 효과

[0006] 본 실시예에 의한 전류 전달 임피던스 증폭기는 입력 전류의 크기에 따라 전류 버퍼를 동작시켜 입력 다이내믹 레인지를 확장시킬 수 있다는 장점이 제공되며, 입력 전류의 크기에 따라 트랜스 임피던스 이득을 제어할 수 있다는 장점이 제공된다.

도면의 간단한 설명

[0007] 도 1은 본 실시예에 의한 전달 임피던스 증폭기의 개요를 설명하는 개요적 회로도이다.

도 2는 전류 버퍼의 개요를 도시한 개요적 회로도이다.

도 3은 본 실시예에 의한 가변 전달 임피던스 증폭기의 개요를 도시한 개요적 회로도이다.

도 4(a)는 본 실시예에 의한 전달 임피던스 증폭기의 주파수 응답 모의 실험 결과를 도시한 도면이고, 도 4(b)는 본 실시예에 의한 전달 임피던스 증폭기의 노이즈 시뮬레이션 결과 모의 실험 결과를 도시한 도면이다.

도 5(a)는 2㎂App ~ 1 mApp사이 입력 전류신호에 대한 종래 기술의 전달 임피던스 증폭기 회로의 펄스 응답 시뮬레이션 결과를 도시한 도면이고, 도 5(b)는 본 실시예에 의한 전달 임피던스 증폭기 회로의 펄스 응답 시뮬레이션 결과를 도시한 도면이다.

도 6은 본 실시예에 의한 전달 임피던스 증폭기에 대하여 2^{31}-1 PRBS 입력신호로 아이 다이어그램(eye-diagram) 시뮬레이션 결과를 도시한 도면이다.

도 7은 본 실시예에 의한 전달 임피던스 증폭기에 대하여 1-Gb/s 2^{31}-1 PRBS 입력신호에 대한 아이 다이어그램 시뮬레이션 결과를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0008] 실시예들을 설명하기에 앞서, 동일하거나, 유사한 기능을 수행하는 구성요소에 대하여 도면부호에 a, b, c 등의 문자를 부가하여 식별 및 설명할 수 있으나, 이들을 굳이 식별할 필요가 없는 경우에는 부가된 문자 없이 서술할 수 있음을 유의하여야 할 것이다.

[0009] 이하에서는 첨부된 도면들을 참조하여 본 실시예에 의한 전달 임피던스 증폭기(1)을 설명한다. 도 1은 본 실시예에 의한 전달 임피던스 증폭기(1)의 개요를 설명하는 개요적 회로도이다. 도 1을 참조하면, 입력 전류(i_{pd})를 버퍼(buffer)하여 전달하고, 입력된 전류에 상응하는 입력 전압을 형성하는 전류 전달(current conveyer) 스테이지(100, 도 2 참조)와, 입력 전압을 증폭하여 증폭기의 트랜스 임피던스 이득 조절 신호를 형성하는 증폭 스테이지(amplifying stage, 200, 도 2 참조)를 포함하는 전류 버퍼(10a, 10b, 10c)를 복수개 포함하는 전류 버퍼부(100); 및 전류 버퍼부(100)가 전달한 전류(iy)로부터 출력 전압(Vout)을 형성하되, 트랜스 임피던스 이득 조절 신호(Cga, Cgb, Cgc)에 따라 서로 다른 전달 임피던스 이득(trans-impedance gain)으로 출력 전압(Vout)을 형성하는 가변 전달 임피던스 증폭기(20)를 포함한다.

[0010] 도 2는 전류 버퍼(10)의 개요를 도시한 개요적 회로도이다. 도 2를 참조하면, 전류 버퍼(10)는 전류 전달 스테이지(current conveyer stage, 100)와 증폭 스테이지(amplifying stage, 200)를 포함한다. 본 실시예에 의한 전류 전달 스테이지(100)는 입력 전류(ipd)가 제공되는 입력 노드(IN)와, 출력 전류(iy)를 제공하는 출력 노드(y)와, 제1 도전형 모디파이드 캐스코드 회로(modified cascode circuit, 110) 및 제2 도전형 모디파이드 캐스코드 회로(120)를 포함하며, 제1 도전형 모디파이드 캐스코드 회로(110)와 제2 도전형 모디파이드 캐스코드 회로(120)는 입력 노드(IN)와 출력 노드(OUT)에서 서로 전기적으로 연결된다.

[0011] 입력 노드(IN)로 제공된 입력 전류(ipd)는 제1 도전형 모디파이드 캐스코드 회로(110)와 제2 도전형 모디파이드 캐스코드 회로(120)로 분할되어 제공되고, 분할되어 제공된 입력 전류(ipda, ipdb)는 제1 도전형 모디파이드 캐스코드 회로(110)와 제2 도전형 모디파이드 캐스코드 회로(120)에 의하여 복제되어 출력 노드(y)에서 출력된다.

[0012] 광소자(PD)에 광신호(optical signal)가 제공되면 광신호(optical signal)에 상응하는 입력 전류(ipd)가 형성된다. 입력 전류(ipd)는 입력 노드(IN)에서 ipda와 ipdb로 분할된다. 입력 전류(ipd)는 출력 노드(IN)에서 제1 도전형 모디파이드 캐스코드 회로(110)를 바라보는 입력 저항(Rina)의 저항값과 제2 도전형 모디파이드 캐스코드 회로(120)를 바라보는 입력 저항(Rinb)의 저항값에 반비례하도록 분할된다.

[0013] 출력 노드(IN)에서 제1 모디파이드 캐스코드 회로(110)을 바라보는 입력 저항 Rina은 트랜지스터 M2 전달 컨덕턴스의 역수인 1/gm2 이고, 출력 노드(IN)에서 제2 모디파이드 캐스코드 회로(120)을 바라보는 입력 저항 Rinb

은 트랜지스터 M6의 전달 컨덕턴스의 역수인 1/gm6 이다. 따라서, 분할된 전류 ipda와 ipdab는 아래의 수학식 1과 같이 분할된다. 일 예로, ipda와 ipdb의 비는 트랜지스터 M2와 트랜지스터 M7의 채널 길이(channel length) 대 폭(width)의 비(W/L ratio)를 조절하여 제어할 수 있다.

수학식 1

$$i_{pda} = ipd \frac{\frac{1}{Rina}}{\frac{1}{Rina}+\frac{1}{Rinb}} = ipd \frac{gm2}{gm6+gm2}$$

$$i_{pdb} = ipd \frac{\frac{1}{Rinb}}{\frac{1}{Rina}+\frac{1}{Rinb}} = ipd \frac{gm6}{gm6+gm2}$$

[0014]

[0015] 분할된 전류 ipda가 트랜지스터 M2와 트랜지스터 M4를 관통하여 흐르므로, 분할된 전류 ipda는 복제되고, 복제된 전류(ipda')는 트랜지스터 M1과 M3를 관통하여 흐른다. 마찬가지로 분할된 전류 ipdb가 트랜지스터 M8와 트랜지스터 M6를 관통하여 흐르므로, 분할된 전류 ipdb는 복제되고, 복제된 전류(ipdb')는 트랜지스터 M5과 M7을 관통하여 흐른다.

[0016] 본 실시예에 의한 전류 전달 스테이지(100)에서, 광소자(PD)로부터 제공된 신호 전류(ipd)는 제1 모디파이드 캐스코드 회로(110)와 제2 모디파이드 캐스코드 회로(120)로 분할되고, 분할된 전류는 각각 제1 모디파이드 캐스코드 회로(110)와 제2 모디파이드 캐스코드 회로(120)에 의하여 복제되어 출력 노드(OUT)에 제공되므로, 전류 손실없이 전류를 출력 노드로 전달할 수 있다. 따라서, 본 실시예에 의한 전류 전달 회로(100)는 이득이 1에 근사하는 전류 버퍼로 기능한다. 다만, 본 실시예에 의하면 입력 전류(ipd)와 출력 전류(iy)의 위상은 서로 반전된 관계일 수 있다.

[0017] 종래기술의 전달 임피던스 증폭기에서 입력 전류는 제2 도전형 전류 미러 회로와 제1 도전형 모디파이드 캐스코드 회로 사이에서 분할되었다. 제2 도전형 전류 미러 회로의 입력 저항은 비록 제1 도전형 모디파이드 캐스코드 회로의 입력 저항에 비하여 수 배 이상 크나, 유한한 값을 가진다. 그에 따라 입력 전류는 분할되어 제2 도전형 전류 미러 쪽으로 흘러서 신호 전류의 손실이 발생하였다. 따라서, 전달 임피던스 증폭기는 입력된 전류 신호에 상응하는 전압 신호를 출력하지 못하였으며, 결과적으로 입력 신호에 대한 민감도(sensitivity) 특성이 열화되었다.

[0018] 그러나, 본 실시예에 의하면, 입력 전류(ipd)가 분할되고, 제1 모디파이드 캐스코드 회로(110), 제2 모디파이드 캐스코드 회로(120)에 의하여 복제되어 출력되므로, 입력 신호 전류의 손실이 발생하지 않는다. 따라서, 민감도 특성이 열화되지 않는다.

[0019] 제1 도전형 모디파이드 캐스코드 회로(110)는 제1 페어드 게이트 회로(112)와 제3 페어드 게이트 회로(114)를 포함한다. 제1 페어드 게이트 회로(112)는 게이트가 연결된 제1 도전형의 MOS 트랜지스터들(M1, M2)을 포함하며, 제3 페어드 게이트 회로(114)는 제1 도전형의 MOS 트랜지스터들(M3, M4)를 포함한다. 제1 페어드 게이트 회로의 제1 트랜지스터(M1)와 제2 트랜지스터(M2)의 드레인 전극들은 각각 제3 페어드 게이트 회로(114)의 제3 트랜지스터(M3)와 제4 트랜지스터(M4)의 소스 전극들에 연결되며, 제1 페어드 게이트 회로(110)의 게이트

전극은 입력 노드(IN)에 연결된다. 제1 페어드 게이트 회로(112)와 제3 페어드 게이트 회로(114)는 모디파이드 캐스코드로 연결된다.

[0020] 제2 도전형 모디파이드 캐스코드 회로(120)는 제2 페어드 게이트 회로(122)와 제4 페어드 게이트 회로(124)를 포함한다. 제2 페어드 게이트 회로(122)는 게이트가 연결된 제2 도전형의 MOS 트랜지스터들(M5, M6)을 포함하며, 제4 페어드 게이트 회로(124)는 제2 도전형의 MOS 트랜지스터들(M7, M8)를 포함한다. 제2 페어드 게이트 회로(122)의 제5 트랜지스터(M5)와 제6 트랜지스터(M6)의 드레인 전극들은 각각 제4 페어드 게이트 회로(124)의 제7 트랜지스터(M7)와 제8 트랜지스터(M8)의 소스 전극들에 연결된다. 제2 페어드 게이트 회로(122)의 게이트 전극은 입력 노드(IN)에 연결된다. 제2 페어드 게이트 회로(122)와 제4 페어드 게이트 회로(124)는 모디파이드 캐스코드로 연결된다.

[0021] 이하에서는 제1 도전형 모디파이드 캐스코드 회로(110)의 동작을 살펴본다. 다만, 제1 도전형 모디파이드 캐스코드 회로(110)와 제2 도전형 모디파이드 캐스코드 회로(120)는 서로 상보적(complementary) 관계를 가지므로, 통상의 기술자라면 하기할 제1 도전형 모디파이드 캐스코드 회로(110) 설명으로부터 제2 도전형 모디파이드 캐스코드 회로(120)의 동작을 용이하게 파악할 수 있다.

[0022] 본 실시예의 제1 도전형 모디파이드 캐스코드 회로(110)에 포함된 트랜지스터들이 모두 포화 영역(saturation region)에서 동작한다고 가정한다. 포화영역에서 동작하는 제2 트랜지스터(M2)의 게이트-소스 전압(VGS)은 수학식 2의 ①식과 같고, 제2 트랜지스터(M2)의 드레인-소스 전압(VDS)은 ②식과 같다. 제2 트랜지스터(M2)가 포화영역에서 동작할 때, ① 식과 ② 식을 연립하여 제2 트랜지스터(M2) 드레인 전극 전압 VD의 최소값을 구하면 ③식으로 표시된 바와 같이 과구동 전압(VOV)과 같다.

수학식 2

[0023]
$$V_{GS}=V_{OV}+V_{t} \cdots ①$$

$$V_{DS}\geq V_{GS}-V_{t} \cdots ②$$

$$V_{DS}\geq V_{OV} \cdots ③$$

[0024] 캐스코드로 연결된 제1 페어드 게이트 회로(112)와 제2 페어드 게이트 회로(114)가 모두 포화영역에서 동작할 때, 각 트랜지스터의 드레인-소스 전압은 과구동 전압에 상응하므로 제3 트랜지스터(M3) 드레인 전극의 최소 전압값은 2Vov 값과 같다.

[0025] 종래의 캐스코드 전류 미러 회로는 일 예로, 게이트 커플된 Ma 트랜지스터와 Mb 트랜지스터 및 게이트 커플된 Mc 트랜지스터와 Md 트랜지스터가 캐스코드로 연결되되, Ma 트랜지스터와 Mc 트랜지스터는 다이오드 연결되었다. 종래 캐스코드 회로에서, 캐스코드 구성의 Md 트랜지스터의 드레인 전극에는 2Vov + Vt (Vov: 과구동 전압, Vt: 문턱 전압)에 상응하는 전압값 이상의 전압이 제공되어야 캐스코드 회로에 포함된 트랜지스터들이 모두 포화 영역(saturation region)에서 동작하였다.

[0026] 그러나 본 실시예에 의하면, 종래기술에서 요청되었던 전압값 보다 문턱 전압(Vt)만큼 더 낮은 전압인 2Vov을 제공하여도 캐스코드 회로에 포함된 트랜지스터들이 모두 포화 영역(saturation region)에서 동작한다. 따라서, 종래기술에서 요청되었던 전압값에 비하여 낮은 전압인 2VoV가 제공되어도 모디파이드 캐스코드 전류 미러 회로에 포함된 트랜지스터들이 모두 포화영역에서 동작한다는 장점이 제공된다.

[0027] 따라서, 제1 도전형 모디파이드 캐스코드 회로(110)과 제2 도전형 모디파이드 캐스코드 회로(120)을 포함하는 본 실시예에 의한 전류 전달 회로에 의하면, 종래 기술에 비하여 2Vt만큼 낮은 전압을 구동 전압으로 제공하여도 전류 전달 회로에 포함된 트랜지스터들이 모두 포화영역에서 동작한다는 장점이 제공된다.

[0028] 제3 페어드 게이트 회로(114)의 트랜지스터 M3 및 M4의 게이트 전극에는 제1 바이어스 전압(V_{BIAS1})이 제공되며,

제4 페어드 게이트 회로(124)의 트랜지스터 M7 및 M8의 게이트 전극에는 제2 바이어스 전압(V_{BIAS2})이 제공된다. 제1 바이어스 전압(V_{BIAS1}) 및 제2 바이어스 전압(V_{BIAS2})은 소신호가 중첩되지 않은 일정한 직류 레벨의 전압인 AC 그라운드(ACground) 전압일 수 있다.

[0029] 제1 바이어스 전압(V_{BIAS1}) 및 제2 바이어스 전압(V_{BIAS2})은 전달 임피던스 증폭기 회로 외부에서 제공될 수 있으며, 후술할 바와 같이 복수의 전류 버퍼들에 제1 바이어스 전압(V_{BIAS1}) 및 제2 바이어스 전압(V_{BIAS2})을 제공하거나, 제공하지 않음으로써 복수의 전류 버퍼들을 선택적으로 구동할 수 있다.

[0030] 계속해서 도 2를 참조하여 증폭 스테이지(200)를 설명한다. 도 2에서, 증폭 스테이지(200)는 세 개의 증폭기를 포함하는 것으로 예시되었으나, 이는 예시를 위한 것이며, 두 개 이하 또는 세 개 이상의 증폭기를 포함하는 것도 당연히 가능하다.

[0031] 도 1 및 도 2를 참조하면, 입력 전류(ipd)가 제공됨에 따라 전류 버퍼(10a, 10b, 10c)의 입력 저항에 의하여 입력 전압(Vin)이 형성된다. 입력 전압(Vin)은 입력 노드(IN)에 연결된 전류 버퍼(10a, 10b, 10c) 각각에 공통으로 형성된다.

[0032] 입력 전압(Vin)은 캐스케이드로 연결된 제1 증폭기(210), 제2 증폭기(220) 및 제3 증폭기(230)에 의하여 증폭된다. 도 2로 예시된 실시예와 같이 제1 증폭기(210)는 구동 전압 Vdd가 제공되는 캐스코드 증폭기일 수 있으며, 제2 증폭기(220)는 구동 전압 Vdd보다 큰 전압인 Vdd2가 제공되는 캐스코드 증폭기일 수 있다. 일 실시예로, Vdd는 1.2V일 수 있으며, Vdd2는 2.5V 일 수 있다.

[0033] 제1 증폭기(210)와 제2 증폭기(220)에서 증폭된 신호는 보다 큰 진폭으로 스윙할 수 있도록 증폭되어 제3 증폭기(230)로 제공되어 출력된다. 제3 증폭기(230)가 출력한 신호(Cg)는 가변 전달 임피던스 증폭기(20)에 제공되어 가변 전달 임피던스 증폭기(20)의 전달 임피던스 이득(trans-impedance gain)을 제어한다.

[0034] 전류 버퍼(10a, 10b, 10c)를 이루는 트랜지스터의 크기가 동일한 경우에 전류 버퍼(10a, 10b, 10c)의 입력 저항의 크기는 서로 동일하다. 따라서, 입력 전압(Vin)의 크기는 입력 전류(ipd)의 크기에 비례한다. 증폭부(200)에 포함된 증폭기 각각의 이득은 고정이므로, 증폭부(200)가 출력한 트랜스 임피던스 이득 조절 신호(Cg)의 크기는 입력 전류(ipd)의 크기에 상응한다.

[0035] 복수의 전류 버퍼들(10b, 10c)은 트랜스 임피던스 이득 조절 신호(Cg)의 크기에 따라 제1 바이어스 전압(VBIAS1) 및 제2 바이어스 전압(VBIAS2)이 제공되거나, 제공되지 않음으로써 선택적으로 구동된다. 일 실시예로, 도 1로 예시된 전류 버퍼(10a)는 입력 전류(ipd)의 크기와 무관하게 상시 동작하도록 구성될 수 있으며, 입력 전류(ipd)의 크기가 제1 전류값보다 큰 경우에는 전류 버퍼(10a)와 함께 전류 버퍼(10b)가 구동되도록 제1 바이어스 전압(VBIAS1) 및 제2 바이어스 전압(VBIAS2)이 제공될 수 있다. 또한, 입력 전류(ipd)의 크기가 제1 전류값보다 큰 제2 전류값 이상인 경우에는 전류 버퍼(10a), 전류 버퍼(10b)와 함께 전류 버퍼(10c)가 구동되도록 제1 바이어스 전압(VBIAS1) 및 제2 바이어스 전압(VBIAS2)이 제공될 수 있다. 이와 같이 구동함으로서 전류 버퍼(10a), 전류 버퍼(10b) 및 전류 버퍼(10c) 사이의 신호 스큐(signal skew)를 최소화할 수 있다. 일 실시예로, 제1 전류값은 수십 μA_{pp} 일 수 있으며, 제2 전류값은 100 μA_{pp}일 수 있다.

[0036] 도 3은 본 실시예에 의한 가변 전달 임피던스 증폭기(20)의 개요를 도시한 개요적 회로도이다. 도 3을 참조하면, 가변 전달 임피던스 증폭기(20)는 소스 전극으로 기준 전압이 제공되는 트랜지스터(Ma)와, 소스 전극으로 구동 전압(Vdd)이 제공되는 트랜지스터(Mb)를 포함한다.

[0037] 입력 노드에는 트랜지스터(Ma)의 게이트 전극과 트랜지스터(Mb)의 게이트 전극이 서로 연결되어 전류 버퍼부(100)가 출력한 전류(iy)가 입력된다. 트랜지스터(Ma)의 드레인 전극과, 도전형 트랜지스터(Mb)의 드에인 전극은 출력 전압이 형성되는 출력 노드에 연결된다.

[0038] 입력 노드와 출력 노드 사이에 연결된 저항(Ra) 및 트랜스 임피던스 이득 조절 신호(Cgb, Cgc)에 의하여 도통이 제어되는 스위치 및 상기 스위치와 직렬로 연결된 저항이 연결된 복수의 저항 가지(resistor branch)들이 연결된다.

[0039] 도 3으로 예시된 가변 전달 임피던스 증폭기(20)에서 저항 Ra와 복수의 저항 가지들에 포함된 저항들의 등가 저항을 Req라 하면 전달 임피던스 증폭기(20)의 입출력 관계식은 아래의 수학식 3과 같다.

수학식 3

[0040]
$$Rin=\frac{Req}{1+A},\ where\ A=(gm_a+gm_b)\cdot(ro_a \parallel ro_b)\cdots①$$

$$vin=iy \times Rin\cdots②$$

$$Vout=iyReq+Vin\cdots③$$

[0041] (gm_a, gm_b: 트랜지스터 Ma와 트랜지스터 Mb의 트랜스컨덕턴스, ro_a, ro_b: 트랜지스터 Ma와 트랜지스터 Mb의 출력 저항)

[0042] 수학식 3의 식 ②와 식 ③ 으로부터 아래의 수학식 4식과 같이 전달 임피던스 이득을 연산할 수 있다. 입력 전류에 대한 출력 전압 이득(A)이 RF 값에 비하여 크다면(A>>RF) 입력 전류(iy)에 대한 출력 전압(vout)의 비는 아래의 수학식 4와 같이 근사된다. 따라서 등가 저항(Req)을 가지는 증폭 회로에 있어서 저항 가지에 포함된 트랜지스터들을 도통시키거나, 차단하여 등가 저항 값을 제어할 수 있으며, 이로부터 입력 전류에 대한 출력 전압 이득을 제어할 수 있다.

수학식 4

[0043]
$$\frac{vout}{i_y}=Req+\frac{Req}{(1+A)}\simeq Req$$

[0044] 일 실시예로, Ra와 저항 가지에 포함된 Rb, Rc의 저항값이 모두 같은 경우에 등가 저항은 Ra, 1/3Ra 및 1/5 Ra로 제어될 수 있다. 다른 실시예로, Ra와 저항 가지에 포함된 Rb, Rc의 저항값은 출력 전압(Vout)의 크기가 입력 전류(ipd)의 크기에 부합하여 형성되도록 선택될 수 있다.

[0045] **모의실험 결과**

[0046] 도 4(a)는 본 실시예에 의한 전달 임피던스 증폭기의 주파수 응답 모의 실험 결과를 도시한 도면이고, 도 4(b)는 본 실시예에 의한 전달 임피던스 증폭기의 노이즈 시뮬레이션 결과 모의 실험 결과를 도시한 도면이다. 도 4(a)를 참조하면, 트랜스임피던스 이득이 64.6 dBΩ, 62.4dBΩ 및 60.5dBΩ로 감소함에 따라 대역폭은 663MHz, 1.12GHz, 1.46GHz로 증가하는 것을 확인할 수 있으며, 통과 대역 내에서는 매우 평탄한 특성을 가지는 것을 확인할 수 있다.

[0047] 도 4(b)를 참조하면, 총 세 개의 전류 버퍼를 구동한 경우 평균 19.38 pA/sqrt(Hz)의 입력 노이즈 전류 주파수 밀도(Input noise current spectral density)를 가지며, 총 5개의 전류 버퍼를 구동한 경우, 평균 26.8 pA/sqrt(Hz) 입력 노이즈 전류 주파수 밀도를 가지는 것을 확인할 수 있다.

[0048] 도 5(a)는 2 μA_{pp} ~ 1 mA_{pp}사이 입력 전류신호에 대한 종래 기술의 전달 임피던스 증폭기 회로의 펄스 응답 시뮬레이션 결과를 도시한 도면이고, 도 5(b)는 본 실시예에 의한 전달 임피던스 증폭기 회로의 펄스 응답 시뮬레이션 결과를 도시한 도면이다. 도 5(a)로 도시된 종래의 전달 임피던스 증폭기 회로의 펄스 응답 시뮬레이션 결과를 보면, 400 μApp 이상의 큰 전류신호에 대해서는 제대로 출력하지 못하는 것을 볼 수 있다. 반면, 본실시예에 의한 전달 임피던스 증폭기 회로의 펄스 응답 시뮬레이션 결과는 양호한 펄스 복원을 보여준다.

[0049] 도 6은 본 실시예에 의한 전달 임피던스 증폭기에 대하여 2^{31}-1 PRBS 입력신호로 아이 다이어그램(eye-diagram) 시뮬레이션 결과를 도시한 도면으로, 입력전류의 크기를 500 μA_{pp}로 고정하여 모든 전류 버퍼가 동작하도록 구동

하여 동작속도를 500-Mb/s 부터 3-Gb/s 까지 시뮬레이션 한 결과를 도시한 도면이다. 500Mb/s, 1Gb/s, 2Gb/s 및 3Gb/s 아이가 깨끗하게 열려있는 상태를 보여준다.

[0050] 도 7은 본 실시예에 의한 전달 임피던스 증폭기에 대하여 1-Gb/s 2^{31}-1 PRBS 입력신호에 대한 아이 다이어그램 시뮬레이션 결과로서 도 7(a)는 입력전류 신호의 크기가 2㎂App ~ 100 ㎂App 인 경우, 도 7(b)는 입력전류 신호의 크기가 200㎂App ~ 1.0 mApp 인 경우를 나타낸다. 도 7(a) 및 도 7(b) 모두 크고 깨끗하게 신호가 복원됨을 보여준다.

[0051] 본 실시예에 의한 전류 전달 임피던스 증폭기는 입력 전류의 크기에 따라 전류 버퍼를 동작시켜 입력 다이내믹 레인지를 확장시킬 수 있다는 장점이 제공되며, 입력 전류의 크기에 따라 트랜스 임피던스 이득을 제어할 수 있다는 장점이 제공된다.

[0052] 본 발명에 대한 이해를 돕기 위하여 도면에 도시된 실시 예를 참고로 설명되었으나, 이는 실시를 위한 실시예로, 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위에 의해 정해져야 할 것이다.

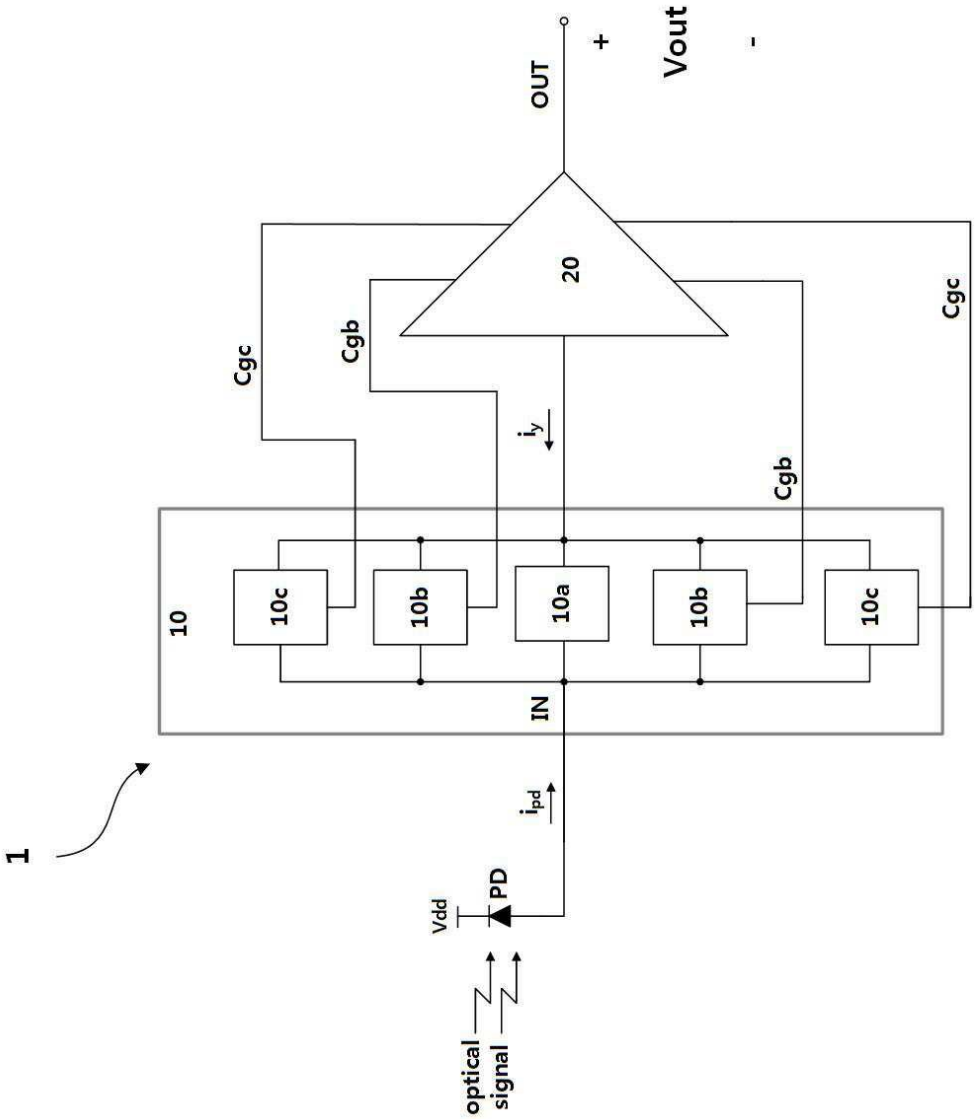
부호의 설명

[0053] 1: 전달 임피던스 증폭기 10: 전류 버퍼부

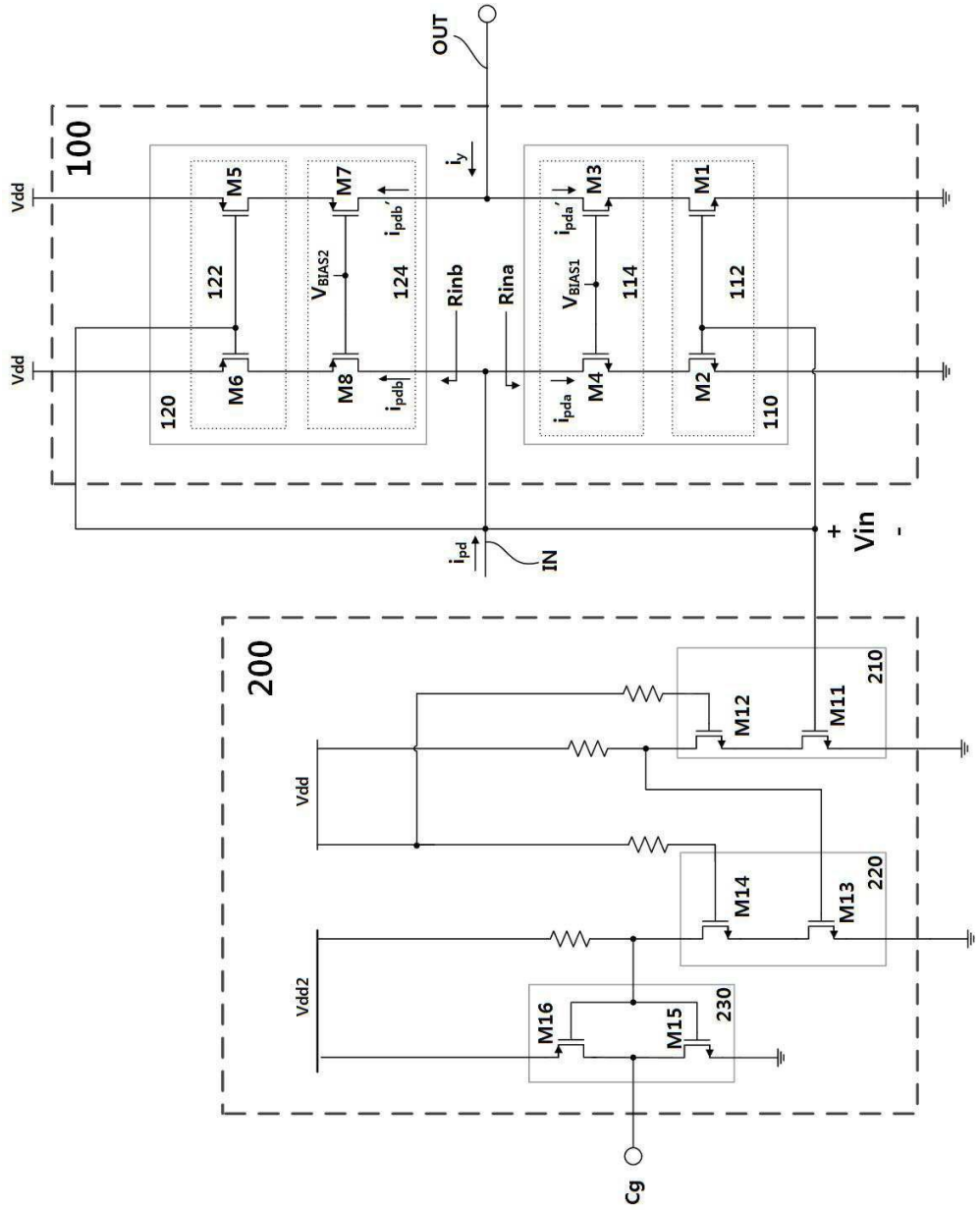
20: 가변 전달 임피던스 증폭기

도면

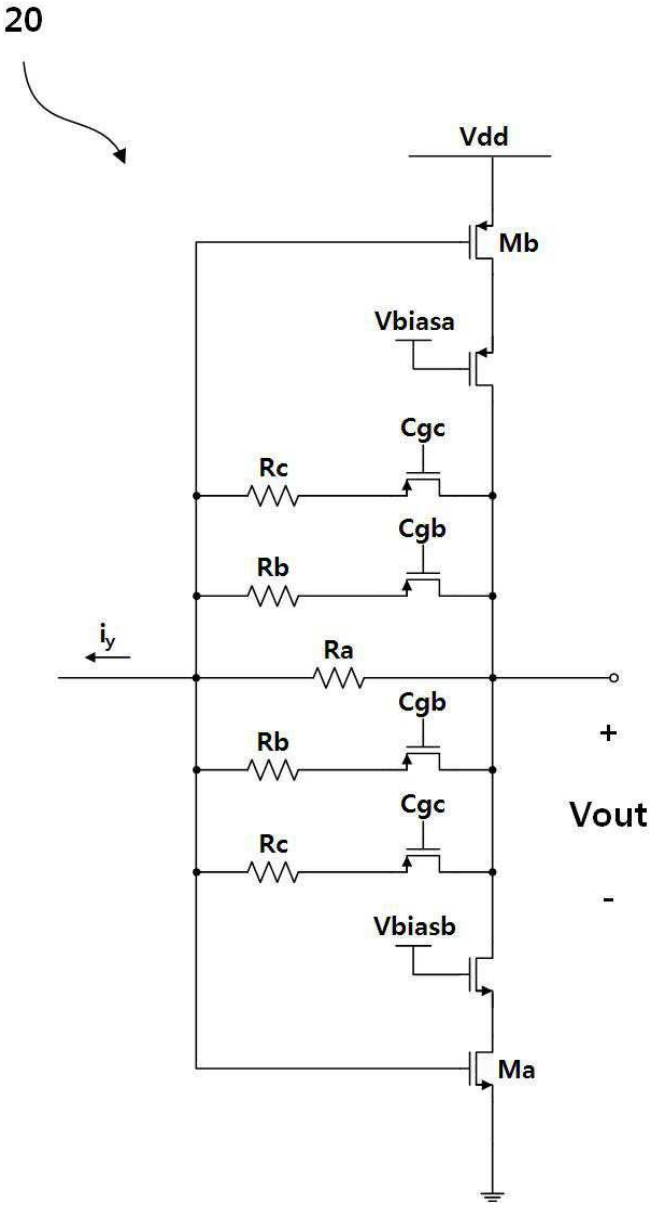
도면1


OUT
+
Vout
-
20
Cgc
Cgb
Cgb
Cgc
i_y
10
10c
10b
10a
10b
10c
IN
i_{pd}
1
Vdd
PD
optical
signal

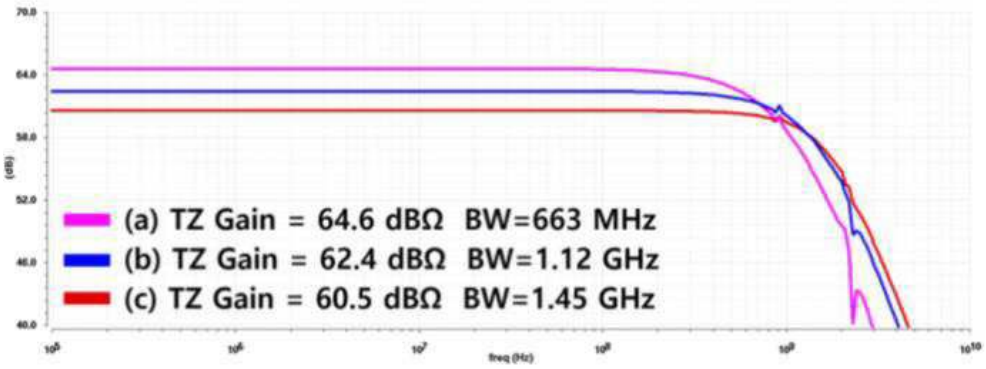
도면2


OUT
100
Vdd
Vdd
M5
M7
M3
M1
122
124
114
112
M6
M8
M4
M2
120
110
Rinb
Rina
i_y
i_{pdb}'
i_{pdb}
V_{BIAS2}
V_{BIAS1}
i_{pda}'
i_{pda}
i_{pd}
IN
+ Vin -
200
Vdd
Vdd2
M12
M11
210
M14
M13
220
M16
M15
230
Cg

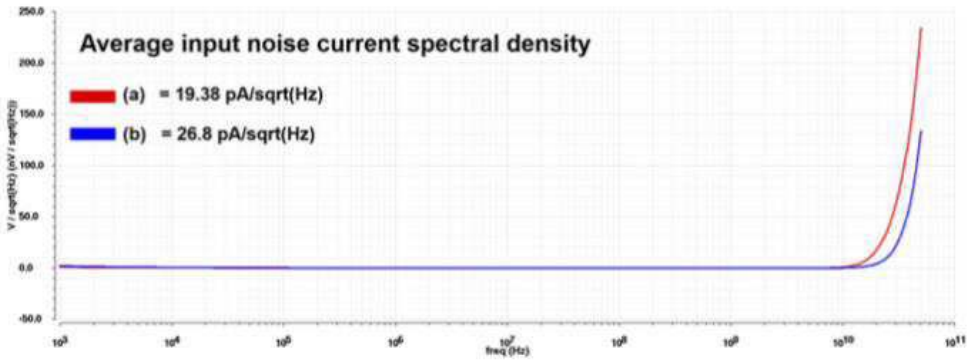
도면3



도면4

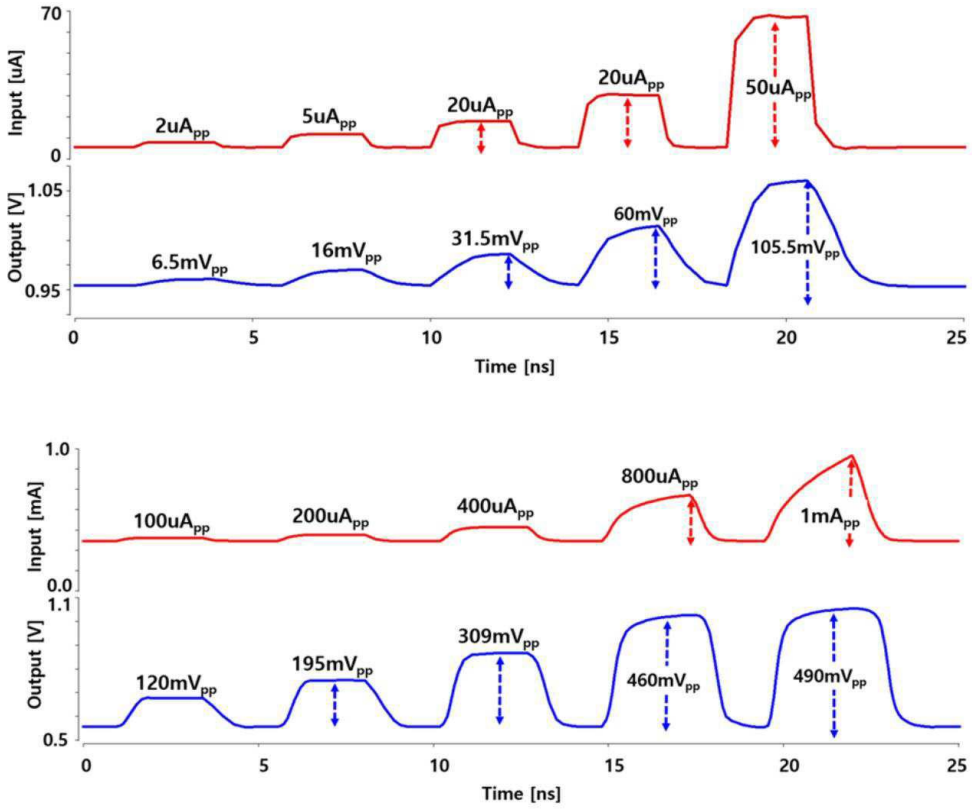

(a) TZ Gain = 64.6 dBΩ BW=663 MHz
(b) TZ Gain = 62.4 dBΩ BW=1.12 GHz
(c) TZ Gain = 60.5 dBΩ BW=1.45 GHz
freq (Hz)

(a)

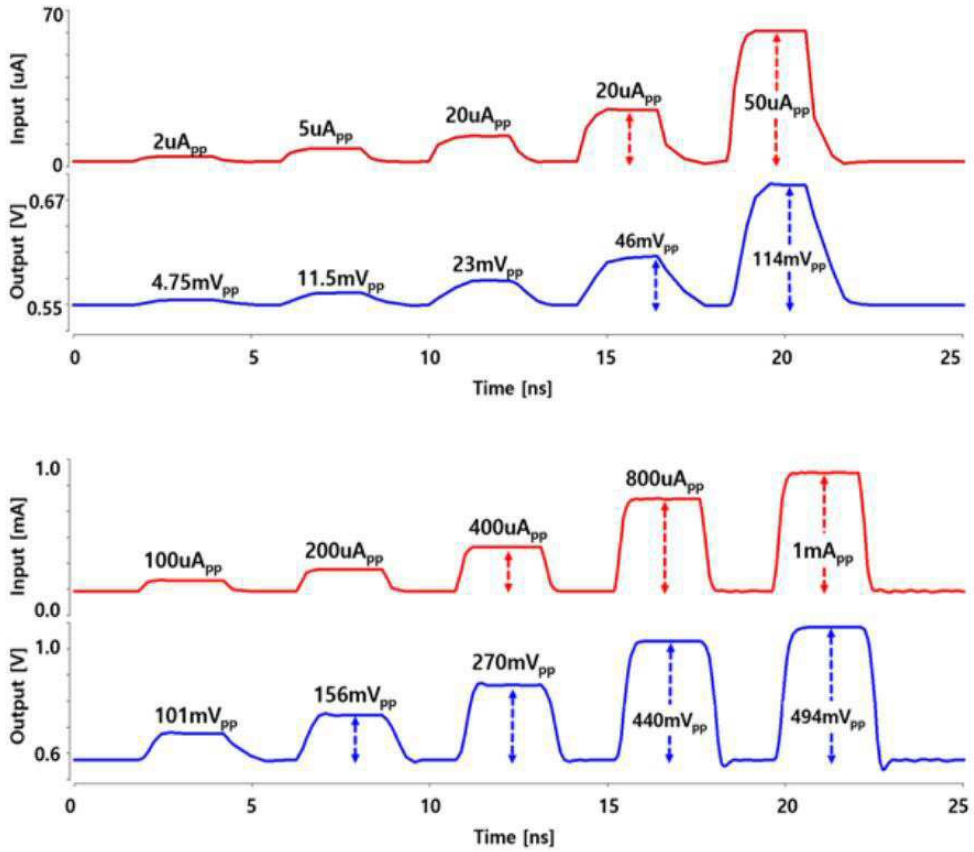

Average input noise current spectral density
(a) = 19.38 pA/sqrt(Hz)
(b) = 26.8 pA/sqrt(Hz)
freq (Hz)

(b)

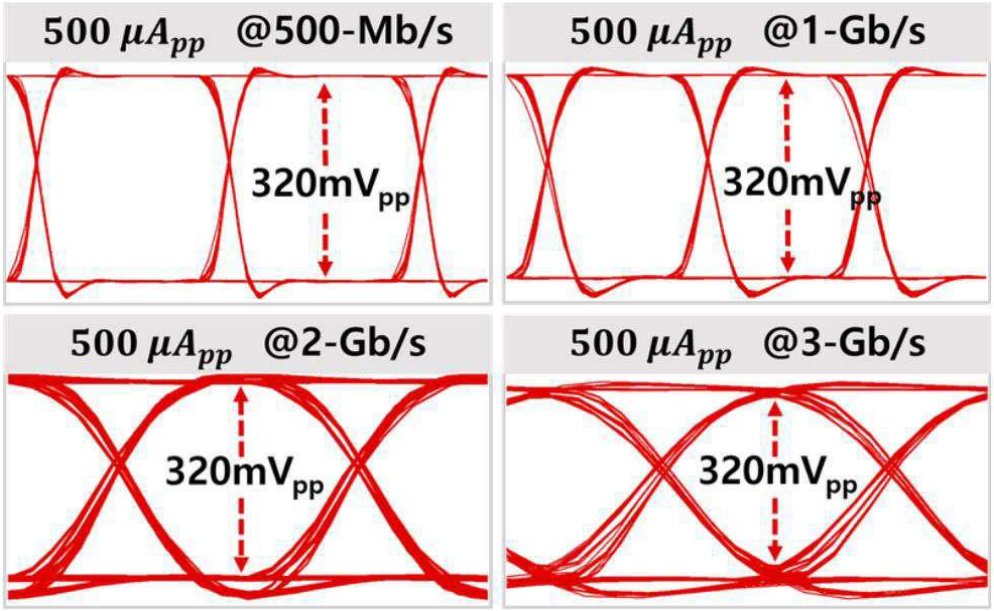
도면5a


Input [uA]
70
0
2uApp
5uApp
20uApp
20uApp
50uApp
Output [V]
1.05
0.95
6.5mVpp
16mVpp
31.5mVpp
60mVpp
105.5mVpp
0
5
10
15
20
25
Time [ns]
Input [mA]
1.0
0.0
100uApp
200uApp
400uApp
800uApp
1mApp
Output [V]
1.1
0.5
120mVpp
195mVpp
309mVpp
460mVpp
490mVpp
0
5
10
15
20
25
Time [ns]

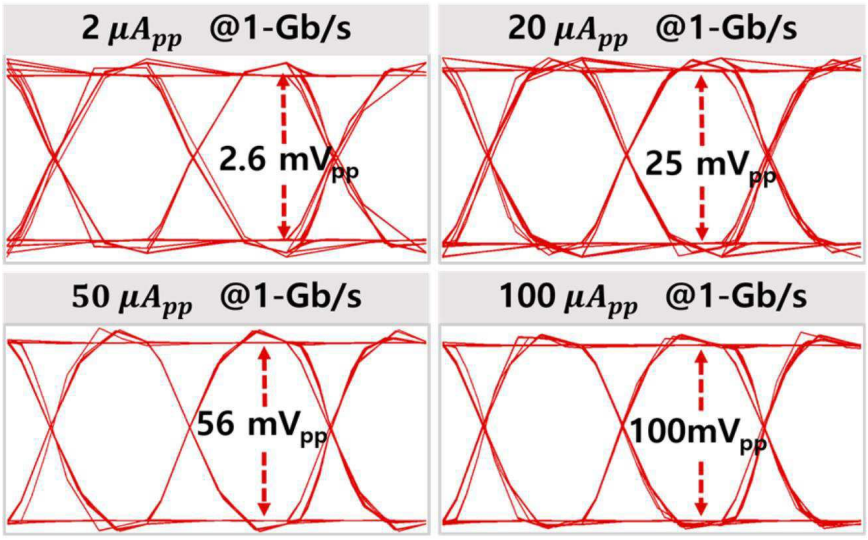
도면5b


Input [uA]
70
0
2uA$_{pp}$
5uA$_{pp}$
20uA$_{pp}$
20uA$_{pp}$
50uA$_{pp}$
Output [V]
0.67
0.55
4.75mV$_{pp}$
11.5mV$_{pp}$
23mV$_{pp}$
46mV$_{pp}$
114mV$_{pp}$
0
5
10
15
20
25
Time [ns]
Input [mA]
1.0
0.0
100uA$_{pp}$
200uA$_{pp}$
400uA$_{pp}$
800uA$_{pp}$
1mA$_{pp}$
Output [V]
1.0
0.6
101mV$_{pp}$
156mV$_{pp}$
270mV$_{pp}$
440mV$_{pp}$
494mV$_{pp}$
0
5
10
15
20
25
Time [ns]

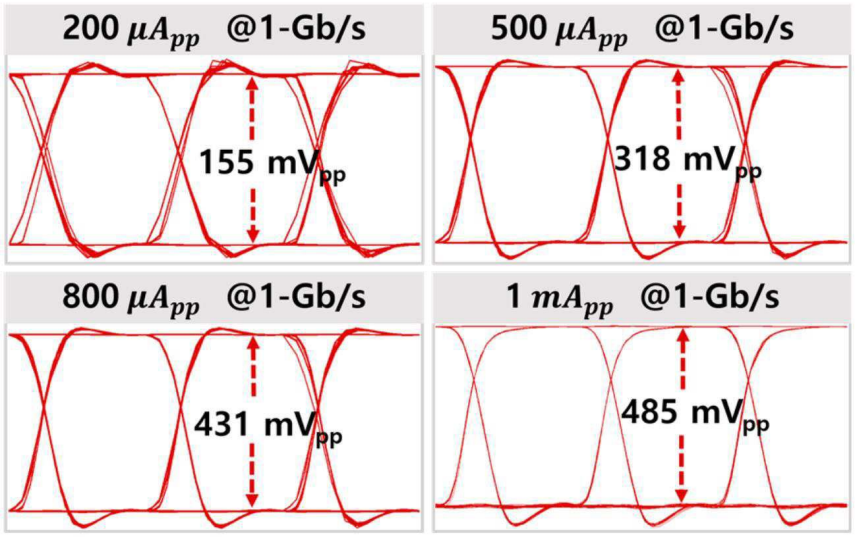
도면6


500 μA_{pp} @500-Mb/s
320mV$_{pp}$
500 μA_{pp} @1-Gb/s
320mV$_{pp}$
500 μA_{pp} @2-Gb/s
320mV$_{pp}$
500 μA_{pp} @3-Gb/s
320mV$_{pp}$

도면7


2 μA_{pp} @1-Gb/s
2.6 mV_{pp}
20 μA_{pp} @1-Gb/s
25 mV_{pp}
50 μA_{pp} @1-Gb/s
56 mV_{pp}
100 μA_{pp} @1-Gb/s
100mV_{pp}

(a)


200 μA_{pp} @1-Gb/s
155 mV_{pp}
500 μA_{pp} @1-Gb/s
318 mV_{pp}
800 μA_{pp} @1-Gb/s
431 mV_{pp}
1 mA_{pp} @1-Gb/s
485 mV_{pp}

(b)