(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G11C 16/00

(45) 공고일자 2002년06월20일
(11) 등록번호 10-0322824
(24) 등록일자 2002년01월18일

(21) 출원번호 10-1994-0011345
(22) 출원일자 1994년05월25일

(65) 공개번호 특1995-0006865
(43) 공개일자 1995년03월21일

(30) 우선권주장 93-198180 1993년08월10일 일본(JP)

(73) 특허권자
가부시끼가이샤 히다치 세이사꾸쇼
가나이 쓰도무
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자
다나까도시히로
일본국아끼가와시니노미야2273-5
가또마사따까
일본국무사시노시교난쵸5-2-13-B 201
사사끼도시오
일본국도꾜도니시따마군미즈호마찌이시하따1878-3
구메히또시
일본국무사시노시니시꾸보1-33-7
고따니히로아끼
일본국오메시도모다마찌5-519-9
후루사와가즈노리
일본국고다이라시오가와히가시쵸1-39-4

(74) 대리인
백남기

심사관 : 이철희

(54) 반도체불휘발성기억장치

요약

전기적으로 라이트(프로그래밍) 및 소거 가능한 반도체 불휘발성 기억장치에 관한 것으로, 리라이트시에 반복하여 실행되는 라이트와 라이트검증의 계속 및 정지를 데이타선마다 판정하고 라이트의 대상으로 되는 모든 메모리셀의 라이트가 완료한 것을 반도체 불휘발성 기억장치 내부에서 판정하도록 하기 위해, 제1의 데이타선, 제1의 데이타선과 대향해서 평행하게 배치된 제2의 데이타선, 제1 및 제2의 데이타 선의 쌍방과 교차하는 여러개의 워드선, 제1 및 제2의 데이타선과 여러개의 워드선의 원하는 교점에 마련된 여러개의 메모리셀, 제1의 데이타선과 제2의 데이타선이 그의 입력

에 접속된 제1의 센스앰프 및 제2의 센스앰프, 제1의 센스앰프의 출력에 접속된 제1의 공동데이타선 및 제2의 센스앰프의 출력에 접속된 제2의 공통데이타선을 구비하고, 여러개의 메모리셀을 제1의 센스앰프와 제2의 센스앰프 사이에 배치함과 동시에 제1의 공통데이타선과 제2의 공통데이타선 사이에 배치하였다.

이러한 구성에 의해, 전기적 리라이트동작 즉 소거동작 및 라이프동작을 실행하는 메모리셀의 상태를 모든 데이타선에 의해 일괄해서 자동적으로 검출하고, 소거의 부족, 라이트의 계속 및 정지 등에 대한 제어를 장치 내부에서 실행할 수 있다는 효과가 얻어진다.

대표도

도 1

색인어

데이타선, 워드선, 메모리셀, 센스앰프, 공통데이타선, 상태검출회로

명세서

도면의 간단한 설명

도 1은 본 발명의 블럭도,

도 2는 본 발명의 불휘발성 기억장치의 제1 실시예를 도시한 회로도,

도 3은 본 발명의 내부 어드레스 버퍼회로의 1예를 도시한 도면,

도 4는 본 발명의 내부 어드레스 자동발생회로의 1예를 도시한 도면.

도 5는 본 발명의 입출력 버퍼의 1예를 도시한 도면,

도 6은 본 발명의 제1 리라이트 회로의 블럭도,

도 7은 본 발명의 라이트 및 리이트검증 동작 타이밍 파형을 도시한 도면.

도 8은 본 발명의 리드동작 타이밍파형을 도시한 도면,

도 9는 본 발명의 소거 및 소거검증 동작 타이밍 파형을 도시한 도면,

도 10은 본 발명의 제2 리라이트 회로의 블럭도,

도 11은 본 발명에서의 NAND-EEPROM 리라이트 회로의 블럭도,

도 12는 본 발명의 제2 메모리어레이의 회로도,

도 13은 본 발명의 제3 메모리어레이의 회로도,

도 14는 본 발명의 제2 매트의 블럭도,

도 15는 본 발명의 제3 매트의 블럭도,

도 16은 본 발명의 제4 매트의 블럭도,

도 17은 본 발명의 제5 매트의 블럭도,

도 18은 본 발명의 제6 매트의 블럭도,

도 19는 라이트동작 정의와 라이트방법을 설명하는 표,

도 20은 본 발명의 라이트정의에 의한 검증방식을 설명하는 도면,

도 21은 본 발명의 라이트정의에 의한 프리챠지방식을 설명하는 도면,

도 22는 종래의 NAND-EEPROM의 리라이트회로의 블럭도,

도 23은 종래의 NAND-EEPROM의 타이밍 파형도,

도 24는 종래예의 NAND-EEPROM 셀데이타와 라이트데이타를 설명하는 표.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전기적으로 라이트(프로그래밍) 및 소거 가능한 반도체 불휘발성 기억장치에 관한 것으로, 특히 리라이트(리프로그래밍)시에 반복하여 실행되는 라이트와 라이트검증의 계속 및 정지를 기억장치내에서 자동적으로 검출하고 제어할 수 있도록 해서 리라이트 동작과 라이트검증 동작의 고속화 및 그 장치의 소형화를 가능하게 한 반도체 불휘발성 기억장치에 관한 것이다.

종래, 동일 워드선에 컨트롤 게이트가 접속된 여러개의 불휘발성 반도체 기억소지(메모리셀)의 데이타를 일괄해서 전기적으로 리라이트하는 방법으로서, 데이터 래치회로로서 작용한다.

워드선상의 여러개의 메모리셀에 대해서 데이타를 일괄해서 라이트(로드)하는 경우, 개개의 메모리셀의 스레쉬홀드 전압을 임의의 소정의(정해진) 정전압 범위내로 배치하지 않으면 안된다. 그래서, 라이트 동작을 실행한 후에 워드선상의 메모리셀의 스레쉬홀드 전압을 리드(검증동작)하고 라이트를 실행하는 모든 메모리 셀에 대해서 스레쉬홀드 전압이 소정의 정(正)의 범위내에 있는지를 판정한다. 스레쉬홀드 전압이 범위밖에 있는 경우에는 스레쉬홀드 전압이 범위내로 들어갈 때까지 라이트동작을 반복하고 있었다.

NAND-EEPROM에서는 메모리셀의 스레쉬홀드 전압이 소거동작에 의해 저전압상태(부의 스레쉬홀드 전압)를 나타내고, 라이트 동작에 의해 고전압상태(정의 스레쉬홀드 전압)를 나타낸다. 라이트 동작은 선택된 워드선에 18V를 인가하는 것에 의해 라이트를 실행하는 (선택)메모리셀에 대해서 데이타선에 OV를 인가하는 것에 의해, 또 라이트를 실행하지 않는 (비선택)메모리셀에 대해서 데이타선애 8V를 인가하는 것에 의해서 실행된다. 또한, 라이트데이타는 리드/라이트 회로중의 래치에 유지되고, 비선택 데이타선의 8V는 리드/라이트 회로의 Vrw단자의 전압을 8V까지 승압시키는 것에 의해 얻어진다.

상기 라이트를 종료한 후, 검증회로를 사용하여 라이트검증이 실행된다. 도 23에 라이트검증 동작시의 신호타이밍 파형도를 도시한다. 여기서, 메모리셀 어레이(a) 측의 셀이 선택되어 있으면, 비트선 BLai의 전압은 φpa에 의해 Va전압=(3/5)Vcc 즉 1.8V까지 프리챠지된다. 한편, 비트선 BLbi의 더미비트선의 전압은 φpa에 의해 Vb=(1/2)Vcc 즉 1.5V까지 프리챠지된다(t1 t2).

비트선이 프리챠지된 후, 선택 워드선(CG)의 전압은 라이트검증 전압 0.6V까지 강압되고, 비선택 워드선(CG)에는 Vcc가 인가된다. 만일 선택된 메모리셀의 스레쉬홀드 전압이 0.6V이하인 경우에는 선택된 메모리셀에 전류가 흘러 비트선의 전압은 1.5V이하로 된다. 한편, 메모리셀의 스레쉬홀드 전압이 0.6V보다 클 때에는 전류는 흐르지 않고 비트선의 전압은 프리챠지 전압의 1.8V로 유지된다(t2 t3).

그 후, 모든 워프선(CG)이 비선택 상태로 되면, 검증회로신호 φav는 활성화 상태(Vcc)로 된다. 만일, 리드/라이트 회로의 래치데이타가 " 1" (전압값 OV)을 나타내는 경우에 MOS 트랜지스터 T1이 오프로 되고, 비트선 BLai의 전압은 φav가 활성화 상태로 되기 전의 레벨로 유지된다. 한편, 래치데이타가 " 0" (전압값 Vcc)을 나타내는 경우에는 MOS 트랜지스터 T1이 온으로 되고, 비트선 BLai의 전압은 1.5V이상으로 된다(t3 t4).

검증회로신호 φav가 로우(Vss)로 되면, 리드/라이트 회로는 동일 상태(φp: 하이, φn; 로우, φe: 하이)로 되고, 그 후 검증회로신호 φa와 φb의 활성화에 의해 데이타 유지회로로서 동작한다(t4 이후).

비트선 BLai의 전압은 오픈비트선 방식에 의해 리드되고, 그 라이트 후의 리드(라이트검증) 데이타는 리드/라이트 회로의 래치데이타로 다시 재프로그램된다. 도 24에 프로그램 데이타와 재프로그램 데이타와 메모리셀의 데이타의 관계를 도시한다.

여기서, 임의의 메모리셀을 " 1" (래치데이타 전압 OV) 프로그래밍하고, 검증동작시에 메모리셀의 스레쉬홀드 전압이 라이트 0. 6V보다 높은 값에 도달한 경우에는 메모리셀의 과잉 라이트를 방지하기 위해 래치데이타 전압은 Vcc 즉 " 0" 프로그래밍된다.

발명이 이루고자 하는 기술적 과제

상기 종래의 기술에 있어서는 반복하여 실행되는 라이트 및 라이트검증을 리라이트 섹터의 각 비트마다 제어하고 있었다. 그러나, 라이트를 선택한 모든 비트에 대해 라이트를 종료했는지의 검출 및 판정이 실행되고 있지 않기 때문에, 반복하여 실행되는 라이트 및 라이트검증의 정지를 판정할 수가 없었다. 이 때문에, 종래의 기술에 있어서는 예를 들면 내장된 타이머를 사용해서 충분한 라이트시간을 설정(세트)하고, 이 설정된 라이트시간 동안 라이트 동작과 라이트검증 동작을 반복하여 실행하고 있었다. 이 때문에, 메모리셀에 데이타를 라이트하는데 필요한 라이트 시간에 대해서 마진을 포함한 과잉 라이트시간을 설정하는 것이 필요하였다.

또, 라이트종료에 대한 검출 및 판정 동작을 반도체 불휘발성 기억장치의 외부에 위치한 시스템(예를들면, 자동적으로 제어되는 카메라 시스템, 휴대용 레코더 및 포켓 컴퓨터 등과 같은 휴대용 시스템)내의 CPU에게 실행시키는 경우에는 반도체 불휘발성 기억장치 내의 메모리셀 데이타를 CPU로 전송하기 위해, 반도체 불휘발성 기억장치와 시스템 간의 버스를 항상 접속해 둘 필요가 있다. 이 때문에, 데이타의 라이트시에는 CPU가 반도체 불휘발성 기억장치의 리라이트 제어에 의해 점유되어 버린다는 문제가 있었다.

본 발명의 제1의 목적은 상기 문제점을 해결하고, 반도체 불휘발성 기억장치와 시스템 간의 버스를 분리한 채 섹터정보의 전기적 라이트 및 소거를 실행할 수있는 반도체 불휘발성 기억장치를 제공하는 것이다.

또, 상기 종래의 기술에 있어서는 도 19의 a에 도시한 바와 같이, [1]라이트 동작에 의해 메모리셀의 스레쉬홀드 전압을 소거후의 저전압상태(낮은 상태)에서 선택적으로 고전압상태(높은 상태)로 하고. [2] 라이트 선택의 드레인선에 OV를 인가하고 비선택의 드레인선에 정전압을 인가하는 경우에만 유효하였다. 그러나, 도19의 b에 도시한 바와 같이, [1] 라이트 동작에 의해 메모리셀의 스레쉬홀드 전압을 소거후의 고전압상태에서 선택적으로 저전압상태로 하고, [2] 라이프시에는 라이트 선택의 드레인선에 정전압을 인가하고 비선택 드레인선에는 OV를 인가하는 경우에는 메모리셀의 라이트의 계속 및 정지의 제어가 불가능하였다.

이하, 이러한 이유를 도 20을 참조해서 설명한다. 도 20은 라이트와 라이트 검증을 반복하고 있는 도중에서의 워드선상의 메모리셀의 상태를 도시한 도면이다.

여기서, 데이타선 b1 및 b2에 접속되어 있는 메모리셀의 스레쉬홀드 전압이 고전압상태이고, 데이타선 b3 및 b4에 접속되어 있는 메모리셀의 스레쉬홀드 전압이 저전압상태라고 가정한다. 각각의 메모리셀에 라이트하고자 하는 데이타를 초기 라이트데이타(loaded data)로서 도시하였다. 현상태에서는 데이타선 b2에 접속된 메모리셀은 높은 스레쉬홀드 전압을 갖고 있으므로, 또 라이트를 더 반복할 필요가 있다. 또, 데이타선 b4의 메모리셀은 낮은 스레쉬홀드 전압을 갖고 있으므로, 다음(이후)부터의 라이트 동작을 정지한다.

종래 방식의 검증방식에 있어서는 도 22에 도시한 바와 같은 리그/라이트 회로에 상당하는 데이타 유지회로의 래치데이타에 관계없이 모든 데이타선을 프리챠지한다. 다음에, 워드선에 리드전압을 인가하면, 낮은 스레쉬홀드 전압값의 메모리셀을 갖는 데이타선 b3 및 b4의 전위가 OV로 된다. 이 데이타선을 사용해서 데이타 유지회로의 래치데이타가 재라이트(reload)되기 때문에 그후 데이타선이 래치데이타에 따라서 충전되므로, 데이타선 b2, b4 및 프리챠지 전압을 유지하는 데이타선 b1은 데이타 유지회로의 초기 라이트데이타에 의해 3V로 된다. 따라서, 리라이트를 정지시키고자 하는 데이타선 b4와 초기 라이트데이타를 OV로 유지하고자 하는 데이타선 b1에 있어서는 재라이트데이타가 달라지게 된다. 즉, 종래 방식의 검증 방식을 도 19의 b에 도시한 메모리방식에 대해서 사용하는 것은 불가능하다.

본 발명의 제2의 목적은 라이트 동작에 의해 반도체 불휘발성 기억소자(메모리셀)의 라이트 스레쉬홀드 전압을 소거후의 고전압상태에서 선택적으로 저전압상태로 함과 동시에, 라이트시에 선택의 드레인선을 정전압으로 하고 비선택의 드레인선 전압을 OV로 하는 경우의 반도체 불휘발성 기억장치에 있어서, 반복 실행되는 라이트의 계속 및 정지를 데이타선마다 판정하고, 라이트의 대상으로 되는 모든 메모리셀의 라이트가 완료한 것을 반도체 불휘발성 기억장치 내부에서 판정하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위해, 본 발명은 다음과 같은 구성을 구비하고 있다.

즉, 컨트롤 게이트, 부유게이트, 드레인 및 소오스를 각각 갖는 불휘발성 반도체 메모리셀을 어레이형상으로 배치하고, 컨트롤 게이트가 워드선에 의해 공통으로 접속되어 있는 여러개의 상기 메모리셀을 섹터로서 형성하고, 이 섹터내의 메모리셀의 드레인을 다른 데이타선에 접속하고 있고, 상기 데이타선마다 적어도 프리챠지회로, 상태검출회로 및 데이타 유지회로를 구비하고, 상기 워드선은 로우 어드레스 디코더에 접속되어 있고, 상기 프리챠지회로와 상기 상태검출회로는 제어신호 발생 회로에 접속되어 있다.

본 발명의 반도체 불휘발성 기억장치에 있어서는 적어도 1개의 워드선을 로우어드레스 디코더에 의해 선택하고, 정전압을 인가하는 것에 의해 그 워드선에 컨트롤 게이트가 접속된 여러개의 메모리셀에 대해서 일괄해서(동시에) 전기적 소거를 실행한다. 또, 메모리셀에 라이트할 데이타를 데이타를 데이타선마다 마련된 데이타 유지 회로로 전송한 후, 선택된 워드선에 로우어드레스 디코더를 사용해서 부전압을 인가하고, 상기 데이타 유지회로내의 데이타에 따른 전압을 데이타선에 인가하는 것에 의해 라이트 동작을 실행한다. 즉, 상기 워드선을 단위로 한 섹터에 대한 일괄 전기적 소거 및 라이트가 가능하다. 상기 라이트 동작후에 상기 섹터내의 메모리 셀의 상태를 일괄해서 리드하는 동작(일괄 검증)을 상

기 데이타 유지회로내의 데이타에 따라서 상기 프리챠지회로를 거쳐 선택적으로 데이타선에 전압을 인가하는 것에 의해 실행하고, 상기 검증에 계속해서 상기 섹터내의 메모리셀에 대응하는 데이타 유지회로내의 데이타를 상기 상태검출회로를 사용하여 일괄해서 검출(상태검출동작)하고, 메모리셀에 대한 라이트가 완료할 때까지 상기 라이트동작, 일괄검증동작 및 상태검출동작을 계속한다.

도 1에 본 발명의 반도체 불휘발성 기억장치의 1실시예인 회로의 블럭도를 도시한다. 불휘발성 메모리셀 M1, M2, M4, M5는 공지의 전기적으로 일괄 소거 가능한 불휘발성 메모리셀(플래쉬 메모리셀)이다. 메모리셀 M1과 M4의 컨트롤 게이트(제어게이트) 전극은 워드선 W1에 접속되어 있고, 메모리셀 M2와 M5의 컨트롤 게이트 전극은 워드선 W2에 접속되어 있다. 또, 워드선 W1과 W2는 로우디코더 XDCR에 접속되어 있다. 또, 메모리셀 M1과 M2의 드레인전극은 데이타선 D1에 접속되어 있고, 메모리셀 M4와 M5의 드레인전극은 데이타선 D2에 접속되어 있다. 또한, 데이타선 D1과 D2마다 데이타선 전압을 제어하는 프리챠지 제어회로 PCC 데이타 센스기능과 라이트데이타의 데이타 유지회로로서 작용하는 센스앰프회로 SAC와 데이타 유지회로의 상태를 판정하는 메모리셀 상태 검출회로 ALLC가 접속되어 있고, 또 칼럼게이트 Q4와 Q5가 접속되어 있다. 또, 각각의 데이타선 D1과 D2는 각각 데이타선 디스챠지 게이트 Q1과 Q2에 접속되어 있다. 메모리셀 M1 M5의 소오스전극은 공통소오스선 S에 접속되어 접지(기판전압 Vss)되어있다.

프리챠지 제어회로 PCC는 적어도 프리챠지신호를 게이트입력으로 하는 MOSFET와 상기 센스앰프회로 SAC내의 단자신호를 게이트입력으로 하는 MOSFET 등으로 구성되어 있다.

상기 메모리셀은 특히 제한되지는 않지만, 소거 및 라이트 가능한 리드온리 메모리(EPROM)의 메모리셀과 유사한 구성이어도 좋다. 그러나, 그의 리라이트 동작이 부유게이트와 기판 사이, 데이타선에 결합되는 드레인 사이 또는 소오스선에 결합되는 소오스 사이의 터널현상 또는 컨트롤 게이트와 드레인에 고전압을 인가하는 열전극 주입을 이용해서 전기적으로 실행되는 점이 종래의 자외선을 사용한 EPROM의 리라이트 방법과는 다르다. 이하, 도 19의 b에 메모리셀의 라이트 동작정의를 도시한다. 메모리셀의 스레쉬홀드 전압을 열평형 상태보다 높게 하는 동작을 소거동작, 그리고 열평형 상태정도로 스래쉬홀드 전압을 하강시키는 동작을 라이트 동작으로 정의한다.

소거동작시에는 워드선에 선택적으로 정의 고전압을 인가한다.

드레인, 소오스 및 채널전압은 기판전압 Vss로 설정한다. 소거된 메모리셀은 그의 부유게이트에 전자가 축적되고, 리드시에 워드선 및 드레인선을 선택해도 메모리셀 전류는 흐르지 않는다(" 0" 상태).

라이트 동작에 있어서는 [1] 메모리셀 스레쉬홀드 전압을 소거후의 고전압상태에서 선택적으로 저전압상태로 한다. 이 때문에, [2] 라이트시에는 메모리셀의 드레인전압 즉 데이타선 전압을 선택된 메모리셀에서는 정전압으로, 비선택의 메모리셀에서는 OV로 설정한다.

라이트데이타를 장치내로 페치하는 경우에는 칼럼어드레스 디코더 YDCR이 동작하고, 외부단자로 부터의 데이타가 센스앰프회로 SAC에 라이트된다. 또한, 센스앰프회로 SAC에 데이타를 일시 보관하고, 장치의 외부에서 메모리셀의 필요한 정보만을 리라이트하도록 한 부분리라이트도 가능하다.

라이트 동작시에는 센스앰프회로 SAC에 페치된 데이타를 사용하는 것에 의해 라이트를 실행한다. 라이트를 실행하는 메모리셀에 대응하는 센스앰프회로 SAC의 데이타는 정전압으로 유지하고, 라이트를 실행하지 않는 센스앰프회로 SAC의 데이타는 기판전압 Vss를 갖는다. 부유게이트와 드레인단자 사이의 전압차에 의해 터널현상을 선택적으로 일으키고, 라이트를 실행하는 섹터에 대응하는 워드선 전압을 선택적으로 부전압으로 설정하고, 부유게이트에 축적된 전극을 드레인측을 향해 빼내는 것에 의해, 라이트 동작이 실행된다(" 1" 상태).

도 21에 라이트시의 메모리셀과 데이타선의 상태를 도시한다. 데이타선 b2 및 b4에 접속되어 있는 메모리셀의 스레쉬홀드 전압이 높은 상태(하이)이고, 데이타선 b3 및 b4에 접속되어 있는 메모리셀의 스레쉬홀드 전압이 낮은 상태(로우)라고 가정한다. 또한, 메모리셀로의 라이트데이타는 초기 라이트 데이타로서 나타낸다. 라이트 후의 검증에 있어서, 초기 라이트 데이타에 따라서 데이타선이 프리챠지 회로 PCC에 의해 프리챠지된다(b2와 b4). 다음에, 워드선을 선택한 후 b4에서만 데이타선 전압이 3V에서 OV로 낮아지지만, b2는 메모리셀의 스레쉬홀드 전압이 높기 때문에 3V로 유지된다. 따라서, b2의 센스래치회로에서만 재라이트 데이타가 3V로 유지된다.

라이트검증후, 메모리셀 상태를 상태검출회로ALLC를 사용해서 검출한다. 데이타선마다 접속된 센스앰프회로 SAC의 데이타래치의 정보가 1개라도 라이트(3V)를 지정하는 상태인 경우에는 라이트 동작을 다시 반복한다. 또, 메모리셀상태 검출동작에서 센스앰프회로 SAC의 데이타가 모두 라이트 완료를 나타내는 경우, 검출 및 판정동작이 종료된 후 반복적으로 실행되고 있던 라이트 동작을 종료시킨다.

또한, 상태검출회로 ALLC는 각각의 데이타선에 대해서 라이트상태 검출회로가 적어도 1개의 MOSFET 또는 메모리셀과 유사한 불휘발성 반도체 메모리셀로 구성되고, 센스앰프회로 SAC로 부터의 출력이 그의 MOSFET의 게이트입력에 접속되어 있으면 좋다. 메모리셀과 동일한 불휘발성 반도체 메모리셀을 사용하는 경우, 메모리 어레이내에 존재하는 결함 메모리셀에 접속되어 있는 데이타선에 대응하는 ALLC의 불휘발성 메모리셀의 스레쉬홀드 전압을 프로그램하고, 이 데이타선에 접속된 센스앰프회로 SAC의 데이타 래치정보를 판정대상에서 제외시킬 수 있다.

라이트검증시에는 선택 워드선의 전압을 전원전압 Vcc로 설정하고, 데이타선에는 1V정도의 저전압을 프리챠지 제어회로 PCC에서 공급한다. 소거상태(" 0")의 메모리셀은 스레쉬홀드 전압이 높고 라이트검증시에는 워드선 W를 선택하는 경우라도 드레인 전류는 흐르지 않는다. 따라서, 데이타선은 1V로 유지된다. 라이트 상태(" 1")의 메모리셀에서는 스레쉬홀드 전압이 낮기 때문에, 데이타선 전압이 프리챠지 전압 1V보다 낮아진다. 데이타선 전압을 센스앰프 SAC에서 받아 " 0" 또는 " 1" 을 판정하고, 칼럼 선택스위치 게이트 Q4, Q5, Q6을 거쳐서 공통 데이타선을 통해 외부단자로 출력된다.

상기한 바와 같이, 라이트검증시의 워드선 전압이 전원전압이기 때문에, 전원의 저전압화에 대해서 메모리셀의 스레쉬홀드 전압을 부전압으로 되지 않은 낮은 정전압 값으로 정밀도 좋게 제어해야만 한다. 따라서, 라이트 동작에 있어서의 라이트를 여러번으로 분할하고, 분할된 라이트가 실행될 때마다 라이트검증을 실행하여, 메모리셀의 스레쉬홀드 전압이 라이트 스레쉬홀드 전압에 도달해 있는지를 확인(라이트검증)한다. 충분하지 않으면 라이트를 다시 반복한다. 상기 라이트검증시의 워드선에는 통상의 리드시에 사용되는 전압보다 낮은 전압을 인가한다. 상기한 바와 같이, 메모리셀 군(섹터)내의 스레쉬홀드 전압의 분포는 그 분포의 싱한값이 제어된다.

본 발명의 제1 및 제2의 목적은 상기 구성에 의해서 달성된다. 즉 리라이트 동작에 있어서 반복해서 실행되는 라이트와 라이트검증의 계속 및 정지를 데이타선마다 마련된 메모리셀상태 검출회로 ALLC에 의해서 판정하고, 라이트 대상의 모든 데이타선에 접속된 선택 메모리셀에 라이트가 완료했을 때의 라이트를 정지하도록 하고 있다.

도 2에는 도 1을 확장하는 것에 의해 얻어진 반도체 불휘발성 기억장치의 회로도를 도시한다. 도 2에서의 각 회로소자는 동일 반도체기판상에 형성되는 것이다.

외부단자에서 공급되는 로우어드레스 신호 AX를 칼럼어드레스 신호 AV와 수신하는 어드레스 버퍼회로 XADB와 YADB를 거쳐서 형성된 상보 어드레스신호가 로우어드레스 디코더XDCR 및 칼럼어드레스 디코터 YDCR로 공급된다.

또, 각각의 데이타선이 상기 어드레스 디코더 YDCR에 의해 형성된 선택신호를 수신하는 칼럼 선택게이트 Q4, Q5, Q6을 거쳐서 공통 데이타선 CD에 접속되어 있다. 또, 공통 데이타선 CD는 라이트시에 온으로 되는 내부발생 라이트 제어신호 we를 수신하는 MOSFER Q8과 외부단자 I/O에서 입력된 라이트 신호를 수신하는 라이트용의 데이타 입력버퍼 DIB를 거쳐서 외부단자 I/O에 접속되어 있다. 또, 공통 데이타선 CD는 라이트검증시에 온으로 되는 내부발생 라이트검증 제어신호 se를 수신하는 스위치 MOSFET Q7과 라이트검증용의 데이타 출력버퍼 DOB를 거쳐서 외부단자 I/O에 접속되어 있다.

도 3에 어드레스 버퍼회로 ADB(XADB, YADB)의 1실시예를 도시한다. 상기 로우 및 칼럼 어드레스 버퍼회로 XADB 및 YADB는 장치 내부의 선택신호 $\overline{CE}$(칩 인에이블)신호에 의해 활성화되어 외부단자로 부터의 어드레스신호 Ax를 페치하고, 외부단자에서 공급된 어드레스 신호와 동상인 내부 어드레스 신호 ax 및 역상인 어드레스신호 $\overline{ax}$로 이루어지는 상보 어드레스 신호를 형성한다. 또한, 본 명세서에서의 " - " 는 상보 신호를 나타낸다.

도 2에 있어서, 로우어드레스 디코더 XDCR은 로우어드레스 버퍼회로 XADB의 상보신호에 따라서 메모리 어레이의 워드선 Wi의 선택신호를 형성하고, 상기한 바와 마찬가지로 칼럼어드레스 디코더 YDCR은 칼럼어드레스 버퍼회로 YADB의 상보 어드레스신호에 따라서 데이타선 Di의 선택신호를 형성한다.

또, 본 장치의 어드레스 입력신호는 워드선계 어드레스 신호만으로 좋다. 그 경우, 테이타선계 어드레스 신호는 장치 내부에서 발생하고, 선택된 워드선에 접속되어 있는 메모리셀 군의 데이타를 연속적으로 취급하도록 하면 좋다. 동일 워드선에 접속되어 있는 메모리셀의 바이트 수를 예를 들면 512바이트 또는 256바이트로 가정하고, 그의 단위를 섹터로서 정의한다.

도 3의 어드레스 버퍼회로 ADB에 있어서, 워드선계 어드레스 버퍼회로 XADB에는 적어도 외부로 부터의 신호 Ax를 수신하고, 그 신호를 내부신호 ALTCH와 $\overline{ALTCH}$에 의해 래치하는 기능이 필요하다. 데이타선계 어드레스 버퍼회로 YADB에는 적어도 내부 발생신호 Axi를 수신하고, 상보 어프레스 신호 ax 및 $\overline{ax}$를 출력할 필요가 있다. 상기 내부 발생신호 AXi는 도 4에 도시한 내부 어드레스 자동발생회로 등에 의해 발생된다. 도 4에 도시한 회로는 발진회로와 여러개의 2진 카운터 BC로 이루어져 있다. 즉, 내부 발진기를 활성화(기동)시키는 신호 $\overline{OSC}$를 수신하여 내부 발진회로를 발진시키고, 그의 발진주기신호를 2진 카운터 BC에 의해 수신하고, 각각의 2진 카운터 BC의 출력을 데이타선계 어드레스 신호 Ali Axi로서 발생시킨다.

도 5에 입력버퍼회로 DIB와 출력버퍼회로 DOB의 내부 구성의 1예를 도시한다.

입력버퍼회로 DIB는 내부신호 We와 그의 반전신호 $\overline{We}$의 활성화에 의해 외부단자 I/O로 부터의 데이타를 수신하는 버퍼이다. 데이타 레치기능을 갖는 센스앰프회로 SAC로의 데이타전송을 위해서는 상기한 칼럼 게이트 Q4, Q5, Q6을 어드레스에 따라 선택한다. 출력버퍼회로 DOB는 상기 내부신호 Se 및 후술하는 외부단자 출력 인에이블신호 등에서 내부신호 Oe 및 $\overline{Oe}$를 활성화시키는 것에 의해 라이트검증시에 외부단자 I/O로 데이타를 출력하는 버퍼이다. 회로구성으로서 내부신호 Se를 게이트입력으로 하는 패스게이트후에 전압변환기능이 마련된다. 이것은 패스게이트에 의한 스레쉬홀드 전압 강하를 보상하기 위해 마련되는 것이다.

도 2에 도시한 타이밍 제어회로 CONT는 외부단자 $\overline{CE}$, $\overline{OE}$, $\overline{WE}$, $\overline{SC}$, RDY/BSY 등에 공급되는 칩인에이블 신호, 출력인에이블 신호, 라이트인에이블 신호, 직렬 제어신호, 레디/비지(ready/busy)신호 등에 따라서 내부제어신호 Ce, Se, We, Oe, DDC, PG, DG, $\overline{RC}$, $\overline{PC}$, $\overline{RI}$ 및 등의 타이밍신호 및 로우 어드레스 디코더 XDCR과 칼럼어드레스 디코더 YDCR 등을 선택적으로 공급하는 워드선 공급전압 Vword, 데이타선 공급전압 Vyg, 센스앰프회로 p MOS 전원전압 Vcd 및 n MOS 전원전압 Vsd 등의 내부전원전압을 예를 들면 전원전압 Vcc에서 내부승압 및 내부강압에 의해 발생한다.

또, 상기 외부신호$\overline{CE}$및$\overline{WE}$의 활성화와 외부단자 I/O의 데이타의 입력 예를들면 라이트검증동작 00H, 소거동작 20H 및 라이트 동작 10H 등에 의한 커맨드입력에 의해, 라이트검증 동작 및 리라이트 동작(소거 동작 및 라이트 동작) 등의 동작모드로 들어갈 수 있다. 섹터를 리라이트하는 동작에 대해서는 리라이트 커맨드, 리라이트 섹터 어드레스 및 섹터 정보(데이타) 등을 외부단자에서 장치내부로 페치한다. 이 때, 리라이트 동작중인지 리라이트 동작이 종료했는지, 소거동작중인지 아닌지, 또는 라이트 동작중인지 아닌가를 상태레지스터의 정보(스테이터스 폴링(Status polling)) 또는 레디/비지신호에 의해 외부에서 알 수 있다.

도 6에 리라이트 회로의 제1 실시예의 블럭도를 도시한다. 각각의 데이타 선 D1과 D2는 동일한(등가의) 접속구성을 갖는다. 데이타선 D1(D2)에 관해서 기술하면, 데이타선으로의 프리챠지를 제어하는 프리챠지 제어회로 PCC, 데이타의 센스기능과 라이트 데이타의 데이타 유지기능을 함께 갖는(겸용하는) 센스앰프회로 SAC 및 데이타선에 대해서 메모리셀의 상태를 동시에(일괄해서) 판정하는 상태검출 회로 ALLC는 메모리셀 M1 및 M2(M4와 M5)와 칼럼 선택게이트Q4(Q5) 사이에 접속되어 있다.

프리챠지 제어회로 PCC를 구성하는 MOSFET군은 적어도 센스앰프회로 SAC의 출력을 게이트입력으로 하는 MOSFET a와 프리챠지신호 PG를 게이트입력으로 하는 MOSFET b가 서로 직렬로 접속된 것과 이 직렬로 접속된 MOSFET a와 MOSFET b에 대해 병렬로 마련되고 데이타선 D1(D2)와 센스앰프회로 SAC를 접속하기 위한 데이타선 게이트신호 DG를 게이트입력으로 하는 MOSFET c로 이루어져 있다. 데이타선이 프리챠지신호 PG와 센스앰프회로 SAC의 데이타에 의해 선택적으로 프리챠지되도록 구성되어 있다. 프리챠지신호 PG의 전압값은 적어도 각 검증시 및 라이트검증시에는 전원전압보다 낮은 전압이 인가되도록 되어 있다. 이것은 데이타선의 전압을 대략 1V로 설정하는 것에 의해 약한 라이트 및 약한 소거가 발생하지 않도록 하기 위한 것이다.

센스앰프회로 SAC는 센스앰프회로 SAC를 설정하는 내부신호$\overline{SET}$를 게이트입력으로 하는 MOSFET d와 래치회로를 구성하는 여러개의 MOSFET로 이루어져 있다. 센스앰프회로SAC는 라이트검증시 플립플롭회로의 특성을 갖는 센스앰프로서 작용하고, 또 리라이트시에는 라이트 데이타를 유지하는 래치회로로서 작용한다. 리라이트동작중의 센스앰프회로 SAC의 전원전압 Vcd는 라이트 동작시의 메모리셀의 드레인전압과 동일해도 좋고, 또 리라이트 동작중의 라이트 동작과 리드(라이트검증) 동작에 있어서 각각의 동작에서 전원을 전환하지 않고 라이트 드레인 전압으로 고정시켜도 좋다.

메모리셀상태 검출회로 ALLC는 데이타선 Di(i=1, 2)마다 소거상태 검출을 위한 p채널 MOSFET ei(i=1, 2) 및 라이트상태 검출을 위한 n채널 MOSFET fi(i=1, 2)의 각각 1개의 MOSFET로 구성되고, 센스앰프회로 SAC로 부터의 출력을 상태검출 MOSFET의 게이트에 접속한 구성을 갖고 있다. 이들 p채널 MOSFET ei 및 n채널 MOSFET fi의 MOSFET의 드레인 및 소오스는 서로 공통화(A0a, A0b, Ala, 및 Alb)되어 있다. 또한, 상태검출 방식으로서는 본 방식에

한정되는 것은 아니고, 전류센스 방식 또는 전압센스 방식이어도 좋다.

도 7에 프리챠지 방식에 의한 리라이트 동작에 있어서의 장치 내부신호 타이밍 파형을 도시한다. 상기한 바와 같이 리라이트 동작에서는 라이트, 라이트검증 및 라이트상태 검출동작을 반복해서 실행한다.

t1까지 라이트 데이타를 센스앰프회로 SAC로 페치한다. 라이트를 선택하는 데이타선에 접속된 센스앰프회로의 데이타는 V_{cd} 또는 외부 전원전압 Vcc이어도 좋다. 라이트 비선택 데이타는 기판전압 Vss이다.

t1 t2동안에는 프리챠지신호 PG가 활성화되고, 센스앰프회로 SAC의 데이타에 의해 라이트하는 데이타선만을 선택적으로 프리챠지한다. 라이트를 실행하는 데이타(" 1")에서는 전압이 Vcd이므로, 도 6에 도시한 프리챠지 제어회로 PCC내의 MOSFET a는 온상태를 나타내고, 전압을 데이타선 Di에 인가할 수 있다. 한편, 소거상태(" 0")를 유지하는 경우에는 MOSFET a는 오프상태를 나타내고, 전압을 데이타선 Di에 공급할 수 없다.

도 7에서의 t2 t3동안에는 프리챠지 제어회로 PCC내의 MOSFET c의 게이트입력의 DG신호가 활성화되고, 센스앰프회로 SAC의 데이타정보(" 1")은 전압 Vcd를 나타내고, " 0" 은 전압 Vss를 나타낸다)가 메모리셀의 드레인단자에 인가된다. 또, 도 6에 있어서 라이트선택 섹터를 메모리셀 군(M1, M4)의 섹터라고 가정하면, 부전압이 인가된 선택워드선 W1과 라이트데이타 전압 Vcd인 드레인 사이에 전압이 인가되고, 터널현상에 의해 드레인에서 부유게이트로 전극이 주입되어 라이트가 실행된다. 비선택 워드선 W2의 전압에 대해서는 드레인전압(데이타전압 Vcd)에 의해 발생하는 디스터브 현상을 제어하기 위해 정의 전원전압을 인가한다.

t3 t4 동안에는 데이타선 디스챠지 MOSFET의 게이트신호인 DDC를 하이로 하고, 도 10에 도시한 데이타선 디스챠지 MOSFET Q1 및 Q2를 활성화시키고, 데이타선 전압의 디스챠지를 실행한다. 그 후, 라이트검증 동작을 개시한다.

t4 t5 동안에는 프리챠지신호 PG가 활성화되고, t1 t2동안의 동작과 마찬가지로 라이트를 선택한 데이타선만이 센스앰프회로 SAC와 프리챠지 제어회로 PCC내의 MOSFET a의 동작에 의해 프리챠지된다.

t5 t6동안에는 통상의 라이트검증시에 사용되는 전원전압보다 낮은 전압(예를 들면 1.5V정도)을 선택워드선 W1에 인가한다.

데이타선 Di의 기생용량에 축적된 전하가 메모리셀의 스레쉬홀드 전압에 따라 선택적으로 디스챠지된다. 즉, 라이트를 실행하는 메모리셀의 스레쉬홀드 전방이 원하는 낮은 스레쉬홀드 전압에 도달한 경우에는 메모리셀에 전류가 흐르고 데이타선의 전압이 하강한다. 라이트 스레쉬홀드 전압에 도달하지 않은 경우에는 데이타선 Di는 프리챠지된 전압을 유지한다. 데이타선 프리챠지신호 PG를 비활성화하는 타이밍(t5)을 워드선 선택신호의 활성화 전으로 설정하는 것에 의해, 메모리셀의 전류가 안정적으로 흐르는 것을 방지한다.

t6 t7동안에는 데이타선 Di와 센스앰프회로 SAC를 서로 접속하는 프리챠지 제어회로 PCC내의 MOSFET c의 게이트입력의 DG신호가 활성화되고, 데이타선 Di의 전압을 센스앰프회로 SAC에 의해 판정한다. 판정은 데이타선 D1의 기생용량, 센스앰프회로 SAC내의 기생용량 및 데이타선 Di의 전압과 센스앰프회로의 데이타 전압(Vcd) 사이에서의 챠지쉐어(charge share)의 결과에 따라서 실행된다. 데이타선 Di의 전압이 센스앰프회로 SAC의 논리스레쉬홀드 전압보다 높은 경우에는 라이트데이타의 선택전압(Vcd)이 그대로 유지되고, 그 전압이 논리스레쉬홀드 전압보다 낮은 경우에는 센스앰프회로 SAC의 데이타는 기판전압 Vss를 나타내므로, 라이트 데이타의 리라이트가 자동적으로 실행된다. 또, 프리챠지 제어회고 PCC내의 MOSFET c의 게이트입력의 DG신호는 센스앰프의 판정이 종료하는 대로 비활성으로 된다.

t7 t8동안에는 라이트를 실행하는 모든 메모리셀이 라이트를 완료했는지를 알아보는 메모리셀의 상태검출 및 판정을 실행한다. 도 6에 있어서 라이트상태 검출회로 ALLC는 각각의 데이타선 Dia마다 1개의 n채널 MOSFET fi로 구성되고, 그 MOSFET fi의 게이트를 센스앰프회로 SAC의 출력 Dia에 접속하고, 소오스 및 드레인을 각각 공통화(Ala, Alb)한 프리챠지방식 다이나믹회로의 다입력 NOR게이트 구성을 취하고 있다. 공통화되어 있는 소오스선 Ala 및 드레인선 Alb를 신호 $\overline{Rl}$, $\overline{Pl}$ 및 MOSFET h, j에 의해서 미리 기판전압 Vss로 리세트해 두고, t7의 타이밍에서 리세트를 정지한다.

내부신호$\overline{Pj}$가 로우로 되고 도 6에 도시한 MOSFET g의 활성화에 의해 공통소오스선 Ala가 전원전압 Vcc로 상승하고, 센스앰프 SAC의 데이타에 의해 n 채널 MOSFET fi의 온, 오프상태가 제어된다. 이 때문에, 메모리셀 군(섹터)의 라이트를 모든 데이타선에서 동시에 판정하는 것이 가능하다. 적어도 1개의 센스앰프회로 SAC의 데이타가 라이트를 계속하는 데이타(Vcd)인 경우에는 공통소오스선 Ala의 전압은 기판전압 Vss로 된다. 한편, 모든 데이타가 라이트를 종료한 데이타(기판전압 Vss)인 경우에는 공통소오스선 Ala의 전압은 프리챠지된 전압값인 전원전압 Vcc로 유지된다. 상기 정보에 따라 반복해서 실행되는 라이트 및 라이트 검증의 계속(t1로 되돌아간다) 및 정지를 장치 내부에서 제어한다.

도 8에 통상의 라이트검증 동작에 있어서의 장치 내부의 신호 타이밍 파형을 도시한다. 이 경우, 라이트검증의 대상인 메모리셀 군(섹터)는 모든 데이타선에 접속되어 있으므로, t1 t2동안에 도 6에 있어서의 센스앰프회로 SAC의 데이타를 내부신호 $\overline{SET}$에 의해 활성화하고 전압Vcd로 설정한다.

t2 t5동안에는 파형은 상기 라이트검증 동작(도 7의 t4 t7)과 동일하지만 선택워드선 Wi의 전압만이 다르고, 통상의 라이트검증시에는 전압 Vcc이다. 또, 센스앰프회로 SAC의 전원전압 Vcd는 외부전원전압 Vcc이어도 좋다.

도 9에 소거동작 및 소거검증동작에서의 장치 내부의 신호 타이밍파형을 도시한다. t1 t2 동안에는 도 6중의 선택된 워드선W1에 정의 고전압이 인가되고, 데이타선 Di는 디스챠지 MOSFET Q1과 Q2의 공통게이트신호 DDC에 의해 활성화되고 기판전압 Vss를 나타내며, 메모리셀의 채널과 부유게이트 사이에 전위차가 발생하므로 전자가 부유게이트로 주입되는 소거동작을 개시한다.

그 후의 t2 t6동안에는 상기 통상의 라이트검증 동작과 마찬가기로 소거검증 동작이 실행된다. 소거검증시의 선택워드선 W1의 전압은 통상의 라이트검증시의 전원전압 Vcc보다 높은 전압(예를 들면 5V)을 인가한다.

t5 t6동안에는 도 6에 도시한 데이타선 Di와 센스앰프회로 SAC를 서로 접속하는 프리챠지 제어회로 PCC내의 MOSFET c의 게이트입력의 DG신호가 활성화되고, 데이타선 Di의 전압이 센스앰프회로 SAC에 의해 판정된다. 판정은 데이타선 Di의 기생용량과 센스앰프회로 SAC내의 기생용량 및 데이타선 Di의 전압과 센스앰프회로의 데이타전압(Vcd) 사이에서의 챠지쉐어의 결과에 따라서 실행된다. 데이타선 Di의 전압이 센스앰프회로 SAC의 논리 스레쉬홀드 전압보다 높은 경우에는 소거데이타의 선택전압(Vcd)을 그대로 유지하고, 그 전압이 논기스레쉬홀드 전압보다 낮은 경우에는 센스앰프회로 SAC의 데이타는 기판전압 Vss를 나타내므로 소거데이타의 리라이트를 자동적으로 실행한다. 또, 프리챠지 제어회로 PCC내의 MOSFET c의 게이트입력의 DG신호의 활성화는 센스앰프에 의한 판정이 종료하는 대로 비활성으로 된다.

t6 t7동안에는 소거를 실행하는 메모리셀 군(섹터)의 모든 스레쉬홀드 전압이 소거 스레쉬홀드 전압에 도달했는지를 알아보는 메모리셀의 상태검출 및 판정을 실행한다. 도 6에 있어서 소거상태 검출회로는 각각의 데이타선 Dia마다 1개의 p채널 MOSFET ei로 구성하고, 그 MOSFET ei의 게이트를 센스앰프회로 SAC의 출력 Dia에 접속하고, 소오스 및 드레인을 서로 공통화(A0a, A0b)한 프리챠지방식 다이나믹회로의 다입력 NADN 게이트구성을 취하고 있다. 서로 공통화되어 있는 소오스선 A0a 및 프레인선 A0b를 신호 $\overline{PC}$, $\overline{RC}$ 및 MOSFET m, n에 의해서 미리 기판전압 Vss로 리세트해 두고, t6의 타이밍에서 리세트를 해제한다.

내부신호 $\overline{PC}$가 로우로 되고 MOSFET k의 활성화에 의해 공통드레인선 A0b가 전원전압 Vcc로 상승하고, 센스앰프회로 SAC의 데이타에 따라서 p채널 MOSFET ei의 온, 오프가 제어된다. 이것에 의해, 메모리셀 군(섹터)에 대한 소거 판정을 모든 데이타선에서 동시에 실행할 수 있다. 적어도 1개의 센스앰프회로 SAC의 데이타가 소거를 계속하는 데이타(Vcd)인 경우에는 공통소오스선 AOa의 전압은 프리챠지된 전압값인 전원전압 Vcc를 유지한다. 한편, 모든 데이타가 소거를 종료한 데이타(기판전압 Vss)인 경우에는 공통소오스선 A0a의 전압은 기판전압 Vss를 나타낸다. 상기 정보에 따라서 소거동작의 계속(t1로 되돌아간다) 및 정지를 장치 내부에서 제어한다.

도 10에 제2 리라이트회로의 1예의 블럭도를 도시한다. 제1 리라이트회로의 블럭도와 마찬가지로 각각의 데이타선 Di에는(데이타선 Di마다) 프리챠지 제어회로 PCC, 센스앰프회로 SAC 및 상태검출회로 ALLC가 마련되어 있다. 제1 리라이트회로의 블럭도와의 차이에 대해서 기술한다. 첫째로, 프리챠지 제어회로 PCC에서는 데이타선으로의 프리챠지전압을 프리챠지신호 PG의 전압값에 의해 제어하고있다. 이 제어는 직렬로 접속되어 있는 MOSFET a의 소오스전압 VPG에서 실행된다. 둘째로, 센스앰프회로 SAC는 세트신호 SET를 수신하고, 센스앰프회로 SAC를 구성하는 래치회로 Dib에 접속되어 있다. 셋째로, 센스앰프회로 SAC내의 전원배선 Vcd 및 Vsd는 여러개의 센스앰프회로 SAC(예를 들면 매트)에 대해 공통이다. 또, 전원전압의 공급 또는 그 전원배선의 오픈노드 상태를 가능하게 하고있다.

본 실시예에서는 메모리셀 어레이를 2개 이상의 블럭으로 분할하고, 각각의 블럭에서 사용되는 프리챠지신호 PG, 데이타선 게이트신호 DG 및 래치세트신호 $\overline{SET}$등의 각종 내부제어신호의 활성화 타이밍을 각 블럭마다 시프트시키는(어긋나게 하는)것에 의해서 센스앰프회로 SAC에 있어서의 소비전류의 피크값을 저감할 수 있다.

도 11에 본 발명을 NAND-EEPROM에 적용한 리라이트회로의 블럭도를 도시한다. NAND-EEPROM의 장치내에서 메모리셀상태 검출회로 ALLC는 리드/라이트 회로의 2개의 입출력 배선을 게이트입력에 갖는 각각 1개의 MOSFET로 구성되어 있다. 그들 MOSFET의 드레인 및 소오스는 데이타선에 있어서 공통화되므로, 프리챠지방식 다이나믹회로로서 다입력 NOR게이트 구성을 취할 수 있다. 어레이a 측의 메모리셀군의 저스레쉬홀드 전압(소거상태)의 모든 데이타선에 의한 동시(일괄) 판정에는 Aa 및 Ab측을 상기한 타이밍과 마찬가지로 프리챠지방식으로 사용하면 좋고, 고스레쉬홀드 전압(라이트상태)에서는 Ba, Bb측을 사용한다.

도 12에는 본 발명의 제2 메모리어레이의 회로도를 도시한다. 적어도 2개 이상의 메모리셀을 확산층 D1nm 등에 의해 접속하고, 그의 공통드레인 확산층 배선 D1nm과 데이타선 Dm 사이에 워드계 신호 Wn을 게이트입력으로 하는 트레인선택 MOSFET nm을 접속한 회로도이다.

워드선을 계층구성으로 형성한 경우, 도 13 및 도 14에 도시한 메모리어레이 구조도 가능하다. 도 13에는 본 발명의 제3 메모리어레이의 회로도를 도시한다. 이 회로도에서는 적어도 2개 이상의 메모리셀을 확산층 D1nm, S1nm 등에 의해

접속하고, 그의 공통드레인 확산층 배선 D1nm과 데이타선 Dm 사이에 워드계 신호 Wnd를 게이트입력으로 하는 드레인 선택 MOSFET Dnm 및 공통소오스 확산층 배선 S1nm과 공통소오스선 CS에 접속되어 있는 확산층 개선 CSln 사이에 워드계 신호 Wsn을 게이트입력으로 하는 소오스선택 MOSFET SSnm을 접속한 회로도이다. 도 13에 있어서 W11, W12, W1, W2, W21, W22,····, Wn, Wn1, Wu2는 계층구성의 워드선을 나타내고, 액세스가 2단계로 제어된다. 일반적으로, 워드선을 Wn과 Wnd로 표시하면, 첨자n은 워드선을 선택하는 제1 신호(주신호)를, d는 워드선을 선택하는 제2 신호(부신호)를 나타내고 있다. 예를 들면, W2는 워드선을 선택하는 제1 신호(주신호)가 " 2" 일 때에 활성화되고, W21은 워드선을 선택하는 제1 신호(주신호)가 " 2" 이고 또한 워드선을 선택하는 제2 신호(부신호)가 1일 때에 활성화된다.

장치의 레이아웃에 있어서는 메모리셀 어레이영역의 거의 전면(全面)이 워드선으르 덮여 있다. 통상의 라이트검증동작과 각각의 검증동작에 있어서 비선택 워드선은 양적으로 수천개에 달하고, 그 워드선 전압은 기판전압 Vss이다. 이 때문에, 데이타선과 워드선계 배선 사이의 기생용량은 안정적이다.

도 14에 본 발명의 제2 여러개의 메모리셀군을 블럭으로 형성한 매트구성의 1예를 도시한다. 센스앰프회로 SAC를 구성하는 래치회로의 프리챠지 제어회로 PCC 및 상태검출회로 ALLC에 접속되어 있지 않은 반대측의 배선(도 10에서는 Dib)에 기판전압 Vss 대신에 기준전압 Vref를 인가한다. 이것에 의해, 센스앰프회로 SAC에 의한 라이트검증 판정(" 1" , " 0")은 기준전압 Vref와의 비교가 가능하게 된다.

도 15에는 본 발명의 제3 매트구성의 1예를 도시한다. 메모리매트를 2개로 분할한 오픈비트라인 구성이다. 도 10에 도시한 제2 리라이트회로의 블럭도는 이매트구성에 대응한다.

도 16에는 본 발명의 제4매트구성의 1예를 도시한다. 도 14와의 차이점은 참조(기준) 더미용의 데이타선이 마련되어 있고, 통상 데이타선 Di와 동일한 기생용량이 마련되어 있으며, 참조 더미용의 데이타선 전압을 기준전압 Vref를 발생시키는데 사용한다는 점이다.

도 17에는 본 발명의 제5 매트구성의 1예를 도시한다. 메모리매트애 대해서 상하로 프리챠지 제어회로 PCC, 센스앰프회로 SAC 및 상태검출회로 ALLC를 배치하고, 기수 데이타선 및 우수 데이타선 단위로 동작시킨다. 기수 데이타선을 동작시킨 경우에 우수 데이타선은 참조 더미용의 데이타선으로서 사용한다. 또, 우수 데이타선을 동작시킨 경우에는 기수 데이타선측이 참조 더미용의 데이타선으로서 기능한다.

도 18에는 본 발명의 제6 매트구성의 1예를 도시한다. 메모리매트를 구성하는 메모리셀은 기수 워드선과 기수 데이타선의 교점에, 또 우수 워드선과 우수 데이타선의 교점에 배치한다. 또, 센스앰프회로 SAC와 상태검출회로 ALLC는 인접하는 데이타선의 모든 쌍에 대해서(쌍마다) 배치하고, 인접 데이타선의 각각을 참조 더미용의 데이타선으로서 사용한다.

발명의 효과

상기한 바와 같이, 본 발명은 전기적 리라이트동작 즉 소거동작 및 라이트동작을 실행하는 메모리셀의 상태를 모든 데이타선에 의해 일괄해서 자동적으로 검출하고, 소거의 부족, 라이트의 계속 및 정지 등에 대한 제어를 장치 내부에서 실행할 수 있다는 현저한 효과가 있다.

(57) 청구의 범위

청구항 1.

제1의 데이타선,

상기 제1의 데이타선과 대향해서 평행하게 배치된 제2의 데이타선,

상기 제1 및 제2의 데이타선의 쌍방과 교차하는 여러개의 워드선,

상기 제1 및 제2의 데이타선과 상기 여러개의 워드선의 원하는 교점에 마련된 여러개의 메모리셀,

상기 제1의 데이타선과 상기 제2의 데이타선이 그의 입력에 접속된 제1의 센스앰프 및 제2의 센스앰프,

상기 제1의 센스앰프의 출력에 접속된 제1의 공통데이타선 및

상기 제2의 센스앰프의 출력에 접속된 제2의 공통데이타선을 구비하고,

상기 여러개의 메모리셀은 상기 제1의 센스앰프와 상기 제2의 센스앰프 사이에 배치됨과 동시에 상기 제1의 공통데이타선과 상기 제2의 공통데이타선 사이에 배치되는 것을 특징으로 하는 반도체 기억장치.

청구항 2.

제1항에 있어서,

상기 제1의 센스앰프와 상기 제2의 센스앰프는 서로 동일 회로구성으로 이루어지는 것을 특징으로 하는 반도체 기억장치.

청구항 3.

제1항에 있어서,

상기 여러개의 메모리셀은 불휘발성 메모리셀인 것을 특징으로 하는 반도체 기억장치,

청구항 4.

제3항에 있어서,

상기 제1의 데이타선에 접속된 제1의 프리챠지회로와 상기 제2의 데이타선에 접속된 제2의 프리챠지회로를 더 구비하고,

상기 여러개의 메모리셀은 상기 제1의 프리챠지회로와 상기 제2의 프리챠지회로 사이에 배치되는 것을 특징으로 하는 반도체 기억장치.

청구항 5.

제3항에 있어서,

상기 제1의 센스앰프의 출력과 상기 제1의 공통데이타선 사이에 마련된 제1의 상태검출회로 및

상기 제2의 센스앰프의 출력과 상기 제2의 공통데이타선 사이에 마련된 제2의 상태검출회로를 더 구비하는 것을 특징으로 하는 반도체 기억장치,

청구항 6.

제3항에 있어서,

상기 제1의 데이타선에서 메모리셀로부터의 데이타를 리드할 때에는 상기 제 2의 데이타선은 참조더미이고,

상기 제2의 데이타선에서 메모리셀로부터의 데이타를 리드할 때에는 상기 제 1의 데이타선은 참조더미인 것을 특징으로 하는 반도체 기억장치.

청구항 7.

여러개의 데이타선쌍,

상기 여러개의 데이타선쌍과 교차하는 여러개의 워드선,

상기 여러개의 데이타선쌍과 상기 여러개의 워드선의 원하는 교점에 마련된 여러개의 메모리셀,

상기 여러개의 데이타선쌍의 각 데이타선쌍에 마련된 여러개의 제1의 센스앰프.

상기 여러개의 제1의 센스앰프의 출력에 접속된 제1의 공통데이타선,

상기 여러개의 데이타선쌍의 각 데이타선쌍에 마련된 여러개의 제2 센스앰프및

상기 여러개의 제2의 센스앰프의 출력에 접속된 제2의 공통데이타선을 구비하고,

상기 여러개의 메모리셀은 상기 여러개의 제1의 센스앰프와 상기 여러개의 제2의 센스앰프 사이에 배치됨과 동시에 상기 제1의 공동데이타선과 상기 제2의 공통데이타선 사이에 배치되는 것을 특징으로 하는 반도체 기억장치.

청구항 8.

제7항에 있어서,

상기 여러개의 제1의 센스앰프와 상기 여러개의 제2의 센스앰프는 서로 동일회로구성으로 이루어지는 것을 특징으로 하는 반도체 기억장치.

청구항 9.

제8항에 있어서,

상기 여러개의 메모리셀은 불휘발성 메모리셀인 것을 특징으로 하는 반도체 기억장치.

청구항 10.

제9항에 있어서,

상기 여러개의 데이타선쌍의 각 데이타선쌍의 한쪽의 데이타선에 접속된 제1의 프리챠지회로와

상기 여러개의 데이타선쌍의 각 데이타선쌍의 다른쪽의 데이타선애 접속된 제2의 프리챠지회로를 더 구비하는 것을 특징으로 하는 반도체 기억장치.

청구항 11.

제9항에 있어서,

상기 여러개의 제1의 센스앰프의 각 제1의 센스앰프의 출력과 상기 제1의 공통데이타선 사이에 마련된 제1의 상태검출회로 및

상기 여러개의 제2의 센스앰프의 각 제2의 센스앰프의 출력과 상기 제2의 공통데이타선 사이에 마련된 제2의 상태검출 회로를 더 구비하는 것을 특징으로 하는 반도체 기억장치.

청구항 12.

제9항에 있어서,

상기 여러개의 데이타선쌍의 각 데이타선쌍의 한쪽의 데이타선에서 메모리셀로부터의 데이타를 리드할 때에는 상기 여러개의 데이타선쌍의 각 데이타선쌍의 다른쪽의 데이타선은 참조더미이고,

상기 여러개의 데이타선쌍의 각 데이타선쌍의 상기 다른쪽의 데이타선에서 메모리셀로부터의 데이타를 리드할 때에는 상기 여러개의 데이타선쌍의 각 데이타선쌍의 상기 한쪽의 데이타선은 참조더미인 것을 특징으로 하는 반도체 기억장치.

청구항 13.

제1의 데이타선,

상기 제1의 데이타선과 대향해서 평행하게 배치된 제2의 데이타선,

상기 제1 및 제2의 데이타선의 쌍방과 교차하는 여러개의 워드선,

상기 제1 및 제2의 데이타선과 상기 여러개의 워드선중 1개의 워트선과의 2개의 교점에 마련된 2개의 메모리셀 및

상기 제1의 데이타선과 상기 제2의 데이타선이 그의 입력에 접속된 제1의 센스앰프를 구비하고,

상기 2개의 메모리셀의 각 메모리셀은 불휘발성 메모리셀이고,

상기 제1의 데이타선에서 메모리셀로부터의 데이타를 리드할 때에는 상기 제 2의 데이타선은 참조더미인 것을 특징으로 하는 반도체 기억장치.

청구항 14.

제13항에 있어서,

상기 제1의 데이타선과 상기 제2의 데이타선이 그의 입력에 접속되고 상기 제1의 센스앰프와 동일회로구성인 제2의 센스앰프를 더 구비하고,

상기 2개의 메모리셀은 상기 제1의 센스앰프와 상기 제2의 센스앰프 사이에 배치되고,

상기 제2의 데이타선에서 메모리셀로부터의 데이타를 리드할 때에는 상기 제 1의 데이타선은 참조더미인 것을 특징으로 하는 반도체 기억장치.

청구항 15.

제14항에 있어서,

상기 제1의 데이타선에 접속된 제1의 프리챠지회로 및

상기 제2의 데이타선에 접속된 제2의 프리챠지회로를 더 구비하고,

상기 2개의 메모리셀은 상기 제1의 프리챠지회로와 상기 제2의 프리챠지회로 사이에 배치되는 것을 특징으로 하는 반도체 기억장치.

청구항 16.

제13항에 있어서,

상기 제1의 센스앰프의 출력에 접속된 제1의 상태검출회로를 더 구비하는 것을 특징으로 하는 반도체 기억장치.

청구항 17.

제14항에 있어서,

상기 제1의 센스앰프의 출력에 접속된 제1의 상태검출회로 및

상기 제2의 센스앰프의 출력에 접속된 제2의 상태검출회로를 더 구비하는 것을 특징으로 하는 반도체 기억장치.

청구항 18.

여러개의 워드선,

상기 여러개의 워드선과 교차하는 여러개의 데이타선,

상기 여러개의 워드선과 교차하는 여러개의 소오스선,

상기 여러개의 소오스선중의 1개의 소오스선에 접속된 컨트롤게이트, 부유게이트, 소오스 및 상기 여러개의 데이타선중의 1개의 데이타선에 접속된 드레인을 각각 갖는 여러개의 불휘발성 반도체 메모리셀,

상기 여러개의 데이타선의 데이타선마다 접속된 여러개의 프리챠지회로,

상기 여러개의 데이타선의 데이타선마다 접속된 여러개의 상태검출회로 및

상기 여러개의 데이타선의 데이타선마다 접속된 여러개의 데이타유지회로를 포함하고,

외부로부터의 데이타를 상기 여러개의 메모리셀에 라이트하는 라이트동작에 있어서,

상기 여러개의 데이타유지회로는 기억장치에 인가된 데이타를 유지하고, 또 상기 여러개의 워드선중의 선택된 워드선에 접속된 상기 여러개의 메모리셀에 라이트가 실행되는 상기 기억장치에 인가된 데이타를 소정시간 동안 라이트하고,

상기 선택된 워드선을 비선택으로 한 후, 상기 여러개의 프리채지회로는 상기 여러개의 데이타유지회로에 유지된 데이타에 따른 전압으로 상기 여러개의 데이타선을 프리챠지하고,

그 후, 상기 선택된 워드선을 재선택하는 것에 의해 재선택된 워드선에 접속된 상기 여러개의 메모리셀에 라이트된 데이타에 따라 상기 여러개의 데이타유지회로에 유지된 데이타를 리라이트하고,

상기 상태검출회로는 상기 여러개의 데이타유지회로에 유지된 리라이트 데이타를 비교하고,

상기 여러개의 데이타유지회로에 유지된 리라이트 데이타가 서로 다른 경우에는 상기 여러개의 데이타유지회로에 유지된 상기 리라이트 데이타를 상기 재선택된 워드선에 접속된 상기 여러개의 메모리셀에 소정시간 동안 다시 재프로그램하는 것을 특징으로 하는 반도체 불휘발성 기억장치.

청구항 19.

제18항에 있어서,

상기 여러개의 데이타유지회로의 각각은 플립플롭형 차동회로를 포함하는 것을 특징으로 하는 반도체 불휘발성 기억장치.

청구항 20.

제18항에 있어서,

라이트, 소거 또는 리드시에 신택된 워드선의 선택어드레스신호를 사용하여 데이타선을 선택하기 위한 어드레스신호를 발생하는 내부어드레스 신호발생기를 더 포함하는 것을 특징으로 하는 반도체 불휘발성 기억장치.

청구항 21.

제18항에 있어서,

라이트시에 상기 여러개의 데이타유지회로의 각각에 인가되는 전압은 라이트가 실행되는 메모리셀의 드레인전압과 동일한 것을 특징으로 하는 반도체 불휘발성 기억장치.

청구항 22.

제18항에 있어서,

프리챠지회로를 더 포함하고,

상기 프리챠지회로는

프리챠지신호가 게이트단자에 인가되고 소오스 또는 드레인중의 어느 한쪽의 단자가 상기 데이타선에 접속되는 제1의 MOSFET,

상기 데이타유지회로의 출력단자가 게이트에 접속되고 소오스 또는 드레인 중의 어느 한쪽의 단자가 상기 제1의 MOSFET의 다른쪽의 단자에 접속되고 다른쪽의 단자가 프리챠지용 전압배선에 접속되는 제2의 MOSFET 및

데이타선 게이트신호가 게이트에 인가되고 한쪽의 단자가 상기 데이타선에 접속되고 다른쪽의 단자가 상기 데이타유지회로 내부의 출력단자에 접속되는 제3의 MOSFET를 구비하는 것을 특징으로 하는 반도체 불휘발성 기억장치.

청구항 23.

제22항에 있어서,

라이트검증동작의 라이트검증시에 있어서 상기 프리챠지회로는 상기 데이타 유지회로에 축적된 전압에 따라 프리챠지 전압을 상기 데이타선으로 공급하는 것을 특징으로 하는 반도체 불휘발성 기억장치.

청구항 24.

제22항에 있어서,

상기 프리챠지 제어회로내의 상기 프리챠지신호는 소거검증시, 라이트검증시 및 통상의 라이트검증시에 워드선을 선택하는 신호가 활성화되기 전에 활성화되고, 상기 워드선을 선택하는 신호가 비활성화되기 전에 비활성화되는 것을 특징으로 하는 반도체 불휘발성 기억장치.

청구항 25.

제18항에 있어서,

상기 기억장치에 인가된 리라이트신호에 따라서 상기 기억장치에 인가된 데이타를 데이타유지회로로 전송하고, 섹터상의 모든 데이타를 일괄해서 라이트하고, 상기 섹터내의 모든 메모리셀을 일괄해서 검증하고, 데이타 검출기를 사용하여 상기 섹터내의 각 메모리셀에 각각 대응하는 상기 데이타유지회로에 유지된 모든 데이타의 상태를 일괄해서 검출하고, 모든 데이타유지회로내에 축적된 데이타와 상기 섹터내의 메모리셀에 유지된 데이타가 서로 일치할 때까지 상기 라이트, 상기 검증 및 상기 검출을 반복하는 제어신호 발생기를 더 포함하는 것을 특징으로 하는 반도체 불휘발성 기억장치.

청구항 26.

제25항에 있어서,

리라이트동작이 실행중인지 또는 그 동작이 완료했는지를 나타내는 신호를 출력하는 상태레지스터 또는 레디/비지 핀을 더 포함하는 것을 특징으로 하는 반도체 불휘발성 기억장치.

청구항 27.

제18항에 있어서,

라이트검증시 및 소거검증시에 상기 데이타유지회로에 유지된 데이타는 래치세트신호를 사용해서 미리 리세트되는 것을 특징으로 하는 반도체 불휘발성 기억장치.

청구항 28.

제18항에 있어서,

전기적 리라이트에 있어서의 라이트동작 후에, 데이타선 전압은 상기 데이타 선마다 접속된 데이타선 디스챠지 MOSFET를 사용해서 디스챠지되거나 또는 접지 상태로 고정되는 것을 특징으로 하는 반도체 불휘발성 기억장치.

청구항 29.

제18항에 있어서,

상기 메모리어레이는 2개 이상의 블럭으로 분할되고, 상기 분할된 각각의 블럭에서 사용되는 각종 제어신호의 활성화 타이밍은 서로 다른 것을 특징으로 하는 반도체 불휘발성 기억장치.

청구항 30.

제18항에 있어서,

상기 여러개의 상태검출회로의 각각은 MOSFET로 구성되고,

상기 여러개의 데이타유지회로의 각각으로부터의 출력은 상기 여러개의 상태 검출회로중의 대응하는 1개의 MOSFET의 게이트에 접속되는 것을 특징으로 하는 반도체 불휘발성 기억장치.

청구항 31.

제18항에 있어서,

상기 여러개의 상태검출회로의 각각은 MOSFET로 구성되고,

상기 여러개의 데이타유지회로의 각각으로부터의 출력은 상기 여러개의 상태검출회로중의 대응하는 1개의 MOSFET의 게이트에 접속되고,

상기 여러개의 상태검출회로의 MOSFET의 소오스단자와 드레인단자는 각각 공통으로 접속되는 것을 특징으로 하는 반도체 불휘발성 기억장치.

청구항 32.

제18항에 있어서,

상기 여러개의 상태검출회로의 각각은 불휘발성 메모리셀인 MOSFET로 구성되고,

상기 여러개의 데이타유지회로의 각각의 출력은 상기 여러개의 상태검출회로 중의 대응하는 1개의 MOSFET의 게이트에 접속되고,

상기 여러개의 상태검출회로의 각 불휘발성 메모리셀은 결함메모리셀을 무시하도록 라이트가능한 것을 특징으로 하는 반도체 불휘발성 기억장치.

청구항 33.

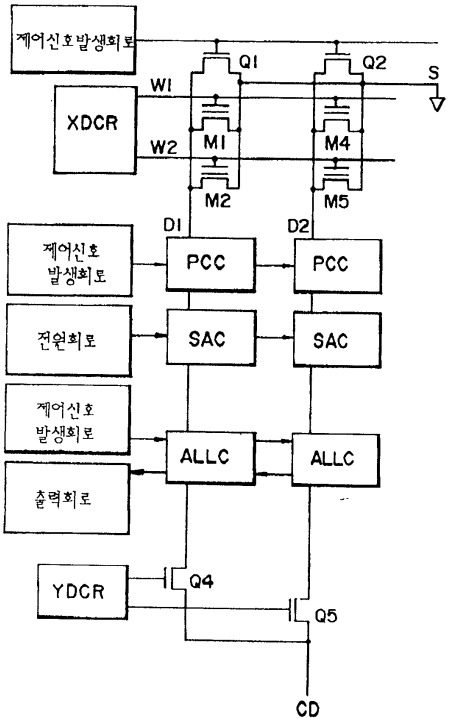
제31항에 있어서,

상기 여러개의 상태검출회로의 각 MOSFET는 불휘발성 메모리셀이고,

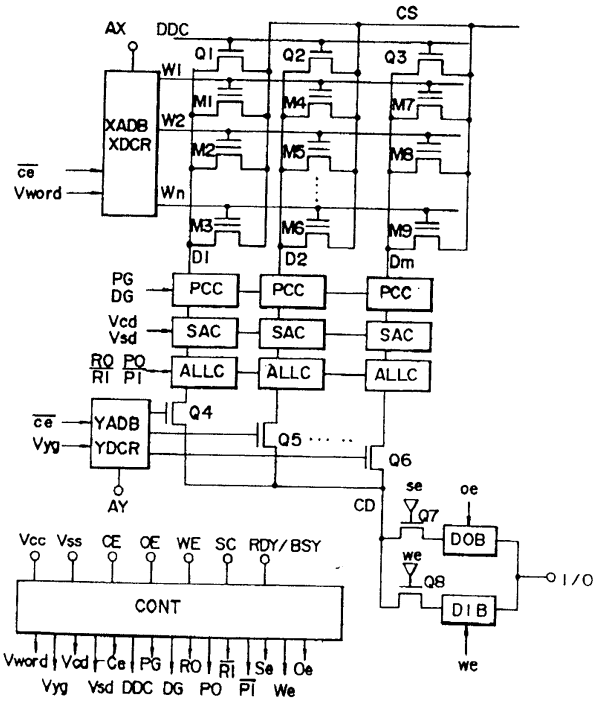
상기 여러개의 상태검출회로의 각 불휘발성 메모리셀은 결함메모리셀을 무시하도록 라이트가능한 것을 특징으로 하는 반도체 불휘발성 기억장치.

도면

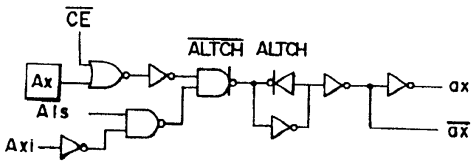
도면 1


제어신호발생회로
XDCR
W1
W2
Q1
Q2
S
M1
M2
M4
M5
D1
D2
제어신호
발생회로
PCC
PCC
전원회로
SAC
SAC
제어신호
발생회로
ALLC
ALLC
출력회로
YDCR
Q4
Q5
CD

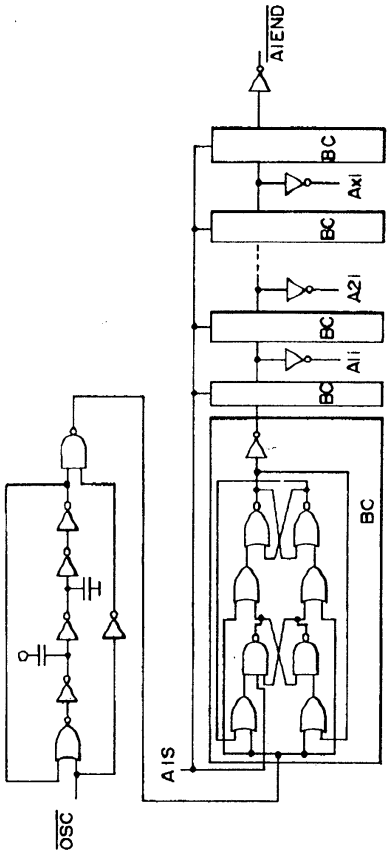
도면 2


AX
DDC
CS
Q1
Q2
Q3
W1
M1
M4
M7
XADB
XDCR
W2
M2
M5
M8
ce
Vword
Wn
M3
M6
M9
D1
D2
Dm
PG
DG
PCC
Vcd
Vsd
SAC
RO PO
RI PI
ALLC
YADB
YDCR
Q4
Q5
Q6
AY
CD
se
oe
Q7
DOB
we
Q8
DIB
I/O
Vcc Vss CE OE WE SC RDY/BSY
CONT
Vword Vcd Ce PG RO RI Se Oe
Vyg Vsd DDC DG PO PI We

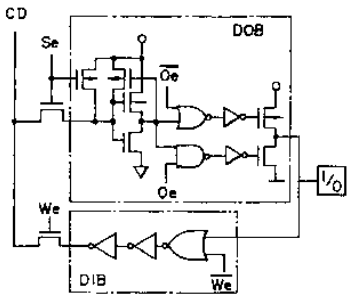
도면 3


CE
ALTCH ALTCH
Ax
Ais
Axi
ax

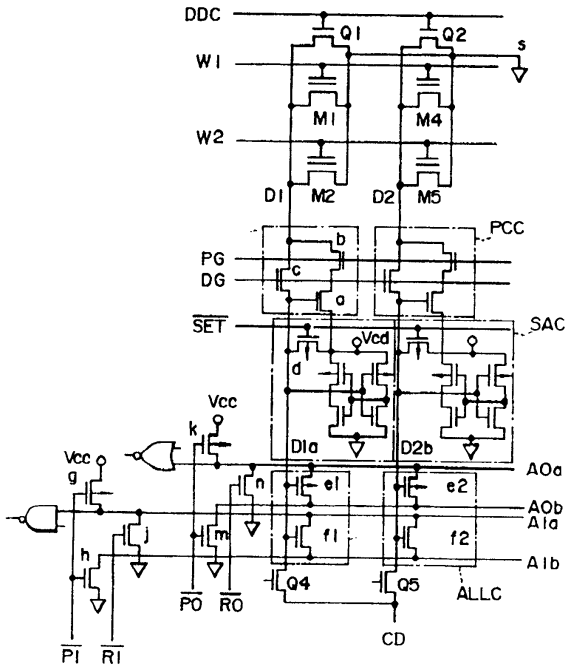
도면 4



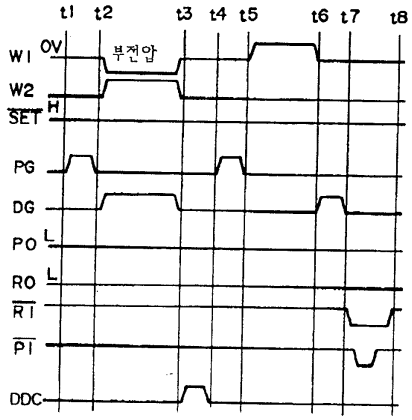
도면 5



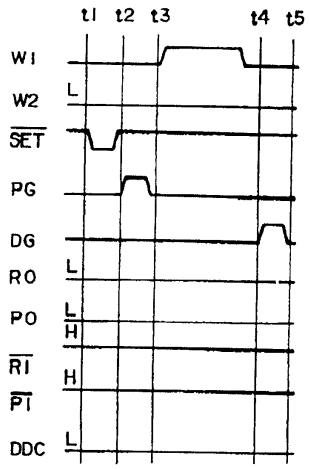
도면 6


DDC
Q1
Q2
S
W1
M1
M4
W2
D1
M2
D2
M5
PCC
b
PG
c
DG
a
SET
SAC
Vcd
d
Vcc
k
D1a
D2b
AOa
Vcc
g
n
e1
e2
AOb
A1a
j
m
f1
f2
h
A1b
Q4
Q5
ALLC
PO
RO
CD
PI
RI

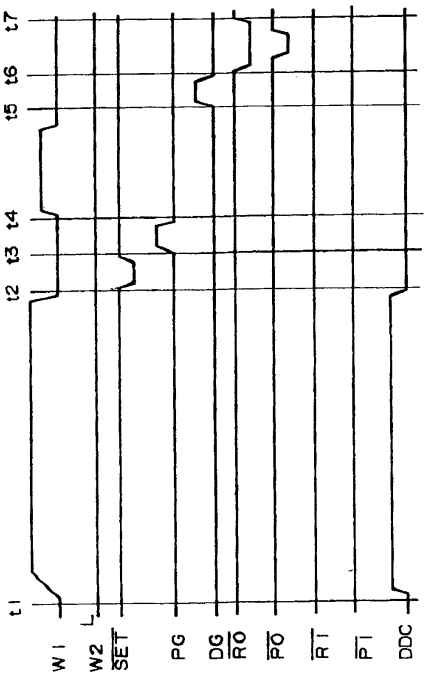
도면 7


t1
t2
t3
t4
t5
t6
t7
t8
W1
0V
부전압
W2
SET
H
PG
DG
PO
L
RO
L
RI
PI
DDC

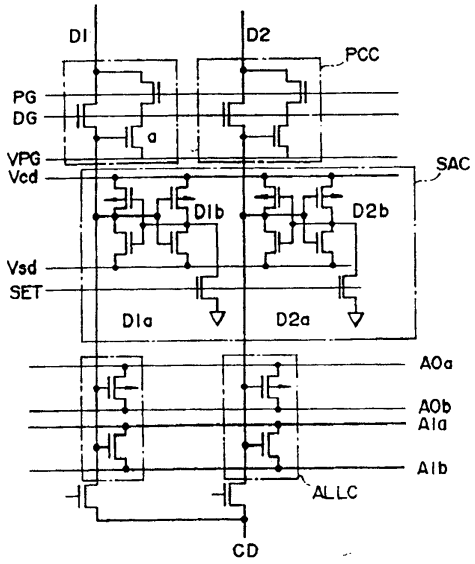
도면 8


t1 t2 t3 t4 t5
W1
W2
SET
PG
DG
RO
PO
RI
PI
DDC
L
H

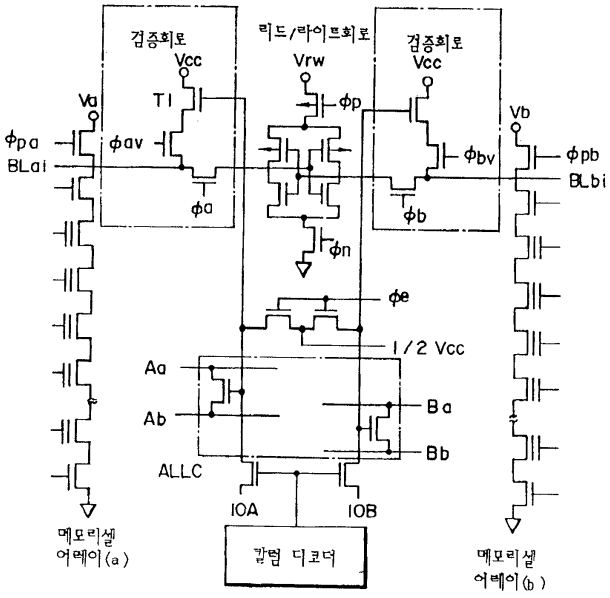
도면 9


t1 t2 t3 t4 t5 t6 t7
W1
W2
SET
PG
DG
RO
PO
RI
PI
DDC
L

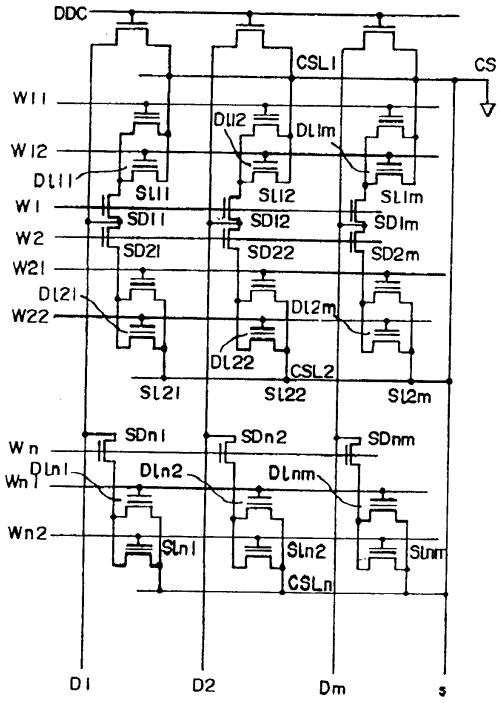
도면 10


D1
D2
PCC
PG
DG
a
VPG
Vcd
SAC
D1b
D2b
Vsd
SET
D1a
D2a
AOa
AOb
A1a
A1b
ALLC
CD

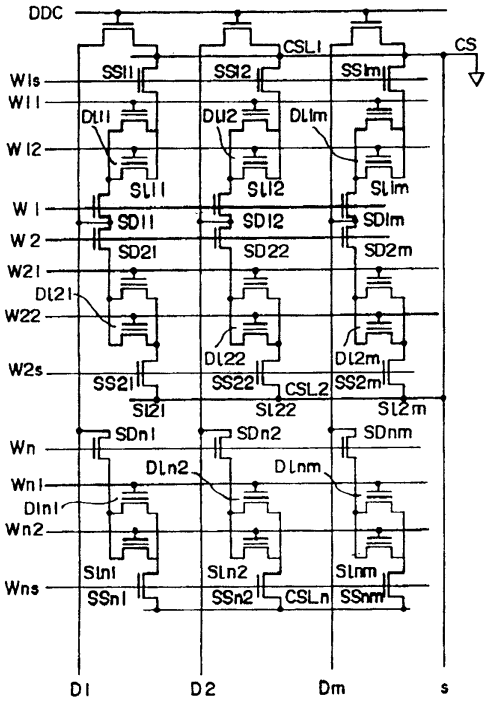
도면 11


검증회로
Vcc
리드/라이트회로
Vrw
검증회로
Vcc
Va
T1
φp
Vb
φpa
φav
φbv
φpb
BLai
BLbi
φa
φb
φn
φe
1/2 Vcc
Aa
Ab
Ba
Bb
ALLC
IOA
IOB
칼럼 디코더
메모리셀
어레이(a)
메모리셀
어레이(b)

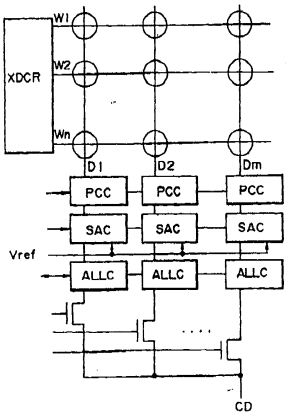
도면 12


DDC
CSL1
CS
W11
W12
DL11
W1
W2
W21
DL21
W22
SL11
SL12
SL1m
SD11
SD12
SD1m
SD21
SD22
SD2m
DL12
DL1m
DL22
CSL2
SL21
SL22
SL2m
Wn
Wn1
Wn2
SDn1
SDn2
SDnm
DLn1
DLn2
DLnm
SLn1
SLn2
SLnm
CSLn
D1
D2
Dm
S

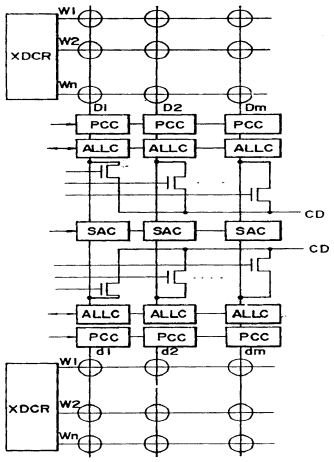
도면 13


DDC
CS
CSL1
SS11
SS12
SS1m
W1s
W11
W12
W1
W2
W21
W22
W2s
Wn
Wn1
Wn2
Wns
SD11
SD12
SD1m
SD21
SD22
SD2m
SDn1
SDn2
SDnm
SL11
SL12
SL1m
SL21
SL22
SL2m
SLn1
SLn2
SLnm
SS21
SS22
SS2m
SSn1
SSn2
SSnm
CSL2
CSLn
D1
D2
Dm
S

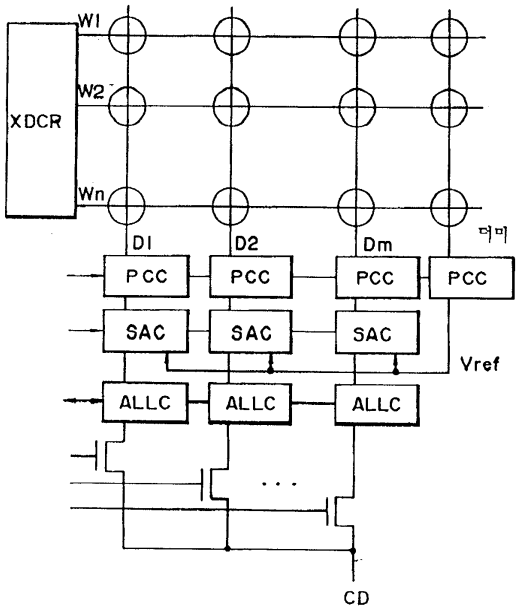
도면 14


W1
W2
Wn
XDCR
D1
D2
Dm
PCC
SAC
ALLC
Vref
CD

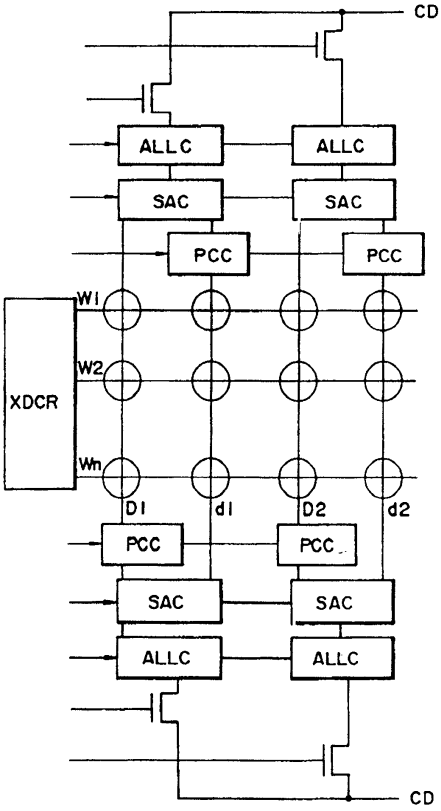
도면 15


W1
W2
Wn
XDCR
D1
D2
Dm
PCC
ALLC
SAC
CD
d1
d2
dm

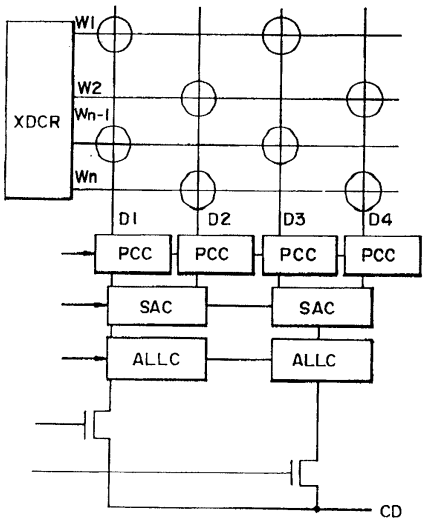
도면 16


W1
W2
Wn
XDCR
D1
D2
Dm
더미
PCC
SAC
ALLC
Vref
CD

도면 17


CD
ALLC
ALLC
SAC
SAC
PCC
PCC
W1
W2
XDCR
Wn
D1
d1
D2
d2
PCC
PCC
SAC
SAC
ALLC
ALLC
CD

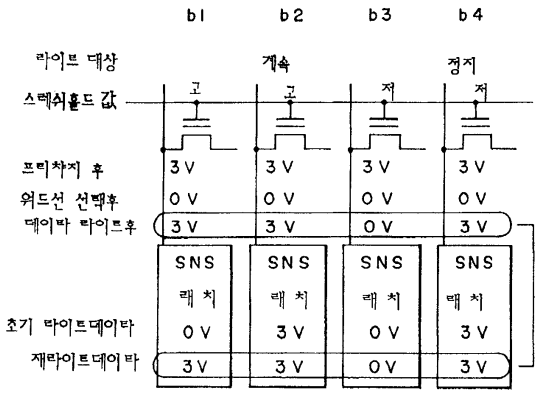
도면 18



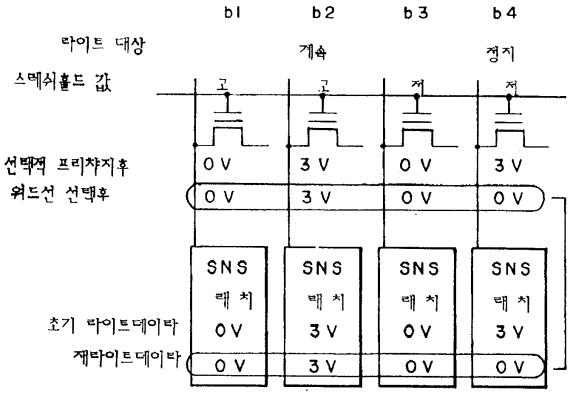
도면 19

	라이트동작 정의		라이트방법	비 고
	라이트 스레쉬홀드값	드레인전압		
a	소거후의 낮은 상태에서 선택적으로 높은 상태로 한다.	선택 0V 비선택 정전압	검증방식	NAND-EEPROM 정의
b	소거후의 높은 상태에서 선택적으로 낮은 상태로 한다.	선택 정전압 비선택 0V	프라챠지 방식	본 발명 정의

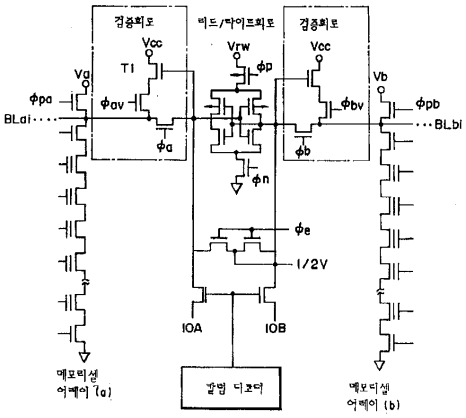
도면 20


b1
b2
b3
b4
라이트 대상
계속
정지
스레쉬홀드 값
고
고
저
저
프리차지 후
3V
3V
3V
3V
워드선 선택후
0V
0V
0V
0V
데이타 라이트후
3V
3V
0V
3V
SNS
래치
SNS
래치
SNS
래치
SNS
래치
초기 라이트데이타
0V
3V
0V
3V
재라이트데이타
3V
3V
0V
3V

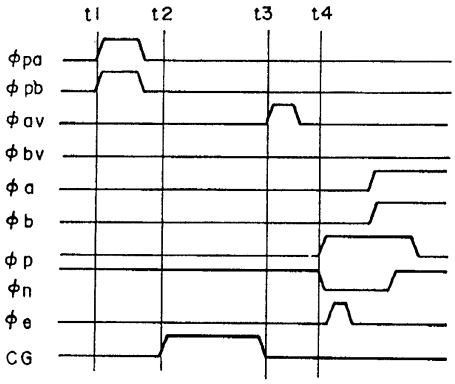
도면 21


b1
b2
b3
b4
라이트 대상
계속
정지
스레쉬홀드 값
고
고
저
저
선택적 프리차지후
0V
3V
0V
3V
워드선 선택후
0V
3V
0V
0V
SNS
래치
SNS
래치
SNS
래치
SNS
래치
초기 라이트데이타
0V
3V
0V
3V
재라이트데이타
0V
3V
0V
0V

도면 22



도면 23



도면 24

프로그램 데이타 (래치 데이타)	0 0 1 1
셀 데이타	0 1 0 1
재 프로그램 데이타 (재 래치 데이타)	0 0 1 0