

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年3月14日(14.03.2019)



(10) 国際公開番号

WO 2019/048979 A1

(51) 国際特許分類:

G06G 7/60 (2006.01) H01L 21/8242 (2006.01)
G05F 3/26 (2006.01) H01L 27/108 (2006.01)
G06N 3/063 (2006.01) H01L 29/786 (2006.01)
G11C 11/405 (2006.01)

(21) 国際出願番号: PCT/IB2018/056473

(22) 国際出願日: 2018年8月27日(27.08.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2017-170825 2017年9月6日(06.09.2017) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷 3 9 8 Kanagawa (JP).

(72) 発明者: 原田 伸太郎 (HARADA, Shintaro);
〒2430036 神奈川県厚木市長谷 3 9 8 株式
会社半導体エネルギー研究所内 Kanagawa

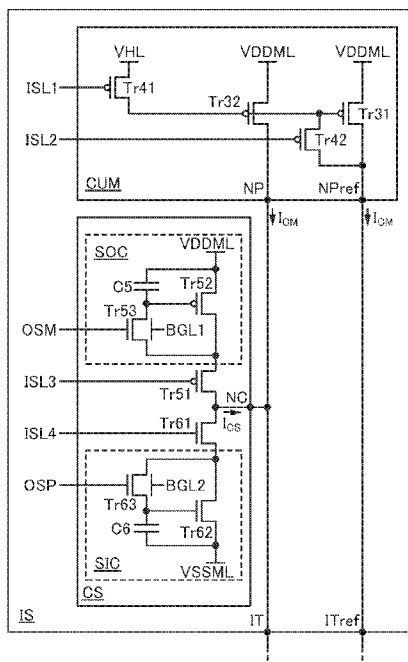
(JP). 井上達則(INOUE, Tatsunori); 〒2430036
神奈川県厚木市長谷 3 9 8 株式会社半導
体エネルギー研究所内 Kanagawa (JP). 黒川
義元(KUROKAWA, Yoshiyuki); 〒2430036 神
奈川県厚木市長谷 3 9 8 株式会社半導
体エネルギー研究所内 Kanagawa (JP). 山崎
舜平(YAMAZAKI, Shunpei); 〒2430036 神奈
川県厚木市長谷 3 9 8 株式会社半導体エネ
ルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: ELECTRONIC EQUIPMENT

(54) 発明の名称: 電子機器

[図 9]



(57) Abstract: Provided is electronic equipment having a semi-conductor device capable of intermittent operation. The electronic equipment has a semiconductor device, and the semiconductor device has a current mirror circuit, a bias circuit and first through third transistors. The current mirror circuit has a first output terminal and a second output terminal, and is electrically connected to a power source supply line via the first transistor. The current mirror circuit has a function whereby currents corresponding to the potential of the first output terminal are respectively output from the first output terminal and the second output terminal. The bias circuit has a current source circuit and a current sink circuit. The current source circuit is electrically connected to the second output terminal via the second transistor, and the current sink circuit is electrically connected to the second output terminal via the third transistor. The intermittent operation of the semiconductor device is achieved by switching the on/off states of the first through third transistors.

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 要約書 間欠駆動が可能な半導体装置を有する電子機器を提供する。電子機器は半導体装置を有し、半導体装置はカレントミラー回路と、バイアス回路と、第1乃至第3トランジスタと、を有する。カレントミラー回路は、第1出力端子と、第2出力端子と、を有し、カレントミラー回路は、第1トランジスタを介して、電源供給線と電氣的に接続されている。また、カレントミラー回路は、第1出力端子の電位に応じた電流を、第1出力端子及び第2出力端子からそれぞれ出力する機能を有する。バイアス回路は、電流ソース回路と、電流シンク回路と、を有し、電流ソース回路は、第2トランジスタを介して、第2出力端子と電氣的に接続され、電流シンク回路は、第3トランジスタを介して、第2出力端子と電氣的に接続されている。第1乃至第3トランジスタのオン状態、オフ状態の切り替えによって、半導体装置で間欠駆動を実現する。

明細書

発明の名称

電子機器

技術分野

[0001]

本発明の一態様は、電子機器に関する。

[0002]

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、蓄電装置、撮像装置、記憶装置、プロセッサ、電子機器、システム、それらの駆動方法、それらの製造方法、それらの検査方法を一例として挙げることができる。

背景技術

[0003]

人工ニューラルネットワークは、神経回路網をモデルにした情報処理システムである。人工ニューラルネットワークを利用することで、従来のノイマン型コンピュータよりも高性能なコンピュータが実現できると期待されており、近年、電子回路上で人工ニューラルネットワークを構築する種々の研究が進められている。

[0004]

特に、特許文献1には、チャンネル形成領域に酸化物半導体を有するトランジスタを用いた記憶装置によって、人工ニューラルネットワークを用いた計算に必要な重みデータを保持する発明が開示されている。

[先行技術文献]

[特許文献]

[0005]

[特許文献1] 米国特許公開第2016/0343452号公報

発明の概要

発明が解決しようとする課題

[0006]

階層型の人工ニューラルネットワークを半導体装置として構築するには、第1層の複数の第1ニューロンと第2層の第2ニューロンの一との間の結合強度を記憶し、第1層の複数の第1ニューロンのそれぞれの出力とそれらに対応する結合強度とを乗じて足し合わせる積和演算回路を実現する必要がある。つまり、結合強度を保持するメモリ、積和演算を実行する乗算回路と加算回路などを該半導体装置に実装する必要がある。

[0007]

該メモリ、該乗算回路、該加算回路などをデジタル回路で構成する場合、該メモリは、多ビットの情報の記憶ができる仕様とする必要があり、加えて、該乗算回路、及び該加算回路は、多ビットの演算を取り扱うことができる仕様とする必要がある。つまり、ニューラルネットワークをデジタル回路で構成するには、大規模なメモリ、大規模な乗算回路、及び大規模な加算回路が必要となり、そのた

め、該デジタル回路のチップ面積が増大する。

[0008]

また、人工ニューラルネットワークを構成する回路によっては、当該回路の駆動時に貫通電流が生じてしまい、当該回路の消費電力が高くなってしまう。

[0009]

本発明の一態様は、演算回路を有する新規の半導体装置を含む電子機器を提供することを課題の一とする。また、本発明の一態様は、消費電力を低減した新規の半導体装置を含む電子機器を提供することを課題の一とする。

[0010]

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した課題、及び他の課題のうち、少なくとも一つの課題を解決するものである。なお、本発明の一態様は、上記列挙した課題、及び他の課題の全てを解決する必要はない。

課題を解決するための手段

[0011]

(1)

本発明の一態様は、半導体装置を有する電子機器であって、半導体装置は、第1回路と、メモリセルアレイと、スイッチと、を有し、第1回路は、カレントミラー回路と、第2回路と、第1出力端子と、第2出力端子と、を有し、第1出力端子は、メモリセルアレイに電氣的に接続され、第2出力端子は、メモリセルアレイと、スイッチの第1端子と、に電氣的に接続され、カレントミラー回路は、第3出力端子と、第4出力端子と、第1トランジスタと、を有し、第3出力端子は、第1出力端子と電氣的に接続され、第4出力端子は、第2出力端子と電氣的に接続され、第1トランジスタの第1端子は、カレントミラー回路に対して電源電圧を与える配線と電氣的に接続され、カレントミラー回路は、第3出力端子の電位に応じた電流を、第3出力端子、及び第4出力端子に出力する機能を有し、第2回路は、電流ソース回路と、電流シンク回路と、第2トランジスタと、第3トランジスタと、を有し、第2トランジスタの第1端子は、第3トランジスタの第1端子と、第2出力端子と、に電氣的に接続され、第2トランジスタの第2端子は、電流ソース回路と電氣的に接続され、第3トランジスタの第2端子は、電流シンク回路と電氣的に接続されることを特徴とする電子機器である。

[0012]

(2)

又は、本発明の一態様は、前記(1)において、カレントミラー回路は、第4乃至第6トランジスタを有し、第1トランジスタ、第4乃至第6トランジスタは、pチャネル型トランジスタであり、第4トランジスタの第1端子は、第1トランジスタの第2端子と、第3出力端子と、に電氣的に接続され、第4トランジスタの第2端子は、第1トランジスタのゲートに電氣的に接続され、第5トランジスタの第1端子は、第4出力端子と電氣的に接続され、第6トランジスタの第1端子は、第1トランジスタのゲートと、第5トランジスタのゲートと、に電氣的に接続されることを特徴とする電子機器である。

[0013]

(3)

又は、本発明の一態様は、前記(1)、又は前記(2)において、電流ソース回路は、第7トランジスタと、第8トランジスタと、第1容量素子と、を有し、第2トランジスタ、第7トランジスタは、pチャネル型のトランジスタであり、第8トランジスタは、nチャネル型のトランジスタであり、第7トランジスタの第1端子は、第2トランジスタの第2端子と、第8トランジスタの第1端子と、に電氣的に接続され、第7トランジスタのゲートは、第8トランジスタの第2端子と、第1容量素子の第1端子と、に電氣的に接続され、第7トランジスタの第2端子は、第1容量素子の第2端子に電氣的に接続されることを特徴とする電子機器である。

[0014]

(4)

又は、本発明の一態様は、前記(3)において、第8トランジスタは、チャネル形成領域に金属酸化物を有することを特徴とする電子機器である。

[0015]

(5)

又は、本発明の一態様は、前記(1)乃至(4)のいずれか一において、電流シンク回路は、第9トランジスタと、第10トランジスタと、第2容量素子と、を有し、第3トランジスタ、第9トランジスタ、及び第10トランジスタは、nチャネル型のトランジスタであり、第9トランジスタの第1端子は、第3トランジスタの第2端子と、第10トランジスタの第1端子と、に電氣的に接続され、第9トランジスタのゲートは、第10トランジスタの第2端子と、第2容量素子の第1端子と、に電氣的に接続され、第9トランジスタの第2端子は、第2容量素子の第2端子に電氣的に接続されることを特徴とする電子機器である。

[0016]

(6)

又は、本発明の一態様は、前記(5)において、第3トランジスタ、第9トランジスタ、及び第10トランジスタの少なくとも一は、チャネル形成領域に金属酸化物を有することを特徴とする電子機器である。

[0017]

(7)

又は、本発明の一態様は、前記(1)乃至(6)のいずれか一において、メモリセルアレイは、第1メモリセルと、第2メモリセルと、を有し、第1メモリセル、及び第2メモリセルのそれぞれは、第11トランジスタと、第12トランジスタと、第3容量素子と、を有し、第1メモリセル、及び第2メモリセルのそれぞれにおいて、第11トランジスタの第1端子は、第12トランジスタのゲートと、第3容量素子の第1端子と電氣的に接続され、第1メモリセルの第12トランジスタの第1端子は、第1出力端子と電氣的に接続され、第2メモリセルの第12トランジスタの第1端子は、第2出力端子と、スイッチの第1端子と、に電氣的に接続されることを特徴とする電子機器である。

[0018]

(8)

又は、本発明の一態様は、前記(7)において、第1メモリセル、及び第2メモリセルのそれぞれの第11トランジスタは、チャネル形成領域に金属酸化物を有することを特徴とする電子機器である。

[0019]

(9)

又は、本発明の一態様は、前記(1)乃至(8)のいずれか一において、第3回路を有し、第3回路は、入力端子と、第5出力端子と、を有し、入力端子は、スイッチの第2端子に電氣的に接続され、第3回路は、入力端子に入力された電流の変動量をサンプリングして、当該変動量に応じた電位を第5出力端子に出力することを特徴とする電子機器である。

[0020]

(10)

又は、本発明の一態様は、人工知能の演算処理を用いて音声認識、及び／又はパターン認識を行う、前記(1)乃至(9)のいずれか一に記載の電子機器である。

[0021]

(11)

又は、本発明の一態様は、人工知能の演算処理を用いて生体認証を行う、前記(1)乃至(9)のいずれか一に記載の電子機器である。

発明の効果

[0022]

本発明の一態様によって、演算回路を有する新規の半導体装置を提供することができる。又は、本発明の一態様によって、消費電力を低減した新規の半導体装置を提供することができる。

[0023]

又は、本発明の一態様によって、新規の半導体装置を有する電子機器を提供することができる。

[0024]

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

図面の簡単な説明

[0025]

[図1] 電子機器の例を示す図。

[図2] 電子機器及びシステムの例を示す図。

[図3] 電子機器の例を示す図。

[図4] 並列計算機、計算機、及びPCカードの構成例を示す図。

[図5] システムの構成例を示す図。

[図6] OSAIチップの構成例を示す機能ブロック図。

[図7] 演算回路の構成例を示す回路図。

[図8] 演算回路に含まれる電流供給回路の構成例を示すブロック図。

[図9] 演算回路に含まれる電流供給回路の構成例を示す回路図。

[図10] 演算回路の動作例を示すタイミングチャート。

[図11] 演算回路の動作例を示すタイミングチャート。

[図12] 半導体装置の構成例を示す図。

[図 1 3] トランジスタの構成例を示す図。

[図 1 4] トランジスタの構成例を示す図。

[図 1 5] トランジスタの構成例を示す図。

発明を実施するための形態

[0026]

本明細書などにおいて、人工ニューラルネットワーク（ANN、以後、ニューラルネットワークと呼称する。）とは、生物の神経回路網を模したモデル全般を指す。一般的には、ニューラルネットワークは、ニューロンを模したユニットが、シナプスを模したユニットを介して、互いに結合された構成となっている。

[0027]

シナプスの結合（ニューロン同士の結合）の強度（重み係数ともいう。）は、ニューラルネットワークに既存の情報を与えることによって、変化することができる。このように、ニューラルネットワークに既存の情報を与えて、結合強度を決める処理を「学習」と呼ぶ場合がある。

[0028]

また、「学習」を行った（結合強度を定めた）ニューラルネットワークに対して、何らかの情報を与えることにより、その結合強度に基づいて新たな情報を出力することができる。このように、ニューラルネットワークにおいて、与えられた情報と結合強度に基づいて新たな情報を出力する処理を「推論」又は「認知」と呼ぶ場合がある。

[0029]

ニューラルネットワークのモデルとしては、例えば、ホップフィールド型、階層型などが挙げられる。特に、多層構造としたニューラルネットワークを「ディープニューラルネットワーク」（DNN）と呼称し、ディープニューラルネットワークによる機械学習を「ディープラーニング」と呼称する場合がある。

[0030]

本明細書等において、金属酸化物（metal oxide）とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む）、酸化物半導体（Oxide Semiconductorまたは単にOSともいう）などに分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、金属酸化物が増幅作用、整流作用、及びスイッチング作用の少なくとも1つを有するトランジスタのチャンネル形成領域を構成し得る場合、当該金属酸化物を、金属酸化物半導体（metal oxide semiconductor）、略してOSと呼ぶことができる。また、OS FET（又はOSトランジスタ）と記載する場合においては、金属酸化物または酸化物半導体を有するトランジスタと換言することができる。

[0031]

（実施の形態1）

本実施の形態では、本発明の一態様である電子機器等について説明する。

[0032]

本発明の一態様である電子機器等は、人工知能の処理を行う半導体装置を有する。人工知能の処理を行う半導体装置としては、並列処理アーキテクチャ、FPGAなどを有する半導体チップなどが挙げられる。特に、半導体チップとして、実施の形態2で説明するOSAIチップ400を適用するこ

とによって、人工知能の処理を行うのに必要な消費電力を低減することができる。更に、OSA I チップ 400 に実施の形態 3 で説明した演算回路 MAC F を備えることで、OSA I チップ 400 で間欠駆動を行うことができる。

[0033]

<電子機器・システム>

本発明の一態様の電子機器の例としては、例えば、テレビジョン装置、デスクトップ型もしくはノート型のパーソナルコンピュータ、コンピュータ用などのモニタ、デジタルサイネージ（電子看板）、パチンコ機などの大型ゲーム機などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。また、本発明の一態様に係る集積回路又はコンピュータを電子機器に設けることにより、電子機器に人工知能を搭載することができる。

[0034]

本発明の一態様の電子機器は、アンテナを有していてもよい。アンテナで信号を受信することで、表示部で映像や情報等の表示を行うことができる。また、電子機器がアンテナ及び二次電池を有する場合、アンテナを、非接触電力伝送に用いてもよい。

[0035]

本発明の一態様の電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの）を有していてもよい。

[0036]

本発明の一態様の電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。

[0037]

図 1 に、OSA I チップ 400 を電子機器に適用した複数の例を示す。

[携帯電話]

[0038]

図 1 に示す情報端末 5500 は、情報端末の一種である携帯電話（スマートフォン）である。情報端末 5500 は、筐体 5510 と、表示部 5511 と、を有しており、入力用インターフェースとして、タッチパネルが表示部 5511 に備えられ、ボタンが筐体 5510 に備えられている。

[0039]

情報端末 5500 は、実施の形態 2 で説明する OSA I チップ 400 を適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、会話を認識してその会話内容を表示部 5511 に表示するアプリケーション、表示部 5511 に備えるタッチパネルに対してユーザが入力した文字、図形などを認識して、表示部 5511 に表示するアプリケーション、指紋や声紋などの生体認証を行うアプリケーションなどが挙げられる。

[0040]

[情報端末 1]

また、図 1 には、デスクトップ型情報端末 5300 が図示されている。デスクトップ型情報端末 5

300は、情報端末の本体5301と、ディスプレイ5302と、キーボード5303と、を有する。

[0041]

デスクトップ型情報端末5300は、先述した情報端末5500と同様に、実施の形態2で説明するOSAIチップ400を適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、設計支援ソフトウェア、文章添削ソフトウェア、献立自動生成ソフトウェアなどが挙げられる。また、デスクトップ型情報端末5300を用いることで、新規の人工知能の開発を行うことができる。

[0042]

なお、上述では、電子機器としてスマートフォン、及びデスクトップ型情報端末を例として、それぞれ図1に図示したが、スマートフォン、及びデスクトップ型情報端末以外の情報端末を適用することができる。スマートフォン、及びデスクトップ型情報端末以外の情報端末としては、例えば、PDA(Personal Digital Assistant)、ノート型情報端末、ワークステーションなどが挙げられる。

[0043]

[電化製品]

また、図1には、電化製品の一例として電気冷凍冷蔵庫5800が図示されている。電気冷凍冷蔵庫5800は、筐体5801、冷蔵室用扉5802、冷凍室用扉5803等を有する。

[0044]

電気冷凍冷蔵庫5800に実施の形態2で説明するOSAIチップ400を適用することによって、人工知能を有する電気冷凍冷蔵庫5800を実現することができる。人工知能を利用することによって電気冷凍冷蔵庫5800は、電気冷凍冷蔵庫5800に保存されている食材、その食材の消費期限などを基に献立を自動生成する機能や、電気冷凍冷蔵庫5800に保存されている食材に合わせた温度に自動的に調節する機能などを有することができる。

[0045]

本一例では、電化製品として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電子オーブン、炊飯器、湯沸かし器、IH調理器、ウォーターサーバ、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

[0046]

[ゲーム機]

また、図1には、ゲーム機の一例である携帯ゲーム機5200が図示されている。携帯ゲーム機は、筐体5201、表示部5202、ボタン5203等を有する。

[0047]

携帯ゲーム機5200に実施の形態2で説明するOSAIチップ400を適用することによって、低消費電力の携帯ゲーム機5200を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

[0048]

更に、携帯ゲーム機5200に実施の形態2で説明するOSAIチップ400を適用することによって、人工知能を有する携帯ゲーム機5200を実現することができる。

[0049]

本来、ゲームの進行、ゲーム上に登場する生物の言動、ゲーム上で発生する現象などの表現は、そのゲームが有するプログラムによって定められているが、携帯ゲーム機5200に人工知能を適用することにより、ゲームのプログラムに限定されない表現が可能になる。例えば、プレイヤーが問いかける内容、ゲームの進行状況、時刻、ゲーム上に登場する人物の言動が変化するという表現が可能となる。

[0050]

また、携帯ゲーム機5200で複数のプレイヤーが必要なゲームを行う場合、人工知能によって擬人的にゲームプレイヤーを構成することができるため、対戦相手を人工知能によるゲームプレイヤーとすることによって、1人でもゲームを行うことができる。

[0051]

図1では、ゲーム機の一例として携帯ゲーム機を図示しているが、本発明の一態様の電子機器はこれに限定されない。本発明の一態様の電子機器としては、例えば、家庭用の据え置き型ゲーム機、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

[0052]

[移動体]

実施の形態2で説明するOSAIチップ400は、移動体である自動車、及び自動車の運転席周辺に適用することができる。

[0053]

図1には移動体の一例である自動車5700が図示されている。

[0054]

自動車5700の運転席周辺には、スピードメーターやタコメーター、走行距離、給油量、ギア状態、エアコンの設定など、その他様々な情報を提供するインストルメントパネルが備えられている。また、運転席周辺には、それらの情報を示す表示装置が備えられていてもよい。

[0055]

特に当該表示装置には、自動車5700に設けられた撮像装置（図示しない。）からの映像を映し出すことによって、ピラーなどで遮られた視界、運転席の死角などを運転手に提供することができる。すなわち、自動車5700の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。

[0056]

実施の形態2で説明するOSAIチップ400は人工知能の構成要素として適用できるため、例えば、当該コンピュータを自動車5700の自動運転システムに用いることができる。また、当該コンピュータを道路案内、危険予測などを行うシステムに用いることができる。当該表示装置には、道路案内、危険予測などの情報を表示する構成としてもよい。

[0057]

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様のコンピュータを適用して、人工知能を利用したシステムを付与することができる。

[0058]

[カメラ]

実施の形態2で説明するOSAIチップ400は、カメラに適用することができる。

[0059]

図1には、撮像装置の一例であるデジタルカメラ6240が図示されている。デジタルカメラ6240は、筐体6241、表示部6242、操作ボタン6243、シャッターボタン6244等を有し、また、デジタルカメラ6240には、着脱可能なレンズ6246が取り付けられている。なお、ここではデジタルカメラ6240を、レンズ6246を筐体6241から取り外して交換することが可能な構成としたが、レンズ6246と筐体6241とが一体となってもよい。また、デジタルカメラ6240は、ストロボ装置や、ビューファインダー等を別途装着することができる構成としてもよい。

[0060]

デジタルカメラ6240に実施の形態2で説明するOSAIチップ400を適用することによって、低消費電力のデジタルカメラ6240を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

[0061]

更に、デジタルカメラ6240に実施の形態2で説明するOSAIチップ400を適用することによって、人工知能を有するデジタルカメラ6240を実現することができる。人工知能を利用することによって、デジタルカメラ6240は、顔、物体など被写体を自動的に認識する機能、又は当該被写体に合わせたピント調節、環境に合わせて自動的にフラッシュを焚く機能、撮像した画像を調色する機能などを有することができる。

[0062]

[ビデオカメラ]

実施の形態2で説明するOSAIチップ400は、ビデオカメラに適用することができる。

[0063]

図1には、撮像装置の一例であるビデオカメラ6300が図示されている。ビデオカメラ6300は、第1筐体6301、第2筐体6302、表示部6303、操作キー6304、レンズ6305、接続部6306等を有する。操作キー6304及びレンズ6305は第1筐体6301に設けられており、表示部6303は第2筐体6302に設けられている。そして、第1筐体6301と第2筐体6302とは、接続部6306により接続されており、第1筐体6301と第2筐体6302の間の角度は、接続部6306により変更が可能である。表示部6303における映像を、接続部6306における第1筐体6301と第2筐体6302との間の角度に従って切り替える構成としてもよい。

[0064]

ビデオカメラ6300で撮影した映像を記録する際、データの記録形式に応じたエンコードを行う必要がある。人工知能を利用することによって、ビデオカメラ6300は、エンコードの際に、人工知能によるパターン認識を行うことができる。このパターン認識によって、連続する撮像画像データに含まれる人、動物、物体などの差分データを算出して、データの圧縮を行うことができる。

[0065]

[PC用の拡張デバイス]

実施の形態2で説明するOSAIチップ400は、PC (Personal Computer) などの計算機、情報端末用の拡張デバイスに適用することができる。

[0066]

図2(A)は、当該拡張デバイスの一例として、持ち運びのできる、演算処理が可能なチップが搭載された、PCに外付けする拡張デバイス6100を示している。拡張デバイス6100は、例えば、USB(Universal Serial Bus)などでPCに接続することで、当該チップによる演算処理を行うことができる。なお、図2(A)は、持ち運びが可能な形態の拡張デバイス6100を図示しているが、本発明の一態様に係る拡張デバイスは、これに限定されず、例えば、冷却用ファンなどを搭載した比較的大きい形態の拡張デバイスとしてもよい。

[0067]

拡張デバイス6100は、筐体6101、キャップ6102、USBコネクタ6103及び基板6104を有する。基板6104は、筐体6101に収納されている。基板6104には、OSAIチップ400などを駆動する回路が設けられている。例えば、基板6104には、チップ6105(例えば、OSAIチップ、メモリチップなど)、コントローラチップ6106が取り付けられている。USBコネクタ6103は、外部装置と接続するためのインターフェースとして機能する。

[0068]

拡張デバイス6100をPCなどを用いることにより、当該PCの演算処理能力を高くすることができる。これにより、処理能力の足りないPCでも、例えば、人工知能、動画処理などの演算を行うことができる。

[0069]

[放送システム]

実施の形態2で説明するOSAIチップ400は、放送システムに適用することができる。

[0070]

図2(B)は、放送システムにおけるデータ伝送を模式的に示している。具体的には、図2(B)は、放送局5680から送信された電波(放送信号)が、各家庭のテレビジョン受信装置(TV)5600に届くまでの経路を示している。TV5600は、受信装置を備え(図示しない)、アンテナ5650で受信された放送信号は、当該受信装置を介して、TV5600に送信される。

[0071]

図2(B)では、アンテナ5650は、UHF(Ultra High Frequency)アンテナを図示しているが、アンテナ5650としては、BS・110°CSアンテナ、CSアンテナなども適用できる。

[0072]

電波5675A、電波5675Bは地上波放送用の放送信号であり、電波塔5670は受信した電波5675Aを増幅して、電波5675Bの送信を行う。各家庭では、アンテナ5650で電波5675Bを受信することで、TV5600で地上波放送を視聴することができる。なお、放送システムは、図2(B)に示す地上波放送に限定せず、人工衛星を用いた衛星放送、光回線によるデータ放送などとしてもよい。

[0073]

上述した放送システムは、実施の形態2で説明するOSAIチップ400を適用して、人工知能を利用した放送システムとしてもよい。放送局5680から各家庭のTV5600に放送データを送信

するとき、エンコーダによって放送データの圧縮が行われ、アンテナ 5 6 5 0 が当該放送データを受信したとき、TV 5 6 0 0 に含まれる受信装置のデコーダによって当該放送データの復元が行われる。人工知能を利用することによって、例えば、エンコーダの圧縮方法の一である動き補償予測において、表示画像に含まれる表示パターンの認識を行うことができる。また、人工知能を利用したフレーム内予測などを行うこともできる。また、例えば、解像度の低い放送データを受信して、解像度の高い TV 5 6 0 0 で当該放送データの表示を行うとき、デコーダによる放送データの復元において、アップコンバートなどの画像の補間処理を行うことができる。

[0074]

上述した人工知能を利用した放送システムは、放送データの量が増大する超高精細度テレビジョン (UHD TV : 4 K、8 K) 放送に対して好適である。

[0075]

また、TV 5 6 0 0 側における人工知能の応用として、例えば、TV 5 6 0 0 に人工知能を有する録画装置を設けてもよい。このような構成にすることによって、当該録画装置にユーザの好みを人工知能に学習させることで、ユーザの好みにあった番組を自動的に録画することができる。

[0076]

[認証システム]

実施の形態 2 で説明する O S A I チップ 4 0 0 は、認証システムに適用することができる。

[0077]

図 2 (C) は、掌紋認証装置を示しており、筐体 6 4 3 1、表示部 6 4 3 2、掌紋読み取り部 6 4 3 3、配線 6 4 3 4 を有している。

[0078]

図 2 (D) は、掌紋認証装置が手 6 4 3 5 の掌紋を取得する様子を示している。取得した掌紋は、人工知能を利用したパターン認識の処理が行われ、当該掌紋が本人のものであるかどうかの判別を行うことができる。これにより、セキュリティの高い認証を行うシステムを構築することができる。また、本発明の一態様に係る認証システムは、掌紋認証装置に限定されず、指紋、静脈、顔、虹彩、声紋、遺伝子、体格などの生体情報を取得して生体認証を行う装置であってもよい。

[0079]

[情報端末 2]

図 3 に、情報端末 7 0 0 0 の一例を示す。図 3 (A) に示すように、情報端末 7 0 0 0 は、筐体 7 0 1 0、モニタ部 7 0 1 2、キーボード 7 0 1 3、ポート 7 0 1 5 を有する。キーボード 7 0 1 3、ポート 7 0 1 5 は筐体 7 0 1 0 に設けられている。ポート 7 0 1 5 としては、例えば、USB ポート、LAN ポート、HDMI (High-Definition Multimedia Interface) (登録商標) ポートなどがある。

[0080]

モニタ部 7 0 1 2 は、開閉可能に筐体 7 0 1 0 に取り付けられている。図 3 (A) には、モニタ部 7 0 1 2 が開いている状態が示され、図 3 (B) には、モニタ部 7 0 1 2 が閉じている状態を示す。例えば、モニタ部 7 0 1 2 の最大開角度は 1 3 5 ° 程度である。

[0081]

図 3 (B) に示すように、筐体 7 0 1 0 には開閉可能なカバー 7 0 1 1 が設けられている。筐体 7 0 1 0 内部には、複数の PC カード 7 0 1 4 が着脱可能に組み込まれている。PC カード 7 0 1 4 と

しては、例えば、OSA Iチップが搭載された拡張カードとすることができる。筐体7010の内部には、PCカード7014を冷却する装置、または放熱する装置が設けられていてもよい。カバー7011を開けて、PCカード7014を交換することができるので、情報端末7000の拡張性は高い。情報端末7000にPCカード7014としてOSA Iチップが搭載された拡張カードを複数組み込むことで、様々なグラフィック処理及び人工知能の演算を高速に行うことが可能になる。

[0082]

<並列計算機>

OSA Iチップを含む計算機を複数用いてクラスターを組むことで、並列計算機を構成することができる。

[0083]

図4(A)には、大型の並列計算機5400が図示されている。並列計算機5400には、ラック5410にラックマウント型の計算機5420が複数格納されている。

[0084]

計算機5420は、例えば、図4(B)に示す斜視図の構成とすることができる。図4(B)において、計算機5420は、マザーボード5430を有し、マザーボード5430は、複数のスロット5431、複数の接続端子5432、複数の接続端子5433を有する。スロット5431には、PCカード5421が挿されている。加えて、PCカード5421は、接続端子5423、接続端子5424、接続端子5425を有し、それぞれ、マザーボード5430に接続されている。

[0085]

PCカード5421は、実施の形態2で説明したOSA Iチップ、実施の形態3で説明した演算回路MACFなどを備えた処理ボードである。例えば、図4(C)では、PCカード5421が、ボード5422を有し、ボード5422が、接続端子5423、接続端子5424、接続端子5425と、チップ5426と、チップ5427と、接続端子5428と、を有する構成を示している。なお、図4(C)には、チップ5426、及びチップ5427以外のチップを図示しているが、それらのチップについては、以下に記載するチップ5426、及びチップ5427の説明を参酌する。

[0086]

接続端子5428は、マザーボード5430のスロット5431に挿することができる形状を有しており、接続端子5428は、PCカード5421とマザーボード5430とを接続するためのインターフェースとして機能する。接続端子5428の規格としては、例えば、PCIeなどが挙げられる。

[0087]

接続端子5423、接続端子5424、接続端子5425は、例えば、PCカード5421に対して電力供給、信号入力などを行うためのインターフェースとすることができる。また、例えば、PCカード5421によって計算された信号の出力などを行うためのインターフェースとすることができる。接続端子5423、接続端子5424、接続端子5425のそれぞれの規格としては、例えば、USB(Universal Serial Bus)、SATA(Serial ATA)、SCSI(Small Computer System Interface)などが挙げられる。また、接続端子5423、接続端子5424、接続端子5425から映像信号を出力する場合、それぞれの規格としては、HDMI(登録商標)などが挙げられる。

[0088]

チップ5426は、信号の入出力を行う端子(図示しない。)を有しており、当該端子をPCカー

ド５４２１が備えるソケット（図示しない。）に対して差し込むことで、チップ５４２６とＰＣカード５４２１とを電氣的に接続することができる。チップ５４２６としては、例えば、上記実施の形態で説明したＯＳＡＩチップとすることができる。

[００８９]

チップ５４２７は、複数の端子を有しており、当該端子をＰＣカード５４２１が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、チップ５４２７とＰＣカード５４２１とを電氣的に接続することができる。チップ５４２７としては、例えば、記憶装置、ＦＰＧＡ（Ｆｉｅｌｄ Ｐｒｏｇｒａｍｍａｂｌｅ Ｇａｔｅ Ａｒｒａｙ）、ＣＰＵなどが挙げられる。

[００９０]

ＯＳＡＩチップを、図４（Ａ）に示す並列計算機５４００の計算機５４２０に適用することで、例えば、人工知能の学習、及び推論に必要な大規模の計算を行うことができる。

[００９１]

<サーバ、及びサーバを含むシステム>

上述した計算機、又は並列計算機は、例えば、ネットワーク上で機能するサーバに適用することができる。また、これにより当該サーバを含むシステムを構成することができる。

[００９２]

図５（Ａ）は、一例として、ＯＳＡＩチップを適用したサーバ５１００と、上記で説明した情報端末５５００、及びデスクトップ型情報端末５３００と、の間で通信を行う様子を模式的に示している。なお、図５（Ａ）では、通信を行う様子として、通信５１１０を図示している。

[００９３]

このような形態を構成することにより、ユーザは、情報端末５５００、デスクトップ型情報端末５３００などからサーバ５１００に対してアクセスすることができる。そして、ユーザは、インターネットを介した通信５１１０によって、サーバ５１００の管理者が提供するサービスを受けることができる。当該サービスとしては、例えば、電子メール、ＳＮＳ（Ｓｏｃｉａｌ Ｎｅｔｗｏｒｋｉｎｇ Ｓｅｒｖｉｃｅ）、オンラインソフトウェア、クラウドストレージ、ナビゲーションシステム、翻訳システム、インターネットゲーム、オンラインショッピング、株・為替・債権などの金融取引、公共施設・商業施設・宿泊施設・病院などの予約、インターネット番組・講演・講義などの動画の視聴などが挙げられる。

[００９４]

特に、本発明の一態様のコンピュータをサーバ５１００に適用することによって、上述したサービスにおいて、人工知能を利用することができる場合がある。例えば、ナビゲーションシステムに人工知能を導入することによって、当該システムは、道路の混雑状況、電車の運行情報などに応じて臨機応変に目的地まで案内することができる場合がある。また、例えば、翻訳システムに人工知能を導入することによって、当該システムは、方言・スラングなど独特の言い回しを適切に翻訳することができる場合がある。また、例えば、病院などの予約のシステムに人工知能を利用することによって、当該システムは、ユーザの症状・怪我の度合いなどから判断して適切な病院・診療所などを紹介することができる場合がある。

[００９５]

また、ユーザが人工知能の開発を行いたい場合、インターネットを介してサーバ５１００にアクセスして、サーバ５１００上で当該開発を行うことができる。これは、ユーザの手元にある情報端末５

500、デスクトップ型情報端末5300などでは処理能力が足りない場合、情報端末5500、デスクトップ型情報端末5300などで開発環境を構築できない場合などに好適である。

[0096]

図5(A)では、サーバを含むシステムとして、情報端末とサーバ5100とによって構成されるシステムの一例を示しているが、別の一例として、情報端末以外の電子機器とサーバ5100とによって構成されるシステムであってもよい。つまり、電子機器をインターネットに接続したIoT(Internet of Things)の形態としてもよい。

[0097]

図5(B)は、一例として、図1で説明した電子機器(電気冷凍冷蔵庫5800、携帯ゲーム機5200、自動車5700、TV5600)とサーバ5100との間で通信を行う様子を模式的に示している。なお、図5(B)では、通信を行う様子として、通信5110を図示している。

[0098]

図1で説明したそれぞれの電子機器に人工知能を適用する場合、図5(B)に示すとおり、当該人工知能を動作するために必要な演算をサーバ5100で実行することができる。例えば、演算に必要な入力データが、通信5110によって、それぞれの電子機器の一からサーバ5100に送信されることで、サーバ5100が有する人工知能によって当該入力データを基に出力データが算出され、当該出力データは通信5110によってサーバ5100から電子機器の一に送信される。これにより、電子機器の一は、人工知能が出力したデータに基づいた動作を行うことができる。

[0099]

図5(B)に示す電子機器は一例であり、図5(B)に図示していない電子機器をサーバ5100に接続して、上述と同様に、相互に通信を行う構成としてもよい。

[0100]

本実施の形態で説明した電子機器、その電子機器の機能、人工知能の応用例、その効果などは、他の電子機器の記載と適宜組み合わせることができる。

[0101]

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

[0102]

(実施の形態2)

本実施の形態では、人工知能の演算処理が可能なICチップについて説明する。なお、本明細書等において、OSトランジスタを用いて構成された人工知能をOSAIと表記し、当OSAIの演算処理が可能なICチップをOSAIチップと呼称する。

[0103]

OSAIチップの構成例をブロック図として図6に示す。図6に示すOSAIチップ400は、レシーバ(RX)401、デジタル-アナログコンバータ(DAC)403、404、演算回路(MAC)405、406、ゲートドライバ407、アナログ-デジタルコンバータ(ADC)408、トランスミッタ(TX)409を有する。

[0104]

OSAIチップ400のデータ伝送方式は差動伝送方式である。例えば、レシーバ401として、LVDS(小振幅差動伝送方式:Low Voltage Differential Signaling)レシーバが用いられ、トランスミッタ409としてLVDSトランスミッタが用いられる。

[0105]

リセット信号 `reset_n` は、OSAI チップ 400 をリセットするための信号である。

[0106]

データ `in_w [7:0]` は、学習済みデータである。例えば、重み係数を表す 8 ビットデジタル信号である。イネーブル信号 `en_la_w`、クロック信号 `clk_w` に従い、DAC 404 は、データ `in_w [7:0]` をアナログデータに変換する。ゲートドライバ 407 は、MAC アレイ 405、406 へのアナログデータの書込みを制御する。ゲートドライバ 407 には、クロック信号 `gclk`、パルス幅制御信号 `gpwc`、スタートパルス信号 `gsp` が入力される。

[0107]

OSAI チップ 400 が処理するデータは 8 ビットデジタルデータであり、差動伝送方式で入力される。例えば、レシーバ 401 として、LVDS レシーバが用いられる。レシーバ 401 は、差動クロック信号 `rx_clp`、`rx_cln` に従い、入力データ `rx_dp [7:0]`、`rx_dn [7:0]` をシングルエンド形式の 8 ビットデータに変換する。DAC 403 は、この 8 ビットデータをアナログデータに変換する。DAC 404 から出力されるアナログデータは、逐次 MAC アレイ 405 に書き込まれる。

[0108]

<MAC アレイ 405、406>

人工知能、例えば、ニューラルネットワークの演算を行う場合、信号と重み係数との乗算を行う乗算回路、当該乗算の結果を足し合わせる加算回路、足し合わせた値に応じた関数の値を出力する関数回路などが必要となる。MAC アレイ 405、406 は、積和演算、関数計算などを行う回路などを有しており、MAC アレイ 405、406 としては、実施の形態 3 で説明する図 7 の演算回路 MAC F の構成を適用すればよい。特に、演算回路 MAC F は、入力および出力データとしてアナログデータを用いることができる。

[0109]

更に、演算回路 MAC F は、重み係数を保持する不揮発性のローカルメモリとしての機能を有する。そのため、MAC アレイ 405、406 として演算回路 MAC F を適用した OSAI チップ 400 は、GPU と比べて非常に少ないトランジスタ数によって、超並列演算を実現できる。トランジスタ数の低減は、OSAI チップ 400 の小型化、消費電力の低減につながる。

[0110]

図 6 のゲートドライバ 407 は、実施の形態 3 で説明する図 7 の演算回路 MAC F の回路 WLD に相当する。

[0111]

図 6 に示すイネーブル信号 `en_cm` は、MAC アレイ 405、406 の電流源用のイネーブル信号である。ここでいう電流源とは、実施の形態 3 で説明する電流供給回路 IS とすることができ、当該イネーブル信号は、配線 ISL0 乃至配線 ISL5 などを与える信号とすることができる。イネーブル信号 `en_abs` は、MAC アレイ 405、406 のオフセット回路用のイネーブル信号であり、信号 `osp1`、`osn1`、`en_res1` は MAC アレイ 405 のオフセット回路の制御信号であり、信号 `osp2`、`osn2`、`en_res2` は MAC アレイ 406 のオフセット回路の制御信号である。なお、オフセット回路とは、実施の形態 3 で説明する図 7 に示す演算回路 MAC F の回路 OFST とすることができる。

[0112]

<ADC408、TX409>

ADC408には、MACアレイ406から出力されたアナログデータが並列に入力される。ADC408は、シリアルパラレル変換を行うため、出力段にレジスタを備える。ADC408は、1チャンネルの8ビットデジタルデータを出力する。

[0113]

信号clk_sar、res_sar、go、stby_adcは、それぞれ、ADC408用のクロック信号、リセット信号、イネーブル信号、スタンバイ信号である。信号clk_p2s、en_p2s_per、en_p2s_serは、それぞれ、レジスタ用のクロック信号、ラッチ信号、出力イネーブル信号である。ADC408には、MACアレイ406からのアナログデータが入力され、8ビットデジタルデータをトランスミッタ409へ出力する。信号stby_txはトランスミッタ409用のスタンバイ信号である。

[0114]

トランスミッタ409は、信号clk_p2sに応じて、8ビットデジタルデータを差分形式のデータtx_dp[7:0]、tx_dn[7:0]に変換し、出力し、信号clk_p2sを差分形式のクロック信号tx_clp、tx_clnに変換し、出力する。差分データtx_dp[7:0]、tx_dn[7:0]は、OSAIチップ400によって計算された推論データである。

[0115]

MACアレイ405、406の入力および出力データはアナログデータであるので、入出力データがデジタルデータである場合と比較し、MACアレイ405、406の配線数を大幅に低減することができる。また、詳しくは、実施の形態3で説明するが、演算回路MACFは、乗算機能と、重み係数データの保持機能との双方を備えるため、演算時にデータを読み込むことがない。つまり、MACアレイ405、406として、演算回路MACFを適用することにより、MACアレイ405、406は、データの授受の時間ペナルティおよび電力ペナルティが実質的にない。

[0116]

並列処理アーキテクチャをもつプロセッサとしてGPUが知られている。GPUも、CPUと同様に、演算部とメモリ部間のデータ授受が演算効率のボトルネックとされている。これに対して、OSAIチップ400はこのような問題点がない。

[0117]

また、詳しくは実施の形態3で説明するが、演算回路MACFは、必要なときに演算を行う間欠駆動で動作することができる。これにより、演算回路MACFの動作周波数を下げた場合と同様に、演算回路MACFの消費電力を下げるができる。

[0118]

ところで、OSAIチップ400は、上述の通り並列処理アーキテクチャを有するため、OSAIチップ400をGPUとして使用できる場合がある。特に、GPUに演算回路MACFが含まれている場合、当該GPUにおいて間欠駆動が可能になるため、演算処理を行わないタイミングで当該GPUへの電力供給を停止することができる場合がある。このように、間欠駆動を行うことができるGPUを、No f f GPU (Normally o f f GPU) と呼ぶことができる。

[0119]

また、CPUと同一のチップの内部にOSAIチップ400の構成を設けてもよい。OSAIチップ

プ400をGPUとして使用することで、CPUの内部に設けられたGPU（統合GPU、integrated GPU、iGPU）を構成することができる。

[0120]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0121]

（実施の形態3）

本実施の形態では、本発明の一態様に係る半導体装置である演算回路の構成、及び動作例について説明する。

[0122]

図7は、演算回路の構成例を示している。図7に示す演算回路MACFは、後述するメモリセルに保持された第1データと、メモリセルに入力された第2データと、の積和演算を行う回路であり、該積和演算の結果に応じた活性化関数の値を出力する回路である。なお、第1データ、及び第2データは、アナログデータ、又は多値のデータ（離散的なデータ）とすることができる。

[0123]

図7に示す演算回路MACFは、電流供給回路ISと、回路WDDと、回路WLDと、回路CLDと、回路OFSTと、活性化関数回路ACTVと、メモリセルアレイCAと、アナログスイッチSWと、を有する。

[0124]

メモリセルアレイCAは、メモリセルAM[1]と、メモリセルAM[2]と、メモリセルAMref[1]と、メモリセルAMref[2]と、を有する。メモリセルAM[1]、及びメモリセルAM[2]は、第1データを保持する役割を有し、メモリセルAMref[1]、及びメモリセルAMref[2]は、積和演算を行うために必要になる参照データを保持する機能を有する。つまり、メモリセルアレイCAは、不揮発性のローカルメモリとしても機能する。このように、演算を行う回路にデータを保持するメモリ部を設けることにより、計算時に逐一、演算回路の外のメモリ部から当該計算に必要なデータを読み出して、当該演算回路に送信する時間を省略することができる。なお、参照データも、第1データ、及び第2データと同様に、アナログデータ、又は多値のデータ（離散的なデータ）とすることができる。

[0125]

なお、図7のメモリセルアレイCAは、メモリセルが行方向に2個、列方向に2個、マトリクス状に配置された構成としているが、メモリセルアレイCAは、メモリセルが行方向に3個以上、列方向に3個以上、マトリクス状に配置された構成としてもよい。また、積和演算でなく乗算を行う場合、メモリセルアレイCAは、メモリセルが行方向に1個、列方向に2個以上、マトリクス状に配置されている構成としてもよい。

[0126]

メモリセルAM[1]と、メモリセルAM[2]と、メモリセルAMref[1]と、メモリセルAMref[2]と、は、それぞれトランジスタTr11と、トランジスタTr12と、容量素子CPと、を有する。なお、図7には図示していないが、トランジスタTr11、及び／又はトランジスタTr12は、それぞれバックゲートを有する構成としてもよい。

[0127]

なお、トランジスタTr11は、OSトランジスタであることが好ましい。加えて、トランジスタ

Tr 1 1のチャネル形成領域は、インジウム、元素M（元素Mとしては、アルミニウム、ガリウム、イットリウム、スズなどが挙げられる。）、亜鉛の少なくとも一を含む酸化物であることがより好ましい。トランジスタTr 1 1は、特に実施の形態4に記載するトランジスタの構造であることが更に好ましい。

[0128]

トランジスタTr 1 1として、OSトランジスタを用いることにより、トランジスタTr 1 1のリーク電流を抑えることができるため、計算精度の高い積和演算回路を実現できる場合がある。また、トランジスタTr 1 1として、OSトランジスタを用いることにより、トランジスタTr 1 1が非導通状態における、保持ノードから書き込みワード線へのリーク電流を非常に小さくすることができる。つまり、保持ノードの電位のリフレッシュ動作を少なくすることができるため、積和演算回路の消費電力を低減することができる。

[0129]

また、トランジスタTr 1 2に対しても、OSトランジスタを用いることで、トランジスタTr 1 1と同時に作製することができるため、演算回路の作製工程を短縮することができる場合がある。また、トランジスタTr 1 2のチャネル形成領域を、酸化物でなく、非晶質シリコン、多結晶シリコンなどとしてもよい。

[0130]

メモリセルAM [1] と、メモリセルAM [2] と、メモリセルAMref [1] と、メモリセルAMref [2] と、のそれぞれにおいて、トランジスタTr 1 1の第1端子は、トランジスタTr 1 2のゲートと、容量素子CPの第1端子と、に電氣的に接続されている。加えて、トランジスタTr 1 2の第1端子は、配線VR0と電氣的に接続されている。

[0131]

メモリセルAM [1] において、トランジスタTr 1 1の第2端子は、配線WDと電氣的に接続され、トランジスタTr 1 1のゲートは、配線WL [1] と電氣的に接続されている。トランジスタTr 1 2の第2端子は、配線BLと電氣的に接続され、容量素子CPの第2端子は、配線CL [1] と電氣的に接続されている。なお、図7では、メモリセルAM [1] において、トランジスタTr 1 1の第1端子と、トランジスタTr 1 2のゲートと、の接続箇所をノードNM [1] としている。加えて、配線BLからトランジスタTr 1 2の第2端子に流れる電流を $I_{AM[1]}$ とする。

[0132]

メモリセルAM [2] において、トランジスタTr 1 1の第2端子は、配線WDと電氣的に接続され、トランジスタTr 1 1のゲートは、配線WL [2] と電氣的に接続されている。トランジスタTr 1 2の第2端子は、配線BLと電氣的に接続され、容量素子CPの第2端子は、配線CL [2] と電氣的に接続されている。なお、図7では、メモリセルAM [2] において、トランジスタTr 1 1の第1端子と、トランジスタTr 1 2のゲートと、の接続箇所をノードNM [2] としている。加えて、配線BLからトランジスタTr 1 2の第2端子に流れる電流を $I_{AM[2]}$ とする。

[0133]

メモリセルAMref [1] において、トランジスタTr 1 1の第2端子は、配線WDrefと電氣的に接続され、トランジスタTr 1 1のゲートは、配線WL [1] と電氣的に接続されている。トランジスタTr 1 2の第2端子は、配線BLrefと電氣的に接続され、容量素子CPの第2端子は、配線CL [1] と電氣的に接続されている。なお、図7では、メモリセルAMref [1] において、

トランジスタ T_{r11} の第1端子と、トランジスタ T_{r12} のゲートと、の接続箇所をノード $NMr_{ef}[1]$ としている。加えて、配線 BL_{ref} からトランジスタ T_{r12} の第2端子に流れる電流を $I_{AM_{ref}[1]}$ とする。

[0134]

メモリセル $AM_{ref}[2]$ において、トランジスタ T_{r11} の第2端子は、配線 WD_{ref} と電氣的に接続され、トランジスタ T_{r11} のゲートは、配線 $WL[2]$ と電氣的に接続されている。トランジスタ T_{r12} の第2端子は、配線 BL_{ref} と電氣的に接続され、容量素子 CP の第2端子は、配線 $CL[2]$ と電氣的に接続されている。なお、図7では、メモリセル $AM_{ref}[2]$ において、トランジスタ T_{r11} の第1端子と、トランジスタ T_{r12} のゲートと、の接続箇所をノード $NMr_{ef}[2]$ としている。加えて、配線 BL_{ref} からトランジスタ T_{r12} の第2端子に流れる電流を $I_{AM_{ref}[2]}$ とする。

[0135]

上述したノード $NM[1]$ 、ノード $NM[2]$ 、ノード $NMr_{ef}[1]$ 、及びノード $NMr_{ef}[2]$ は、それぞれのメモリセルの保持ノードとして機能する。

[0136]

配線 $VR0$ は、メモリセル $AM[1]$ 、メモリセル $AM[2]$ 、メモリセル $AM_{ref}[1]$ 、及びメモリセル $AM_{ref}[2]$ のそれぞれのトランジスタ T_{r12} の第1端子 - 第2端子間に電流を流すための配線である。そのため、配線 $VR0$ は、所定の電位を与えるための配線として機能する。例えば、配線 $VR0$ が与える電位は、例えば、接地電位、又は接地電位よりも低い電位とすることができる。

[0137]

電流供給回路 IS は、端子 IT と、端子 IT_{ref} と、を有する。端子 IT は、配線 BL に電氣的に接続され、端子 IT_{ref} は、配線 BL_{ref} に電氣的に接続されている。電流供給回路 IS は、配線 BL 及び配線 BL_{ref} に対して電流を供給する機能を有する。本明細書などでは、電流供給回路 IS の端子 IT から配線 BL に流れる電流を I_B と記し、電流供給回路 IS の端子 IT_{ref} から配線 BL_{ref} に流れる電流を $I_{B_{ref}}$ と記している。

[0138]

本明細書等において、電流供給回路 IS は、一例としてバイアス回路 CS と、カレントミラー回路 CUM と、を有するものとし、電流供給回路 IS を図8に示す。

[0139]

カレントミラー回路 CUM は、トランジスタ T_{r40} と、内部回路 $CUIN$ と、端子 NP と、端子 NPr_{ef} と、を有する。なお、図8では、トランジスタ T_{r40} を n チャネル型のトランジスタとして図示しているが、トランジスタ T_{r40} は、 p チャネル型のトランジスタとしてもよい。

[0140]

トランジスタ T_{r40} の第1端子は、内部回路 $CUIN$ と電氣的に接続され、トランジスタ T_{r40} の第2端子は、配線 $VDDML$ と電氣的に接続され、トランジスタ T_{r40} のゲートは、配線 $ISL0$ と電氣的に接続されている。

[0141]

配線 $VDDML$ は、電位 $VDDM$ を供給するための配線である。また、配線 $ISL0$ は、トランジスタ T_{r40} のオン状態、オフ状態を切り替えるための配線である。

[0142]

内部回路CUINは、端子NPと、端子NPrefと、に電氣的に接続されている。加えて、端子NPは、電流供給回路ISの端子ITと電氣的に接続され、端子NPrefは、電流生成回路ISの端子ITrefと電氣的に接続されている。

[0143]

カレントミラー回路CUMは、内部回路CUINにより、端子NPrefの電位に応じた電流を端子NPと端子NPrefのそれぞれに出力する機能を有する。なお、図8では、端子NP、及び端子NPrefから出力される電流を I_{CM} と記している。

[0144]

ところで、当該電流は、電位VDDMが与えられている配線VDDMLから流れるものとする。そのため、カレントミラー回路CUMを駆動する場合、トランジスタTr40をオン状態にする必要がある。トランジスタTr40は、トランジスタTr40のゲートに高レベル電位を与えることによってオン状態にすることができるため、カレントミラー回路CUMを駆動するには、配線ISL0に高レベル電位を与えればよい。

[0145]

バイアス回路CSは、トランジスタTr51と、トランジスタTr61と、電流ソース回路SOCと、電流シンク回路SICと、端子NCと、を有する。なお、図8において、トランジスタTr51をpチャネル型のトランジスタとし、トランジスタTr61をnチャネル型のトランジスタとしている。

[0146]

トランジスタTr51の第1端子は、トランジスタTr61の第1端子と、端子NCと、に電氣的に接続され、トランジスタTr51の第2端子は、電流ソース回路SOCと電氣的に接続され、トランジスタTr51のゲートは配線ISL3と電氣的に接続されている。トランジスタTr61の第2端子は、電流シンク回路SICと電氣的に接続され、トランジスタTr61のゲートは配線ISL4と電氣的に接続されている。

[0147]

配線ISL3、及び配線ISL4は、それぞれトランジスタTr51、及びトランジスタTr61のオン状態、オフ状態を切り替えるための配線である。

[0148]

端子NCは、端子NPと、電流生成回路ISの端子ITと、に電氣的に接続されている。

[0149]

電流ソース回路SOCは、トランジスタTr51を介して、端子NCに電流を供給する機能を有する。また、電流シンク回路SICは、トランジスタTr61を介して、端子NP及び端子ITから端子NCに流れる電流を排出する機能を有する。なお、図8では、電流ソース回路SOCから端子NCに流れる電流と、端子NCから電流シンク回路SICに流れる電流の総和を I_{CM} と記している。また、図8では、 I_{CS} の矢印の向きをトランジスタTr51の第1端子から端子NCに流れる向きとしているが、端子NCからトランジスタTr61の第1端子に流れる向きとしてもよい。

[0150]

ところで、電流ソース回路SOCから端子NCに流れる電流は、トランジスタTr51を介する。そのため、電流ソース回路SOCを駆動する場合、トランジスタTr51をオン状態にする必要があ

る。トランジスタTr 5 1は、トランジスタTr 5 1のゲートに低レベル電位を与えることによってオン状態にすることができるため、電流ソース回路SOCを駆動するには、配線ISL 3に低レベル電位を与えればよい。

[0151]

また、電流シンク回路SICから端子NCに流れる電流は、トランジスタTr 6 1を介する。そのため、電流シンク回路SICを駆動する場合、トランジスタTr 6 1をオン状態にする必要がある。トランジスタTr 6 1は、トランジスタTr 6 1のゲートに高レベル電位を与えることによってオン状態にすることができるため、電流シンク回路SICを駆動するには、配線ISL 4に高レベル電位を与えればよい。

[0152]

なお、本発明の一態様に係る回路は、図8に示した電流供給回路ISに限定せず、適宜回路構成を変更することができる。

[0153]

例えば、図8に示した電流供給回路ISと異なる別の回路の構成例を図9に示す。なお、図9の説明において、図8と共通する部分については省略する。

[0154]

カレントミラー回路CUMは、トランジスタTr 3 1と、トランジスタTr 3 2と、トランジスタTr 4 1と、トランジスタTr 4 2と、を有する。なお、図9において、トランジスタTr 3 1、トランジスタTr 3 2、トランジスタTr 4 1、トランジスタTr 4 2はそれぞれpチャネル型のトランジスタとしている。

[0155]

トランジスタTr 3 1の第1端子は、トランジスタTr 4 2の第1端子と、端子NPre fと、に電氣的に接続され、トランジスタTr 3 1の第2端子は、配線VDDMLと電氣的に接続され、トランジスタTr 3 1のゲートは、トランジスタTr 3 2のゲートと、トランジスタTr 4 1の第1端子と、トランジスタTr 4 2の第2端子と、に電氣的に接続されている。トランジスタTr 3 2の第1端子は、端子NPに電氣的に接続され、トランジスタTr 3 2の第2端子は、配線VDDMLに電氣的に接続されている。

[0156]

トランジスタTr 4 1のゲートは、配線ISL 1と電氣的に接続され、トランジスタTr 4 2のゲートは、配線ISL 2と電氣的に接続されている。配線ISL 1、及び配線ISL 2は、それぞれトランジスタTr 4 1、及びトランジスタTr 4 2のオン状態、オフ状態を切り替えるための配線である。また、トランジスタTr 4 1の第2端子は、配線VHLと電氣的に接続されている。配線VHLは、電位VHを与える配線であり、電位VHは、トランジスタTr 3 1、及びトランジスタTr 3 2のそれぞれをオフ状態にするのに十分に高い電位であるものとする。

[0157]

カレントミラー回路CUMの動作の詳細は後述するが、カレントミラー回路CUMは、トランジスタTr 4 1がオフ状態、且つトランジスタTr 4 2がオン状態のときに、端子NPre fの電位に応じた電流を、トランジスタTr 3 1を介して配線VDDMLから端子NPre fに出力し、且つ当該電流と同じ量の電流を、トランジスタTr 3 2を介して配線VDDMLから端子NPに出力する機能を有する。

[0158]

バイアス回路CSにおいて、電流ソース回路SOCは、トランジスタTr52と、トランジスタTr53と、容量素子C5と、を有する。また、電流シンク回路SICは、トランジスタTr62と、トランジスタTr63と、容量素子C6と、を有する。なお、図9において、トランジスタTr52はpチャネル型のトランジスタとし、トランジスタTr53、トランジスタTr62、トランジスタTr63はそれぞれnチャネル型のトランジスタとしている。また、図9では、トランジスタTr53、及びトランジスタTr63は、バックゲートを有するトランジスタとして図示しており、バックゲートに任意の電位を印加することによって、当該バックゲートを有するトランジスタのしきい値電圧を変動することができる。なお、トランジスタTr53、及びトランジスタTr63は、ゲートのみを有するトランジスタとしてもよい。

[0159]

トランジスタTr51の第2端子は、トランジスタTr52の第1端子と、トランジスタTr53の第1端子と、に電氣的に接続されている。トランジスタTr52のゲートは、トランジスタTr53の第2端子と、容量素子C5の第1端子と、に電氣的に接続され、トランジスタTr52の第2端子は、容量素子C5の第2端子と、配線VDDMLと、に電氣的に接続されている。トランジスタTr61の第2端子は、トランジスタTr62の第1端子と、トランジスタTr63の第1端子と、に電氣的に接続されている。トランジスタTr62のゲートは、トランジスタTr63の第2端子と、容量素子C6の第1端子と、に電氣的に接続され、トランジスタTr62の第2端子は、容量素子C6の第2端子と、配線VSSMLと、に電氣的に接続されている。図9では、トランジスタTr51の第1端子とトランジスタTr61の第1端子と端子ITとの接続箇所を端子NCとして図示している。

[0160]

配線VSSMLは、電位VSSMを供給するための配線である。なお、電位VSSMは、電位VDDMよりも低い電位であるとする。

[0161]

トランジスタTr53のゲートは、配線OSMと電氣的に接続され、トランジスタTr53のバックゲートは、配線BGL1と電氣的に接続されている。トランジスタTr63のゲートは、配線OSPと電氣的に接続され、トランジスタTr63のバックゲートは、配線BGL2と電氣的に接続されている。

[0162]

バイアス回路CSの動作の詳細は後述するが、電流ソース回路SOCは、トランジスタTr51がオン状態、且つトランジスタTr53がオフ状態のときに、容量素子C5の第1端子の電位に応じた電流を、トランジスタTr52を介して配線VDDMLからトランジスタTr51の第1端子に供給する機能を有する。また、電流シンク回路SICは、トランジスタTr61がオン状態、且つトランジスタTr63がオフ状態のときに、容量素子C6の第1端子の電位に応じた電流を、トランジスタTr62を介してトランジスタTr61の第1端子から配線VSSMLに排出する機能を有する。

[0163]

なお、トランジスタTr53及び／又はトランジスタTr63は、OSトランジスタであることが好ましい。加えて、トランジスタTr53及び／又はトランジスタTr63のチャネル形成領域は、インジウム、元素M（元素Mとしては、アルミニウム、ガリウム、イットリウム、スズなどが挙げら

れる。)、亜鉛の少なくとも一を含む酸化物であることがより好ましい。トランジスタTr 5 3及び／又はトランジスタTr 6 3は、特に実施の形態4に記載するトランジスタの構造であることが更に好ましい。

[0164]

回路WDDは、配線WDと、配線WDrefと、に電氣的に接続されている。回路WDDは、メモリセルアレイCAが有するそれぞれのメモリセルに格納するための第1データを送信する機能を有する。

[0165]

回路WLDは、配線WL[1]と、配線WL[2]と、に電氣的に接続されている。回路WLDは、メモリセルアレイCAが有するメモリセルに第1データを書き込む際に、第1データの書き込み先となるメモリセルを選択する機能を有する。

[0166]

回路CLDは、配線CL[1]と、配線CL[2]と、に電氣的に接続されている。回路CLDは、メモリセルアレイCAが有するそれぞれのトランジスタTr 1 2のバックゲートに対して、第2データに応じた電位を印加する機能を有する。

[0167]

アナログスイッチSWの第1端子は、配線BLと電氣的に接続され、アナログスイッチSWの第2端子は、回路OFS Tと電氣的に接続されている。また、アナログスイッチSWは制御端子を有し、制御端子は、配線ISL 5と電氣的に接続されている。配線ISL 5は、アナログスイッチSWのオン状態、オフ状態の切り替えを行うための配線であり、本明細書などでは、制御端子に高レベル電位が印加されたとき、アナログスイッチSWがオン状態となり、制御端子に低レベル電位が印加されたとき、アナログスイッチSWがオフ状態となるものとする。

[0168]

また、図7に示す演算回路MAC FのアナログスイッチSWは、別の回路、又は回路素子に置き換えることができる。アナログスイッチSWの代替としては、例えば、電氣的なスイッチとして、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタ等）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM (Metal Insulator Metal) ダイオード、MIS (Metal Insulator Semiconductor) ダイオード、ダイオード接続のトランジスタ等）、又はこれらを組み合わせた論理回路等がある。また、例えば、機械的なスイッチとして、デジタルマイクロミラーデバイス (DMD) のように、MEMS (マイクロ・エレクトロ・メカニカル・システム) 技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、オン状態とオフ状態とを制御して動作する。なお、本明細書などにおいて、アナログスイッチSW、上述した電氣的なスイッチ、機械的なスイッチなどをまとめてスイッチと呼称する。

[0169]

回路OFS Tは、配線OLと、に電氣的に接続されている。回路OFS Tは、アナログスイッチSWの第2端子から回路OFS Tに流れる電流量、及び／又はアナログスイッチSWの第2端子から回路OFS Tに流れる電流の変化量をサンプリングする機能を有する。加えて、回路OFS Tは、当該サンプリングに基づいたデータを配線OLに出力する機能を有する。なお、当該データとしては、電流としてもよいし、電圧としてもよい。なお、図7では、アナログスイッチSWを介して配線BLか

ら回路O F S Tに流れる電流を I_{α} と記している。

[0170]

活性化関数回路ACTVは、配線OLと、配線NILと、に電氣的に接続されている。活性化関数回路ACTVには、配線OLを介して、回路O F S Tから出力された電位が入力される。活性化関数回路ACTVは、当該電位に対して、あらかじめ定義された関数に従った演算を行う回路である。当該関数としては、例えば、シグモイド関数、 $\tanh$ 関数、ソフトマックス関数、ReLU (Rectified Linear Unit) 関数、しきい値関数などを用いることができ、これらの関数は、ニューラルネットワークにおける活性化関数として適用される。活性化関数回路ACTVの出力結果は、配線NILに出力される。

[0171]

具体的な動作例については後述するが、メモリセルAM [1] のノードNM [1]、メモリセルAM [2] のノードNM [2] に第1データに応じた電位を供給し、かつ配線CL [1]、配線CL [2] に第2データに応じた電位を印加することで、第1データと第2データの積和演算を行うことができる。

[0172]

<演算回路の動作例>

次に、上述した演算回路MACFで行うことができる積和演算の動作例について説明する。なお、図7に示す演算回路MACFの電流生成回路ISは、図9に示す電流生成回路ISとする。

[0173]

図10、及び図11に演算回路MACFの動作例のタイミングチャートを示す。図10のタイミングチャートは、時刻T00乃至時刻T12における、配線ISL1乃至配線ISL5、配線OSM、配線OSP、配線WL [1]、配線WL [2]、配線WD、配線WDref、配線CL [1]、配線CL [2]、ノードNM [1]、ノードNM [2]、ノードNMref [1]、及びノードNMref [2] の電位の変動を示している。図11のタイミングチャートは、時刻T12乃至時刻T18における、配線ISL1乃至配線ISL5、配線CL [1]、配線CL [2]、ノードNM [1]、ノードNM [2]、ノードNMref [1]、及びノードNMref [2] の電位の変動を示し、電流 $I_B - I_{\alpha}$ 、及び電流 I_{Bref} の大きさの変動を示している。特に、電流 $I_B - I_{\alpha}$ は、配線BLから、メモリセルアレイCAのメモリセルAM [1]、及びメモリセルAM [2] に流れる電流の総和を示している。なお、図11では、配線OSM、配線OSP、配線WL [1]、配線WL [2]、配線WD、及び配線WDrefの電位の変化を図示していないが、時刻T12以降における、配線OSM、配線OSP、配線WL [1]、配線WL [2]、配線WD、及び配線WDrefの電位は、時刻T11から時刻T12までの間の電位が続けて印加されているものとする。

[0174]

<<時刻T00より前の時刻について>>

時刻T00より前の時刻において、演算回路MACFは停止状態となっている。停止状態とは、演算回路MACFを駆動するための電源電圧が、カレントミラー回路CUM、バイアス回路CSなどに供給されていない状態となっている。具体的には、配線ISL1に低レベル電位(図10ではLowと表記している。)が印加され、配線ISL2に高レベル電位(図10ではHighと表記している。)が印加され、配線ISL3に高レベル電位が印加され、配線ISL4に低レベル電位が印加され、配線ISL5に低レベル電位が印加されている。加えて、配線OSMに低レベル電位が印加され、配線

OSPに低レベル電位が印加されている。

[0175]

このとき、カレントミラー回路CUMにおいて、トランジスタTr 41のゲートに低レベル電位が印加されるため、トランジスタTr 41はオン状態となり、また、トランジスタTr 42のゲートに高レベル電位が印加されるため、トランジスタTr 42はオフ状態となる。これにより、トランジスタTr 31、及びトランジスタTr 32のそれぞれのゲートには、電位VHが印加されて、トランジスタTr 31、及びトランジスタTr 32がオフ状態となる。トランジスタTr 31、及びトランジスタTr 32がオフ状態となっているため、トランジスタTr 31、及びトランジスタTr 32のそれぞれの第2端子に接続されている配線VDDMLからカレントミラー回路CUMへの電流の供給が停止されている。

[0176]

また、バイアス回路CSの電流ソース回路SOCにおいて、トランジスタTr 51のゲートに高レベル電位が印加されるため、トランジスタTr 51はオフ状態となり、また、トランジスタTr 53のゲートに低レベル電位が印加されるため、トランジスタTr 53はオフ状態となる。これにより、トランジスタTr 52及びトランジスタTr 51を介して配線VDDMLから端子NCへの電流の供給が停止される。

[0177]

更に、バイアス回路CSの電流シンク回路SICにおいて、トランジスタTr 61のゲートに低レベル電位が印加されるため、トランジスタTr 61はオフ状態となり、また、トランジスタTr 63のゲートに低レベル電位が印加されるため、トランジスタTr 63はオフ状態となる。これにより、トランジスタTr 61及びトランジスタTr 62を介して端子NCから配線VSSMLへの電流の排出が停止される。

[0178]

そして、配線ISL5に低レベル電位が印加されているため、アナログスイッチSWの制御端子に低レベル電位が入力される。これにより、アナログスイッチSWはオフ状態となる。

[0179]

つまり、上述より、カレントミラー回路CUM、及びバイアス回路CSの駆動が停止状態となっているため、電流供給回路ISから配線BL及び配線BLrefへの電流の供給が行われない。それに加えて、アナログスイッチSWがオフ状態となっているため、各メモリセルのトランジスタTr 12を介して、配線VR0への電流の排出も行われない。

[0180]

<<時刻T00から時刻T01まで>>

次に、演算回路MACFを駆動状態にするため、所定の配線に電位を供給する動作が行われる。具体的には、時刻T00から時刻T01までの間において、配線ISL1に高レベル電位が印加され、配線ISL2に低レベル電位が印加され、配線ISL5に高レベル電位が印加されている。なお、配線ISL3、配線ISL4、配線OSM、配線OSPには、時刻T00以前の電位が引き続き印加されている。

[0181]

このとき、カレントミラー回路CUMにおいて、トランジスタTr 41のゲートに高レベル電位が印加されるため、トランジスタTr 41はオフ状態となり、また、トランジスタTr 42のゲートに

低レベル電位が印加されるため、トランジスタTr 4 2はオン状態となる。これにより、トランジスタTr 3 1、及びトランジスタTr 3 2のそれぞれのゲートは、端子NPre fとほぼ同じ電位となるため、端子NPre fの電位に応じて、トランジスタTr 3 1の第2端子から第1端子に、及びトランジスタTr 3 2の第2端子から第1端子にほぼ同じ電流が流れる。

[0182]

また、配線ISL 5に高レベル電位が印加されているため、アナログスイッチSWの制御端子に高レベル電位が入力される。これにより、アナログスイッチSWはオン状態となる。

[0183]

<<時刻T 0 1から時刻T 0 2まで>>

時刻T 0 1から時刻T 0 2までの間において、配線WL [1] に高レベル電位が印加され、配線WL [2] に低レベル電位が印加されている。加えて、配線WDには接地電位（図10ではGNDと表記している。）よりも $V_{PR} - V_{W[1]}$ 大きい電位が印加され、配線WDrefには接地電位よりも V_{PR} 大きい電位が印加されている。更に、配線CL [1]、及び配線CL [2] にはそれぞれ基準電位（図10ではREFPと表記している。）が印加され、配線ISL 1、配線ISL 2、配線ISL 3、配線ISL 4、配線ISL 5、配線OSM、配線OSPには、時刻T 0 0から時刻T 0 1までの間の電位が引き続き印加されている。

[0184]

なお、電位 $V_{W[1]}$ は、第1データの一に対応する電位である。また、電位 V_{PR} は、参照データに対応する電位である。

[0185]

このとき、メモリセルAM [1]、及びメモリセルAMref [1] のそれぞれのトランジスタTr 1 1のゲートに高レベル電位が印加されるため、メモリセルAM [1]、及びメモリセルAMref [1] のそれぞれのトランジスタTr 1 1は、導通状態となる。そのため、メモリセルAM [1] において、配線WDとノードNM [1] とが電氣的に接続されるため、ノードNM [1] の電位は、 $V_{PR} - V_{W[1]}$ となる。同様に、メモリセルAMref [1] において、配線WDrefとノードNMref [1] とが電氣的に接続されるため、ノードNMref [1] の電位は、 V_{PR} となる。

[0186]

ここで、メモリセルAM [1]、及びメモリセルAMref [1] のそれぞれのトランジスタTr 1 2の第2端子から第1端子に流れる電流を考える。配線BLからメモリセルAM [1] のトランジスタTr 1 2の第2端子を介して第1端子に流れる電流を $I_{AM[1], 0}$ としたとき、 $I_{AM[1], 0}$ は次の式で表すことができる。

[0187]

[数1]

$$I_{AM[1], 0} = k(V_{PR} - V_{W[1]} - V_{th})^2 \quad (E1)$$

[0188]

kは、トランジスタTr 1 2のチャネル長、チャネル幅、移動度、及びゲート絶縁膜の容量などで決まる定数である。また、 V_{th} は、トランジスタTr 1 2のしきい値電圧である。

[0189]

配線BLrefからメモリセルAMref [1] のトランジスタTr 1 2の第2端子を介して第1

端子に流れる電流を $I_{AMref[1],0}$ としたとき、同様に、 $I_{AMref[1],0}$ は次の式で表すことができる。

[0190]

[数2]

$$I_{AMref[1],0} = k(V_{PR} - V_{th})^2 \quad (E2)$$

[0191]

なお、メモリセルAM[2]、及びメモリセルAMref[2]のそれぞれのトランジスタTr11のゲートに低レベル電位が印加されるため、メモリセルAM[2]、及びメモリセルAMref[2]のそれぞれのトランジスタTr11は、非導通状態となる。このため、ノードNM[2]、及びノードNMref[2]への電位の保持は行われない。

[0192]

<<時刻T02から時刻T03まで>>

時刻T02から時刻T03までの間において、配線WL[1]に低レベル電位が印加される。このとき、メモリセルAM[1]、及びメモリセルAMref[1]のそれぞれのトランジスタTr11のゲートに低レベル電位が印加されるため、メモリセルAM[1]、及びメモリセルAMref[1]のそれぞれのトランジスタTr11は非導通状態となる。

[0193]

また、配線WL[2]には、時刻T02以前から引き続き、低レベル電位が印加されている。このため、メモリセルAM[2]、及びメモリセルAMref[2]のそれぞれのトランジスタTr11は、時刻T02以前から非導通状態となっている。

[0194]

上述のとおり、メモリセルAM[1]、メモリセルAM[2]、メモリセルAMref[1]、及びメモリセルAMref[2]のそれぞれのトランジスタTr11は非導通状態となっているため、時刻T02から時刻T03までの間では、ノードNM[1]、ノードNM[2]、ノードNMref[1]、及びノードNMref[2]のそれぞれの電位が保持される。

[0195]

特に、演算回路MACFの回路構成の説明で述べたとおり、メモリセルAM[1]、メモリセルAM[2]、メモリセルAMref[1]、及びメモリセルAMref[2]のそれぞれのトランジスタTr11にOSトランジスタを適用することによって、トランジスタTr11の第1端子-第2端子間に流れるリーク電流を小さくすることができるため、それぞれのノードの電位を長時間保持することができる。

[0196]

時刻T02から時刻T03までの間において、配線WD、及び配線WDrefには接地電位が印加されている。メモリセルAM[1]、メモリセルAM[2]、メモリセルAMref[1]、及びメモリセルAMref[2]のそれぞれのトランジスタTr11は、非導通状態となっているため、配線WD、及び配線WDrefからの電位の印加によって、メモリセルAM[1]、メモリセルAM[2]、メモリセルAMref[1]、及びメモリセルAMref[2]のそれぞれのノードに保持されている電位が書き換えられることは無い。

[0197]

<<時刻T 0 3から時刻T 0 4まで>>

時刻T 0 3から時刻T 0 4までの間において、配線WL [1] に低レベル電位が印加され、配線WL [2] に高レベル電位が印加されている。加えて、配線WDには接地電位よりも $V_{PR}-V_{W[2]}$ 大きい電位が印加され、配線WD r e fには接地電位よりも V_{PR} 大きい電位が印加されている。更に、配線CL [1]、及び配線CL [2] には、それぞれ基準電位が印加され、配線ISL 1、配線ISL 2、配線ISL 3、配線ISL 4、配線ISL 5、配線OSM、配線OSPには、時刻T 0 2から時刻T 0 3までの間の電位が引き続き印加されている。

[0198]

なお、電位 $V_{X[2]}$ は、第1データの一に対応する電位である。

[0199]

このとき、メモリセルAM [2]、及びメモリセルAM r e f [2] のそれぞれのトランジスタT r 1 1のゲートに高レベル電位が印加されるため、メモリセルAM [2]、及びメモリセルAM r e f [2] のそれぞれのトランジスタT r 1 1は、導通状態となる。そのため、メモリセルAM [2] において、配線WDとノードNM [2] とが電氣的に接続されるため、ノードNM [2] の電位は、 $V_{PR}-V_{W[2]}$ となる。同様に、メモリセルAM r e f [2] において、配線WD r e fとノードNM r e f [2] とが電氣的に接続されるため、ノードNM r e f [2] の電位は、 V_{PR} となる。

[0200]

ここで、メモリセルAM [2]、及びメモリセルAM r e f [2] のそれぞれのトランジスタT r 1 2の第2端子から第1端子に流れる電流を考える。配線BLからメモリセルAM [2] のトランジスタT r 1 2の第2端子を介して第1端子に流れる電流を $I_{AM[2],0}$ としたとき、 $I_{AM[2],0}$ は次の式で表すことができる。

[0201]

[数3]

$$I_{AM[2],0} = k(V_{PR} - V_{W[2]} - V_{th})^2 \quad (E3)$$

[0202]

配線BL r e fからメモリセルAM r e f [2] のトランジスタT r 1 2の第2端子を介して第1端子に流れる電流を $I_{AMref[2],0}$ としたとき、同様に、 $I_{AMref[2],0}$ は次の式で表すことができる。

[0203]

[数4]

$$I_{AMref[2],0} = k(V_{PR} - V_{th})^2 \quad (E4)$$

[0204]

<<時刻T 0 4から時刻T 0 5まで>>

時刻T 0 4から時刻T 0 5までの間において、配線WL [2] に低レベル電位が印加される。このとき、メモリセルAM [2]、及びメモリセルAM r e f [2] のそれぞれのトランジスタT r 1 1のゲートに低レベル電位が印加されるため、メモリセルAM [2]、及びメモリセルAM r e f [2] のそれぞれのトランジスタT r 1 1は非導通状態となる。

[0205]

また、配線WL [1] には、時刻T 0 4以前から引き続き、低レベル電位が印加されている。このため、メモリセルAM [1]、及びメモリセルAMr e f [1] のそれぞれのトランジスタT r 1 1は、時刻T 0 2より先から時刻T 0 4まで非導通状態となっている。

[0206]

また、時刻T 0 4から時刻T 0 5までの間では、時刻T 0 2から時刻T 0 3までの間と同様に、配線WD、及び配線WD r e f には接地電位が印加されている。メモリセルAM [1]、メモリセルAM [2]、メモリセルAMr e f [1]、及びメモリセルAMr e f [2] のそれぞれのトランジスタT r 1 1は、非導通状態となっているため、配線WD、及び配線WD r e f からの電位の印加によって、メモリセルAM [1]、メモリセルAM [2]、メモリセルAMr e f [1]、及びメモリセルAMr e f [2] のそれぞれのノードに保持されている電位が書き換えられることは無い。

[0207]

<<時刻T 0 5から時刻T 0 6まで>>

時刻T 0 5から時刻T 0 6までの間において、配線OSMに高レベル電位が印加される。また、配線ISL 1、配線ISL 2、配線ISL 3、配線ISL 4、配線ISL 5、配線OSPには、時刻T 0 5以前の電位が引き続き印加されている。

[0208]

このとき、バイアス回路CSにおいて、トランジスタT r 5 3のゲートに高レベル電位が印加されるため、トランジスタT r 5 3はオン状態となる。これにより、トランジスタT r 5 2のゲートとトランジスタT r 5 2の第1端子とが電氣的に接続されるため、トランジスタT r 5 2はダイオード接続の構成となる。トランジスタT r 5 1はオフ状態となっているため、トランジスタT r 5 2のゲートの電位は、時間経過によってVDDMにトランジスタT r 5 2のしきい値電圧を足した電位となる。つまり、容量素子C 5の第1端子 - 第2端子間の電圧は概ねトランジスタT r 5 2のしきい値電圧の値となる。

[0209]

<<時刻T 0 6から時刻T 0 7まで>>

時刻T 0 6から時刻T 0 7までの間において、配線ISL 3に低レベル電位が印加される。これによって、トランジスタT r 5 1はオン状態となる。

[0210]

このとき、トランジスタT r 5 1、及びトランジスタT r 5 2を介して、配線VDDMLから端子NCに電流が流れる場合がある。また、当該電流の量は、カレントミラー回路CUMから流れる電流I_{CM}、メモリセルAM [1] に流れる電流I_{AM [1]}、メモリセルAM [2] に流れる電流I_{AM [2]}などによって決まり、同時にトランジスタT r 5 2のゲートの電位も定まる。

[0211]

<<時刻T 0 7から時刻T 0 8まで>>

時刻T 0 7から時刻T 0 8までの間において、配線ISL 3に高レベル電位が印加され、配線OSMに低レベル電位が印加される。これによって、トランジスタT r 5 1はオフ状態、トランジスタT r 5 3はオフ状態となり、トランジスタT r 5 2のゲートの電位を保持することができ、トランジスタT r 5 2の第1端子 - 第2端子間に当該電位に応じた電流を流すことができる。

[0212]

<<時刻T 0 8から時刻T 0 9まで>>

時刻T08から時刻T09までの間において、配線OSPに高レベル電位が印加される。また、配線ISL1、配線ISL2、配線ISL3、配線ISL4、配線OSMには、時刻T08以前の電位が引き続き印加されている。

[0213]

このとき、バイアス回路CSにおいて、トランジスタTr63のゲートに高レベル電位が印加されるため、トランジスタTr63はオン状態となる。これにより、トランジスタTr62のゲートとトランジスタTr62の第1端子とが電氣的に接続されるため、トランジスタTr62はダイオード接続の構成となる。トランジスタTr61はオフ状態となっているため、トランジスタTr62のゲートの電位は、時間経過によってVSSMにトランジスタTr62のしきい値電圧を足した電位となる。つまり、容量素子C6の第1端子 - 第2端子間の電圧は概ねトランジスタTr62のしきい値電圧の値となる。

[0214]

<<時刻T09から時刻T10まで>>

時刻T09から時刻T10までの間において、配線ISL4に低レベル電位が印加される。これによって、トランジスタTr61はオン状態となる。

[0215]

このとき、トランジスタTr61、及びトランジスタTr62を介して、端子NCから配線VSSMLに電流が流れる場合がある。また、当該電流の量は、カレントミラー回路CUMから流れる電流 I_{CM} 、メモリセルAM[1]に流れる電流 $I_{AM[1]}$ 、メモリセルAM[2]に流れる電流 $I_{AM[2]}$ などによって決まり、同時にトランジスタTr62のゲートの電位も定まる。

[0216]

<<時刻T10から時刻T11まで>>

時刻T10から時刻T11までの間において、配線ISL4に低レベル電位が印加され、配線OSPに低レベル電位が印加される。これによって、トランジスタTr61はオフ状態、トランジスタTr63はオフ状態となり、トランジスタTr62のゲートの電位を保持することができ、トランジスタTr62の第1端子 - 第2端子間に当該電位に応じた電流を流すことができる。

[0217]

<<時刻T11から時刻T12まで>>

時刻T10から時刻T11までの間において、配線ISL3に低レベル電位が印加され、配線ISL4に高レベル電位が印加される。これにより、トランジスタTr52のゲートの電位に応じた電流が配線VDDMLから端子NCに流れ、及び／又は、トランジスタTr62のゲートの電位に応じた電流が端子NCから配線VSSMLに流れる。

[0218]

<<時刻T12から時刻T13まで>>

ここで、配線BL及び配線BLrefに流れる電流について説明する。

[0219]

配線BLrefには、カレントミラー回路CUMからの電流が供給され、メモリセルAMref[1]、及びメモリセルAMref[2]へ電流が排出される。配線BLrefにおいて、カレントミラー回路CUMによって排出される電流を $I_{CM,0}$ としたとき、キルヒホッフの法則により次の式が成り立つ。

[0220]

[数5]

$$I_{CM,0} = I_{Bref} = I_{AMref[1]0} + I_{AMref[2]0} \quad (E5)$$

[0221]

配線BLには、バイアス回路CSによる電流の供給及び／又は排出が行われる。加えて、配線BLには、カレントミラー回路CUMからの電流が供給され、メモリセルAM[1]、メモリセルAM[2]へ電流が排出される。更に、配線BLからアナログスイッチSWを介して回路OFFSTにも電流が流れる。配線BLにおいて、バイアス回路CSから供給される電流を I_{CS} とし、配線BLから回路OFFSTに流れる電流を $I_{\alpha,0}$ としたとき、キルヒホッフの法則により次の式が成り立つ。

[0222]

[数6]

$$I_{CM,0} + I_{CS} = I_{AM[1]0} + I_{AM[2]0} + I_{\alpha,0} \quad (E6)$$

[0223]

<<時刻T13から時刻T14まで>>

時刻T13から時刻T14までの間において、配線CL[1]に基準電位よりも $V_{X[1]}$ 高い電位が印加される。このとき、メモリセルAM[1]、及びメモリセルAMref[1]のそれぞれの容量素子CPの第2端子に電位 $V_{X[1]}$ が印加されるため、ノードNM[1]及びノードNMref[1]のそれぞれの電位は、容量結合によって変動する。これにより、トランジスタTr12の第1端子-第2端子間に流れる電流量が増減する。

[0224]

なお、電位 $V_{X[1]}$ は、第2データの一に対応する電位である。

[0225]

ところで、トランジスタTr12のゲートの電位の変化量は、配線CL[1]の電位変化に、メモリセルの構成によって決まる容量結合係数を乗じた電位となる。該容量結合係数は、容量素子CPの容量、トランジスタTr12のゲート容量、寄生抵抗などによって算出される。本動作例では、容量結合係数を h として説明する。つまり、トランジスタTr12のゲート電位の変化量を ΔV としたとき、 ΔV は次の式で求めることができる。

[0226]

[数7]

$$\Delta V = hV_{X[1]} \quad (E7)$$

[0227]

メモリセルAM[1]、及びメモリセルAMref[1]のそれぞれの容量素子CPの第2端子に、電位 $V_{X[1]}$ が印加されることによって、トランジスタTr12のゲート電位は、それぞれ $hV_{X[1]}$ 上昇する。換言すれば、メモリセルAM[1]、及びメモリセルAMref[1]のそれぞれの容量素子CPの第2端子に、電位 $V_{X[1]}$ が印加されることによって、ノードNM[1]及びノードNMref[1]の電位がそれぞれ $hV_{X[1]}$ 上昇する。

[0228]

ここで、メモリセルAM [1]、及びメモリセルAM_{ref} [1] のそれぞれのトランジスタTr₁₂の第2端子から第1端子に流れる電流を考える。配線BLからメモリセルAM [1] のトランジスタTr₁₂の第2端子を介して第1端子に流れる電流を $I_{AM[1],1}$ としたとき、 $I_{AM[1],1}$ は次の式で表すことができる。

[0229]

[数8]

$$I_{AM[1],1} = k(V_{PR} - V_{W[1]} + hV_{X[1]} - V_{th})^2 \quad (E8)$$

[0230]

つまり、配線CL [1] に電位 $V_{X[1]}$ を印加することによって、配線BLからメモリセルAM [1] のトランジスタTr₁₂の第2端子を介して第1端子に流れる電流は、 $I_{AM[1],1} - I_{AM[1],0}$ (図11では、 $\Delta I_{AM[1]}$ と表記する。) 増加する。

[0231]

同様に、配線BL_{ref}からメモリセルAM_{ref} [1] のトランジスタTr₁₂の第2端子を介して第1端子に流れる電流を $I_{AMref[1],1}$ としたとき、 $I_{AMref[1],1}$ は次の式で表すことができる。

[0232]

[数9]

$$I_{AMref[1],1} = k(V_{PR} + hV_{X[1]} - V_{th})^2 \quad (E9)$$

[0233]

つまり、配線CL [1] に電位 $V_{X[1]}$ を印加することによって、配線BL_{ref}からメモリセルAM_{ref} [1] のトランジスタTr₁₂の第2端子を介して第1端子に流れる電流は、 $I_{AMref[1],1} - I_{AMref[1],0}$ (図11では、 $\Delta I_{AMref[1]}$ と表記する。) 増加する。

[0234]

ここで、配線BL及び配線BL_{ref}に流れる電流について説明する。

[0235]

配線BL_{ref}には、時刻T₁₂から時刻T₁₃までの間と同様に、カレントミラー回路CUMからの電流が供給され、メモリセルAM_{ref} [1]、及びメモリセルAM_{ref} [2] へ電流が排出される。配線BL_{ref}において、カレントミラー回路CUMによって排出される電流を $I_{CM,1}$ としたとき、キルヒホッフの法則により次の式が成り立つ。

[0236]

[数10]

$$I_{CM,1} = I_{AMref[1],1} + I_{AMref[2],1} \quad (E10)$$

[0237]

配線BLには、時刻T₁₂から時刻T₁₃までの間と同様に、バイアス回路CSによる電流の供給及び／又は排出が行われる。加えて、配線BLには、カレントミラー回路CUMからの電流が供給され、メモリセルAM [1]、メモリセルAM [2] へ電流が排出される。更に、配線BLからアナログスイッチSWを介して回路OFS Tにも電流が流れる。バイアス回路CSから供給される電流は、

トランジスタ T_{r52} 、及びトランジスタ T_{r62} のゲートの電位が、時刻 T_{12} から時刻 T_{13} までの間のときと変化していないため、 I_{CS} となる。配線 BL において、配線 BL から回路 $OFST$ に流れる電流を $I_{\alpha,1}$ としたとき、キルヒホッフの法則により次の式が成り立つ。

[0238]

[数11]

$$I_{CM,1} + I_{CS} = I_{AM[1],1} + I_{AM[2],1} + I_{\alpha,1} \quad (E11)$$

[0239]

時刻 T_{12} から時刻 T_{13} までの間における、配線 BL から回路 $OFST$ に流れる電流 $I_{\alpha,0}$ と、時刻 T_{13} から時刻 T_{14} までの間における、配線 BL から回路 $OFST$ に流れる電流 $I_{\alpha,1}$ と、の差を ΔI_{α} とする。以後、 ΔI_{α} を、演算回路 $MACF$ における、差分電流と呼称する。差分電流 ΔI_{α} は、式 (E1) 乃至式 (E6)、式 (E8) 乃至式 (E11) 用いて、次の式のとおりを表すことができる。

[0240]

[数12]

$$\Delta I_{\alpha} = I_{\alpha,1} - I_{\alpha,0} = 2hkV_{W[1]}V_{X[1]} \quad (E12)$$

[0241]

<<時刻 T_{14} から時刻 T_{15} まで>>

時刻 T_{14} から時刻 T_{15} までの間において、配線 $CL[1]$ には基準電位が印加されている。このとき、メモリセル $AM[1]$ 、及びメモリセル $AMref[1]$ のそれぞれの容量素子 CP の第2端子に、基準電位が印加されるため、トランジスタ T_{r12} のゲートの電位（ノード $NM[1]$ 及びノード $NMref[1]$ のそれぞれの電位）は、それぞれ時刻 T_{12} から時刻 T_{13} までの間の電位に戻る。

[0242]

<<時刻 T_{15} から時刻 T_{16} まで>>

時刻 T_{15} から時刻 T_{16} までの間において、配線 $CL[1]$ に基準電位よりも $V_{X[2]}$ 高い電位が印加され、配線 $CL[2]$ に基準電位よりも $V_{X[2]}$ 高い電位が印加される。このとき、メモリセル $AM[1]$ 、及びメモリセル $AMref[1]$ のそれぞれの容量素子 CP の第2端子に電位 $V_{X[1]}$ が印加され、メモリセル $AM[2]$ 、及びメモリセル $AMref[2]$ のそれぞれの容量素子 CP の第2端子に電位 $V_{X[2]}$ が印加される。このため、メモリセル $AM[1]$ 、メモリセル $AM[2]$ 、メモリセル $AMref[1]$ 、及びメモリセル $AMref[2]$ のそれぞれのトランジスタ T_{r12} のゲートの電位が変動する。換言すると、ノード $NM[1]$ 、ノード $NM[2]$ 、ノード $NMref[1]$ 、及びノード $NMref[2]$ の電位が変動する。

[0243]

ノード $NM[1]$ 、及びノード $NMref[1]$ のそれぞれの電位の変化は、時刻 T_{13} 時刻 T_{14} までの間の動作を参酌する。メモリセル $AM[2]$ 、及びメモリセル $AMref[2]$ についても同様に、それぞれの容量結合係数を h として説明する。

[0244]

容量結合係数を h としているため、メモリセル $AM[2]$ 、及びメモリセル $AMref[2]$ のそ

それぞれの容量素子C Pの第2端子に、電位 $V_{X[2]}$ が印加されることによって、トランジスタT r 1 2のゲートの電位は、それぞれ $h V_{X[2]}$ 上昇する。換言すると、メモリセルAM[2]、及びメモリセルAM r e f [2]のそれぞれの容量素子C Pの第2端子に、電位 $V_{X[2]}$ が印加されることによって、ノードNM[2]、及びノードNM r e f [2]の電位がそれぞれ $h V_{X[2]}$ 上昇する。

[0245]

ここで、メモリセルAM[2]、及びメモリセルAM r e f [2]のそれぞれのトランジスタT r 1 2の第2端子から第1端子に流れる電流を考える。配線BLからメモリセルAM[1]のトランジスタT r 1 2の第2端子を介して第1端子に流れる電流を $I_{AM[2],1}$ としたとき、 $I_{AM[2],1}$ は次の式で表すことができる。

[0246]

[数13]

$$I_{AM[2],1} = k(V_{PR} - V_{W[2]} + hV_{X[2]} - V_{th})^2 \quad (E13)$$

[0247]

つまり、配線CL[2]に電位 $V_{X[2]}$ を印加することによって、配線BLからメモリセルAM[2]のトランジスタT r 1 2の第2端子を介して第1端子に流れる電流は、 $I_{AM[2],1} - I_{AM[2],0}$ (図11では、 $\Delta I_{AM[2]}$ と表記する。)増加する。

[0248]

同様に、配線BL r e fからメモリセルAM r e f [2]のトランジスタT r 1 2の第2端子を介して第1端子に流れる電流を $I_{AMref[2],1}$ としたとき、 $I_{AMref[2],1}$ は次の式で表すことができる。

[0249]

[数14]

$$I_{AMref[2],1} = k(V_{PR} + hV_{X[2]} - V_{th})^2 \quad (E14)$$

[0250]

つまり、配線CL[2]に電位 $V_{X[2]}$ を印加することによって、配線BL r e fからメモリセルAM r e f [2]のトランジスタT r 1 2の第2端子を介して第1端子に流れる電流は、 $I_{AMref[2],1} - I_{AMref[2],0}$ (図11では、 $\Delta I_{AMref[2]}$ と表記する。)増加する。

[0251]

ここで、配線BL及び配線BL r e fに流れる電流について説明する。

[0252]

配線BL r e fには、時刻T 1 2から時刻T 1 3までの間と同様に、カレントミラー回路CUMからの電流が供給され、メモリセルAM r e f [1]、及びメモリセルAM r e f [2]へ電流が排出される。配線BL r e fにおいて、カレントミラー回路CUMによって排出される電流を $I_{CM,2}$ としたとき、キルヒホッフの法則により次の式が成り立つ。

[0253]

[数15]

$$I_{CM,2} = I_{AMref[1],1} + I_{AMref[2],1} \quad (E15)$$

[0254]

配線BLには、時刻T12から時刻T13までの間と同様に、バイアス回路CSによる電流の供給及び／又は排出が行われる。加えて、配線BLには、カレントミラー回路CUMからの電流が供給され、メモリセルAM[1]、メモリセルAM[2]へ電流が排出される。更に、配線BLからアナログスイッチSWを介して回路OFSTにも電流が流れる。バイアス回路CSから供給される電流は、トランジスタTr52、及びトランジスタTr62のゲートの電位が、時刻T12から時刻T13までの間のときと変化していないため、 I_{CS} となる。配線BLにおいて、配線BLから回路OFSTに流れる電流を $I_{\alpha,3}$ としたとき、キルヒホッフの法則により次の式が成り立つ。

[0255]

[数16]

$$I_{CM,2} + I_{CS} = I_{AM[1],1} + I_{AM[2],1} + I_{\alpha,3} \quad (E16)$$

[0256]

時刻T12から時刻T13までの間における、配線BLから回路OFSTに流れる電流 $I_{\alpha,0}$ と、時刻T07から時刻T08までの間における、配線BLから回路OFSTに流れる電流 $I_{\alpha,3}$ と、の差となる差分電流 ΔI_{α} は、式(E1)乃至式(E6)、式(E8)、式(E9)、式(E13)乃至式(E16)を用いて、次の式のとおりに表すことができる。

[0257]

[数17]

$$\Delta I_{\alpha} = I_{\alpha,3} - I_{\alpha,0} = 2hk(V_{W[1]}V_{X[1]} + V_{W[2]}V_{X[2]}) \quad (E17)$$

[0258]

式(E12)、式(E17)に示すとおり、回路OFSTに入力される差分電流 ΔI_{α} は、複数の第1データである電位 V_X と、複数の第2データである電位 V_W と、の積の項を有する式から算出することができる。つまり、差分電流 ΔI_{α} を回路OFSTで計測することによって、第1データと第2データとの積和の値を求めることができる。

[0259]

<<時刻T16から時刻T17まで>>

時刻T16から時刻T17までの間において、配線CL[1]、及び配線CL[2]には接地電位が印加されている。このとき、メモリセルAM[1]、メモリセルAM[2]、メモリセルAMref[1]、及びメモリセルAMref[2]のそれぞれの容量素子CPの第2端子に、接地電位が印加されるため、トランジスタTr12のゲートの電位(ノードNM[1]、ノードNM[2]、ノードNMref[1]、ノードNMref[2]のそれぞれの電位)は、それぞれ時刻T14から時刻T15までの間のゲートの電位に戻る。

[0260]

時刻T13から時刻T14までの間において、配線CL[1]に $V_{W[1]}$ を印加し、時刻T15から時刻T16までの間において、配線CL[1]及び配線CL[2]にそれぞれ $V_{W[1]}$ 、 $V_{W[2]}$ を印加したが、配線CL[1]及び配線CL[2]に印加する電位は、基準電位REFPよりも低くてもよい。配線CL[1]、及び／又は配線CL[2]に、基準電位REFPよりも低い電位を印加した場合、配線CL[1]、及び／又は配線CL[2]に接続されているトランジスタTr12のゲー

トの電位を低くすることができる。これにより、積和演算において、第1データと、負の値である第2データの一との積を行うことができる。例えば、時刻T15から時刻T16までの間において、配線CL[2]に、 $V_{W[2]}$ でなく $-V_{W[2]}$ を印加した場合、差分電流 ΔI_α は、次の式の通りに表すことができる。

[0261]

[数18]

$$\Delta I_\alpha = I_{\alpha,3} - I_{\alpha,0} = 2hk(V_{W[1]}V_{X[1]} - V_{W[2]}V_{X[2]}) \quad (E18)$$

[0262]

なお、本動作例では、2行2列のマトリクス状に配置されているメモリセルを有するメモリセルアレイMAについて扱ったが、1行、且つ2列以上のメモリセルアレイ、又は3行以上、且つ3列以上のメモリセルアレイについても同様に、積和演算を行うことができる。この場合のメモリセルアレイは、複数列のうち1列を、参照データ（電位 V_{PR} ）を保持するメモリセルとすることで、複数列のうち残りの列の数だけ積和演算処理を同時に実行することができる。つまり、メモリセルアレイの列の数を増やすことで、高速な積和演算処理を実現する半導体装置を提供することができる。また、行数を増やすことによって、積和演算における、足し合わせる項数を増やすことができる。行数を増やした場合の、差分電流 ΔI_α は、次の式で表すことができる。

[0263]

[数19]

$$\Delta I_\alpha = 2hk \sum_i V_{W[i]} V_{X[i]} \quad (E19)$$

[0264]

<<時刻T17から時刻T18まで>>

時刻T14から時刻T15までの間において、配線ISL1に低レベル電位が印加され、配線ISL2に高レベル電位が印加され、配線ISL3に高レベル電位が印加され、配線ISL4に低レベル電位が印加されている。

[0265]

このとき、カレントミラー回路CUMにおいて、トランジスタTr41のゲートに低レベル電位が印加されるため、トランジスタTr41はオン状態となり、また、トランジスタTr42のゲートに高レベル電位が印加されるため、トランジスタTr42はオフ状態となる。これにより、トランジスタTr31、及びトランジスタTr32のそれぞれのゲートには、電位VHが印加されて、トランジスタTr31、及びトランジスタTr32がオフ状態となる。トランジスタTr31、及びトランジスタTr32がオフ状態となることで、トランジスタTr31、及びトランジスタTr32のそれぞれの第2端子に接続されている配線VDDMLからカレントミラー回路CUMへの電流の供給を停止することができる。

[0266]

また、バイアス回路CSにおいて、トランジスタTr51のゲートに高レベル電位が印加されるため、トランジスタTr51はオフ状態となり、また、トランジスタTr53のゲートに例レベル電位が印加されるため、トランジスタTr53はオフ状態となる。これにより、トランジスタTr52及

びトランジスタ T_{r51} を介して配線 V_{DDML} から端子 NC への電流の供給、及び、トランジスタ T_{r61} 及びトランジスタ T_{r62} を介して端子 NC から配線 V_{SSML} への電流の排出を停止することができる。

[0267]

そして、配線 $ISL5$ に低レベル電位が印加されているため、アナログスイッチ SW の制御端子に低レベル電位が入力される。これにより、アナログスイッチ SW はオフ状態となる。

[0268]

つまり、上述より、カレントミラー回路 CUM 、及びバイアス回路 CS の駆動が停止状態となっているため、電流供給回路 IS から配線 BL 及び配線 BL_{ref} への電流の供給が行われない。それに加えて、アナログスイッチ SW がオフ状態となっているため、各メモリセルのトランジスタ T_{r12} を介して、配線 $VR0$ への電流の排出も行われない。

[0269]

このように、演算が終わった後、演算回路 $MACF$ の配線 $ISL1$ 乃至配線 $ISL5$ 、配線 OSM 、配線 OSP に所定の電位を印加することによって、演算回路 $MACF$ を停止状態にすることができる。また、再度、計算を行う場合は、演算回路 $MACF$ の配線 $ISL1$ 乃至配線 $ISL5$ 、配線 OSM 、配線 OSP に所定の電位を印加して、演算回路 $MACF$ を駆動状態とすればよい。つまり、演算回路 $MACF$ は、間欠駆動として、必要なときに演算を行うことができる。

[0270]

本実施の形態で述べた演算回路は、例えば、階層型のニューラルネットワークに用いることができる。具体的には、階層型のニューラルネットワークにおける第 $(K-1)$ 層 (K は 2 以上の整数とする。) が有する全てのニューロンから第 K 層が有するニューロンの一に信号が与えられるとき、上述の第 1 データを重み係数、上述の第 2 データを第 $(K-1)$ 層から出力される信号の強度とすることで、第 $(K-1)$ 層から出力される信号の強度と重み係数の積和を計算することができる。更に当該積和の結果を活性化関数回路 $ACTV$ に入力することで、活性化関数の値を求めることができる。この活性化関数の値が、第 K 層が有するニューロンの一に有力される信号とすることができる。

[0271]

ところで、本実施の形態で述べた演算回路のメモリセルアレイ MA では、メモリセルアレイ MA の行数が前層のニューロンの数となる。換言すると、メモリセル AM の行数は、次層へ入力される前層のニューロンの出力信号の数に対応する。そして、メモリセルアレイ MA の列数が、次層のニューロンの数となる。換言すると、メモリセルアレイ MA の列数は、次層から出力されるニューロンの出力信号の数に対応する。つまり、前層、次層のそれぞれのニューロンの個数によって、演算回路のメモリセルアレイ MA の行数、及び列数が定まるため、構成したいニューラルネットワークに応じて、メモリセルアレイの行数、及び列数を定めて、設計すればよい。

[0272]

ここで、例えば、入力層が 1024 個のニューロンユニット、隠れ層が 128 個のニューロンユニット、出力層が 32 個のニューロンユニットを有する場合を考える。この場合、演算回路 $MACF$ を 2 段、電氣的に接続した構成とすればよい。1 段目の演算回路 $MACF$ のメモリセルアレイ CA は、メモリセル AM が 1024 行 128 列の行列状に配置され、メモリセル AM_{ref} が 1024 行 16 列の行列状に配置された構成とすればよい。また、2 段目の演算回路 $MACF$ のメモリセルアレイ CA は、メモリセル AM が 128 行 32 列の行列状に配置され、メモリセル AM_{ref} が 128 行 4 列

の行列状に配置された構成とすればよい。このような構成にすることにより、1 段目の演算回路MAC Fから出力された1 2 8個の出力信号のそれぞれを、2 段目の演算回路MAC Fの1 2 8行のメモリセルAM、メモリセルAMr e fに入力することができる。

[0 2 7 3]

また、メモリセルAM、及びメモリセルAMr e fは、2 トランジスタのゲインセルと同じ回路構成であり、少ないトランジスタ数によって、アナログデータ又は多値のデータの掛け算を行うことができる。

[0 2 7 4]

演算回路MAC FをMAC アレイ4 0 5、4 0 6として、実施の形態2で説明したOSA Iチップに適用した場合、低消費電力で、超並列演算処理が可能なOSA Iチップ4 0 0を提供することができる。例えば、メモリセルアレイCAが有するメモリセルAM、及びメモリセルAMr e fの合計数が 10^6 乃至 10^8 個程度であり、動作周波数3MH z乃至3 0MH zである場合、OSA Iチップ4 0 0の演算性能は、3TOPS (Tera Operations Per Second) 乃至3POPS (Peta OPS) 程度となる。

[0 2 7 5]

このように、OSA Iチップ4 0 0の演算性能は、演算回路MAC Fの回路規模、及び動作周波数によって定まるため、比較的小さい演算性能で十分な場合は、演算回路MAC Fの回路規模を小さくする、及び／又は動作周波数を下げることができる。この場合、演算回路MAC Fの消費電力を更に下げることができる。

[0 2 7 6]

また、演算回路MAC Fの消費電力を下げる方法として、電流供給回路ISを駆動するための電位VDDMを低くすればよい。また、電位VDDMと電位VSSMとの電位差を小さくすればよい。演算回路MAC Fにおける並列演算処理において、第1データと第2データと積和の項数が少ない場合、配線BLに流れる電流量が少なくなるので、それに合わせて電位VDDM及び／又は電位VSSMを可変して、消費電力を少なくする構成としてもよい。

[0 2 7 7]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0 2 7 8]

(実施の形態4)

本実施の形態では、上記実施の形態で説明した演算回路MAC Fを含む半導体装置に用いることが可能なOS トランジスタの構成例について説明する。

[0 2 7 9]

<半導体装置の構成例>

図1 2に示す半導体装置は、トランジスタ3 0 0と、トランジスタ2 0 0、および容量素子1 0 0を有している。図1 3 (A) はトランジスタ2 0 0のチャネル長方向の断面図であり、図1 3 (B) はトランジスタ2 0 0のチャネル幅方向の断面図であり、図1 3 (C) はトランジスタ3 0 0のチャネル幅方向の断面図である。

[0 2 8 0]

トランジスタ2 0 0は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ2 0 0は、オフ電流が小さいため、これを半導体装置に用いることにより長期にわ

たり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、半導体装置の消費電力を十分に低減することができる。

[0281]

図12に示す半導体装置において、配線1001はトランジスタ300のソースおよびドレインの一方と接続され、配線1002はトランジスタ300のソースおよびドレインの他方と接続されている。また、配線1003はトランジスタ200のソースおよびドレインの一方と接続され、配線1004はトランジスタ200のトップゲートと接続され、配線1006はトランジスタ200のボトムゲートと接続されている。そして、トランジスタ300のゲート、およびトランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方と接続され、配線1005は容量素子100の電極の他方と接続されている。

[0282]

ここで、実施の形態3に示す演算回路MACFのメモリセルアレイCAが有するメモリセルAM[1]に、本実施の形態に示す半導体装置を用いる場合、トランジスタTr12はトランジスタ300に、トランジスタTr11はトランジスタ200に、容量素子CPは容量素子100に対応する。また、配線VR0は、配線1001に、配線BLは、配線1002に、配線WDは、配線1003に、配線WL[1]は、配線1004に、配線CL[1]は、配線1005に対応する。なお、配線1006は、トランジスタTr11がバックゲートを有する構成の場合、当該バックゲートと電氣的に接続される配線に対応する。なお、メモリセルアレイCAが有するメモリセルAM[2]、メモリセルAMref[1]、メモリセルAMref[2]の場合は、上述の記載を参酌する。

[0283]

本発明の一態様の半導体装置は、図12に示すようにトランジスタ300、トランジスタ200、容量素子100を有する。トランジスタ200はトランジスタ300の上方に設けられ、容量素子100はトランジスタ300、およびトランジスタ200の上方に設けられている。

[0284]

トランジスタ300は、基板311上に設けられ、導電体316、絶縁体315、基板311の一部からなる半導体領域313、およびソース領域またはドレイン領域として機能する低抵抗領域314a、および低抵抗領域314bを有する。

[0285]

トランジスタ300は、図13(C)に示すように、半導体領域313の上面およびチャネル幅方向の側面が絶縁体315を介して導電体316に覆われている。このように、トランジスタ300をFin型とすることにより、実効上のチャネル幅が増大することによりトランジスタ300のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ300のオフ特性を向上させることができる。

[0286]

なお、トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

[0287]

半導体領域313のチャネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域314a、および低抵抗領域314bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge(ゲルマニウム)、SiGe(シリコンゲルマニウム)、GaAs(ガリウムヒ素)、GaAlAs(ガリウムアルミニウ

ムヒ素)などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。またはGaAsとGaAlAs等を用いることで、トランジスタ300をHEMT(High Electron Mobility Transistor)としてもよい。

[0288]

低抵抗領域314a、および低抵抗領域314bは、半導体領域313に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、またはホウ素などのp型の導電性を付与する元素を含む。

[0289]

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

[0290]

なお、導電体の材料により、仕事関数が定まるため、導電体の材料を変更することで、トランジスタのVthを調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンを用いることが耐熱性の点で好ましい。

[0291]

なお、図12に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。例えば、トランジスタ200と同様に、トランジスタ300に酸化物半導体を用いる構成にしてもよい。

[0292]

トランジスタ300を覆って、絶縁体320、絶縁体322、絶縁体324、および絶縁体326が順に積層して設けられている。

[0293]

絶縁体320、絶縁体322、絶縁体324、および絶縁体326として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

[0294]

絶縁体322は、その下方に設けられるトランジスタ300などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨(CMP)法等を用いた平坦化処理により平坦化されていてもよい。

[0295]

また、絶縁体324には、基板311、またはトランジスタ300などから、トランジスタ200が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

[0296]

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ200等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ200と、ト

ランジスタ 300 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0297]

水素の脱離量は、例えば、昇温脱離ガス分析法 (TDS) などを用いて分析することができる。例えば、絶縁体 324 の水素の脱離量は、TDS 分析において、膜の表面温度が 50℃ から 500℃ の範囲において、水素原子に換算した脱離量が、絶縁体 324 の面積当たりに換算して、 $10 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

[0298]

なお、絶縁体 326 は、絶縁体 324 よりも誘電率が低いことが好ましい。例えば、絶縁体 326 の比誘電率は 4 未満が好ましく、3 未満がより好ましい。また例えば、絶縁体 326 の比誘電率は、絶縁体 324 の比誘電率の 0.7 倍以下が好ましく、0.6 倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0299]

また、絶縁体 320、絶縁体 322、絶縁体 324、および絶縁体 326 には容量素子 100、またはトランジスタ 200 と接続する導電体 328、および導電体 330 等が埋め込まれている。なお、導電体 328、および導電体 330 はプラグ、または配線としての機能を有する。また、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

[0300]

各プラグ、および配線 (導電体 328、および導電体 330 等) の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。当該材料としては、例えば、耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、当該材料としては、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。当該材料に低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0301]

絶縁体 326、および導電体 330 上に、配線層を設けてもよい。例えば、図 12 において、絶縁体 350、絶縁体 352、および絶縁体 354 が順に積層して設けられている。また、絶縁体 350、絶縁体 352、および絶縁体 354 には、導電体 356 が形成されている。導電体 356 は、トランジスタ 300 と接続するプラグ、または配線としての機能を有する。なお導電体 356 は、導電体 328、および導電体 330 と同様の材料を用いて設けることができる。

[0302]

なお、例えば、絶縁体 350 は、絶縁体 324 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 356 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 350 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 300 とトランジスタ 200 とは、バリア層により分離することができ、トランジスタ 300 からトランジスタ 200 への水素の拡散を抑制することができる。

[0303]

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ300からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体350と接する構造であることが好ましい。

[0304]

絶縁体354、および導電体356上に、配線層を設けてもよい。例えば、図12において、絶縁体360、絶縁体362、および絶縁体364が順に積層して設けられている。また、絶縁体360、絶縁体362、および絶縁体364には、導電体366が形成されている。導電体366は、プラグ、または配線としての機能を有する。なお導電体366は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0305]

なお、例えば、絶縁体360は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体366は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体360が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ200とは、バリア層により分離することができ、トランジスタ300からトランジスタ200への水素の拡散を抑制することができる。

[0306]

絶縁体364、および導電体366上に、配線層を設けてもよい。例えば、図12において、絶縁体370、絶縁体372、および絶縁体374が順に積層して設けられている。また、絶縁体370、絶縁体372、および絶縁体374には、導電体376が形成されている。導電体376は、プラグ、または配線としての機能を有する。なお導電体376は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0307]

なお、例えば、絶縁体370は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体376は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体370が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ200とは、バリア層により分離することができ、トランジスタ300からトランジスタ200への水素の拡散を抑制することができる。

[0308]

絶縁体374、および導電体376上に、配線層を設けてもよい。例えば、図12において、絶縁体380、絶縁体382、および絶縁体384が順に積層して設けられている。また、絶縁体380、絶縁体382、および絶縁体384には、導電体386が形成されている。導電体386は、プラグ、または配線としての機能を有する。なお導電体386は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0309]

なお、例えば、絶縁体380は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体386は、水素に対するバリア性を有する導電体を含むことが

好ましい。特に、水素に対するバリア性を有する絶縁体 380 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 300 とトランジスタ 200 とは、バリア層により分離することができ、トランジスタ 300 からトランジスタ 200 への水素の拡散を抑制することができる。

[0310]

上記において、導電体 356 を含む配線層、導電体 366 を含む配線層、導電体 376 を含む配線層、および導電体 386 を含む配線層、について説明したが、本実施の形態に係る半導体装置はこれに限られるものではない。導電体 356 を含む配線層と同様の配線層を 3 層以下にしてもよいし、導電体 356 を含む配線層と同様の配線層を 5 層以上にしてもよい。

[0311]

絶縁体 384 上には絶縁体 210、絶縁体 212、絶縁体 214、および絶縁体 216 が、順に積層して設けられている。絶縁体 210、絶縁体 212、絶縁体 214、および絶縁体 216 のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

[0312]

例えば、絶縁体 210、および絶縁体 214 には、例えば、基板 311、またはトランジスタ 300 を設ける領域などから、トランジスタ 200 を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体 324 と同様の材料を用いることができる。

[0313]

水素に対するバリア性を有する膜の一例として、CVD 法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 200 等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ 200 と、トランジスタ 300 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0314]

また、水素に対するバリア性を有する膜として、例えば、絶縁体 210、および絶縁体 214 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0315]

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ 200 への混入を防止することができる。また、トランジスタ 200 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 200 に対する保護膜として用いることに適している。

[0316]

また、例えば、絶縁体 212、および絶縁体 216 には、絶縁体 320 と同様の材料を用いることができる。また、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 212、および絶縁体 216 として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

[0317]

また、絶縁体 210、絶縁体 212、絶縁体 214、および絶縁体 216 には、導電体 218、お

よびトランジスタ200を構成する導電体(導電体203)等が埋め込まれている。なお、導電体218は、容量素子100、またはトランジスタ300と接続するプラグ、または配線としての機能を有する。導電体218は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0318]

特に、絶縁体210、および絶縁体214と接する領域の導電体218は、酸素、水素、および水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ300とトランジスタ200とは、酸素、水素、および水に対するバリア性を有する層で、分離することができ、トランジスタ300からトランジスタ200への水素の拡散を抑制することができる。

[0319]

絶縁体216の上方には、トランジスタ200が設けられている。

[0320]

図13(A)、(B)に示すように、トランジスタ200は、絶縁体214および絶縁体216に埋め込まれるように配置された導電体203と、絶縁体216と導電体203の上に配置された絶縁体220と、絶縁体220の上に配置された絶縁体222と、絶縁体222の上に配置された絶縁体224と、絶縁体224の上に配置された酸化物230aと、酸化物230aの上に配置された酸化物230bと、酸化物230b上に、互いに離して配置された導電体242a、および導電体242bと、導電体242aおよび導電体242b上に配置され、導電体242aと導電体242bの間に重畳して開口が形成された絶縁体280と、開口の中に配置された導電体260と、酸化物230b、導電体242a、導電体242b、および絶縁体280と、導電体260と、の間に配置された絶縁体250と、酸化物230b、導電体242a、導電体242b、および絶縁体280と、絶縁体250と、の間に配置された酸化物230cと、を有する。また、図13(A)、(B)に示すように、酸化物230a、酸化物230b、導電体242a、および導電体242bと、絶縁体280の間に絶縁体244が配置されることが好ましい。また、図13(A)、(B)に示すように、導電体260は、絶縁体250の内側に設けられた導電体260aと、導電体260aの内側に埋め込まれるように設けられた導電体260bと、を有することが好ましい。また、図13(A)、(B)に示すように、絶縁体280、導電体260、および絶縁体250の上に絶縁体274が配置されることが好ましい。

[0321]

なお、以下において、酸化物230a、酸化物230b、および酸化物230cをまとめて酸化物230という場合がある。また、導電体242aおよび導電体242bをまとめて導電体242という場合がある。

[0322]

なお、トランジスタ200では、チャネルが形成される領域と、その近傍において、酸化物230a、酸化物230b、および酸化物230cの3層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物230bの単層、酸化物230bと酸化物230aの2層構造、酸化物230bと酸化物230cの2層構造、または4層以上の積層構造を設ける構成にしてもよい。また、トランジスタ200では、導電体260を2層の積層構造として示しているが、本発明はこれに限られるものではない。例えば、導電体260が、単層構造であってもよいし、3層以上の積層構造であってもよい。また、図12、図13(A)(B)に示すトランジスタ200は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0323]

ここで、導電体260は、トランジスタのゲート電極として機能し、導電体242aおよび導電体242bは、それぞれソース電極またはドレイン電極として機能する。上記のように、導電体260は、絶縁体280の開口、および導電体242aと導電体242bに挟まれた領域に埋め込まれるように形成される。導電体260、導電体242aおよび導電体242bの配置は、絶縁体280の開口に対して、自己整合的に選択される。つまり、トランジスタ200において、ゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体260を位置合わせのマージンを設けることなく形成することができるので、トランジスタ200の占有面積の縮小を図ることができる。これにより、半導体装置の微細化、高集積化を図ることができる。

[0324]

さらに、導電体260が、導電体242aと導電体242bの間の領域に自己整合的に形成されるので、導電体260は、導電体242aまたは導電体242bと重畳する領域を有さない。これにより、導電体260と導電体242aおよび導電体242bとの間に形成される寄生容量を低減することができる。よって、トランジスタ200のスイッチング速度を向上させ、高い周波数特性を有せしめることができる。

[0325]

導電体260は、第1のゲート（トップゲートともいう。）電極として機能する場合がある。また、導電体203は、第2のゲート（ボトムゲートともいう。）電極として機能する場合がある。その場合、導電体203に印加する電位を、導電体260に印加する電位と、連動させず、独立して変化させることで、トランジスタ200の V_{th} を制御することができる。特に、導電体203に負の電位を印加することにより、トランジスタ200の V_{th} を0Vより大きくし、オフ電流を低減することが可能となる。したがって、導電体203に負の電位を印加したほうが、印加しない場合よりも、導電体260に印加する電位が0Vのときのドレイン電流を小さくすることができる。

[0326]

導電体203は、酸化物230、および導電体260と、重なるように配置する。これにより、導電体260、および導電体203に電位を印加した場合、導電体260から生じる電界と、導電体203から生じる電界と、がつながり、酸化物230に形成されるチャネル形成領域を覆うことができる。本明細書において、第1のゲート電極、および第2のゲート電極の電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を、*surrounded channel*（*S-channel*）構造とよぶ。

[0327]

また、導電体203は、導電体218と同様の構成であり、絶縁体214および絶縁体216の開口の内壁に接して導電体203aが形成され、さらに内側に導電体203bが形成されている。

[0328]

絶縁体220、絶縁体222、絶縁体224、および絶縁体250は、ゲート絶縁体としての機能を有する。

[0329]

ここで、酸化物230と接する絶縁体224は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。つまり、絶縁体224には、過剰酸素領域が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物230に接して設けることにより、酸化物

230中の酸素欠損を低減し、トランジスタ200の信頼性を向上させることができる。

[0330]

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS (Thermal Desorption Spectroscopy) 分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、または $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 400°C 以下の範囲が好ましい。

[0331]

また、絶縁体224が、過剰酸素領域を有する場合、絶縁体222は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）ことが好ましい。

[0332]

絶縁体222が、酸素や不純物の拡散を抑制する機能を有することで、酸化物230が有する酸素は、絶縁体220側へ拡散することがなく、好ましい。また、導電体203が、絶縁体224や、酸化物230が有する酸素と反応することを抑制することができる。

[0333]

絶縁体222は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛 (PZT)、チタン酸ストロンチウム (SrTiO_3) または (Ba, Sr) TiO_3 (BST) などのいわゆる *high-k* 材料を含む絶縁体を単層または積層で用いることが好ましい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に *high-k* 材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

[0334]

特に、不純物、および酸素などの拡散を抑制する機能を有する（上記酸素が透過しにくい。）絶縁性材料であるアルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体222を形成した場合、絶縁体222は、酸化物230からの酸素の放出や、トランジスタ200の周辺部から酸化物230への水素等の不純物の混入を抑制する層として機能する。

[0335]

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

[0336]

また、絶縁体220は、熱的に安定していることが好ましい。例えば、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、好適である。また、*high-k* 材料の絶縁体を酸化シリコ

ン、または酸化窒素シリコンと組み合わせることで、熱的に安定かつ比誘電率の高い積層構造の絶縁体 220 や絶縁体 226 を得ることができる。

[0337]

なお、絶縁体 220、絶縁体 222、および絶縁体 224 が、2 層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

[0338]

トランジスタ 200 は、チャネル形成領域を含む酸化物 230 に、酸化物半導体として機能する金属酸化物を用いることが好ましい。例えば、酸化物 230 として、 I_n-M-Z_n 酸化物（元素 M は、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。また、酸化物 230 として、 I_n-Ga 酸化物、 I_n-Zn 酸化物を用いてもよい。

[0339]

酸化物 230 においてチャネル形成領域にとして機能する金属酸化物は、バンドギャップが 2 eV 以上、好ましくは 2.5 eV 以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

[0340]

酸化物 230 は、酸化物 230 b 下に酸化物 230 a を有することで、酸化物 230 a よりも下方に形成された構造物から、酸化物 230 b への不純物の拡散を抑制することができる。また、酸化物 230 b 上に酸化物 230 c を有することで、酸化物 230 c よりも上方に形成された構造物から、酸化物 230 b への不純物の拡散を抑制することができる。

[0341]

なお、酸化物 230 は、各金属原子の原子数比が異なる酸化物により、積層構造を有することが好ましい。具体的には、酸化物 230 a に用いる金属酸化物において、構成元素中の元素 M の原子数比が、酸化物 230 b に用いる金属酸化物における、構成元素中の元素 M の原子数比より、大きいことが好ましい。また、酸化物 230 a に用いる金属酸化物において、 I_n に対する元素 M の原子数比が、酸化物 230 b に用いる金属酸化物における、 I_n に対する元素 M の原子数比より大きいことが好ましい。また、酸化物 230 b に用いる金属酸化物において、元素 M に対する I_n の原子数比が、酸化物 230 a に用いる金属酸化物における、元素 M に対する I_n の原子数比より大きいことが好ましい。また、酸化物 230 c は、酸化物 230 a または酸化物 230 b に用いることができる金属酸化物を用いることができる。

[0342]

また、酸化物 230 a および酸化物 230 c の伝導帯下端のエネルギーが、酸化物 230 b の伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物 230 a および酸化物 230 c の電子親和力が、酸化物 230 b の電子親和力より小さいことが好ましい。

[0343]

ここで、酸化物 230 a、酸化物 230 b、および酸化物 230 c の接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物 230 a、酸化物 230 b、および酸化物 230 c の接合部における伝導帯下端のエネルギー準位は、連続的に変化するまたは連続接合するともいうことができる。このようにするためには、酸化物 230 a と酸化物 230 b との界面、および

酸化物 230b と酸化物 230c との界面において形成される混合層の欠陥準位密度を低くするとよい。

[0344]

具体的には、酸化物 230a と酸化物 230b、酸化物 230b と酸化物 230c が、酸素以外に共通の元素を有する（主成分とする。）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物 230b が In-Ga-Zn 酸化物の場合、酸化物 230a および酸化物 230c として、In-Ga-Zn 酸化物、Ga-Zn 酸化物、酸化ガリウムなどを用いるとよい。

[0345]

このとき、キャリアの主たる経路は酸化物 230b となる。酸化物 230a、酸化物 230c を上述の構成とすることで、酸化物 230a と酸化物 230b との界面、および酸化物 230b と酸化物 230c との界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ 200 は高いオン電流を得られる。

[0346]

酸化物 230b 上には、ソース電極、およびドレイン電極として機能する導電体 242（導電体 242a、および導電体 242b）が設けられる。導電体 242 としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

[0347]

また、図 13（A）に示すように、酸化物 230 の、導電体 242 との界面とその近傍には、低抵抗領域として、領域 243（領域 243a、および領域 243b）が形成される場合がある。このとき、領域 243a はソース領域またはドレイン領域の一方として機能し、領域 243b はソース領域またはドレイン領域の他方として機能する。また、領域 243a と領域 243b に挟まれる領域にチャネル形成領域が形成される。

[0348]

酸化物 230 と接するように上記導電体 242 を設けることで、領域 243 の酸素濃度が低減する場合がある。また、領域 243 に導電体 242 に含まれる金属と、酸化物 230 の成分とを含む金属化合物層が形成される場合がある。このような場合、領域 243 のキャリア密度が増加し、領域 243 は、低抵抗領域となる。

[0349]

絶縁体 244 は、導電体 242 を覆うように設けられ、導電体 242 の酸化を抑制する。このとき、絶縁体 244 は、酸化物 230 の側面を覆い、絶縁体 224 と接するように設けられてもよい。

[0350]

絶縁体 2 4 4 として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、または、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

[0351]

特に、絶縁体 2 4 4 として、アルミニウム、またはハフニウムの一方または双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱履歴において、結晶化しにくいいため好ましい。なお、導電体 2 4 2 が耐酸化性を有する材料、または、酸素を吸収しても著しく導電性が低下しない場合、絶縁体 2 4 4 は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

[0352]

絶縁体 2 5 0 は、ゲート絶縁体として機能する。絶縁体 2 5 0 は、酸化物 2 3 0 c の内側（上面および側面）接して配置することが好ましい。絶縁体 2 5 0 は、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。例えば、昇温脱離ガス分析（TDS 分析）にて、酸素分子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、または $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記 TDS 分析時における膜の表面温度としては 100°C 以上 700°C 以下の範囲が好ましい。

[0353]

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

[0354]

加熱により酸素が放出される絶縁体を、絶縁体 2 5 0 として、酸化物 2 3 0 c の上面に接して設けることにより、絶縁体 2 5 0 から、酸化物 2 3 0 c を通じて、酸化物 2 3 0 b のチャネル形成領域に効果的に酸素を供給することができる。また、絶縁体 2 2 4 と同様に、絶縁体 2 5 0 中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体 2 5 0 の膜厚は、1 nm 以上 20 nm 以下とするのが好ましい。

[0355]

また、絶縁体 2 5 0 が有する過剰酸素を、効率的に酸化物 2 3 0 へ供給するために、絶縁体 2 5 0 と導電体 2 6 0 との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体 2 5 0 から導電体 2 6 0 への酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体 2 5 0 から導電体 2 6 0 への過剰酸素の拡散が抑制される。つまり、酸化物 2 3 0 へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体 2 6 0 の酸化を抑制することができる。当該金属酸化物としては、絶縁体 2 4 4 に用いることができる材料を用いればよい。

[0356]

第 1 のゲート電極として機能する導電体 2 6 0 は、図 1 3 (A)、(B) では 2 層構造として示しているが、単層構造でもよいし、3 層以上の積層構造であってもよい。

[0357]

導電体260aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する導電性材料を用いることが好ましい。導電体260aが酸素の拡散を抑制する機能を持つことにより、絶縁体250に含まれる酸素により、導電体260bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。

[0358]

また、導電体260bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体260bは、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体260bは積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層構造としてもよい。

[0359]

絶縁体280は、絶縁体244を介して、導電体242上に設けられる。絶縁体280は、過剰酸素領域を有することが好ましい。例えば、絶縁体280として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などを有することが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、容易に過剰酸素領域を形成することができるため好ましい。

[0360]

絶縁体280は、過剰酸素領域を有することが好ましい。加熱により酸素が放出される絶縁体280を、酸化物230cと接して設けることで、絶縁体280中の酸素を、酸化物230cを通じて、酸化物230の領域234へと効率良く供給することができる。なお、絶縁体280中の水または水素などの不純物濃度が低減されていることが好ましい。

[0361]

絶縁体280の開口は、導電体242aと導電体242bの間の領域に重畳して形成される。これにより、導電体260は、絶縁体280の開口、および導電体242aと導電体242bに挟まれた領域に、埋め込まれるように形成される。

[0362]

半導体装置を微細化するに当たり、ゲート長を短くすることが求められるが、導電体260の導電性が下がらないようにする必要がある。そのために導電体260の膜厚を大きくすると、導電体260はアスペクト比が高い形状となりうる。本実施の形態では、導電体260を絶縁体280の開口に埋め込むように設けるため、導電体260をアスペクト比の高い形状にしても、工程中に導電体260を倒壊させることなく、形成することができる。

[0363]

絶縁体274は、絶縁体280の上面、導電体260の上面、および絶縁体250の上面に接して設けられることが好ましい。絶縁体274をスパッタリング法で成膜することで、絶縁体250およ

び絶縁体 280 へ過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物 230 中に酸素を供給することができる。

[0364]

例えば、絶縁体 274 として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、またはマグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

[0365]

特に、酸化アルミニウムはバリア性が高く、0.5 nm 以上 3.0 nm 以下の薄膜であっても、水素、および窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素などの不純物のバリア膜としての機能も有することができる。

[0366]

また、絶縁体 274 の上に、層間膜として機能する絶縁体 281 を設けることが好ましい。絶縁体 281 は、絶縁体 224 などと同様に、膜中の水または水素などの不純物濃度が低減されていることが好ましい。

[0367]

また、絶縁体 281、絶縁体 274、絶縁体 280、および絶縁体 244 に形成された開口に、導電体 240a および導電体 240b を配置する。導電体 240a および導電体 240b は、導電体 260 を挟んで対向して設ける。導電体 240a および導電体 240b は、後述する導電体 246 および導電体 248 と同様の構成である。

[0368]

絶縁体 281 上には、絶縁体 282 が設けられている。絶縁体 282 は、酸素や水素に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体 282 には、絶縁体 214 と同様の材料を用いることができる。例えば、絶縁体 282 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0369]

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ 200 への混入を防止することができる。また、トランジスタ 200 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 200 に対する保護膜として用いることに適している。

[0370]

また、絶縁体 282 上には、絶縁体 286 が設けられている。絶縁体 286 は、絶縁体 320 と同様の材料を用いることができる。また、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 286 として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

[0371]

また、絶縁体 220、絶縁体 222、絶縁体 224、絶縁体 244、絶縁体 280、絶縁体 274、絶縁体 281、絶縁体 282、および絶縁体 286 には、導電体 246、および導電体 248 等が埋め込まれている。

[0372]

導電体246、および導電体248は、容量素子100、トランジスタ200、またはトランジスタ300と接続するプラグ、または配線としての機能を有する。導電体246、および導電体248は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0373]

続いて、トランジスタ200の上方には、容量素子100が設けられている。容量素子100は、導電体110と、導電体120、絶縁体130とを有する。

[0374]

また、導電体246、および導電体248上に、導電体112を設けてもよい。導電体112は、トランジスタ200と接続するプラグ、または配線としての機能を有する。導電体110は、容量素子100の電極としての機能を有する。なお、導電体112、および導電体110は、同時に形成することができる。

[0375]

導電体112、および導電体110には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。または、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

[0376]

図12では、導電体112、および導電体110は単層構造を示したが、当該構成に限定されず、2層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

[0377]

絶縁体130を介して、導電体110と重畳するように、導電体120を設ける。なお、導電体120は、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料であるCu（銅）やAl（アルミニウム）等を用いればよい。

[0378]

導電体120、および絶縁体130上には、絶縁体150が設けられている。絶縁体150は、絶縁体320と同様の材料を用いて設けることができる。また、絶縁体150は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

[0379]

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制するとともに、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化また

は高集積化を図ることができる。

[0380]

<トランジスタの構成例>

図12及び図13では、ゲートとしての機能を機能する導電体260が、絶縁体280の開口の内部に形成されている構成例について説明したが、OSトランジスタの構成はこれに限られない。例えば、当該導電体の上方に、当該絶縁体が設けられた構成を用いることもできる。このようなトランジスタの構成例を、図14、図15に示す。

[0381]

図14(A)はトランジスタの上面図であり、図14(B)はトランジスタの斜視図である。また、図14(A)におけるX1-X2の断面図を図15(A)に示し、Y1-Y2の断面図を図15(B)に示す。

[0382]

図14、図15に示すトランジスタは、バックゲートとしての機能を有する導電体BGEと、ゲート絶縁膜としての機能を有する絶縁体BGIと、酸化物半導体Sと、ゲート絶縁膜としての機能を有する絶縁体FGIと、フロントゲートとしての機能を有する導電体FGEと、配線としての機能を有する導電体WEと、を有する。また、導電体PEは、導電体WEと、酸化物半導体S、導電体BGE、又は導電体FGEと、を接続するためのプラグとしての機能を有する。なお、ここでは、酸化物半導体Sが、3層の酸化物S1、S2、S3によって構成されている例を示している。

[0383]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0384]

(実施の形態5)

本実施の形態では、上記の実施の形態で説明したOSトランジスタに用いることができる金属酸化物であるCAC(Cloud-Aligned Composite)-OS、及びCAAC(c-axis aligned crystal)-OSの構成について説明する。なお、本明細書等において、CACは機能、または材料の構成の一例を表し、後述するCAACは結晶構造の一例を表す。

[0385]

<金属酸化物の構成>

CAC-OSまたはCAC-metal oxideとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-OSまたはCAC-metal oxideを、トランジスタの活性層に用いる場合、導電性の機能は、キャリアとなる電子(またはホール)を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能(On/Offさせる機能)をCAC-OSまたはCAC-metal oxideに付与することができる。CAC-OSまたはCAC-metal oxideにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

[0386]

また、CAC-OSまたはCAC-metal oxideは、導電性領域、及び絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。

また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

[0387]

また、CAC-OSまたはCAC-metal oxideにおいて、導電性領域と、絶縁性領域とは、それぞれ0.5nm以上10nm以下、好ましくは0.5nm以上3nm以下のサイズで材料中に分散している場合がある。

[0388]

また、CAC-OSまたはCAC-metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC-OSまたはCAC-metal oxideは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記CAC-OSまたはCAC-metal oxideをトランジスタのチャネル領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

[0389]

すなわち、CAC-OSまたはCAC-metal oxideは、マトリックス複合材(matrix composite)、または金属マトリックス複合材(metal matrix composite)と呼称することもできる。

[0390]

<金属酸化物の構造>

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS(c-axis aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS(nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体(a-like OS:amorphous-like oxide semiconductor)および非晶質酸化物半導体などがある。

[0391]

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

[0392]

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界(グレインバウンダリーともいう)を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

[0393]

また、CAAC-OSは、インジウム、および酸素を有する層（以下、In層）と、元素M、亜鉛、および酸素を有する層（以下、(M, Zn)層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn)層の元素Mがインジウムと置換した場合、(In, M, Zn)層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In, M)層と表すこともできる。

[0394]

CAAC-OSは結晶性の高い酸化物半導体である。一方、CAAC-OSは、明確な結晶粒界を確認することはできないため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-OSは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、OSトランジスタにCAAC-OSを用いると、製造工程の自由度を広げることが可能となる。

[0395]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

[0396]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆または低密度領域を有する。即ち、a-like OSは、nc-OSおよびCAAC-OSと比べて、結晶性が低い。

[0397]

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0398]

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

[0399]

なお、上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0400]

また、トランジスタには、キャリア密度の低い酸化物半導体を用いることが好ましい。酸化物半導体膜のキャリア密度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性と言う。例えば、酸化物半導体は、キャリア密度が $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、

$1 \times 10^{-9} / \text{cm}^3$ 以上とすればよい。

[0401]

また、高純度真性または実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0402]

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0403]

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0404]

<不純物>

ここで、酸化物半導体中における各不純物の影響について説明する。

[0405]

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコンや炭素の濃度と、酸化物半導体との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0406]

また、酸化物半導体にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属またはアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0407]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体を用いたトランジスタはノーマリーオン特性となりやすい。従って、該酸化物半導体において、窒素はできる限り低減されていることが好ましい、例えば、酸化物半導体中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0408]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成すること

がある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

[0409]

不純物が十分に低減された酸化物半導体をトランジスタのチャネル領域に用いることで、安定した電気特性を付与することができる。

[0410]

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

[0411]

(本明細書等の記載に関する付記)

以上の実施の形態における各構成の説明について、以下に付記する。

[0412]

<実施の形態で述べた本発明の一態様に関する付記>

各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、互いに構成例を適宜組み合わせることが可能である。

[0413]

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）と、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）との少なくとも一つの内容に対して、適用、組み合わせ、又は置き換えなどを行うことができる。

[0414]

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

[0415]

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）と、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）との少なくとも一つの図に対して、組み合わせることにより、さらに多くの図を構成させることができる。

[0416]

<序数詞に関する付記>

本明細書等において、「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものである。従って、本明細書等に記載する序数詞は、構成要素の数を限定するものではなく、また、構成要素の順序を限定するものではない。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

[0417]

<図面を説明する記載に関する付記>

実施の形態について図面を参照しながら説明している。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態の発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

[0418]

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。構成同士的位置関係は、各構成を描写する方向に応じて適宜変化する。そのため、配置を示す語句は、明細書等で説明した記載に限定されず、状況に応じて適切に言い換えることができる。例えば、「導電体の上面に位置する絶縁体」の表現では、示している図面の向きを180度回転することによって、「導電体の下面に位置する絶縁体」と言い換えることができる。

[0419]

また、「上」や「下」の用語は、構成要素の位置関係が直上又は直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。

[0420]

また、図面において、大きさ、層の厚さ、又は領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期すために模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

[0421]

また、図面において、斜視図などにおいて、図面の明確性を期すために、一部の構成要素の記載を省略している場合がある。

[0422]

また、図面において、同一の要素又は同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

[0423]

<言い換え可能な記載に関する付記>

本明細書等において、トランジスタの接続関係を説明する際、「ソース又はドレインの一方」(又は第1電極、又は第1端子)、「ソース又はドレインの他方」(又は第2電極、又は第2端子)という表記を用いる。これは、トランジスタのソースとドレインは、トランジスタの構造又は動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース(ドレイン)端子や、ソース(ドレイン)電極等、状況に応じて適切に言い換えることができる。また、本明細書等では、ゲート以外の2つの端子を第1端子、第2端子と呼ぶ場合や、第3端子、第4端子と呼ぶ場合がある。なお、本明細書等において、チャンネル形成領域はチャンネルが形成される領域を指し、ゲー

トに電位を印加することでこの領域が形成されて、ソース - ドレイン間に電流を流すことができる。

[0424]

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができるものとする。

[0425]

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

[0426]

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも0Vを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

[0427]

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。又は、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。又は、場合によっては、又は、状況に応じて、「膜」、「層」などの語句を使わずに、別の用語に入れ替えることが可能である。例えば、「導電層」又は「導電膜」という用語を、「導電体」という用語に変更することが可能な場合がある。又は、例えば、「絶縁層」「絶縁膜」という用語を、「絶縁体」という用語に変更することが可能な場合がある。

[0428]

なお本明細書等において、「配線」、「信号線」、「電源線」などの用語は、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「配線」という用語を、「信号線」という用語に変更することが可能な場合がある。また、例えば、「配線」という用語を、「電源線」などの用語に変更することが可能な場合がある。また、その逆も同様で、「信号線」「電源線」などの用語を、「配線」という用語に変更することが可能な場合がある。「電源線」などの用語は、「信号線」などの用語に変更することが可能な場合がある。また、その逆も同様で「信号線」などの用語は、「電源線」などの用語に変更することが可能な場合がある。また、配線に印加されている「電位」という用語を、場合によっては、又は、状況に応じて、「信号」などという用語に変更することが可能な場合がある。また、その逆も同様で、「信号」などの用語は、「電位」という用語に変更することが可能な場合がある。

[0429]

<語句の定義に関する付記>

以下では、上記実施の形態中で言及した語句の定義について説明する。

[0430]

<<半導体の不純物について>>

半導体の不純物とは、例えば、半導体層を構成する主成分以外をいう。例えば、濃度が0.1原子%

未満の元素は不純物である。不純物が含まれることにより、例えば、半導体にDOS (Density of States) が形成されることや、キャリア移動度が低下することや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、主成分以外の遷移金属などがあり、特に、例えば、水素（水にも含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、例えば水素などの不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコンである場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

[0431]

<<スイッチについて>>

本明細書等において、スイッチとは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。又は、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

[0432]

一例としては、電氣的スイッチ又は機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

[0433]

電氣的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM (Metal Insulator Metal) ダイオード、MIS (Metal Insulator Semiconductor) ダイオード、ダイオード接続のトランジスタなど）、又はこれらを組み合わせた論理回路などがある。

[0434]

なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に短絡されているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性（導電型）は特に限定されない。

[0435]

機械的なスイッチの一例としては、デジタルマイクロミラーデバイス (DMD) のように、MEMS (マイクロ・エレクトロ・メカニカル・システム) 技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

[0436]

<<接続について>>

本明細書等において、XとYとが接続されている、と記載する場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とを含むものとする。したがって、所定の接続関係、例えば、図又は文章に示された接続関係に限定されず、図又は文章に示された接続関係以外のものも含むものとする。

[0437]

ここで使用するX、Yなどは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

[0438]

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。

[0439]

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅又は電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロウ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

[0440]

なお、XとYとが電氣的に接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

[0441]

なお、例えば、トランジスタのソース（又は第1の端子など）が、Z1を介して（又は介さず）、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2を介して（又は介さず）、Yと電氣的に接続されている場合や、トランジスタのソース（又は第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合では、以下のように表現することが出来る。

[0442]

例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。又は、「トランジスタのソース（又は第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電氣的

に接続されている」と表現することができる。又は、「Xは、トランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z1、Z2は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

[0443]

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

[0444]

<<平行、垂直について>>

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

[符号の説明]

[0445]

MACF：演算回路、IS：電流供給回路、WDD：回路、CLD：回路、WLD：回路、OFST：回路、ACTV：活性化関数回路、CS：バイアス回路、SOC：電流ソース回路、SIC：電流シンク回路、CUM：カレントミラー回路、CUIN：内部回路、AM[1]：メモリセル、AM[2]：メモリセル、AMref[1]：メモリセル、AMref[2]：メモリセル、WL[1]：配線、WL[2]：配線、CL[1]：配線、CL[2]：配線、WD：配線、WDref：配線、BL：配線、BLref：配線、VR0：配線、ISL0：配線、ISL1：配線、ISL2：配線、ISL3：配線、ISL4：配線、ISL5：配線、OSM：配線、OSP：配線、VDDML：配線、VSSML：配線、VHL：配線、BGL1：配線、BGL2：配線、IT：端子、ITref：端子、NP：端子、NPref：端子、NC：端子、SW：アナログスイッチ、Tr11：トランジスタ、Tr12：トランジスタ、Tr31：トランジスタ、Tr32：トランジスタ、Tr40：トランジスタ、Tr41：トランジスタ、Tr42：トランジスタ、Tr51：トランジスタ、Tr52：トランジスタ、Tr53：トランジスタ、Tr61：トランジスタ、Tr62：トランジスタ、Tr63：トランジスタ、CP：容量素子、C5：容量素子、C6：容量素子、WE：導電体、FGE：導電体、FGI：絶縁体、BGE：導電体、BGI：絶縁体、PE：導電体、S：酸化半導体、S1：酸化物、S2：酸化物、S3：酸化物、100：容量素子、110：導電体、112：導電体、120：導電体、130：絶縁体、150：絶縁体、200：トランジスタ、203：導電体、203a：導

電体、203b:導電体、210:絶縁体、212:絶縁体、214:絶縁体、216:絶縁体、218:導電体、220:絶縁体、222:絶縁体、224:絶縁体、230:酸化物、230a:酸化物、230b:酸化物、230c:酸化物、234:領域、240a:導電体、240b:導電体、242:導電体、242a:導電体、242b:導電体、243:領域、243a:領域、243b:領域、244:絶縁体、246:導電体、248:導電体、250:絶縁体、260:導電体、260a:導電体、260b:導電体、274:絶縁体、280:絶縁体、281:絶縁体、282:絶縁体、286:絶縁体、300:トランジスタ、311:基板、313:半導体領域、314a:低抵抗領域、314b:低抵抗領域、315:絶縁体、316:導電体、320:絶縁体、322:絶縁体、324:絶縁体、326:絶縁体、328:導電体、330:導電体、350:絶縁体、352:絶縁体、354:絶縁体、356:導電体、360:絶縁体、362:絶縁体、364:絶縁体、366:導電体、370:絶縁体、372:絶縁体、374:絶縁体、376:導電体、380:絶縁体、382:絶縁体、384:絶縁体、386:導電体、400:OSAIチップ、401:レシーバ、403:デジタル-アナログコンバータ、404:デジタル-アナログコンバータ、405:MACアレイ、406:MACアレイ、407:ゲートドライバ、408:デジタル-アナログコンバータ、409:トランスミッタ、1001:配線、1002:配線、1003:配線、1004:配線、1005:配線、1006:配線、5100:サーバ、5200:携帯ゲーム機、5201:筐体、5202:表示部、5203:ボタン、5300:デスクトップ型情報端末、5301:本体、5302:ディスプレイ、5303:キーボード、5400:並列計算機、5410:ラック、5420:計算機、5421:PCカード、5422:ボード、5423:接続端子、5424:接続端子、5425:接続端子、5426:チップ、5427:チップ、5428:接続端子、5430:マザーボード、5431:スロット、5432:接続端子、5433:接続端子、5500:情報端末、5510:筐体、5511:表示部、5600:TV、5650:アンテナ、5670:電波塔、5675A:電波、5675B:電波、5680:放送局、5700:自動車、5800:電気冷凍冷蔵庫、5801:筐体、5802:冷蔵室用扉、5803:冷凍室用扉、6100:拡張デバイス、6101:筐体、6102:キャップ、6103:USBコネクタ、6104:基板、6105:チップ、6106:コントローラチップ、6240:デジタルカメラ、6241:筐体、6242:表示部、6243:操作ボタン、6244:シャッターボタン、6246:レンズ、6300:ビデオカメラ、6301:第1筐体、6302:第2筐体、6303:表示部、6304:操作キー、6305:レンズ、6306:接続部、6431:筐体、6432:表示部、6433:掌紋読み取り部、6434:配線、6435:手、7000:情報端末、7010:筐体、7011:カバー、7012:モニタ部、7013:キーボード、7014:PCカード、7015:ポート

請求の範囲

[請求項 1]

半導体装置を有する電子機器であって、
前記半導体装置は、第 1 回路と、メモリセルアレイと、スイッチと、を有し、
前記第 1 回路は、カレントミラー回路と、第 2 回路と、第 1 出力端子と、第 2 出力端子と、を有し、
前記第 1 出力端子は、前記メモリセルアレイに電氣的に接続され、
前記第 2 出力端子は、前記メモリセルアレイと、前記スイッチの第 1 端子と、に電氣的に接続され、
前記カレントミラー回路は、第 3 出力端子と、第 4 出力端子と、第 1 トランジスタと、を有し、
前記第 3 出力端子は、前記第 1 出力端子と電氣的に接続され、
前記第 4 出力端子は、前記第 2 出力端子と電氣的に接続され、
前記第 1 トランジスタの第 1 端子は、前記カレントミラー回路に対して電源電圧を与える配線と電氣的に接続され、
前記カレントミラー回路は、前記第 3 出力端子の電位に応じた電流を、前記第 3 出力端子、及び前記第 4 出力端子に出力する機能を有し、
前記第 2 回路は、電流ソース回路と、電流シンク回路と、第 2 トランジスタと、第 3 トランジスタと、を有し、
前記第 2 トランジスタの第 1 端子は、前記第 3 トランジスタの第 1 端子と、前記第 2 出力端子と、に電氣的に接続され、
前記第 2 トランジスタの第 2 端子は、前記電流ソース回路と電氣的に接続され、
前記第 3 トランジスタの第 2 端子は、前記電流シンク回路と電氣的に接続されることを特徴とする電子機器。

[請求項 2]

請求項 1 において、
前記カレントミラー回路は、第 4 乃至第 6 トランジスタを有し、
前記第 1 トランジスタ、及び前記第 4 乃至第 6 トランジスタのそれぞれは、p チャネル型トランジスタであり、
前記第 4 トランジスタの第 1 端子は、前記第 1 トランジスタの第 2 端子と、前記第 3 出力端子と、に電氣的に接続され、
前記第 4 トランジスタの第 2 端子は、前記第 1 トランジスタのゲートに電氣的に接続され、
前記第 5 トランジスタの第 1 端子は、前記第 4 出力端子と電氣的に接続され、
前記第 6 トランジスタの第 1 端子は、前記第 1 トランジスタのゲートと、前記第 5 トランジスタのゲートと、に電氣的に接続されることを特徴とする電子機器。

[請求項 3]

請求項 1、又は請求項 2 において、
前記電流ソース回路は、第 7 トランジスタと、第 8 トランジスタと、第 1 容量素子と、を有し、
前記第 2 トランジスタ、及び前記第 7 トランジスタのそれぞれは、p チャネル型のトランジスタであり、
前記第 8 トランジスタは、n チャネル型のトランジスタであり、
前記第 7 トランジスタの第 1 端子は、前記第 2 トランジスタの第 2 端子と、前記第 8 トランジスタの第 1 端子と、に電氣的に接続され、

前記第7トランジスタのゲートは、前記第8トランジスタの第2端子と、前記第1容量素子の第1端子と、に電氣的に接続され、

前記第7トランジスタの第2端子は、前記第1容量素子の第2端子に電氣的に接続されることを特徴とする電子機器。

[請求項4]

請求項3において、

前記第8トランジスタは、チャネル形成領域に金属酸化物を有することを特徴とする電子機器。

[請求項5]

請求項1乃至請求項4のいずれか一において、

前記電流シンク回路は、第9トランジスタと、第10トランジスタと、第2容量素子と、を有し、前記第3トランジスタ、前記第9トランジスタ、及び前記第10トランジスタは、nチャネル型のトランジスタであり、

前記第9トランジスタの第1端子は、前記第3トランジスタの第2端子と、前記第10トランジスタの第1端子と、に電氣的に接続され、

前記第9トランジスタのゲートは、前記第10トランジスタの第2端子と、前記第2容量素子の第1端子と、に電氣的に接続され、

前記第9トランジスタの第2端子は、前記第2容量素子の第2端子に電氣的に接続されることを特徴とする電子機器。

[請求項6]

請求項5において、

前記第3トランジスタ、前記第9トランジスタ、及び前記第10トランジスタの少なくとも一は、チャネル形成領域に金属酸化物を有することを特徴とする電子機器。

[請求項7]

請求項1乃至請求項6のいずれか一において、

前記メモリセルアレイは、第1メモリセルと、第2メモリセルと、を有し、

前記第1メモリセル、及び前記第2メモリセルのそれぞれは、第11トランジスタと、第12トランジスタと、第3容量素子と、を有し、

前記第1メモリセル、及び前記第2メモリセルのそれぞれにおいて、前記第11トランジスタの第1端子は、前記第12トランジスタのゲートと、前記第3容量素子の第1端子と電氣的に接続され、

前記第1メモリセルの前記第12トランジスタの第1端子は、前記第1出力端子と電氣的に接続され、

前記第2メモリセルの前記第12トランジスタの第1端子は、前記第2出力端子と、前記スイッチの第1端子と、に電氣的に接続されることを特徴とする電子機器。

[請求項8]

請求項7において、

前記第1メモリセル、及び前記第2メモリセルのそれぞれの前記第11トランジスタは、チャネル形成領域に金属酸化物を有することを特徴とする電子機器。

[請求項9]

請求項1乃至請求項8のいずれか一において、

第3回路を有し、

前記第 3 回路は、入力端子と、第 5 出力端子と、を有し、

前記入力端子は、前記スイッチの第 2 端子に電氣的に接続され、

前記第 3 回路は、前記入力端子に入力された電流の変動量をサンプリングして、当該変動量に応じた電位を前記第 5 出力端子に出力することを特徴とする電子機器。

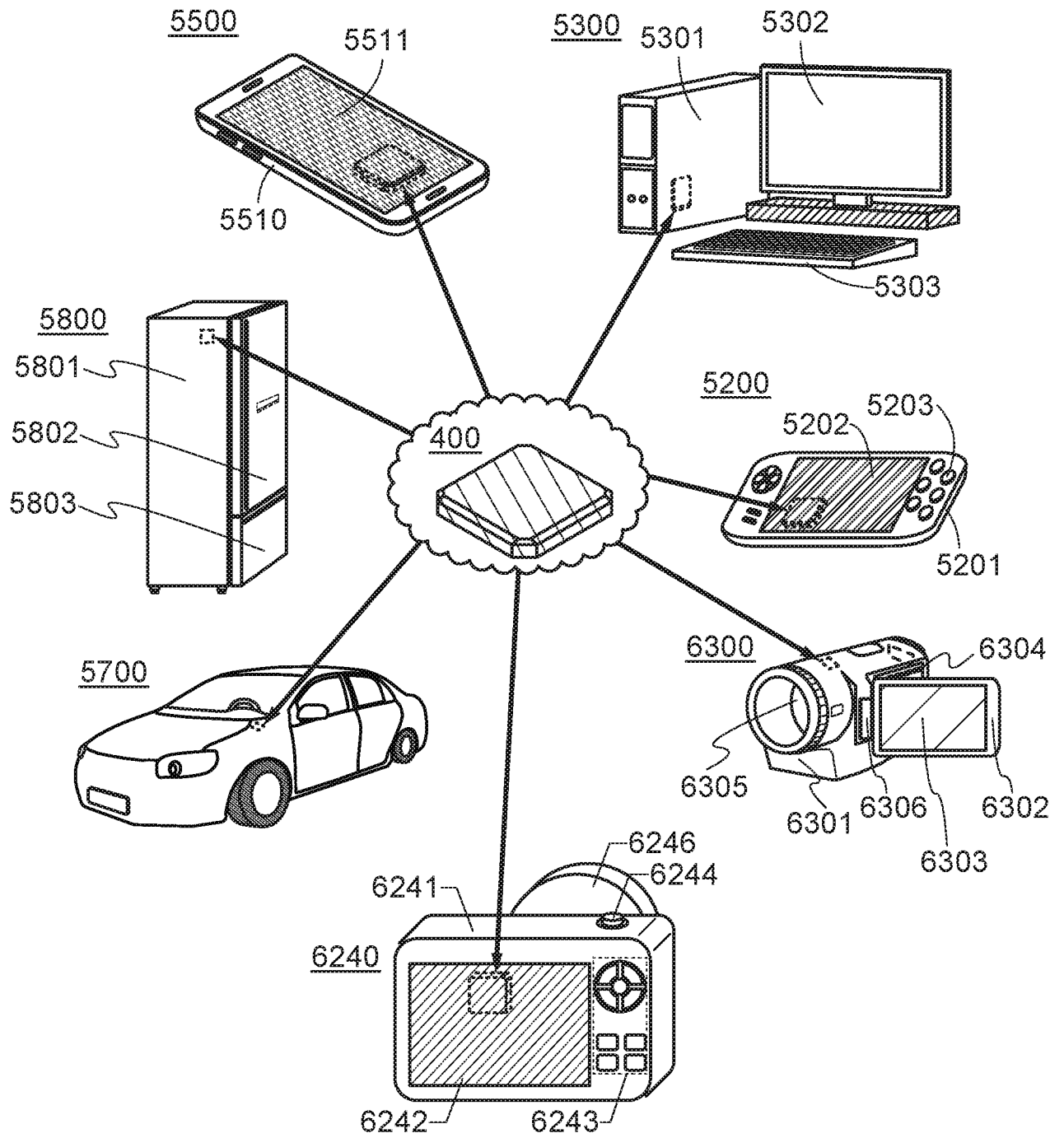
[請求項 10]

人工知能の演算処理を用いて音声認識、及び／又はパターン認識を行う、請求項 1 乃至請求項 9 のいずれかに記載の電子機器。

[請求項 11]

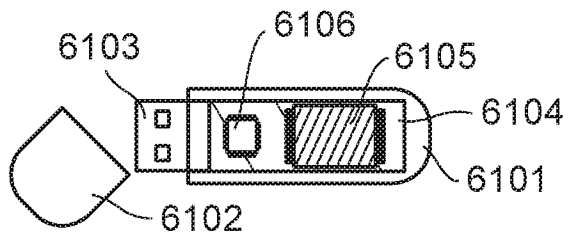
人工知能の演算処理を用いて生体認証を行う、請求項 1 乃至請求項 9 のいずれかに記載の電子機器。

[図 1]

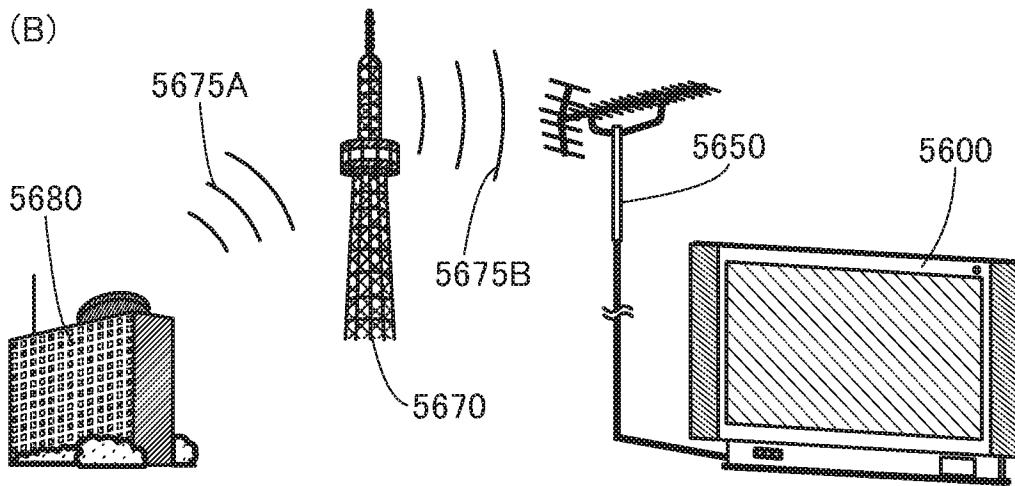


[図 2]

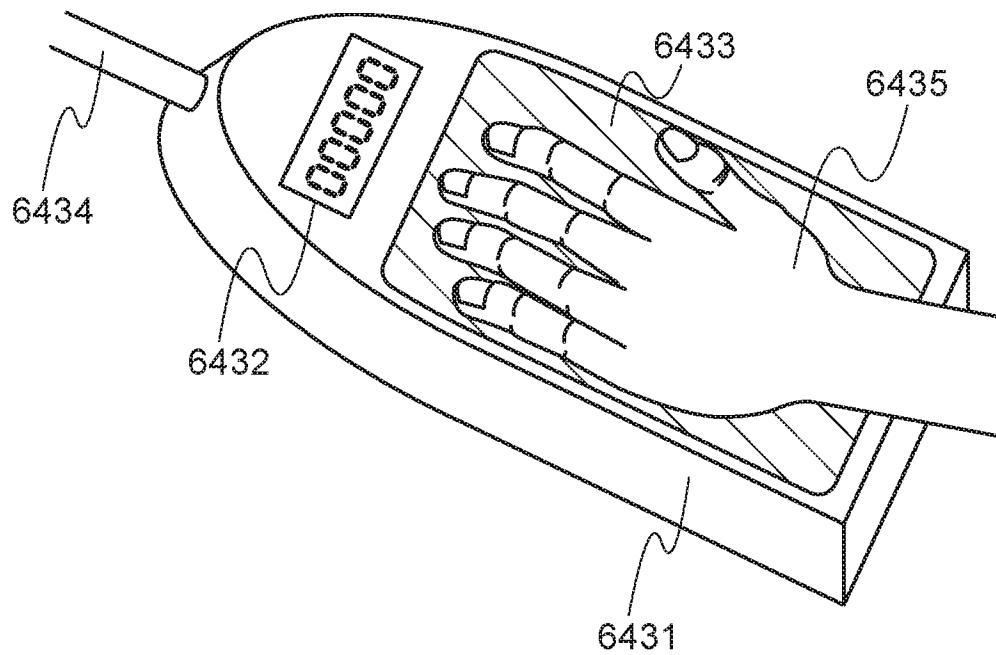
(A) 6100



(B)

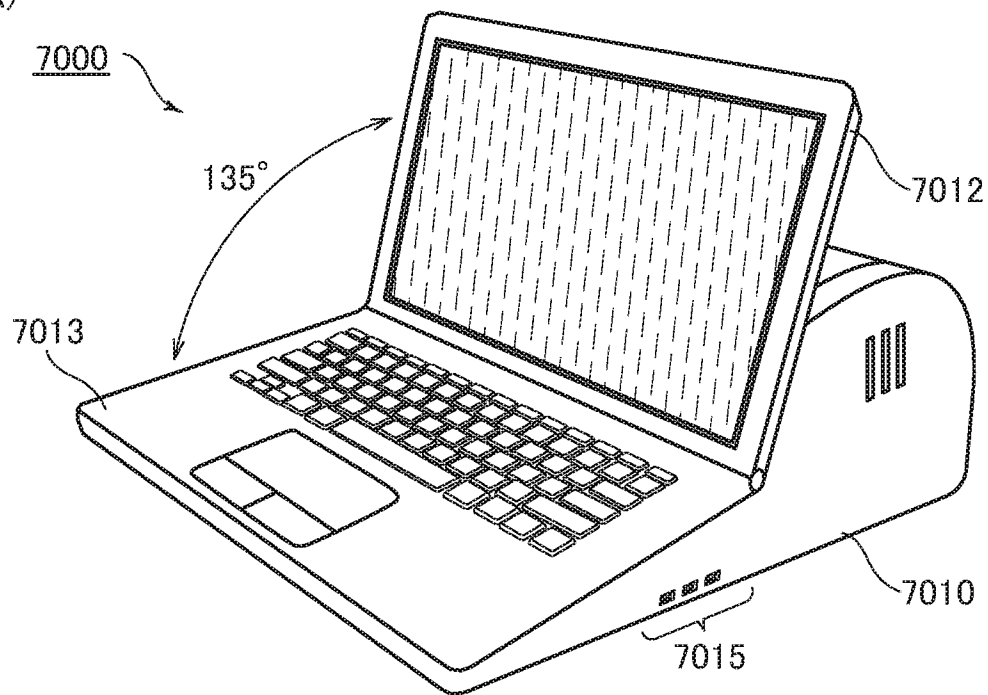


(C)

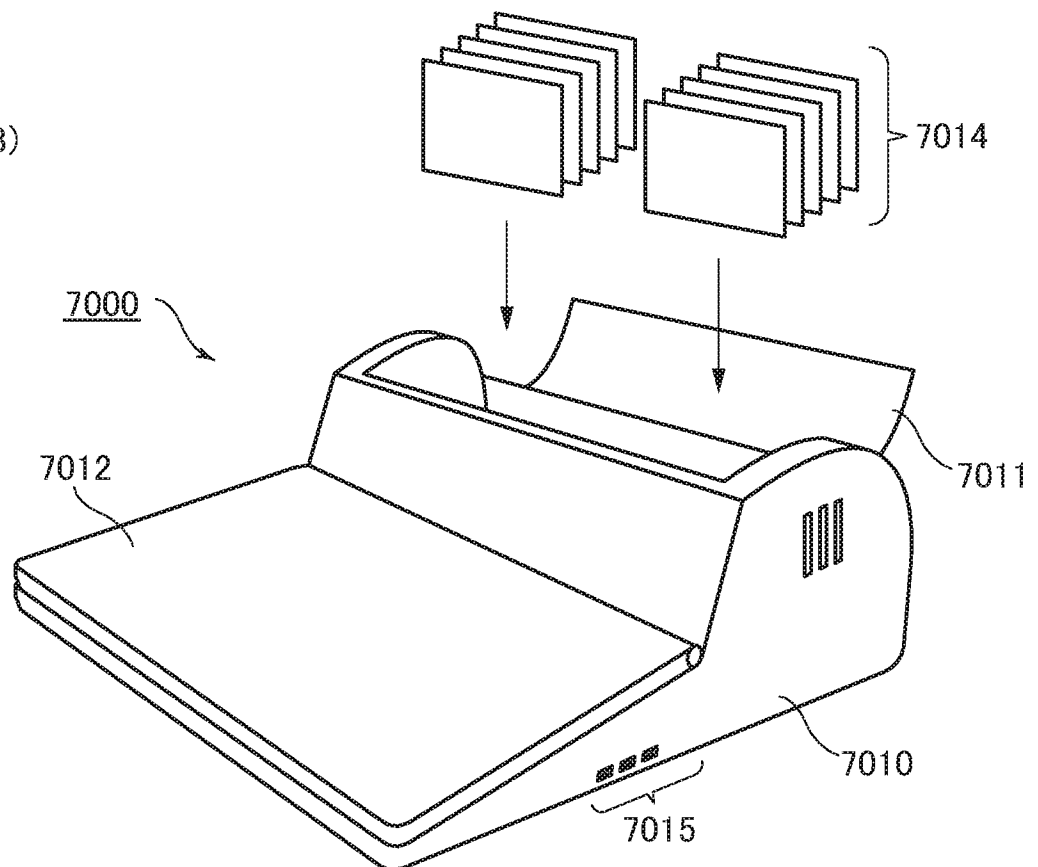


[図 3]

(A)

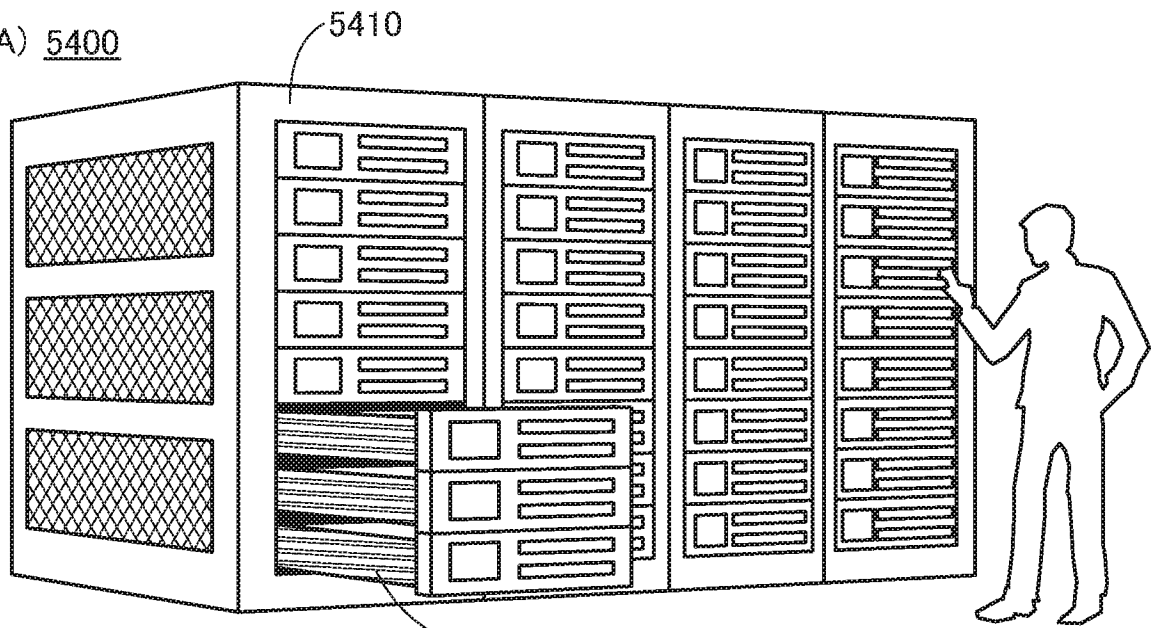


(B)

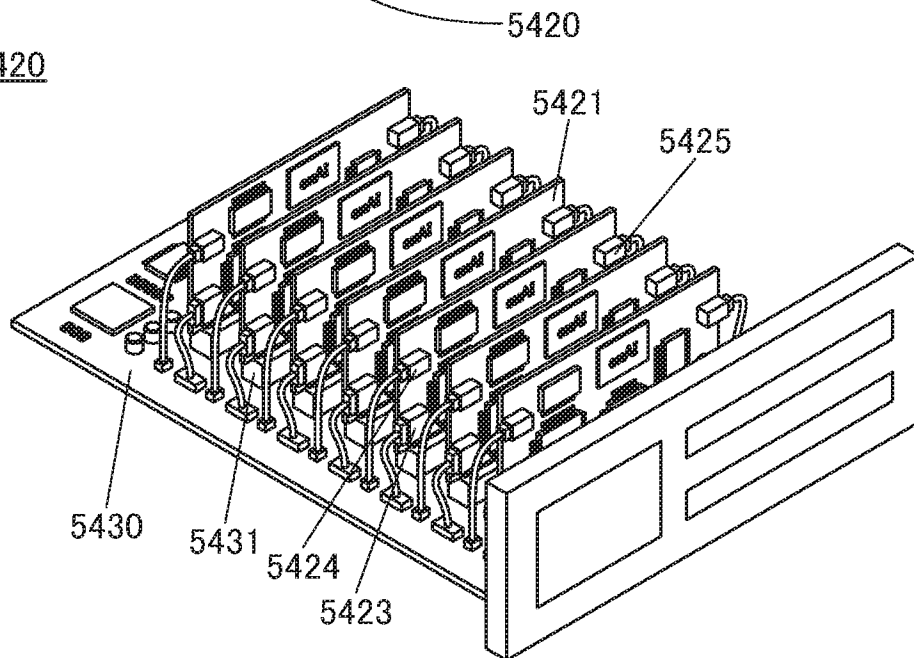


[図 4]

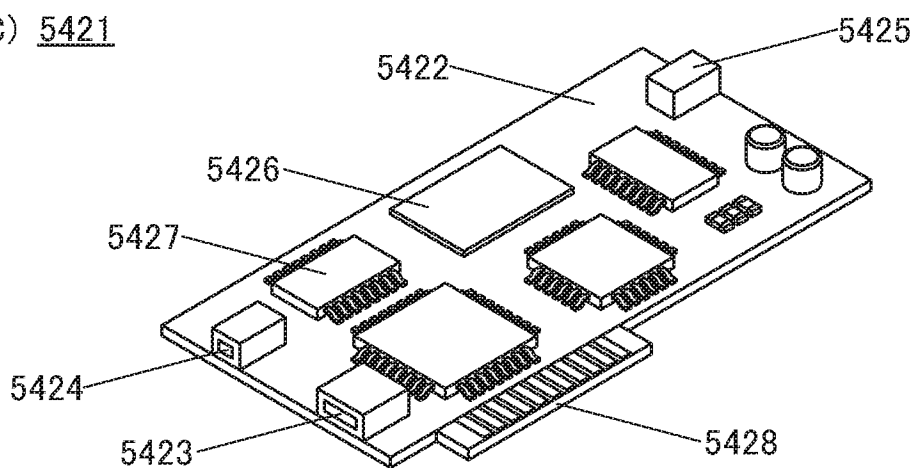
(A) 5400



(B) 5420

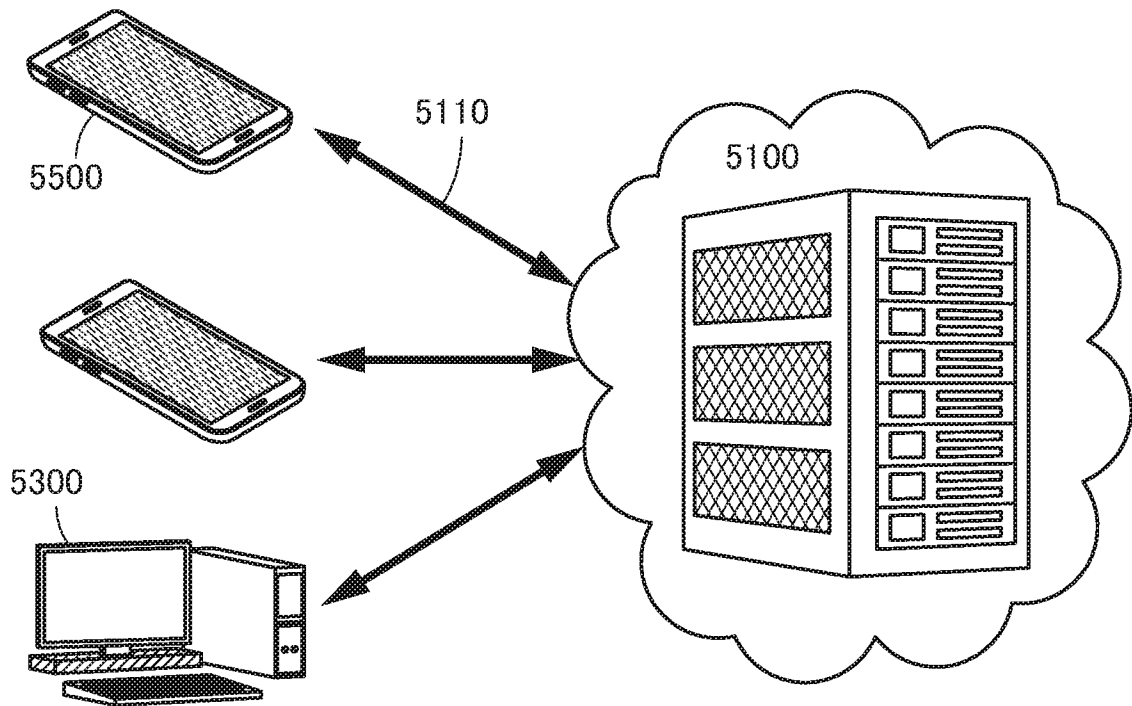


(C) 5421

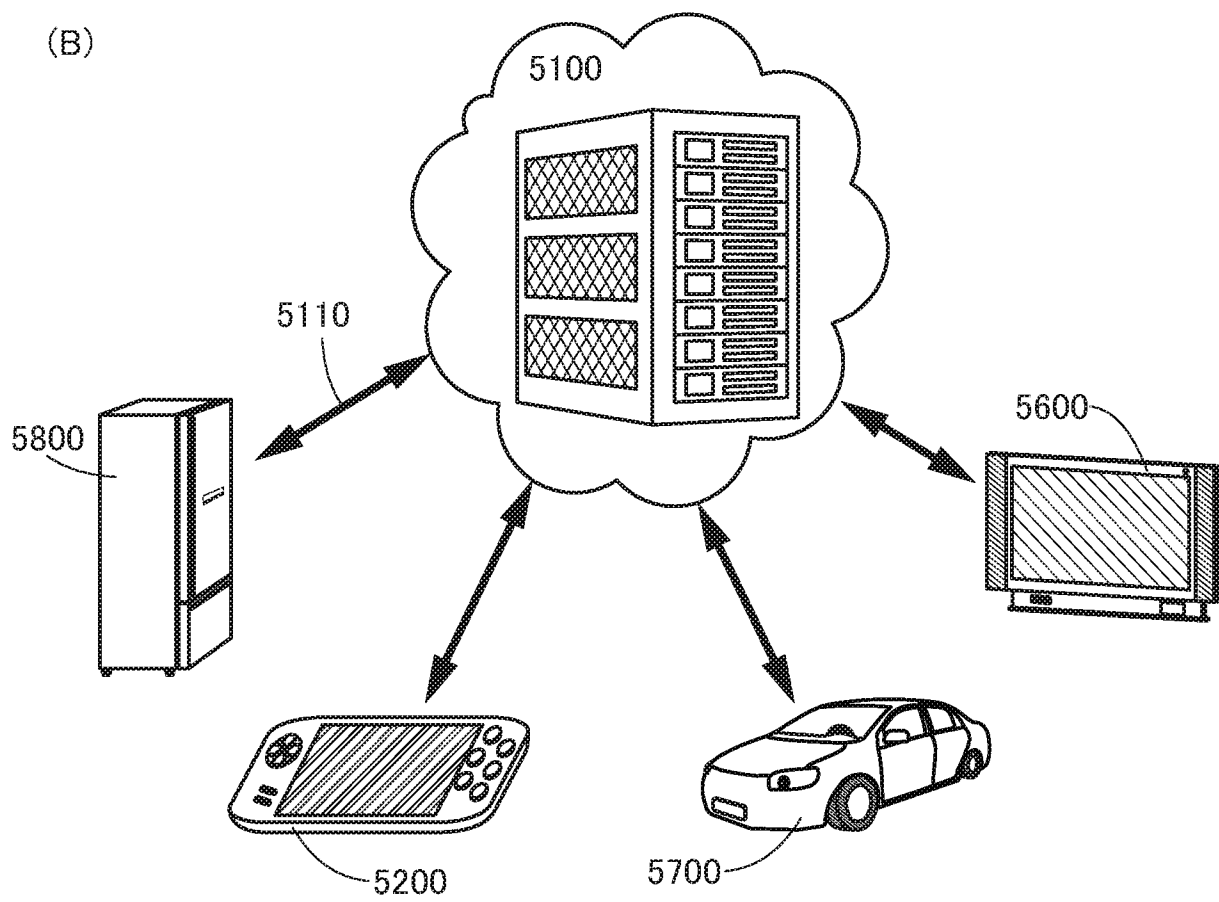


[図 5]

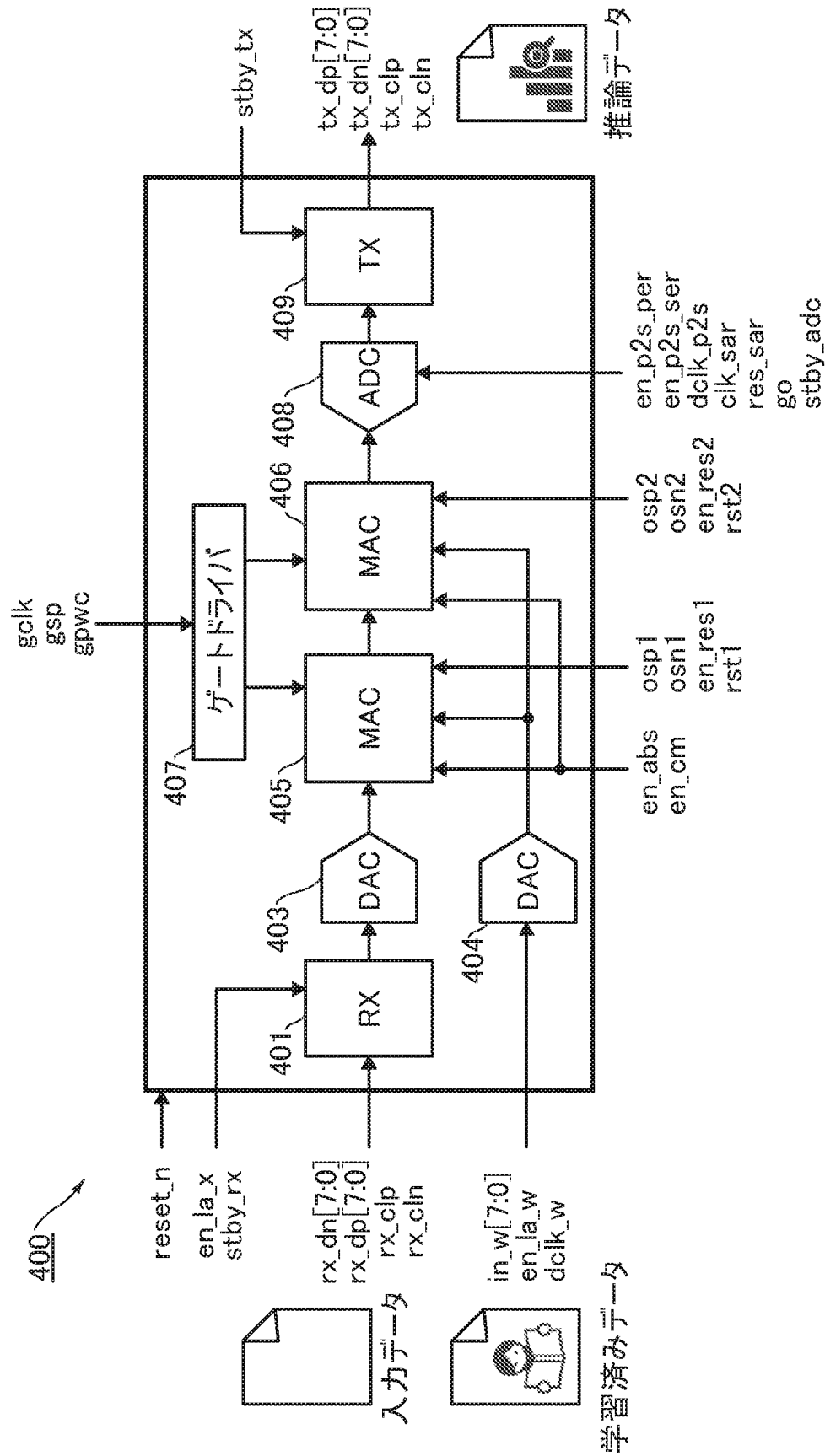
(A)



(B)

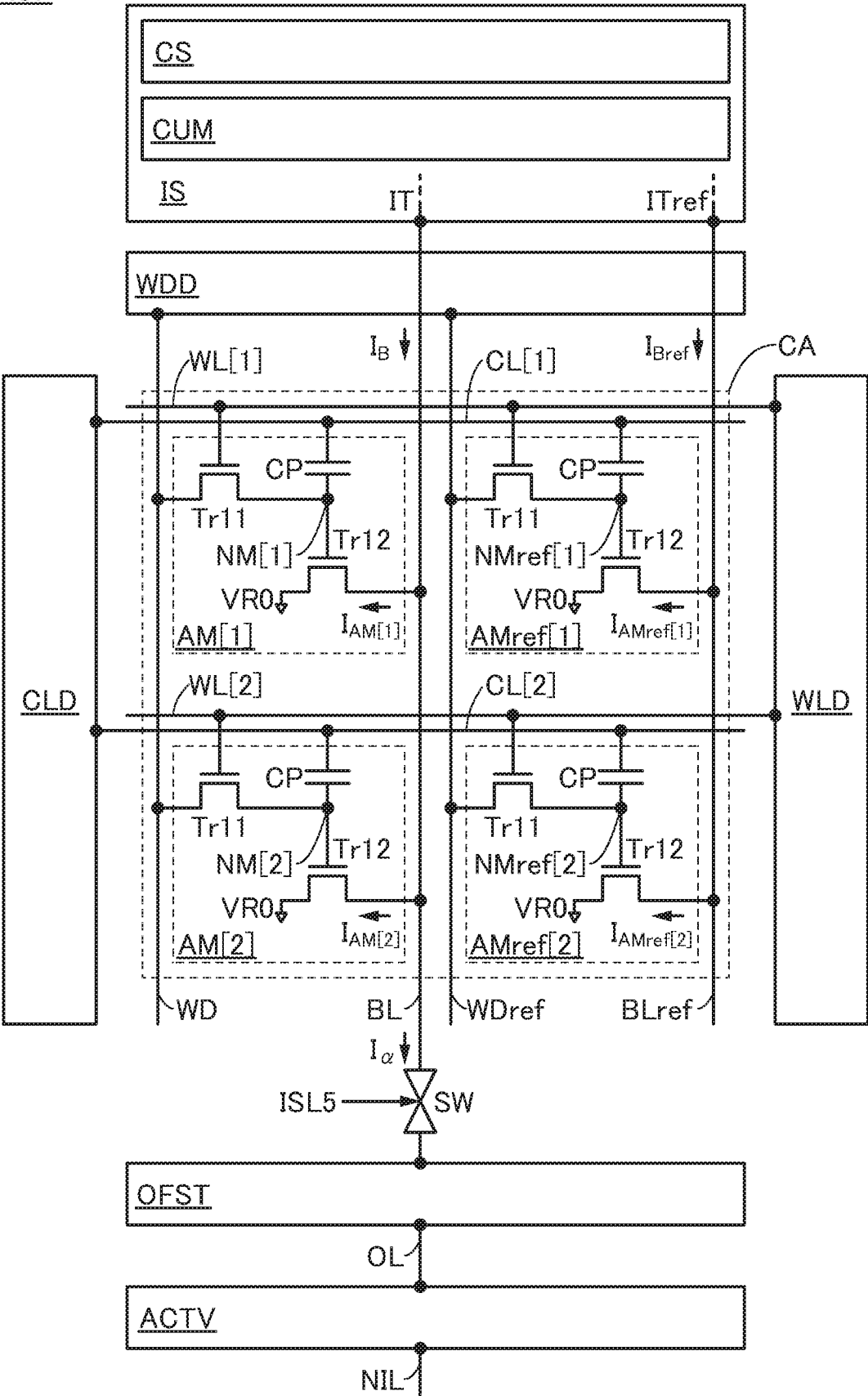


[図 6]

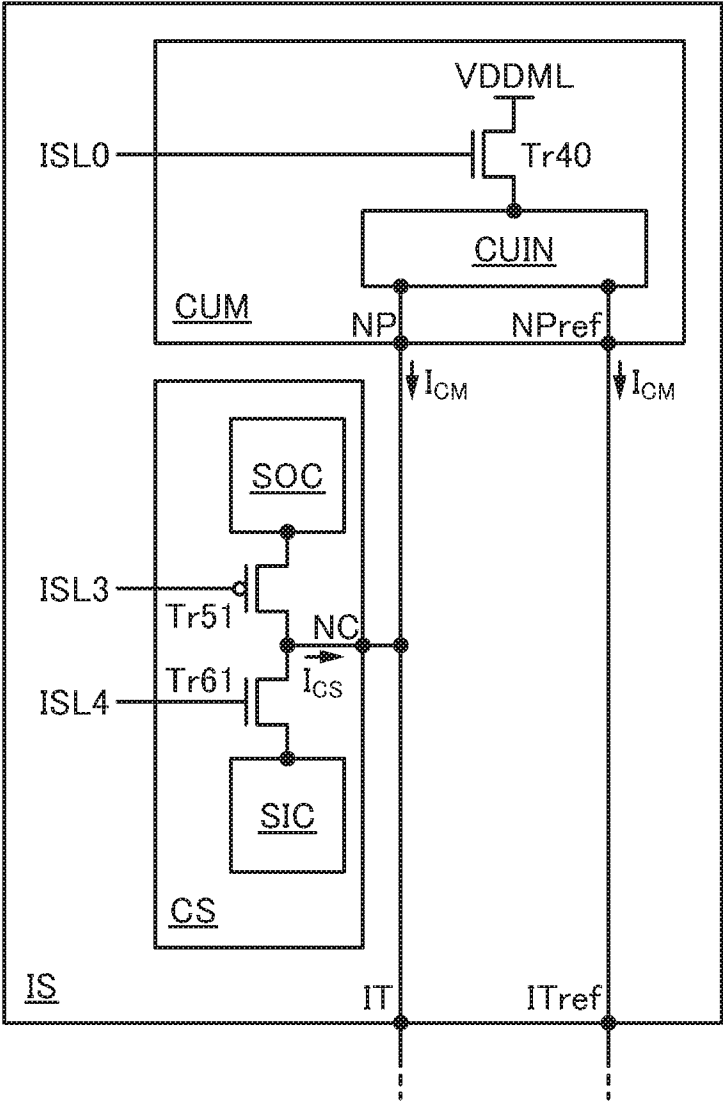


[図 7]

MACF

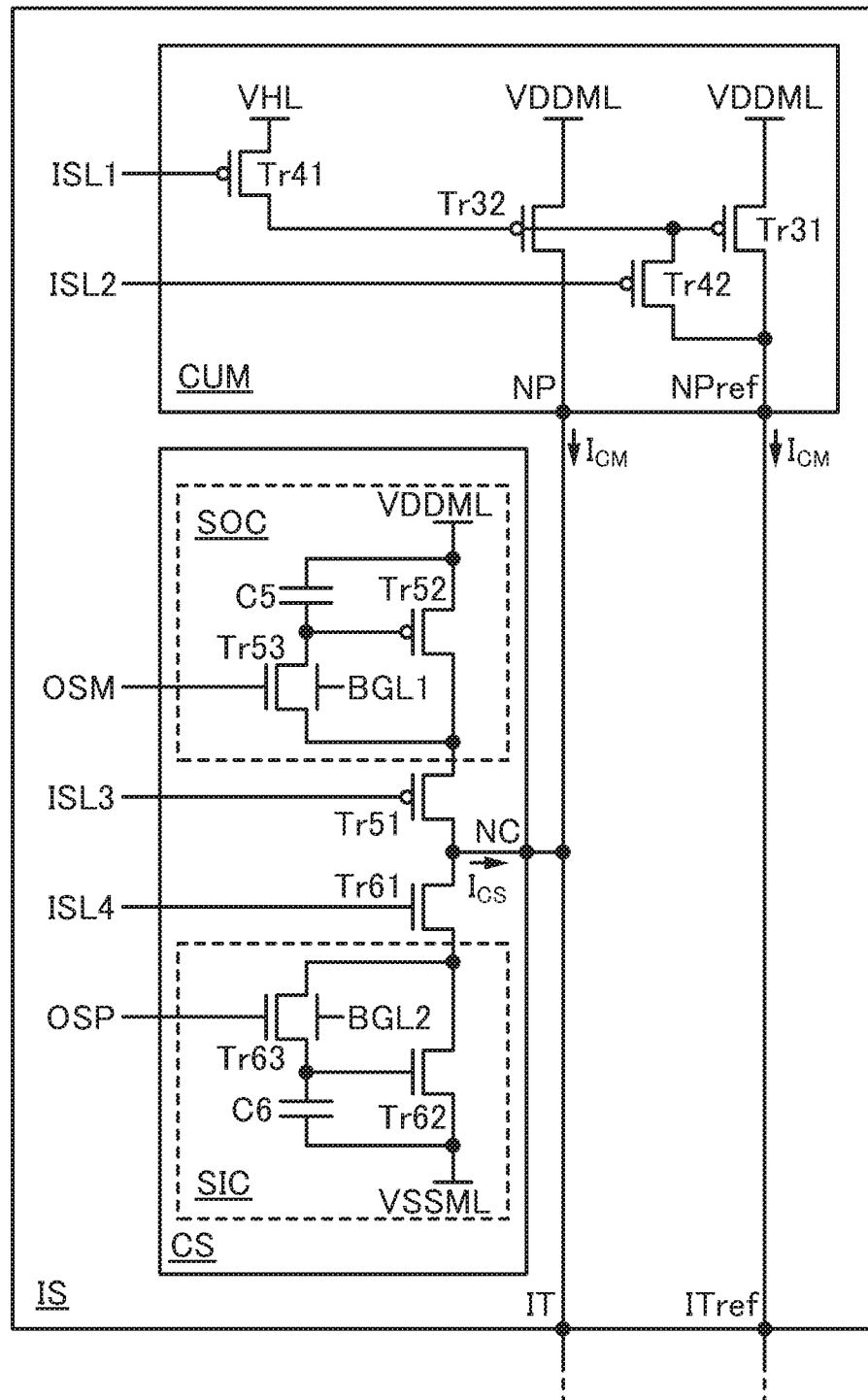


[図 8]

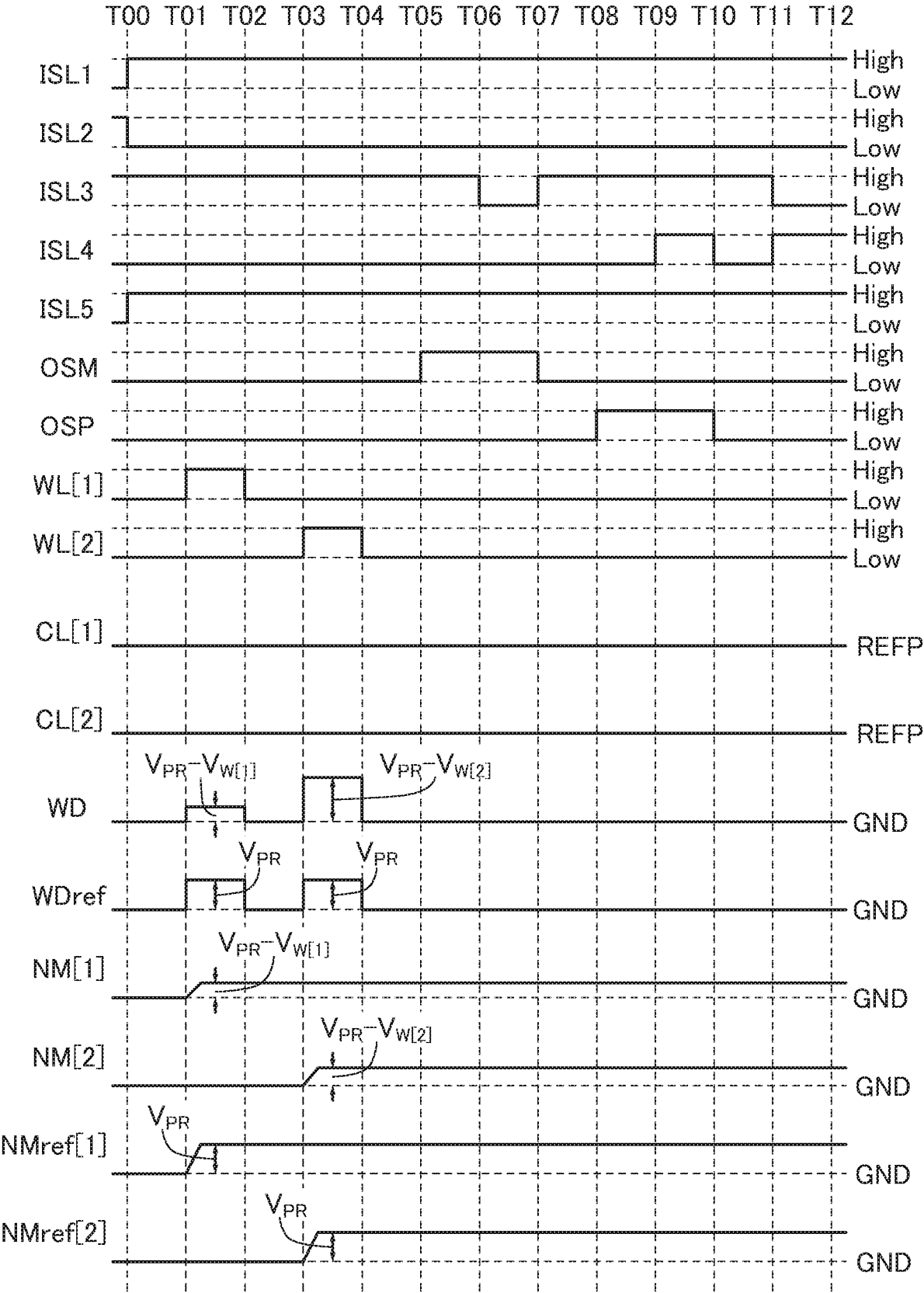


9/15

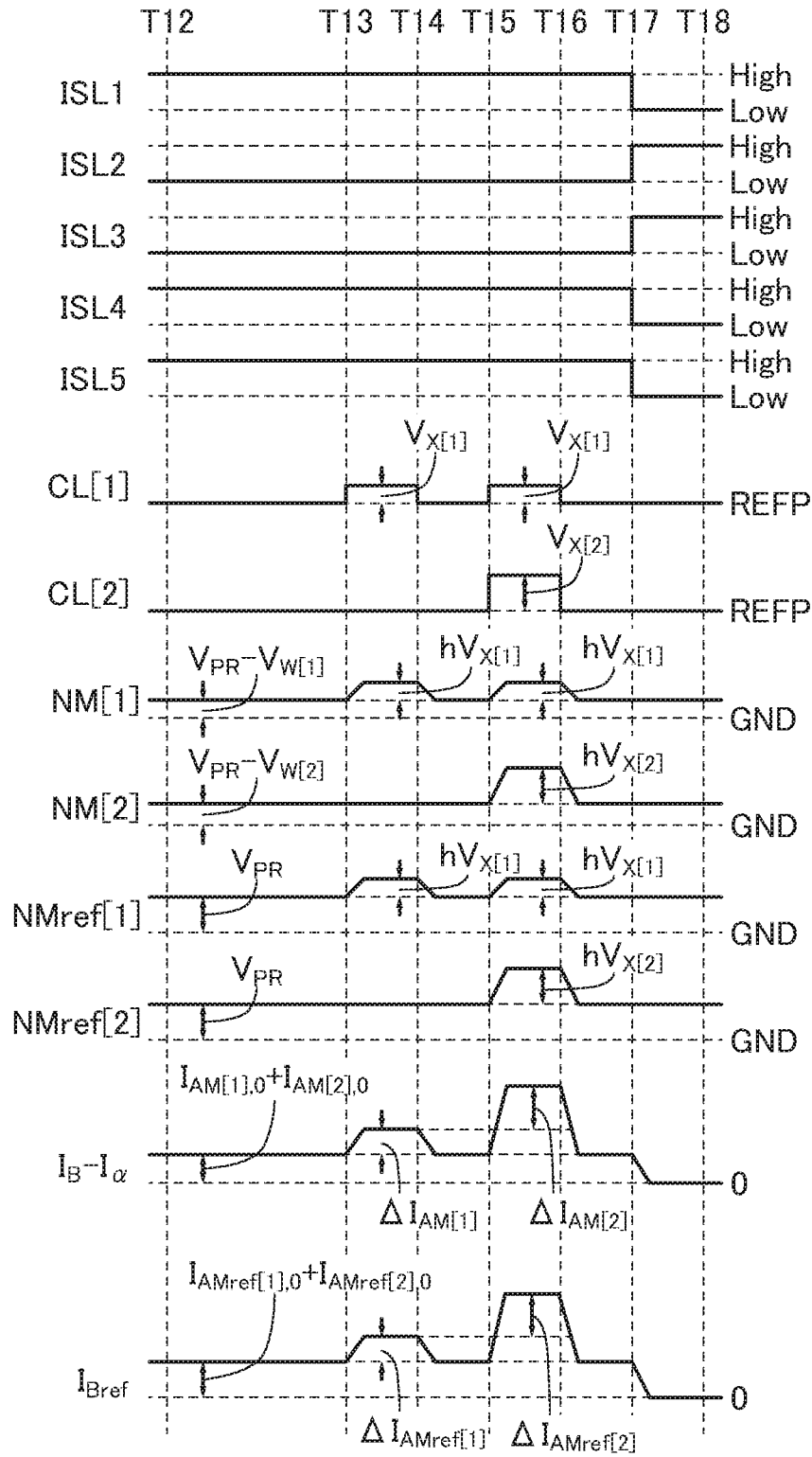
[図 9]



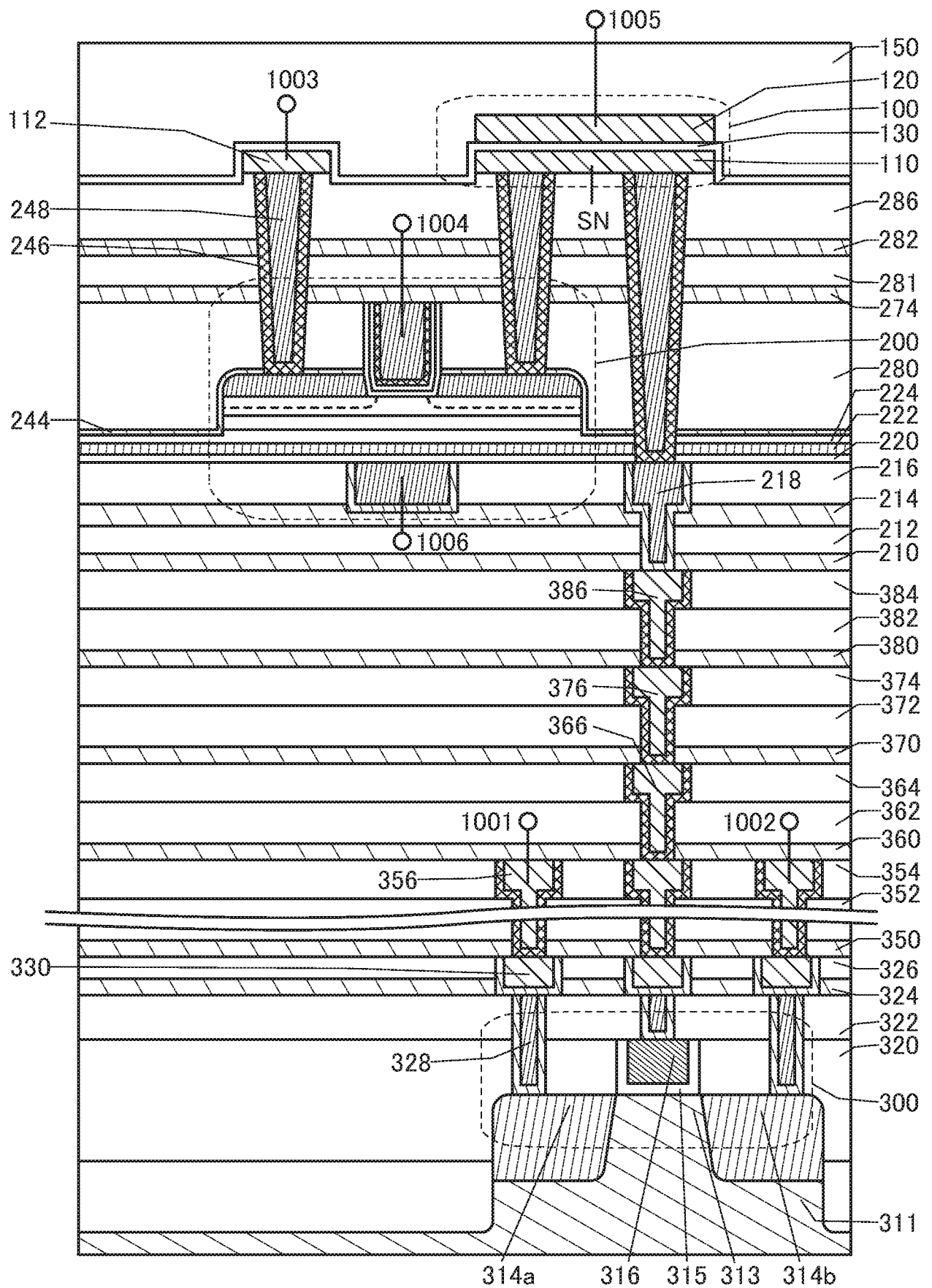
[図]10



[図11]

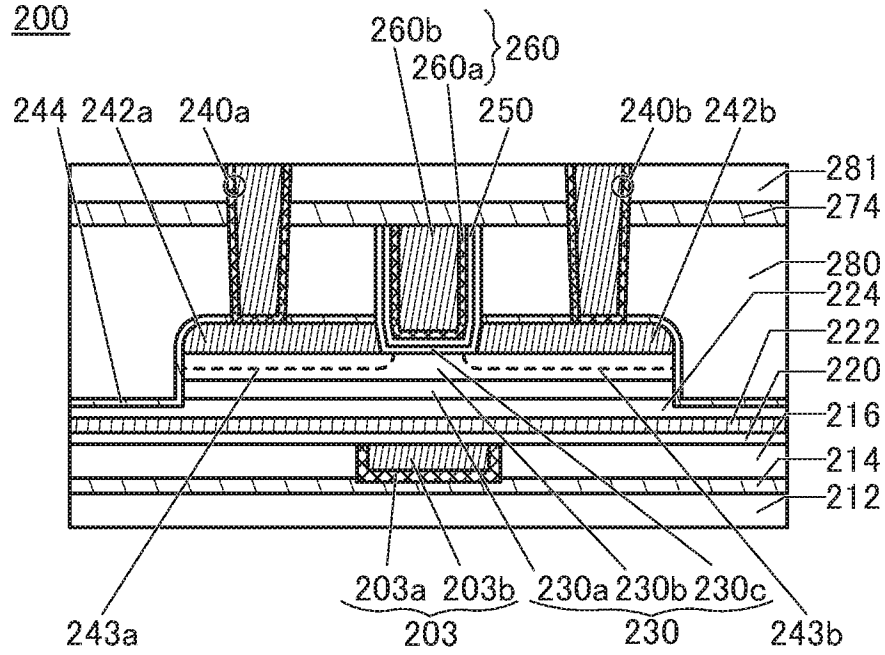


[図12]

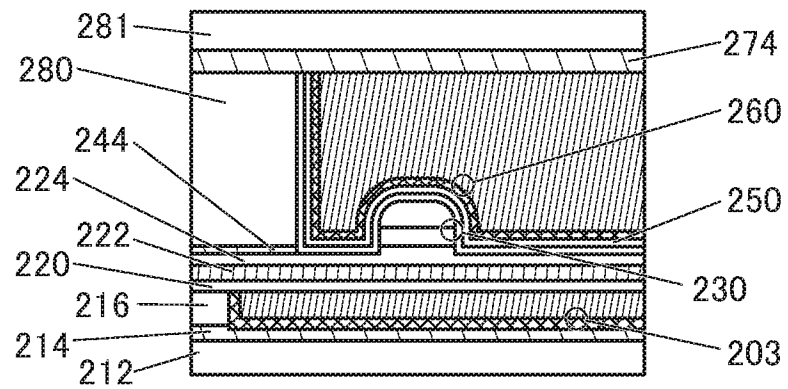


[図13]

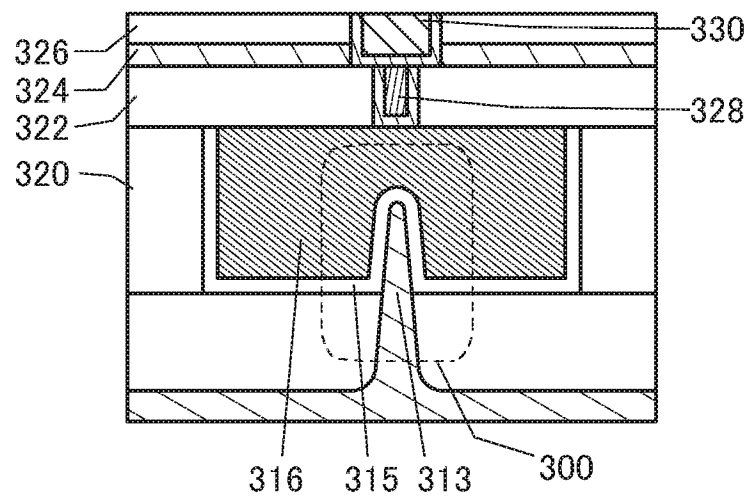
(A) 200



(B) 200



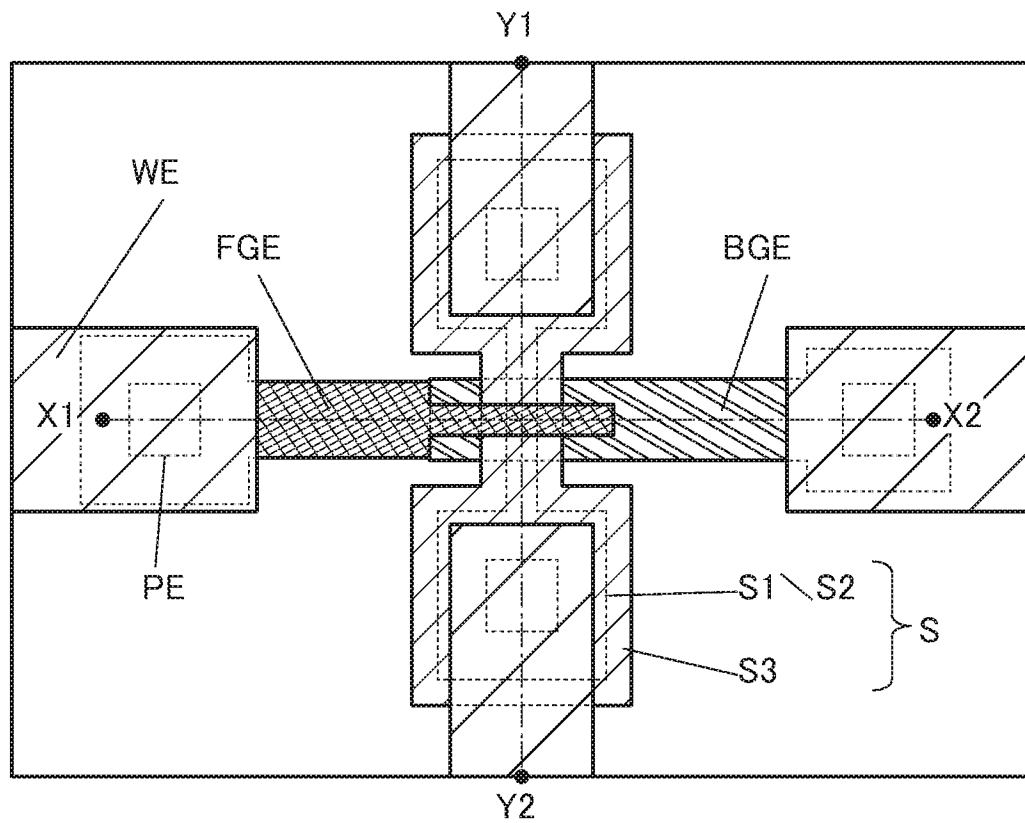
(C)



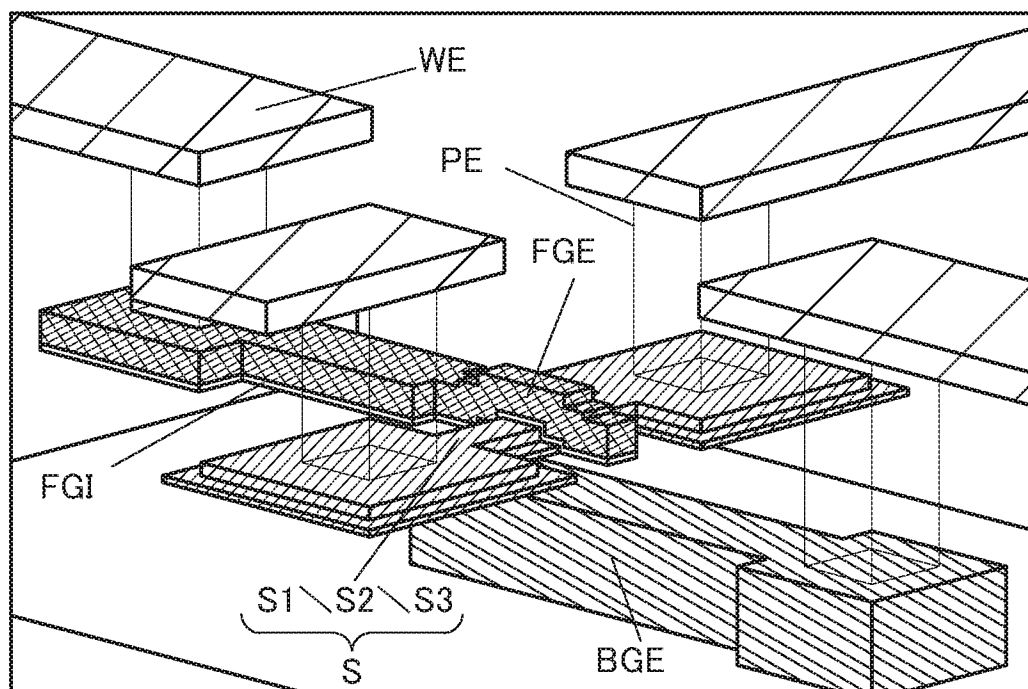
[ 14]

14/15

(A)



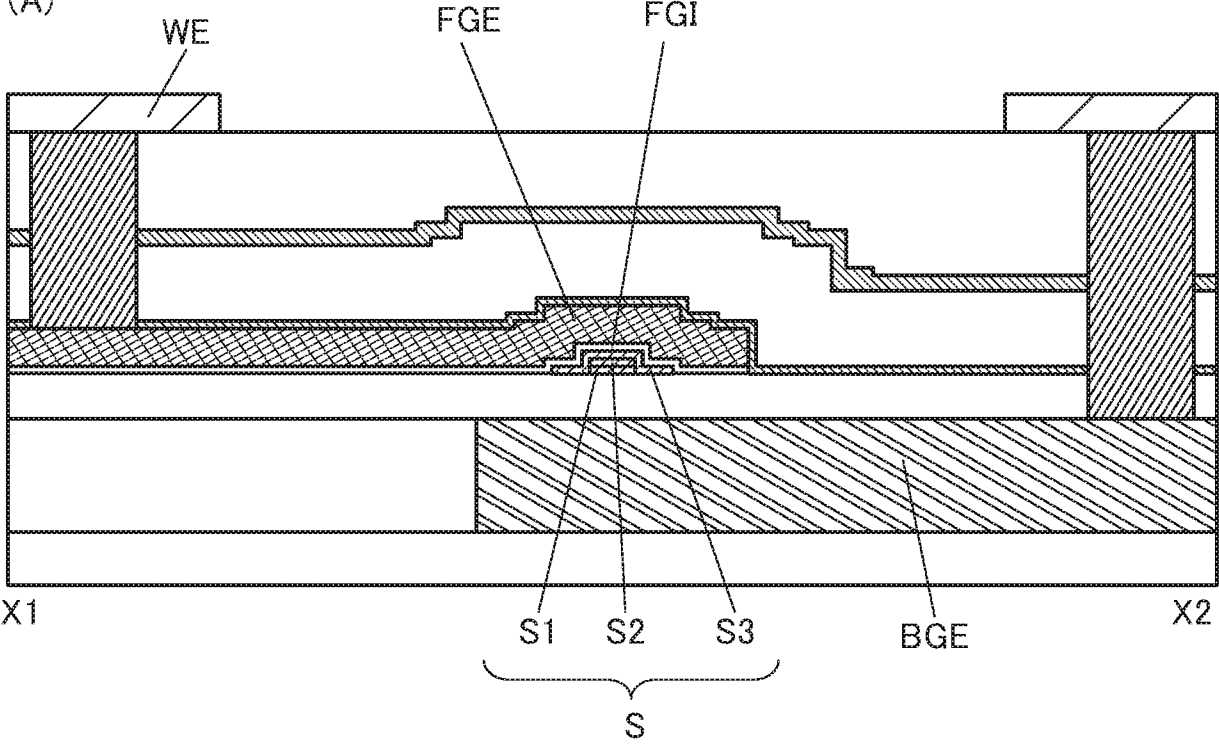
(B)



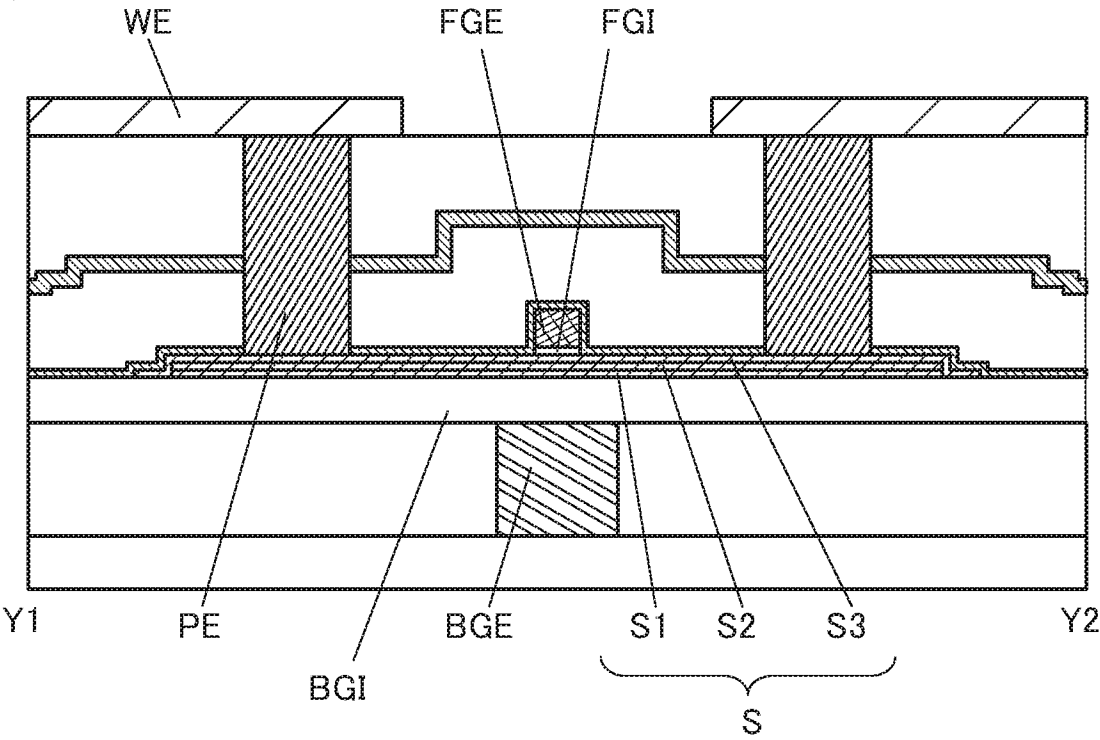
[図15]

15/15

(A)



(B)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2018/056473

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G06G7/60 (2006.01) i, G05F3/26 (2006.01) i, G06N3/063 (2006.01) i,
G11C11/405 (2006.01) i, H01L21/8242 (2006.01) i,
H01L27/108 (2006.01) i, H01L29/786 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G06G7/60, G05F3/26, G06N3/063, G11C11/405, H01L21/8242,
H01L27/108, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-107558 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 15 June 2017, paragraphs [0049]-[0079], fig. 1-4 & US 2017/0154678 A1, paragraphs [0087]-[0117], fig. 1-4 & KR 10-2017-0061602 A	1-11
A	JP 2003-234624 A (MITSUBISHI ELECTRIC CORP.) 22 August 2003, paragraphs [0016]-[0024], fig. 1 (Family: none)	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 December 2018 (11.12.2018)

Date of mailing of the international search report
18 December 2018 (18.12.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2018/056473

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-11704 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 12 January 2017, paragraphs [0025]-[0032], fig. 1 & US 2016/0379564 A1, paragraphs [0047]-[0054], fig. 1 & DE 102016211033 A1 & KR 10-2017-0001613 A	1-11

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G06G7/60(2006.01)i, G05F3/26(2006.01)i, G06N3/063(2006.01)i, G11C11/405(2006.01)i, H01L21/8242(2006.01)i, H01L27/108(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G06G7/60, G05F3/26, G06N3/063, G11C11/405, H01L21/8242, H01L27/108, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2017-107558 A（株式会社半導体エネルギー研究所）2017.06.15, 段落[0049]-[0079], 図 1-4 & US 2017/0154678 A1, 段落[0087]-[0117], 図 1-4 & KR 10-2017-0061602 A	1-11
A	JP 2003-234624 A（三菱電機株式会社）2003.08.22, 段落[0016]-[0024], 図 1（ファミリーなし）	1-11

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

11.12.2018

国際調査報告の発送日

18.12.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

白石 圭吾

電話番号 03-3581-1101 内線 3521

5E

9856

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2017-11704 A (株式会社半導体エネルギー研究所) 2017.01.12, 段落[0025]-[0032], 図 1 & US 2016/0379564 A1, 段落[0047]-[0054], 図 1 & DE 102016211033 A1 & KR 10-2017-0001613 A	1-11