I880242

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I880242 B**

(45)公告日： 中華民國 114 (2025) 年 04 月 11 日

(21)申請案號：112122237 (22)申請日： 中華民國 101 (2012) 年 05 月 08 日

(51)Int. Cl.： ***H10K50/00 (2023.01)*** ***G09G3/32 (2016.01)***

(30)優先權：2011/05/13 日本 2011-108318

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)
日本

(72)發明人：豐高耕平 TOYOTAKA, KOUHEI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW	200917198A	TW	201112203A1
US	2006/0066532A1	US	2010/0245304A1

審查人員：呂俊賢

申請專利範圍項數：1 項 圖式數：14 共 88 頁

(54)名稱

顯示裝置

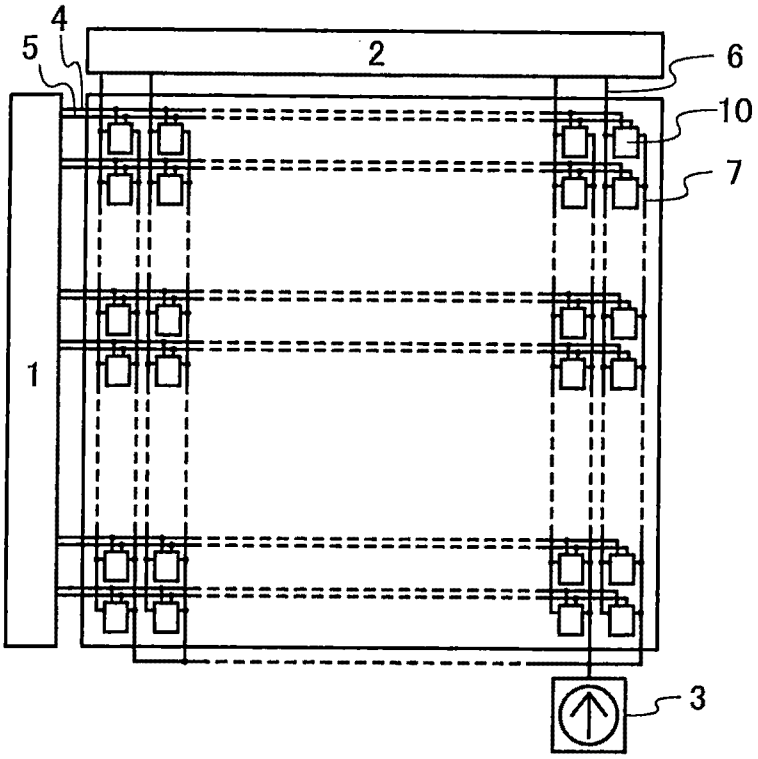
(57)摘要

顯示裝置包含：複數個脈波輸出電路，其各自地輸出信號至兩種掃描線的其中一者；以及複數個反相脈波輸出電路，其各自地輸出來自該等脈波輸出電路所輸出之該等信號的反相或實質反相之信號至該兩種掃描線的另一者。該複數個反相脈波輸出電路的每一者係以使用於該複數個脈波輸出電路之操作的至少兩種信號而操作。因此，可減少該等反相脈波輸出電路中所產生之直通電流。

A display device includes a plurality of pulse output circuits each of which outputs signals to one of the two kinds of scan lines and a plurality of inverted pulse output circuits each of which outputs, to the other of the two kinds of scan lines, inverted or substantially inverted signals of the signals output from the pulse output circuits. Each of the plurality of inverted pulse output circuits operates with at least two kinds of signals used for the operation of the plurality of pulse output circuits. Thus, through current generated in the inverted pulse output circuits can be reduced.

指定代表圖：

第1圖



符號簡單說明：

1:掃描線驅動器電路

2:信號線驅動器電路

3:電流源

4:掃描線

5:反相掃描線

6:信號線

7:電源供應線

10:像素

I880242

公告本

【發明摘要】

【中文發明名稱】

顯示裝置

【英文發明名稱】

DISPLAY DEVICE

【中文】

顯示裝置包含：複數個脈波輸出電路，其各自地輸出信號至兩種掃描線的其中一者；以及複數個反相脈波輸出電路，其各自地輸出來自該等脈波輸出電路所輸出之該等信號的反相或實質反相之信號至該兩種掃描線的另一者。該複數個反相脈波輸出電路的每一者係以使用於該複數個脈波輸出電路之操作的至少兩種信號而操作。因此，可減少該等反相脈波輸出電路中所產生之直通電流。

【英文】

A display device includes a plurality of pulse output circuits each of which outputs signals to one of the two kinds of scan lines and a plurality of inverted pulse output circuits each of which outputs, to the other of the two kinds of scan lines, inverted or substantially inverted signals of the signals output from the pulse output circuits. Each of the plurality of inverted pulse output circuits operates with at least two kinds of signals used for the operation of the plurality of pulse output circuits. Thus, through current generated in the inverted pulse output circuits can be reduced.

【代表圖】

【本案指定代表圖】：第 1 圖

【本代表圖之符號簡單說明】：

1：掃描線驅動器電路

2：信號線驅動器電路

3：電流源

4：掃描線

5：反相掃描線

6：信號線

7：電源供應線

10：像素

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

【發明說明書】

【中文發明名稱】

顯示裝置

【英文發明名稱】

DISPLAY DEVICE

【技術領域】

本發明有關顯示裝置，特別地，有關包含其中電晶體係 n 通道電晶體或 p 通道電晶體(僅一導電型的電晶體)之移位暫存器的顯示裝置。

【先前技術】

已知之顯示裝置係其中配置於矩陣中的複數個像素包含個別開關之主動矩陣顯示裝置。各自像素依據透過開關所輸入之所欲電位(影像信號)，而顯示影像。

主動矩陣顯示裝置需要可藉由掃描線的電位而控制設置在像素中之開關的開關之電路(掃描線驅動器電路)。一般性的掃描線驅動器電路包含組合之 n 通道電晶體和 p 通道電晶體，但掃描線驅動器電路亦可使用 n 通道電晶體或 p 通道電晶體而形成。注意的是，前者掃描線驅動器電路可具有比後者掃描線驅動器電路更低的功率消耗。另一方面，後者掃描線驅動器電路可透過比前者掃描線驅動器電路更小數目的製造步驟而形成。

當掃描線驅動器電路係使用 n 通道電晶體或 p 通道電晶體而形成時，則所輸出至掃描線的電位會自所輸出至掃描線驅動器電路的電源供應電位改變。特別地，當掃描線驅動器電路係僅使用 n 通道電晶體而形成時，則至少一 n 通道電晶體係設置於掃描線與用以供應高電源供應電位至掃描線驅動器電路的佈線之間。從而，可輸出至掃描線的高電位會由於該至少一 n 通道電晶體的臨限電壓，而自該高電源供應電位減少。在同樣的方式中，當掃描線驅動器電路係僅使用 p 通道電晶體而形成時，則可輸出至掃描線的低電位會自所供應至掃描線驅動器電路的低電源供應電位增加。

回應於上述問題，已提出有提供使用 n 通道電晶體或 p 通道電晶體而形成的掃描線驅動器電路，且其可不改變地輸出所供應至掃描線驅動器電路的電源供應電位至掃描線。

例如，在專利文獻 1 中所揭示之掃描線驅動器電路包含 n 通道電晶體，以控制掃描線與時脈信號之間的電性連接，該等時脈信號係以恆定頻率而在高電源供應電位與低電源供應電位之間交變。當高電源供應電位係輸入至該 n 通道電晶體的汲極時，則其閘極的電位可藉由使用該閘極與其源極之間的電容性耦合而增加。因此，在專利文獻 1 中所揭示的掃描線驅動器電路中，與該高電源供應電位相同或實質相同的電位可自 n 通道電晶體的源極輸出至掃描線。

設置於主動矩陣顯示裝置中所配置的每一個像素中之開關的數目並未受限於一。某些顯示裝置包含複數個開關於每一個像素中，且分別控制個別的開關以顯示影像。例如，專利文獻 2 揭示包含兩種電晶體(p 通道電晶體及 n 通道電晶體)於每一個像素中的顯示裝置，且該等電晶體的開關係藉由不同的掃描線而予以分別控制。換言之，為了要控制所分別設置之兩種掃描線的電位，係進一步設置兩種掃描線驅動器電路(掃描線驅動器電路 A 及掃描線驅動器電路 B)。在專利文獻 2 中所揭示的顯示裝置中，分別設置的掃描線驅動器電路輸出具有實質反向相位的信號至掃描線。

[參考文件]

[專利文獻]

[專利文獻 1]日本公開專利申請案第 2008-122939 號

[專利文獻 2]日本公開專利申請案第 2006-106786 號

【發明內容】

如專利文獻 2 中所揭示地，亦存在有其中掃描線驅動器電路輸出所輸出至該兩種掃描線的其中一者之信號的反相或實質反相之信號至該兩種掃描線的另一者之顯示裝置。該掃描線驅動器電路係使用 n 通道電晶體或 p 通道電晶體而形成。例如，在專利文獻 1 中所揭示之輸出信號至掃描線的掃描線驅動器電路可輸出信號至該兩種掃描線的其中一者以及至反相器，且該反相器可輸出信號至該兩種

掃描線的另一者。

注意的是，在其中反相器係使用 n 通道電晶體或 p 通道電晶體而形成的情況中，會產生大量的直通電流，而導致顯示裝置之高的功率消耗。

由於上述的緣故，本發明一實施例之目的在於降低包含其係使用 n 通道電晶體或 p 通道電晶體而形成的掃描線驅動器電路之顯示裝置，在當該掃描線驅動器電路輸出所輸出至該兩種掃描線的其中一者之信號的反相或實質反相之信號至該兩種掃描線的另一者時之功率消耗。

依據本發明之一實施例的顯示裝置包含：複數個脈波輸出電路，其各自地輸出信號至兩種掃描線的其中一者；以及複數個反相脈波輸出電路，其各自地輸出來自該等脈波輸出電路所輸出之該等信號的反相或實質反相之信號至該兩種掃描線的另一者。該複數個反相脈波輸出電路的每一者係以使用於該複數個脈波輸出電路之操作的信號而操作。

特別地，本發明之一實施例係顯示裝置，包含：複數個像素，係配置於 m 列及 n 行中(m 及 n 係大於或等於 4 之自然數)；第一至第 m 掃描線，其係各自地電性連接至配置於第一至第 m 列的對應者中之 n 個像素；第一至第 m 反相掃描線，其係各自地電性連接至配置於該第一至第 m 列的對應者中之該 n 個像素；以及移位暫存器，其係電性連接至該第一至第 m 掃描線及該第一至第 m 反相掃描線。配置於第 k 列(k 係小於或等於 m 之自然數)中之該等

像素各自包含第一開關及第二開關，該第一開關係藉由輸入選擇信號至第 k 掃描線而導通，以及該第二開關係藉由輸入該選擇信號至第 k 反相掃描線而導通。進一步地，該移位暫存器包含第一至第 m 脈波輸出電路及第一至第 m 反相脈波輸出電路。第 s(s 係小於或等於(m-2)之自然數)脈波輸出電路包含第一電晶體，該第 s 脈波輸出電路係輸入起動脈波(僅當 s 係 1 時)或輸入來自第(s-1)脈波輸出電路所輸出之移位脈波，而輸出選擇信號至第 s 掃描線，且輸出移位脈波至第(s+1)脈波輸出電路，該第一電晶體係在從該起動脈波或來自該第(s-1)脈波輸出電路所輸出之該移位脈波的輸入開始直至移位週期結束之第一週期中導通，且在該第一週期中，藉由使用該第一電晶體的閘極與源極間之電容性耦合，而自該第一電晶體的該源極輸出與所輸入至該第一電晶體的汲極之第一時脈信號的電位相同或實質相同的電位。第(s+1)脈波輸出電路包含第二電晶體，該第(s+1)脈波輸出電路係輸入來自該第 s 脈波輸出電路所輸出之移位脈波，而輸出選擇信號至第(s+1)掃描線，且輸出移位脈波至第(s+2)脈波輸出電路，該第二電晶體係在從來自該第 s 脈波輸出電路所輸出之該移位脈波的輸入開始直至移位週期結束為止之第二週期之中導通，且在該第二週期中，藉由使用該第二電晶體的閘極與源極間之電容性耦合，而自該第二電晶體的該源極輸出與所輸入至該第二電晶體的汲極之第二時脈信號的電位相同或實質相同的電位。該第 s 脈波輸出電路包含第三電晶體，該

第 s 脈波輸出電路係輸入來自該第 s 脈波輸出電路所輸出之移位脈波且輸入該第二時脈信號，而輸出選擇信號至第 s 反相掃描線，該第三電晶體係在從來自該第 s 脈波輸出電路所輸出之該移位脈波的輸入開始直至該第二時脈信號的電位改變為止之第三週期之中關閉，且在該第三週期之後，自該第三電晶體的源極輸出該選擇信號至該第 s 反相掃描線。

本發明之另一實施例係顯示裝置，其中在上述顯示裝置中之所輸入至該第 s 反相脈波輸出電路的該第二時脈信號係藉由來自該第(s+1)脈波輸出電路所輸出之移位脈波所置換。

在依據本發明一實施例的顯示裝置中，該等反相脈波輸出電路的操作係藉由至少兩種信號所控制。因此，可減少該等反相脈波輸出電路之中所產生的直通電流。進一步地，使用於複數個脈波輸出電路之操作的信號係使用為該兩種信號。也就是說，該等反相脈波輸出電路可無需額外產生信號而操作。

本發明的一種態樣關於一種顯示裝置，具有：驅動電路、像素；該驅動電路具有：第一電路、第二電路、第一電晶體、第二電晶體、第三電晶體、第四電晶體；該第一電路具有輸出第一信號至該第二電路的功能；該第二電路具有輸出第二信號的功能；該第一電晶體的源極或汲極的一者與該第二電晶體的源極或汲極的一者電連接；該第一電晶體的源極或汲極的一者與該第三電晶體的閘極電連

接；該第三電晶體的源極或汲極的一者與該第四電晶體的源極或汲極的一者電連接；該第一電晶體的閘極與第一佈線電連接；該第一佈線具有供應第一時脈信號的功能；該第二電晶體的閘極與該第四電晶體的閘極電連接；該第二電晶體的閘極的電位因應該第一信號而被控制；該第一電晶體的源極或汲極的另一者與該第三電晶體的源極或汲極的另一者分別與第二佈線電連接；該第二電晶體的源極或汲極的另一者與該第四電晶體的源極或汲極的另一者分別與第三佈線電連接；該像素具有：EL 元件、第五電晶體、第六電晶體、第七電晶體；該第五電晶體具有供應電流至該 EL 元件的功能；該第六電晶體具有控制向該像素的影像信號的輸入的功能；該第五電晶體與該第七電晶體在電源線與 EL 元件之間串聯電連接；該電源線通過該第七電晶體與該第五電晶體電連接；該第七電晶體的閘極與該第三電晶體的源極或汲極的一者電連接；該第一電路具有第八電晶體；該第一信號包含第二時脈信號通過該第八電晶體而輸出的信號；該第二電路具有第九電晶體；該第二信號包含第三時脈信號通過該第九電晶體而輸出的信號；該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體、該第五電晶體、該第六電晶體、該第七電晶體、該第八電晶體、及該第九電晶體具有相同極性。

本發明的另一種態樣關於一種顯示裝置，具有：驅動電路、像素；該驅動電路具有：第一電路、第二電路、第一電晶體、第二電晶體、第三電晶體、第四電晶體；該第

一電路具有輸出第一信號至該第二電路的功能；該第二電路具有輸出第二信號的功能；該第一電晶體的源極或汲極的一者與該第二電晶體的源極或汲極的一者電連接；該第一電晶體的源極或汲極的一者與該第三電晶體的閘極電連接；該第三電晶體的源極或汲極的一者與該第四電晶體的源極或汲極的一者電連接；該第一電晶體的閘極與第一佈線電連接；該第一佈線具有供應第一時脈信號的功能；該第二電晶體的閘極與該第四電晶體的閘極電連接；該第二電晶體的閘極的電位因應該第一信號而被控制；該第一電晶體的源極或汲極的另一者與該第三電晶體的源極或汲極的另一者分別被供應第一電位；該第二電晶體的源極或汲極的另一者與該第四電晶體的源極或汲極的另一者分別被供應第二電位；該像素具有：EL 元件、第五電晶體、第六電晶體、第七電晶體；該第五電晶體具有供應電流至該 EL 元件的功能；該第六電晶體具有控制向該像素的影像信號的輸入的功能；該第五電晶體與該第七電晶體在電源線與 EL 元件之間串聯電連接；該電源線通過該第七電晶體與該第五電晶體電連接；該第七電晶體的閘極與該第三電晶體的源極或汲極的一者電連接；該第一電路具有第八電晶體；該第一信號包含第二時脈信號通過該第八電晶體而輸出的信號；該第二電路具有第九電晶體；該第二信號包含第三時脈信號通過該第九電晶體而輸出的信號；該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體、該第五電晶體、該第六電晶體、該第七電晶體、該第

八電晶體、及該第九電晶體具有相同極性。

本發明的另一種態樣關於一種顯示裝置，包含：像素，包含：第一電晶體；第二電晶體；第三電晶體；第四電晶體；第五電晶體；第六電晶體；電容器；以及有機電發光元件；第一脈波輸出電路；第七電晶體；第八電晶體；第九電晶體；第十電晶體；第十一電晶體；以及第十二電晶體；以及第二脈波輸出電路；第十三電晶體；第十四電晶體；第十五電晶體；以及第十六電晶體，其中該第一電晶體的閘極係電連接到該電容器，其中該第二電晶體的源極和汲極中之一者係電連接到該第一電晶體的該閘極，其中該第二電晶體的該源極和該汲極中之另一者係電連接到該第一電晶體的源極和汲極中之一者，其中該第三電晶體的源極和汲極中之一者係電連接到信號線，其中該第三電晶體的該源極和該汲極中之另一者係電連接到該第一電晶體的該源極和該汲極中之另一者，其中該第四電晶體的源極和汲極中之一者係電連接到電源供應線，其中該第四電晶體的該源極和該汲極中之另一者係電連接到該第一電晶體的該源極和該汲極中之該者，其中該第五電晶體的源極和汲極中之一者係電連接到該有機電發光元件，其中該第五電晶體的該源極和該汲極中之另一者係電連接到該第一電晶體的該源極和該汲極中之該另一者，其中該第六電晶體的源極和汲極中之一者係電連接到該有機電發光元件，其中該第二電晶體的閘極係電連接到第一掃描線，其中該第三電晶體的閘極係電連接到該第一掃描線，其中

該第一脈波輸出電路係電連接到該第一掃描線，其中該第四電晶體的閘極係電連接到第二掃描線，其中該第五電晶體的閘極係電連接到該第二掃描線，其中該第二脈波輸出電路係電連接到該第二掃描線，其中該第七電晶體的源極和汲極中之一者係電連接到該第一掃描線，其中該第八電晶體的源極和汲極中之一者係電連接到該第一掃描線，其中該第九電晶體的源極和汲極中之一者係電連接到該第七電晶體的閘極，其中該第十電晶體的源極和汲極中之一者係電連接到該第九電晶體的該源極和該汲極中之另一者，其中該第十一電晶體的源極和汲極中之一者係電連接到該第九電晶體的該源極和該汲極中之該另一者，其中該第十一電晶體的該源極和該汲極中之另一者係電連接到該第八電晶體的該源極和該汲極中之另一者，其中該第十一電晶體的閘極係電連接到該第八電晶體的閘極，其中該第十二電晶體的源極和汲極中之一者係電連接到該第八電晶體的該閘極，其中該第十二電晶體的該源極和該汲極中之另一者與該第九電晶體的閘極具有相同的電位，其中該第十三電晶體的源極和汲極中之一者係電連接到該第二掃描線，其中該第十四電晶體的源極和汲極中之一者係電連接到該第二掃描線，其中該第十五電晶體的源極和汲極中之一者係電連接到該第十三電晶體的閘極，其中該第十六電晶體的源極和汲極中之一者係電連接到該第十三電晶體的該閘極，以及其中該第十六電晶體的該源極和該汲極中之另一者與該第十四電晶體的該源極和該汲極中之另一者具有相

同的電位。

本發明的另一種態樣關於一種顯示裝置，包含：像素，包含：第一電晶體；第二電晶體；第三電晶體；第四電晶體；第五電晶體；第六電晶體；電容器；以及有機電發光元件；第一脈波輸出電路；第七電晶體；第八電晶體；第九電晶體；第十電晶體；第十一電晶體；以及第十二電晶體；以及第二脈波輸出電路；第十三電晶體；第十四電晶體；第十五電晶體；以及第十六電晶體，其中該第一電晶體的閘極係電連接到該電容器，其中該第二電晶體的源極和汲極中之一者係電連接到該第一電晶體的該閘極，其中該第二電晶體的該源極和該汲極中之另一者係電連接到該第一電晶體的該源極和該汲極中之一者，其中該第三電晶體的源極和汲極中之一者係電連接到信號線，其中該第三電晶體的該源極和該汲極中之另一者係電連接到該第一電晶體的該源極和該汲極中之另一者，其中該第四電晶體的源極和汲極中之一者係電連接到電源供應線，其中該第四電晶體的該源極和該汲極中之另一者係電連接到該第一電晶體的該源極和該汲極中之該者，其中該第五電晶體的源極和汲極中之一者係電連接到該有機電發光元件，其中該第五電晶體的該源極和該汲極中之另一者係電連接到該第一電晶體的該源極和該汲極中之該另一者，其中該第六電晶體的源極和汲極中之一者係電連接到該有機電發光元件，其中該第二電晶體的閘極係電連接到第一掃描線，其中該第三電晶體的閘極係電連接到該第一掃描線，其中

該第一脈波輸出電路係電連接到該第一掃描線，其中該第四電晶體的閘極係電連接到第二掃描線，其中該第五電晶體的閘極係電連接到該第二掃描線，其中該第二脈波輸出電路係電連接到該第二掃描線，其中該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體、該第五電晶體和該第六電晶體中之各者包含含有矽的通道形成區，其中該第七電晶體的源極和汲極中之一者係電連接到該第一掃描線，其中該第八電晶體的源極和汲極中之一者係電連接到該第一掃描線，其中該第九電晶體的源極和汲極中之一者係電連接到該第七電晶體的閘極，其中該第十電晶體的源極和汲極中之一者係電連接到該第九電晶體的該源極和該汲極中之另一者，其中該第十一電晶體的源極和汲極中之一者係電連接到該第九電晶體的該源極和該汲極中之該另一者，其中該第十一電晶體的該源極和該汲極中之另一者係電連接到該第八電晶體的該源極和該汲極中之另一者，其中該第十一電晶體的閘極係電連接到該第八電晶體的閘極，其中該第十二電晶體的源極和汲極中之一者係電連接到該第八電晶體的該閘極，其中該第十二電晶體的該源極和該汲極中之另一者與該第九電晶體的閘極具有相同的電位，其中該第十三電晶體的源極和汲極中之一者係電連接到該第二掃描線，其中該第十四電晶體的源極和汲極中之一者係電連接到該第二掃描線，其中該第十五電晶體的源極和汲極中之一者係電連接到該第十三電晶體的閘極，其中該第十六電晶體的源極和汲極中之一者係電連接

到該第十三電晶體的該閘極，以及其中該第十六電晶體的該源極和該汲極中之另一者與該第十四電晶體的該源極和該汲極中之另一者具有相同的電位。

本發明的另一種態樣關於一種顯示裝置，包含：像素，包含：第一電晶體；第二電晶體；第三電晶體；第四電晶體；第五電晶體；第六電晶體；第一電容器；以及有機電發光元件；以及掃描線驅動器電路，包含：第七電晶體；第八電晶體；第九電晶體；第十電晶體；第十一電晶體；第十二電晶體；第十三電晶體；以及第二電容器，其中該第一電晶體的閘極係電連接到該第一電容器的第一閘極，其中該第一電容器的第二閘極係電連接到該有機電發光元件，其中該第二電晶體的源極和汲極中之一者係電連接到該第一電晶體的該閘極，其中該第二電晶體的該源極和該汲極中之另一者係電連接到該第一電晶體的源極和汲極中之一者，其中該第三電晶體的源極和汲極中之一者係電連接到信號線，其中該第三電晶體的該源極和該汲極中之另一者係電連接到該第一電晶體的該源極和該汲極中之另一者，其中該第四電晶體的源極和汲極中之一者係電連接到電源供應線，其中該第四電晶體的該源極和該汲極中之另一者係電連接到該第一電晶體的該源極和該汲極中之該者，其中該第五電晶體的源極和汲極中之一者係電連接到該有機電發光元件，其中該第五電晶體的該源極和該汲極中之另一者係電連接到該第一電晶體的該源極和該汲極中之該另一者，其中該第六電晶體的源極和汲極中之一者

係電連接到該有機電發光元件，其中該第四電晶體的閘極係電連接到掃描線，其中該第七電晶體的源極和汲極中之一者係電連接到該掃描線，其中該第八電晶體的源極和汲極中之一者係電連接到該掃描線，其中該第二電容器的第一閘極係電連接到該第七電晶體的該源極和該汲極中之該者，其中該第二電容器的第二閘極係電連接到該第七電晶體的閘極，其中該第九電晶體的源極和汲極中之一者係電連接到該第七電晶體的該閘極，其中該第九電晶體的該源極和該汲極中之另一者係電連接到該第十電晶體的源極和汲極中之一者，其中該第十一電晶體的源極和汲極中之一者係電連接到該第八電晶體的閘極，其中該第十二電晶體的源極和汲極中之一者係電連接到該第八電晶體的閘極，以及其中該第十三電晶體的源極和汲極中之一者係電連接到該第十一電晶體的閘極。

本發明的另一種態樣關於一種顯示裝置，包含：像素，包含：第一電晶體；第二電晶體；第三電晶體；第四電晶體；第五電晶體；第六電晶體；第一電容器；以及有機電發光元件；以及掃描線驅動器電路，包含：第七電晶體；第八電晶體；第九電晶體；第十電晶體；第十一電晶體；第十二電晶體；第十三電晶體；以及第二電容器，其中該第一電晶體的閘極係電連接到該第一電容器的第一閘極，其中該第一電容器的第二閘極係電連接到該有機電發光元件，其中該第二電晶體的源極和汲極中之一者係電連接到該第一電晶體的該閘極，其中該第二電晶體的該源極

和該汲極中之另一者係電連接到該第一電晶體的源極和汲極中之一者，其中該第三電晶體的源極和汲極中之一者係電連接到信號線，其中該第三電晶體的該源極和該汲極中之另一者係電連接到該第一電晶體的該源極和該汲極中之另一者，其中該第四電晶體的源極和汲極中之一者係電連接到電源供應線，其中該第四電晶體的該源極和該汲極中之另一者係電連接到該第一電晶體的該源極和該汲極中之該者，其中該第五電晶體的源極和汲極中之一者係電連接到該有機電發光元件，其中該第五電晶體的該源極和該汲極中之另一者係電連接到該第一電晶體的該源極和該汲極中之該另一者，其中該第六電晶體的源極和汲極中之一者係電連接到該有機電發光元件，其中該第四電晶體的閘極係電連接到掃描線，其中該第七電晶體的源極和汲極中之一者係電連接到該掃描線，其中該第八電晶體的源極和汲極中之一者係電連接到該掃描線，其中該第二電容器的第一閘極係電連接到該第七電晶體的該源極和該汲極中之該者，其中該第二電容器的第二閘極係電連接到該第七電晶體的閘極，其中該第九電晶體的源極和汲極中之一者係電連接到該第七電晶體的該閘極，其中該第九電晶體的該源極和該汲極中之另一者係電連接到該第十電晶體的源極和汲極中之一者，其中該第十一電晶體的源極和汲極中之一者係電連接到該第八電晶體的閘極，其中該第十二電晶體的源極和汲極中之一者係電連接到該第八電晶體的閘極，其中該第十三電晶體的源極和汲極中之一者係電連接到該

第十一電晶體的閘極，其中移位脈波係輸入到該第十三電晶體的閘極，其中時脈信號係輸入到該第十電晶體的閘極，以及其中電源供應電位係供應到該第九電晶體的閘極和該第七電晶體的該源極和該汲極中之另一者。

本發明之另一實施例係顯示裝置，其中在上述顯示裝置中之該掃描線驅動器電路包含脈波輸出電路和反相脈波輸出電路，其中該反相脈波輸出電路包含該第七電晶體、該第八電晶體、該第九電晶體和該第十電晶體，以及其中該脈波輸出電路包含該第十一電晶體、該第十二電晶體和該第十三電晶體。

本發明之另一實施例係顯示裝置，其中在上述顯示裝置中之該反相脈波輸出電路還包含第十四電晶體，其中該第十四電晶體的閘極係電連接到該第八電晶體的該閘極，以及其中該第十四電晶體的源極和汲極中之一者係電連接到該第九電晶體的該源極和該汲極中之另一者。

本發明的另一種態樣關於一種顯示裝置，包含：驅動電路、以及像素；該驅動電路包含第一脈波輸出電路、以及第二脈波輸出電路；該第一脈波輸出電路包含第一電晶體、第二電晶體、第三電晶體、以及第四電晶體；該第一電晶體的源極或汲極的其中一者，電連接到第一佈線；該第一電晶體的源極或汲極的另外一者，電連接到第二佈線；該第一電晶體的源極或汲極的另外一者，電連接到該第二電晶體的源極或汲極的其中一者；該第二電晶體的源極或汲極的另外一者，電連接到第三佈線；該第二電晶體

的閘極，電連接到第四佈線；該第三電晶體的源極或汲極的其中一者，電連接到該第四電晶體的源極或汲極的其中一者；該第三電晶體的閘極，電連接到第五佈線；該第四電晶體的源極或汲極的另外一者，電連接到該第一電晶體的閘極；該第四電晶體的閘極，電連接到該第一佈線；該第一佈線輸入有第一電位；該第三佈線輸入有第二電位；該第四佈線輸入有第一信號；該第五佈線輸入有時脈信號；該像素包含第五電晶體、第六電晶體、第七電晶體、第八電晶體、第九電晶體、第十電晶體、電容器、以及EL元件；該第五電晶體的源極或汲極的其中一者，電連接到該EL元件；該第五電晶體的源極或汲極的其中一者，電連接到該第六電晶體的源極或汲極的其中一者；該第五電晶體的源極或汲極的另外一者，電連接到該第七電晶體的源極或汲極的其中一者；該第五電晶體的源極或汲極的另外一者，電連接到該第八電晶體的源極或汲極的其中一者；該第五電晶體的閘極，電連接到該第二佈線；該第七電晶體的閘極，電連接到第六佈線；該第八電晶體的源極或汲極的另外一者，電連接到該第九電晶體的源極或汲極的其中一者；該第八電晶體的源極或汲極的另外一者，電連接到該第十電晶體的源極或汲極的其中一者；該第八電晶體的閘極，電連接到該電容器；該第九電晶體的閘極，電連接到該第六佈線；該第十電晶體的源極或汲極的另外一者，電連接到第七佈線；該第十電晶體的閘極，電連接到該第二佈線；該第六佈線電連接到該第二脈波輸出電路；

該第七佈線輸入有電源電位。

【圖式簡單說明】

第 1 圖描繪顯示裝置的組態實例；

第 2A 圖描繪掃描線驅動器電路的組態實例，第 2B 圖描繪各式各樣信號之波形的實例，第 2C 圖描繪脈波輸出電路的端子，及第 2D 描繪反相脈波輸出電路的端子；

第 3A 圖描繪脈波輸出電路的組態實例，第 3B 圖描繪其操作實例，第 3C 圖描繪反相脈波輸出電路的組態實例，及第 3D 圖描繪其操作實例；

第 4A 圖描繪像素的組態實例，及第 4B 圖描繪其操作實例；

第 5 圖描繪掃描線驅動器電路的變化例；

第 6A 圖描繪掃描線驅動器電路的變化例，及第 6B 圖描繪各式各樣信號之波形的實例；

第 7 圖描繪掃描線驅動器電路的變化例；

第 8A 及 8B 圖描繪掃描線驅動器電路的變化例；

第 9A 及 9B 圖描繪掃描線驅動器電路的變化例；

第 10A 至 10C 圖描繪反相脈波輸出電路的變化例；

第 11A 至 11D 圖係橫剖面視圖，描繪電晶體的特定實例；

第 12A 至 12D 圖係橫剖面視圖，描繪電晶體的特定實例；

第 13A 及 13B 圖係頂視圖，描繪電晶體的特定實

例；以及

第 14A 至 14F 圖各自描繪電子裝置的實例。

【實施方式】

在下文中，將參照附圖來詳細敘述本發明的實施例。注意的是，本發明並未受限於下文之說明，且熟習於本項技藝之該等人士將易於瞭解的是，各式各樣的改變及修正可不背離本發明之精神及範疇而予以做成。因此，本發明不應受限於以下之實施例的說明。

首先，將參照第 1 圖、第 2A 至第 2D 圖、第 3A 至 3D 圖、及第 4A 及 4B 圖來敘述依據本發明一實施例之顯示裝置的組態實例。

[顯示裝置的組態實例]

第 1 圖描繪顯示裝置的組態實例。在第 1 圖中的顯示裝置包含複數個像素 10，係配置於 m 列及 n 行中；掃描線驅動器電路 1；信號線驅動器電路 2；電流源 3；m 個掃描線 4 及 m 個反相掃描線 5，其係各自電性連接至該等像素 10 的任一列，且其電位係藉由該掃描線驅動器電路 1 所控制；n 個信號線 6，其係各自電性連接至該等像素 10 的任一行，且其電位係藉由該信號線驅動器電路 2 所控制；以及電源供應線 7，其係設置有複數個分支線且係電性連接至該電流源 3。

[掃描線驅動器電路的組態實例]

第 2A 描繪包含於第 1 圖中的顯示裝置中之掃描線驅動器電路 1 的組態實例。在第 2A 圖中之掃描線驅動器電路 1 包含用以供應第一至第四時脈信號(GCK1 至 GCK4)以供掃描線驅動電路之用的佈線；用以供應第一至第四脈波寬度控制信號(PWC1 至 PWC4)的佈線；第一至第 m 脈波輸出電路 20_1 至 20_m，其係透過掃描線 4_1 至 4_m 而電性連接至配置於第一至第 m 列中的像素 10；以及第一至第 m 反相脈波輸出電路 60_1 至 60_m，其係透過反相掃描線 5_1 至 5_m 而電性連接至配置於第一至第 m 列中的像素 10。

第一至第 m 脈波輸出電路 20_1 至 20_m 係組構以每一移位週期地順序輸出移位脈波，而回應於所輸入至第一脈波輸出電路 20_1 內之用於掃描線驅動器電路的起動脈波(GSP)。特別地，在輸入用於掃描線驅動器電路的該起動脈波(GSP)之後，第一脈波輸出電路 20_1 係在整個移位週期期間輸出移位脈波至第二脈波輸出電路 20_2。接著，在將來自第一脈波輸出電路所輸出的移位脈波輸入至第二脈波輸出電路 20_2 之後，第二脈波輸出電路 20_2 係在整個移位週期期間輸出移位脈波至第三脈波輸出電路 20_3。之後，重複上述之操作，直至移位脈波輸入至第 m 脈波輸出電路 20_m 時為止。

進一步地，第一至第 m 脈波輸出電路 20_1 至 20_m 具有當輸入移位脈波時，輸出選擇信號至個別的掃描線之

功能。注意的是，選擇信號係用以使開關導通之信號，該開關的開關係藉由掃描線的電位所控制。

第 2B 圖描繪上述信號之特定波形的實例。

特別地，在第 2B 圖中之用於掃描線驅動器電路的第一時脈信號(GCK1)週期性地交變於高位準電位(高電源供應電位(Vdd)與低位準電位(低電源供應電位(Vss))之間，且具有大約 1/4 的工作比。用於掃描線驅動器電路的第二時脈信號(GCK2)具有自用於掃描線驅動器電路的第一時脈信號(GCK1)移位 1/4 週期的相位；用以掃描線驅動器電路的第三時脈信號(GCK3)具有自用於掃描線驅動器電路的第一時脈信號(GCK1)移位 1/2 週期的相位；以及用於掃描線驅動器電路的第四時脈信號(GCK4)具有自用於掃描線驅動器電路的第一時脈信號(GCK1)移位 3/4 週期的相位。

進一步地，第一脈波寬度控制信號(PWC1)的電位係在用於掃描線驅動器電路的第一時脈信號(GCK1)之電位變成高位準電位之前，變成高位準電位，且在當用於掃描線驅動器電路的第一時脈信號(GCK1)之電位係高位準電位時的週期中，變成低位準電位，以及該第一脈波寬度控制信號(PWC1)具有小於 1/4 的工作比。第二脈波寬度控制信號(PWC2)具有自第一脈波寬度控制信號(PWC1)移位 1/4 週期的相位；第三脈波寬度控制信號(PWC3)具有自第一脈波寬度控制信號(PWC1)移位 1/2 週期的相位；以及第四脈波寬度控制信號(PWC4)具有自第一脈波寬度控制信號

(PWC1)移位 3/4 週期的相位。

在第 2A 圖中的顯示裝置中，可施加相同的組態到第一至第 m 脈波輸出電路 20_1 至 20_m。注意的是，包含於脈波輸出電路中之複數個端子的電性連接關係會根據該脈波輸出電路而不同。將參照第 2A 及 2C 圖來說明特定的連接關係。

第一至第 m 脈波輸出電路 20_1 至 20_m 之各者具有端子 21 至 27。端子 21 至 24 以及端子 26 係輸入端子；端子 25 及 27 係輸出端子。

首先，將敘述端子 21。第一脈波輸出電路 20_1 的端子 21 係電性連接至用以供應起動脈波(GSP)以供掃描線驅動器電路之用的佈線。第二至第 m 脈波輸出電路 20_2 至 20_m 的端子 21 係電性連接至其個別之前一級脈波輸出電路的個別端子 27。

接著，將敘述端子 22。第(4a-3)脈波輸出電路的端子 22(a 係小於或等於 m/4 的自然數)係電性連接至用以供應第一時脈信號(GCK1)以供掃描線驅動器電路之用的佈線。第(4a-2)脈波輸出電路的端子 22 係電性連接至用以供應第二時脈信號(GCK2)以供掃描線驅動器電路之用的佈線。第(4a-1)脈波輸出電路的端子 22 係電性連接至用以供應第三時脈信號(GCK3)以供掃描線驅動器電路之用的佈線。第 4a 脈波輸出電路的端子 22 係電性連接至用以供應第四時脈信號(GCK4)以供掃描線驅動器電路之用的佈線。

然後，將敘述端子 23。第(4a-3)脈波輸出電路的端子 23 係電性連接至用以供應第二時脈信號(GCK2)以掃描線驅動器電路之用的佈線。第(4a-2)脈波輸出電路的端子 23 係電性連接至用以供應第三時脈信號(GCK3)以供掃描線驅動器電路之用的佈線。第(4a-1)脈波輸出電路的端子 23 係電性連接至用以供應第四時脈信號(GCK4)以供掃描線驅動器電路之用的佈線。第 4a 脈波輸出電路的端子 23 係電性連接至用以供應第一時脈信號(GCK1)以供掃描線驅動器電路之用的佈線。

接著，將敘述端子 24。第(4a-3)脈波輸出電路的端子 24 係電性連接至用以供應第一脈波寬度控制信號(PWC1)的佈線。第(4a-2)脈波輸出電路的端子 24 係電性連接至用以供應第二脈波寬度控制信號(PWC2)的佈線。第(4a-1)脈波輸出電路的端子 24 係電性連接至用以供應第三脈波寬度控制信號(PWC3)的佈線。第 4a 脈波輸出電路的端子 24 係電性連接至用以供應第四脈波寬度控制信號(PWC4)的佈線。

然後，將敘述端子 25。第 x 脈波輸出電路的端子 25(x 係小於或等於 m 的自然數)係電性連接至第 x 列中之掃描線 4_x。

接著，將敘述端子 26。第 y 脈波輸出電路的端子 26(y 係小於或等於(m-1)的自然數)係電性連接至第(y+1)脈波輸出電路的端子 27。第 m 脈波輸出電路的端子 26 係電性連接至用以供應停止信號(STP)以供第 m 脈波輸出電路

之用的佈線。在其中設置第(m+1)脈波輸出電路的情況中，用以第 m 脈波輸出電路的停止信號(STP)對應至來自第(m+1)脈波輸出電路的端子 27 之信號。特別地，用於第 m 脈波輸出電路的停止信號(STP)可藉由提供第(m+1)脈波輸出電路做為虛擬電路，或藉由自外部直接輸入該信號，而予以供應至第 m 脈波輸出電路。

在該等脈波輸出電路的各者中之端子 27 的連接關係已被敘述於上文。因此，將引用上文之說明。

在第 2A 圖中的顯示裝置中，可施加相同的組態到第一至第 m 反相脈波輸出電路 60_1 至 60_m。然而，包含於反相脈波輸出電路中之複數個端子的電性連接關係會根據該反相脈波輸出電路而不同。將參照第 2A 及 2D 圖來說明特定的連接關係。

第 1 至第 m 反相脈波輸出電路 60_1 至 60_m 之各者具有端子 61 至 63。端子 61 及 62 係輸入端子；端子 63 係輸出端子。

首先，將敘述端子 61。第(4a-3)反相脈波輸出電路的端子 61 係電性連接至用以供應第二時脈信號(GCK2)以供掃描線驅動器電路之用的佈線。第(4a-2)反相脈波輸出電路的端子 61 係電性連接至用以供應第三時脈信號(GCK3)以供掃描線驅動器電路之用的佈線。第(4a-1)反相脈波輸出電路的端子 61 係電性連接至用以供應第四時脈信號(GCK4)以供掃描線驅動器電路之用的佈線。第 4a 反相脈波輸出電路的端子 61 係電性連接至用以供應第一時脈信

號(GCK1)以供掃描線驅動器電路之用的佈線。

接著，將敘述端子 62。第 x 反相脈波輸出電路的端子 62 係電性連接至第 x 脈波輸出電路的端子 27。

然後，將敘述端子 63。第 x 反相脈波輸出電路的端子 63 係電性連接至第 x 列中之反相掃描線 5_x。

[脈波輸出電路的組態實例]

第 3A 圖描繪第 2A 及 2C 圖中所描繪之脈波輸出電路的組態實例。在第 3A 圖中所描繪之脈波輸出電路包含電晶體 31 至 39。

電晶體 31 之源極及汲極的其中一者係電性連接至供應高電源供應電位(Vdd)之佈線(下文中亦稱為高電源供應電位線)；以及電晶體 31 之閘極係電性連接至端子 21。

電晶體 32 之源極及汲極的其中一者係電性連接至用以供應低電源供應電位(Vss)之佈線(下文中亦稱為低電源供應電位線)；以及電晶體 32 之源極及汲極的另一者係電性連接至電晶體 31 之源極及汲極的另一者。

電晶體 33 之源極及汲極的其中一者係電性連接至端子 22；電晶體 33 之源極及汲極的另一者係電性連接至端子 27；以及電晶體 33 之閘極係電性連接至電晶體 31 之源極及汲極的另一者及電晶體 32 之源極及汲極的另一者。

電晶體 34 之源極及汲極的其中一者係電性連接至低電源供應電位線；電晶體 34 之源極及汲極的另一者係電

性連接至端子 27；以及電晶體 34 之閘極係電性連接至電晶體 32 之閘極。

電晶體 35 之源極及汲極的其中一者係電性連接至低電源供應電位線；電晶體 35 之源極及汲極的另一者係電性連接至電晶體 32 之閘極及電晶體 34 之閘極；以及電晶體 35 之閘極係電性連接至端子 21。

電晶體 36 之源極及汲極的其中一者係電性連接至高電源供應電位線；電晶體 36 之源極及汲極的另一者係電性連接至電晶體 32 之閘極，電晶體 34 之閘極，及電晶體 35 之源極及汲極的另一者；以及電晶體 36 之閘極係電性連接至端子 26。

電晶體 37 之源極及汲極的其中一者係電性連接至高電源供應電位線；電晶體 37 之源極及汲極的另一者係電性連接至電晶體 32 之閘極，電晶體 34 之閘極，電晶體 35 之源極及汲極的另一者，及電晶體 36 之源極及汲極的另一者；以及電晶體 37 之閘極係電性連接至端子 23。

電晶體 38 之源極及汲極的其中一者係電性連接至端子 24；電晶體 38 之源極及汲極的另一者係電性連接至端子 25；以及電晶體 38 之閘極係電性連接至電晶體 31 之源極及汲極的另一者，電晶體 32 之源極及汲極的另一者，及電晶體 33 之閘極。

電晶體 39 之源極及汲極的其中一者係電性連接至低電源供應電位線；電晶體 39 之源極及汲極的其中一者係電性連接至端子 25；以及電晶體 39 之閘極係電性連接至

電晶體 32 之閘極，電晶體 34 之閘極，電晶體 35 之源極及汲極的另一者，電晶體 36 之源極及汲極的另一者，及電晶體 37 之源極及汲極的另一者。

注意的是，在以下說明中，其中電性連接電晶體 31 之源極及汲極的另一者、電晶體 32 之源極及汲極的另一者、電晶體 33 之閘極、以及電晶體 38 之閘極的節點係稱為節點 A。此外，其中電性連接電晶體 32 之閘極、電晶體 34 之閘極、電晶體 35 之源極及汲極的另一者、電晶體 36 之源極及汲極的另一者、電晶體 37 之源極及汲極的另一者、以及電晶體 39 之閘極的節點係稱為節點 B。

[脈波輸出電路的操作實例]

將參照第 3B 圖來敘述上述之脈波輸出電路的操作實例。特別地，第 3B 圖描繪當移位脈波係自第一脈波輸出電路 20_1 輸入時，所輸入至第二脈波輸出電路 20_2 的個別端子之信號，由該等個別端子所輸出之信號的電位，以及節點 A 及 B 的電位。進一步地，亦描繪來自第三脈波輸出電路 20_3 的端子 25 所輸出之信號(Gout3)，以及來自其端子 27 所輸出之信號(SRout3，輸入至第二脈波輸出電路 20_2 的端子 26 之信號)。注意的是，在第 3B 圖之中，Gout 表示由該等脈波輸出電路的任何者所輸出至對應之掃描線的信號，以及 SRout 表示由該等脈波輸出電路的任何者所輸出至其後一級之脈波輸出電路的信號。

首先，請參閱第 3B 圖，將敘述其中移位脈波係自第

一脈波輸出電路 20_1 輸入至第二脈波輸出電路 20_2 的情況。

在週期 t1 中，高位準電位(高電源供應電位(Vdd))係輸入至端子 21。因此，電晶體 31 及 35 導通。結果，節點 A 的電位增加至高位準電位(自高電源供應電位(Vdd)減少電晶體 31 之臨限電壓的電位)，且節點 B 的電位減少至低電源供應電位(Vss)。從而，電晶體 33 及 38 導通，以及電晶體 32、34、及 39 關閉。由上述可知，在週期 t1 中，來自端子 27 所輸出之信號係輸入至端子 22，且來自端子 25 所輸出之信號係輸入至端子 24。在此，於週期 t1 中，所輸入至端子 22 之信號及所輸入至端子 24 之信號二者均係在低位準電位(低電源供應電位(Vss))。因而，在週期 t1 中，第二脈波輸出電路 20_2 輸出低位準電位(低電源供應電位(Vss))至第三脈波輸出電路 20_3 的端子 21 及至像素部中之第二列中的掃描線。

在週期 t2 中，所輸入至該等端子之信號的位準並未自週期 t1 中之該等位準改變。因此，來自端子 25 及 27 所輸出之信號的電位亦未被改變；低位準電位(低電源供應電位(Vss))係自該處輸出。

在週期 t3 中，高位準電位(高電源供應電位(Vdd))係輸入至端子 24。注意的是，節點 A 的電位(電晶體 31 之源極的電位)係在週期 t1 中增加至高位準電位(其係自高電源供應電位(Vdd)減少電晶體 31 之臨限電壓的電位)。因此，電晶體 31 關閉。此時，對端子 24 之高位準電位(高

電源供應電位(Vdd))的輸入藉由使用電晶體 38 之閘極與源極間的電容性耦合，而進一步增加節點 A 的電位(電晶體 38 之閘極的電位)(自舉)。由於該自舉，來自端子 25 所輸出之信號的電位並不會自所輸入至端子 24 的高位準電位(高電源供應電位(Vdd))減少。因而，在週期 t3 中，第二脈波輸出電路 20_2 輸出高位準電位(高電源供應電位(Vdd))=選擇信號)至像素部中之第二列中的掃描線。

在週期 t4 中，高位準電位(高電源供應電位(Vdd))係輸入至端子 22。結果，因為節點 A 的電位已由於自舉而增加，所以來自端子 27 所輸出之信號的電位並不會自所輸入至端子 22 的高位準電位(高電源供應電位(Vdd))減少。因而，在週期 t4 中，端子 27 輸出所輸入至端子 22 的高位準電位(高電源供應電位(Vdd))。也就是說，第二脈波輸出電路 20_2 輸出高位準電位(高電源供應電位(Vdd))=移位脈波)至第三脈波輸出電路 20_3 的端子 21。在週期 t4 中，所輸入至端子 24 之信號的電位係保持於高位準電位(高電源供應電位(Vdd))，以致使來自第二脈波輸出電路 20_2 所輸出至像素部中之第二列中的掃描線之信號的電位保持於高位準電位(高電源供應電位(Vdd))=選擇信號)。進一步地，低位準電位(低電源供應電位(Vss))被輸入至端子 21 以關閉電晶體 35，此並不會直接影響到週期 t4 中之來自第二脈波輸出電路 20_2 所輸出的信號。

在週期 t5 中，低位準電位(低電源供應電位(Vss))係輸入至端子 24。在該週期中，電晶體 38 保持導通。因

而，在週期 t5 中，第一脈波輸出電路 20_1 輸出低位準電位(低電源供應電位(Vss))至像素部中之第二列中的掃描線。

在週期 t6 中，所輸入至該等端子之信號的位準並未自週期 t5 中之該等位準改變。因此，來自端子 25 及 27 所輸出之信號的電位亦未被改變；低位準電位(低電源供應電位(Vss))係自端子 25 輸出，以及高位準電位(高電源供應電位(Vdd))=移位脈波)係自端子 27 輸出。

在週期 t7 中，高位準電位(高電源供應電位(Vdd))係輸入至端子 23。因此，電晶體 37 導通。結果，節點 B 的電位增加至高位準電位(自高電源供應電位(Vdd)減少電晶體 37 之臨限電壓的電位)，以致使電晶體 32、34、及 39 導通。從而，節點 A 的電位減少至低位準電位(低電源供應電位(Vss))，以致使電晶體 33 及 38 關閉。由上述可知，在週期 t7 中，來自端子 25 及 27 所輸出之信號二者係在低電源供應電位(Vss)。換言之，在週期 t7 中，第二脈波輸出電路 20_2 輸出低電源供應電位(Vss)至第三脈波輸出電路 20_3 的端子 21 及像素部中之第二列中的掃描線。

[反相脈波輸出電路的組態實例]

第 3C 圖描繪第 2A 及 2D 圖中所描繪之反相脈波輸出電路的組態實例。在第 3C 圖中所描繪之反相脈波輸出電路包含電晶體 71 至 74。

電晶體 71 之源極及汲極的其中一者係電性連接至高電源供應電位線；以及電晶體 71 之閘極係電性連接至端子 61。

電晶體 72 之源極及汲極的其中一者係電性連接至低電源供應電位線；電晶體 72 之源極及汲極的另一者係電性連接至電晶體 71 之源極及汲極的其中一者；以及電晶體 72 之閘極電性連接至端子 62。

電晶體 73 之源極及汲極的其中一者係電性連接至高電源供應電位線；電晶體 73 之源極及汲極的另一者係電性連接至端子 63；以及電晶體 73 之閘極係電性連接至電晶體 71 之源極及汲極的另一者及電晶體 72 之源極及汲極的另一者。

電晶體 74 之源極及汲極的其中一者係電性連接至低電源供應電位線；電晶體 74 之源極及汲極的另一者係電性連接至端子 63；以及電晶體 74 之閘極係電性連接至端子 62。

注意的是，在以下說明中，其中電性連接電晶體 71 之源極及汲極的另一者、電晶體 72 之源極及汲極的另一者、以及電晶體 73 之閘極的節點係稱為節點 C。

[反相脈波輸出電路的操作實例]

將參照第 3D 圖來敘述反相脈波輸出電路的操作實例。特別地，第 3D 圖描繪第 3B 圖中的週期 t1 至 t7 中之所輸入至第二反相脈波輸出電路 20_2 的信號，自該處所

輸出之信號的電位，及節點 C 的電位。注意的是，在第 3D 圖中，所輸入至該等端子的信號係各自顯示於括弧中。進一步地，在第 3D 圖中，GBout 表示所輸入至反相脈波輸出電路的反相掃描線之任一者的信號。

在週期 t1 至 t3 中，低位準電位係輸入至端子 61 及 62。因此，電晶體 71、72、及 74 關閉。從而，節點 C 的電位保持於高位準電位。因而，電晶體 73 導通。節點 C 的電位係由於使用電晶體 73 之閘極與源極(在週期 t1 至 t3 中所電性連接至端子 63 之源極及汲極的另一者)間的電容性耦合(自舉)，而高於高電源供應電位(Vdd)與電晶體 73 之臨限電壓的總和。由上述可知，在週期 t1 至 t3 中，來自端子 63 所輸出之信號的電位係高電源供應電位(Vdd)。也就是說，在週期 t1 至 t3 中，第二反相脈波輸出電路 60_2 輸出高電源供應電位(Vdd)至像素部中之第二列中的反相掃描線。

在週期 t4 中，高位準電位(高電源供應電位(Vdd))係輸入至端子 62。因此，電晶體 72 及 74 導通。從而，節點 C 的電位減少至低位準電位(低電源供應電位(Vss))，以致使電晶體 73 關閉。由上述可知，在週期 t4 中，來自端子 63 所輸出之信號的電位變成低電源供應電位(Vss)。也就是說，在週期 t4 中，第二反相脈波輸出電路 60_2 輸出低電源供應電位(Vss)至像素部中之第二列中的反相掃描線。

在週期 t5 及 t6 中，所輸入至該等端子之信號的位準

並未自週期 t4 中之該等位準改變。因此，來自端子 63 所輸出之信號的電位亦未被改變；低位準電位(低電源供應電位(Vss))被輸出。

在週期 t7 中，高位準電位(高電源供應電位(Vdd))係輸入至端子 61，以及低位準電位(低電源供應電位(Vss))係輸入至端子 62。因此，電晶體 71 導通，且電晶體 72 及 74 關閉。從而，節點 C 的電位減少至高位準電位(高電源供應電位(Vdd)減少電晶體 71 之臨限電壓的電位)，以致使電晶體 73 導通。進一步地，節點 C 的電位藉由使用電晶體 73 之閘極與源極間的電容性耦合(自舉)，而高於高電源供應電位(Vdd)與電晶體 73 之臨限電壓的總和。由上述可知，在週期 t7 中，來自端子 63 所輸出之信號的電位變成高電源供應電位(Vdd)。也就是說，在週期 t7 中，第二反相脈波輸出電路 60_2 輸出高電源供應電位(Vdd)至像素部中之第二列中的反相掃描線。

[像素的組態實例]

第 4A 圖係描繪第 1 圖中之像素 10 的組態實例之電路圖。在第 4A 圖中之像素 10 包括電晶體 11 至 16，電容器 17，及包含有機材料之元件 18，而該有機材料係藉由一對電極間之電流激勵而發射出光(在下文中亦稱作有機電發光(EL)元件)。

電晶體 11 之源極及汲極的其中一者係電性連接至信號線 6；以及電晶體 11 之閘極係電性連接至掃描線 4。

電晶體 12 之源極及汲極的其中一者係電性連接至用以供應共同電位之佈線；以及電晶體 12 之閘極係連接至掃描線 4。注意的是，此處之共同電位係低於所給定至電源供應線 7 的電位。

電晶體 13 之閘極係電性連接至掃描線 4。

電晶體 14 之源極及汲極的其中一者係電性連接至電源供應線 7；電晶體 14 之源極及汲極的另一者係電性連接至電晶體 13 之源極及汲極的其中一者；以及電晶體 14 之閘極係電性連接至反相掃描線 5。

電晶體 15 之源極及汲極的其中一者係電性連接至電晶體 13 之源極及汲極的該其中一者和電晶體 14 之源極及汲極的該另一者；電晶體 15 之源極及汲極的另一者係電性連接至電晶體 11 之源極及汲極的另一者；以及電晶體 15 之閘極係電性連接至電晶體 13 之源極及汲極的另一者。

電晶體 16 之源極及汲極的其中一者係電性連接至電晶體 11 之源極及汲極的該另一者和電晶體 15 之源極及汲極的另一者；電晶體 16 之源極及汲極的另一者係電性連接至電晶體 12 之源極及汲極的另一者；以及電晶體 16 之閘極係電性連接至反相掃描線 5。

電容器 17 之一電極係電性連接至電晶體 13 之源極及汲極的該另一者和電晶體 15 之閘極；電容器 17 之另一電極係電性連接至電晶體 12 之源極及汲極的該另一者和電晶體 16 之源極及汲極的該另一者。

有機 EL 元件 18 之陽極係電性連接至電晶體 12 之源極及汲極的該另一者，電晶體 16 之源極及汲極的該另一者，和電容器 17 之該另一電極。有機 EL 元件 18 之陰極係電性連接至用以供應共同電位之該佈線。注意的是，所給定至電性連接至電晶體 12 之源極及汲極的其中一者之該佈線的共同電位可以與所給定至有機 EL 元件 18 之陰極的共同電位不同。

在下文中，其中電性連接電晶體 13 之源極及汲極的該另一者，電晶體 15 之閘極、以及電容器 17 之該一電極的節點係稱為節點 D。其中電性連接電晶體 13 之源極及汲極的該 r 其中一者，電晶體 14 之源極及汲極的該另一者，以及電晶體 15 之源極及汲極的該其中一者之節點係稱為節點 E。其中電性連接電晶體 11 之源極及汲極的該另一者，電晶體 15 之源極及汲極的該另一者，以及電晶體 16 之源極及汲極的該其中一者之節點係稱為節點 F。其中電性連接電晶體 12 之源極及汲極的該另一者，電晶體 16 之源極及汲極的該另一者，電容器 17 之該另一電極，以及有機 EL 元件 18 之陽極的節點係稱為節點 G。

[像素的操作實例]

將參照第 4B 圖來敘述上述像素的操作實例。特別地，第 4B 圖描繪第 3B 及 3D 圖中的週期 t1 至 t7 中之配置於像素部中的第二列中之掃描線 4_2 及反相掃描線 5_2 的電位，以及所輸入至信號線 6 的影像信號。在第 4B 圖

中，所輸入至佈線之信號係各自顯示於括弧中。進一步地，在第 4B 圖中，“DATA”表示影像信號。

在週期 t1 及 t2 中，選擇信號並未被輸入至掃描線 4_2，且選擇信號係輸入至反相掃描線 5_2。因此，電晶體 11、12、及 13 關閉，以及電晶體 14 及 16 導通。從而，對應於電晶體 15 之閘極的電位(節點 D 的電位)之電流係自電源供應線供應至有機 EL 元件 18。也就是說，像素 10 依據保持於電容器 17 中之影像信號而顯示影像。注意的是，在週期 t1 及 t2 中，用於第一列中所配置之像素的影像信號(data_1)係自信號線驅動電路 2 輸入至信號線 6。

在週期 t3 中，選擇信號係輸入至掃描線 4_2。因此，電晶體 11、12、及 13 導通，而導致例如，電容器 17 的該一電極與信號線 6 之間以及電容器 17 的該一電極與電源供應線 7 之間的短路。因而，保持於電容器 17 中的影像信號會失去(初始化)。

在週期 t4 中，選擇信號並未被輸入至反相掃描線 5_2。因此，電晶體 14 及 16 關閉。進一步地，用於第二列中所配置之像素的影像信號(data_2)係輸入至信號線 6。因而，節點 F 具有對應於影像信號(data_2)的電位。

注意的是，在週期 t4 中，節點 D 及 E 具有對應於影像信號(data_2)的電位與電晶體 15 的臨限電壓之總和的電位(下文中稱為資料電位)。此係因為當節點 D 及 E 具有高於資料電位的電位時，則電晶體 15 會導通且節點 D 及 E

的電會減少至該資料電位。進一步地，即使當，在電晶體14及16關閉以及電晶體15關閉之後(在節點D及E具有等於節點F的電位與電晶體15的臨限電壓之總和的電位之後)，節點F的電位改變至對應於影像信號(data_2)的電位時，節點D的電位會由於使用節點D與F間之電容性耦合而改變。因而，節點D及E的電位亦係在此情況中，減少至該資料電位。

在週期t4中，由於節點G與用以透過電晶體12而供應共同電位的佈線之間的短路，節點G的電位變成共同電位。

因而，在週期t4中，所供應至電容器17之電壓等於資料電位(節點D的電位)與共同電位(節點G的電位)之間的差異。

在週期t5及t6中，選擇信號並未被輸入至掃描線4_2。因此，電晶體11、12、及13關閉。

在週期t7中，選擇信號係輸入至反相掃描線5_2。因此，電晶體14及16導通。注意的是，已知電晶體之飽和區中的汲極電流係與電晶體的臨限電壓和電晶體之閘極及源極間的電壓之間的電位差之平方成比例。在此，電晶體15之閘極及源極間的電壓變成施加至電容器17的電壓(資料電壓(對應於影像信號(data_2)的電位與電晶體15的臨限電壓之總和)和共同電位之間的差異)。因而，在電晶體15之飽和區中的汲極電流係與對應於影像信號(data_2)的電位和共同電位之間的差異之平方成比例。在此情況中，

在電晶體 15 之飽和區中的汲極電流並不相依於電晶體 15 的臨限電壓。

注意的是，節點 G 的電位改變，以致與電晶體 15 中所產生之電流相同的電流流至有機 EL 元件 18。在此，當節點 G 的電位改變時，則節點 D 的電位會由於使用透過電容器 17 之電容性耦合而改變。因此，即使當節點 G 的電位改變時，電晶體 15 亦可供應恆定的電流至有機 EL 元件 18。

透過上述操作，像素 10 可依據影像信號(data_2)而顯示影像。

[在此說明書中所揭示的顯示裝置]

在此說明書中所揭示的顯示裝置中，反相脈波輸出電路的操作係藉由至少兩種信號所控制。因此，可降低反相脈波輸出電路之中所產生的直通電流。進一步地，使用於複數個脈波輸出電路之操作的信號係使用做為該兩種信號。也就是說，反相脈波輸出電路可無需額外產生信號而操作。

[變化例]

上述顯示裝置係本發明之一實施例；本發明亦可包含具有與上述顯示裝置的結構不同之結構的顯示裝置。以下顯示本發明之另一實施例的實例。注意的是，本發明亦包含具有顯示為本發明另一實施例之實例的任何以下之複數

個元件的顯示裝置。

[顯示裝置的變化例]

做為上述之顯示裝置，已例示包含有機 EL 元件於每一個像素中之有機 EL 元件的顯示裝置(下文中亦稱為 EL 顯示裝置)；然而，本發明之顯示裝置並未受限於 EL 顯示裝置。例如，本發明之顯示裝置可係藉由控制液晶之配向而顯示影像的顯示裝置(液晶顯示裝置)。

[掃描線驅動器電路的變化例]

進一步地，包含於上述顯示裝置中之掃描線驅動器電路的組態並未受限於第 2A 圖中之該者。例如，可使用第 5 圖、第 6A 圖、及第 7 圖中之掃描線驅動器電路的任一者做為包含於上述顯示裝置中之掃描線驅動器電路。

在第 5 圖中之掃描線驅動器電路 1 係與第 2A 圖中之掃描線驅動器電路 1 不同，其中第 y 反相脈波輸出電路 60_y(y 係小於或等於(m-1)之自然數)的端子 61 係電性連接至第(y+1)脈波輸出電路的端子 27，且第 m 反相脈波輸出電路 60_m 的端子 61 係電性連接至用以供應停止信號(STP)以供第 m 脈波輸出電路之用的佈線。在第 5 圖中之掃描線驅動器電路 1 亦可輸出與來自第 2A 圖中的掃描線驅動器電路 1 所輸出之該等信號相似的信號至掃描線及反相掃描線。

在第 2A 圖中的掃描線驅動器電路 1 中，高位準電位

係以短於第 5 圖中之掃描線驅動器電路 1 的週期之週期，而輸入至反相脈波輸出電路的端子 61。也就是說，包含於反相脈波輸出電路中之電晶體 71 係在更短的週期之中導通(請參閱第 2A、2B、及 2D 圖以及第 3C 圖)。因而，即使當包含於反相脈波輸出電路中之電晶體 73 的閘極電位係由於電晶體 72 或其類似者之中所產生的漏電流而減少時，亦可再增加電位。因此，可降低該反相脈波輸出電路輸出低於高電源供應電位(Vdd)的電位至對應之反相掃描線的機率。

另一方面，在第 5 圖中之掃描線驅動器電路 1 中，用以供應掃描線驅動器電路第一至第四時脈信號(GCK1 至 GCK4)之佈線的寄生電容可低於第 2A 圖中之掃描線驅動器電路 1 中的該等者。因此，第 5 圖中之掃描線驅動器電路 1 具有比第 2A 圖中之掃描線驅動器電路 1 更低的功率消耗。

在第 6A 圖中之掃描線驅動器電路 1 係與第 2A 圖中之掃描線驅動器電路 1 不同，其中其係以用於掃描線驅動器電路之兩種時脈信號以及兩種脈波寬度控制信號而操作。因而，在脈波輸出電路與反相脈波輸出電路之間的連接關係亦係不同(請參閱第 6A 圖)。

特別地，在第 6A 圖中之掃描線驅動器電路 1 包含用以供應掃描線驅動器電路第五時脈信號(GCK5)的佈線，用以供應掃描線驅動器電路第六時脈信號(GCK6)的佈線，用以供應第五脈波寬度控制信號(PWC5)的佈線，以

及用以供應第六脈波寬度控制信號(PWC6)的佈線。

第 6B 圖描繪第 6A 圖中的上述信號之特定波形的實例。在第 6B 圖中之用於掃描線驅動器電路的第五時脈信號(GCK5)週期性地交變於高位準電位(高電源供應電位(Vdd))與低位準電位(低電源供應電位(Vss))之間，且具有約 1/2 的工作比。進一步地，用於掃描線驅動器電路的第六時脈信號(GCK6)具有自用於掃描線驅動器電路的第五時脈信號(GCK5)移位 1/2 週期的相位。第五脈波寬度控制信號(PWC5)的電位係在用於掃描線驅動器電路之第五時脈信號(GCK5)的電位變成高位準電位之前變成高位準電位，以及在當用於掃描線驅動器電路之第五時脈信號(GCK5)的電位係高位準電位時之週期中，變成低位準電位，且該第五脈波寬度控制信號(PWC5)具有小於 1/2 的工作比。第六脈波寬度控制信號(PWC6)具有自第五脈波寬度控制信號(PWC5)移位 1/2 週期的相位。

在第 6A 圖中之掃描線驅動器電路 1 亦可輸出與來自第 2A 圖中的掃描線驅動器電路 1 所輸出之該等信號相似的信號至掃描線及反相掃描線。

注意的是，在第 2A 圖中之掃描線驅動器電路 1 中，用以供應掃描線驅動器電路第一至第四時脈信號(GCK1 至 GCK4)之佈線的寄生電容可低於第 6A 圖中之掃描線驅動器電路 1 中之該等者。因此，第 2A 圖中之掃描線驅動器電路 1 具有比第 6A 圖中之掃描線驅動器電路 1 更低的功率消耗。

另一方面，在第 6A 圖中之掃描線驅動器電路 1 中，用於該掃描線驅動器電路的操作所必要之信號的數目可以比第 2A 圖中之掃描線驅動器電路 1 中更小。

在第 7 圖中之掃描線驅動器電路 1 係與第 2A 圖中之掃描線驅動器電路 1 不同，其中其係無需脈波寬度控制信號而操作。因而，在脈波輸出電路與反相脈波輸出電路之間的連接關係亦係不同(請參閱第 7 圖)。

在第 7 圖中之掃描線驅動器電路 1 中，自脈波輸出電路輸出至對應之掃描線的選擇信號係與輸出至後一級之脈波輸出電路的移位脈波相同之信號。因此，自脈波輸出電路輸出至掃描線的信號(掃描線的電位)與自反相脈波輸出電路輸出至反相掃描線的信號(反相掃描線的電位)具有反向的相位。可使用第 7 圖中之掃描線驅動器電路 1 做為包含於顯示裝置中的掃描線驅動器電路。

注意的是，在第 2A 圖中之掃描線驅動器電路 1 中，於用以輸出選擇信號至第 y 列中之掃描線的週期與用以輸出選擇信號至第(y+1)列中之掃描線的週期之間，具有比第 7 圖中之掃描線驅動器電路 1 中更寬的間距。因此，即使當用於掃描線驅動器電路之第一至第四時脈信號(GCK1 至 GCK4)的任一者延遲或具有變鈍的波形時，則相較於第 6A 圖中之掃描線驅動器電路 1，在第 7 圖中之掃描線驅動器電路 1 可準確輸入影像信號至像素。

另一方面，在第 7 圖中之掃描線驅動器電路 1 中，用於該掃描線驅動器電路的操作所必要之信號的數目可以比

第 2A 圖中之掃描線驅動器電路 1 中更小。

[脈波輸出電路的變化例]

包含於上述掃描線驅動器電路中之脈波輸出電路的組態並未受限於第 3A 圖中之該者。例如，可使用第 8A 及 8B 圖以及第 9A 及 9B 圖中之脈波輸出電路的任一者做為包含於上述掃描線驅動器電路中的脈波輸出電路。

進一步地，在第 8A 圖中之脈波輸出電路具有其中添加電晶體 50 至第 3A 圖中之脈波輸出電路的組態。電晶體 50 之源極及汲極的其中一者係電性連接至高電源供應電位線；電晶體 50 之源極及汲極的另一者係電性連接電晶體 32 的閘極，電晶體 34 的閘極，電晶體 35 之源極及汲極的另一者，電晶體 36 之源極及汲極的另一者，電晶體 37 之源極及汲極的另一者，和電晶體 39 的閘極；以及電晶體 50 之閘極係電性連接至重設端子(Reset)。注意的是，高位準電位可在顯示裝置的垂直馳返週期中被輸入至重設端子，且低位準電位可在除了該垂直馳返週期之外的週期中被輸入至該重設端子。因此，可使脈波輸出電路之各自節點的電位初始化，以致可防止動作失調。

第 8B 圖中之脈波輸出電路具有其中添加電晶體 51 至第 3A 圖中之脈波輸出電路的組態。電晶體 51 之源極及汲極的其中一者係電性連接至電晶體 31 之源極及汲極的另一者和電晶體 32 之源極及汲極的另一者，；電晶體 51 之源極及汲極的另一者係電性連接至電晶體 33 之閘極和電

晶體 38 之閘極；以及電晶體 51 之閘極係電性連接至高電源供應電位線。注意的是，電晶體 51 係在當節點 A 具有高位準電位時的週期(第 3B 圖中的週期 t1 至 t6)中關閉。因此，其中添加電晶體 51 的組態可在週期 t1 至 t6 中，中斷電晶體 33 的閘極與電晶體 38 的閘極之間以及電晶體 31 之源極及汲極的另一者與電晶體 32 之源極及汲極的另一者之間的電性連接。因而，可在包含於週期 t1 至 t6 中的週期中降低脈波輸出電路中之自舉期間的負載。

第 9A 圖中之脈波輸出電路具有其中添加電晶體 52 至第 8B 圖中之脈波輸出電路的組態。電晶體 52 之源極及汲極的另一者係電性連接至電晶體 33 的閘極和電晶體 51 之源極及汲極的另一者；電晶體 52 之源極及汲極的另一者係電性連接至電晶體 38 的閘極；以及電晶體 52 之閘極係電性連接至高電源供應電位線。以與上文相似之方式，可以以電晶體 52 而降低脈波輸出電路中之自舉期間的負載。

第 9B 圖之脈波輸出電路具有其中電晶體 51 係自第 9A 圖中所描繪之脈波輸出電路去除，且電晶體 53 係添加至第 9A 圖中所描繪之脈波輸出電路的組態。電晶體 53 之源極及汲極的其中一者係電性連接至電晶體 31 之源極及汲極的另一者，電晶體 32 之源極及汲極的另一者，和電晶體 52 之源極及汲極的該一者，電晶體 53 之源極及汲極的另一者係電性連接至電晶體 33 的閘極；以及電晶體 53 之閘極係電性連接至高電源供應電位線。以與上文相似之

方式，可以以電晶體 53 而降低脈波輸出電路中之自舉期間的負載。進一步地，可在電晶體 33 及 38 的開關上減少脈波輸出電路中所產生的假脈波的效應。

[反相脈波輸出電路的變化例]

包含於上述掃描線驅動器電路中之反相脈波輸出電路的組態並未受限於第 3C 圖中之該者。例如，可使用第 10A 至 10C 圖中之反相脈波輸出電路的任一者做為包含於上述掃描線驅動器電路中的反相脈波輸出電路。

在第 10A 圖中之反相脈波輸出電路具有其中添加電容器 80 至第 3C 圖中之反相脈波輸出電路的組態。電容器 80 之一電極係電性連接至電晶體 71 之源極及汲極的另一者，電晶體 72 之源極及汲極的另一者，和電晶體 73 的閘極；以及電容器 80 之另一電極係電性連接至端子 63。注意的是，電容器 80 可防止電晶體 73 之閘極的電位改變。另一方面，在第 3C 圖中之反相脈波輸出電路可具有比第 10A 圖中之反相脈波輸出電路更小的電路面積。

在第 10B 圖中之反相脈波輸出電路具有其中添加電晶體 81 至第 10A 圖中之反相脈波輸出電路的組態。電晶體 81 之源極及汲極的其中一者係電性連接至電晶體 71 之源極及汲極的另一者和電晶體 72 之源極及汲極的另一者，電晶體 81 之源極及汲極係電性連接至電晶體 73 的閘極和電容器 80 的該一電極；以及電晶體 81 之閘極係電性連接至高電源供應電位線。注意的是，電晶體 81 可防止電晶

體 71 及 72 的崩潰。特別地，在第 3C 圖中之反相脈波輸出電路中，節點 C 之電位會由於該自舉而重大地改變，以致使電晶體 71 及 72 的源極與汲極間(特別地，電晶體 72 的源極與汲極間)之電壓大大地改變，而導致電晶體 71 及 72 的崩潰。對照地，在第 10B 圖中之反相脈波輸出電路中，當電晶體 73 之閘極的電位係藉由該自舉而增加時，則電晶體 81 關閉，以致使節點 C 的電位並不會由於該自舉而大大地改變。因而，可減少電晶體 71 及 72 的源極與汲極間之電壓的改變。另一方面，在第 3C 圖或第 10A 圖中之反相脈波輸出電路可具有比第 10B 圖中之反相脈波輸出電路更小的電路面積。

第 10C 圖中之反相脈波輸出電路具有使得電性連接至電晶體 73 之源極及汲極的其中一者之佈線自第 3C 圖中的反相脈波輸出電路中之高電源供應電位線改變至用以供應電源供應電位(Vcc)之佈線。在此，電源供應電位(Vcc)係高於低電源供應電位(Vss)且低於高電源供應電位(Vdd)。進一步地，此改變了可降低來自反相脈波輸出電路所輸出至對應之反相掃描線的電位改變之機率。而且，可防止上述之崩潰。另一方面，在第 3C 圖中之反相脈波輸出電路中，用於反相脈波輸出電路的操作所必要之電源供應電位的數目可以比第 10C 圖中之反相脈波輸出電路中更小。

[像素的變化例]

包含於上述顯示裝置中之像素的組態並未受限於第

4A 圖中之組態。例如，雖然第 4A 圖中之像素僅係使用 n 通道電晶體而形成。但本發明並未受限於此組態。也就是說，在依據本發明一實施例的顯示裝置中，像素可選擇性地僅使用 p 通道電晶體，或組合之 n 通道電晶體和 p 通道電晶體而形成。

注意的是，如第 4A 圖中所描繪地，當所設置於像素中之電晶體僅係一導電性類型時，則可使該等像素高度地成一體。此係因為在其中藉由佈植雜質至半導體層而給定不同的導電性類型至電晶體的情況中，需提供間隙(餘裕度)於 n 通道電晶體與 p 通道電晶體之間。對照地，在其中像素係僅使用一導電性類型之電晶體而形成的情況中，該間隙並非必要的。

[電晶體的特定實例]

下文將參照第 11A 至 11D 圖及第 12A 至 12D 圖來敘述包含於上述掃描線驅動器電路中之電晶體的特定實例。注意的是，下文所敘述之該等電晶體的任一者可包含於掃描線驅動器電路及像素二者之中。

電晶體的通道形成區可使用任何半導體材料而形成；例如，可使用諸如矽或鍺化矽之包含族 14 元素的半導體材料，包含金屬氧化物的半導體材料，或其類似物。進一步地，該等半導體材料的任一者可係非晶或晶體性。

而且，可使用任何氧化物半導體材料，且較佳地，使用包含選自 In、Ga、Sn、及 Zn 至少一者的氧化物半導

體。例如，較佳地使用 In-Sn-Zn-O 為主氧化物做為氧化物半導體，因為可獲得具有高的場效應遷移率和高的可靠度之電晶體。此規則亦可被施加至下列氧化物：諸如 In-Sn-Ga-Zn-O 為主氧化物之四成分金屬氧化物；諸如 In-Ga-Zn-O 為主氧化物(亦稱為 IGZO)，In-Al-Zn-O 為主氧化物，Sn-Ga-Zn-O 為主氧化物，Al-Ga-Zn-O 為主氧化物，Sn-Al-Zn-O 為主氧化物，In-Hf-Zn-O 為主氧化物，In-La-Zn-O 為主氧化物，In-Ce-Zn-O 為主氧化物，In-Pr-Zn-O 為主氧化物，In-Nd-Zn-O 為主氧化物，In-Pm-Zn-O 為主氧化物，In-Sm-Zn-O 為主氧化物，In-Eu-Zn-O 為主氧化物，In-Gd-Zn-O 為主氧化物，In-Tb-Zn-O 為主氧化物，In-Dy-Zn-O 為主氧化物，In-Ho-Zn-O 為主氧化物，In-Er-Zn-O 為主氧化物，In-Tm-Zn-O 為主氧化物，In-Yb-Zn-O 為主氧化物，或 In-Lu-Zn-O 為主氧化物之三成分金屬氧化物；諸如 In-Zn-O 為主氧化物，Sn-Zn-O 為主氧化物，Al-Zn-O 為主氧化物，Zn-Mg-O 為主氧化物，Sn-Mg-O 為主氧化物，In-Mg-O 為主氧化物，或 In-Ga-O 為主氧化物，之二成分金屬氧化物；諸如 In-O 為主氧化物，Sn-O 為主氧化物，或 Zn-O 為主氧化物，之單一成分金屬氧化物；以及其類似物。

第 11A 至 11D 圖及第 12A 至 12D 圖描繪其中通道係形成於氧化物半導體中之電晶體的特定實例。注意的是，第 11A 至 11D 圖及第 12A 至 12D 圖描繪底部閘極電晶體的特定實例，但頂部閘極電晶體亦可被使用做為該電晶

體。進一步地，第 11A 至 11D 圖及第 12A 至 12D 圖描繪交錯電晶體的特定實例，但共平面電晶體亦可被使用做為該電晶體。

第 11A 至 11D 圖係橫剖面視圖，描繪用以製造電晶體(所謂通道蝕刻型電晶體)的步驟。

首先，導電膜係形成於基板 400 上，該基板 400 係具有絕緣表面的基板，且然後，閘極電極層 401 係藉由使用光罩之光微影術步驟而被設置。

做為基板 400，較佳地使用可致能大量生產之玻璃基板。做為使用於基板 400 之玻璃基板，可使用當將被執行於稍後步驟中之加熱處理的溫度係高時，其應變點應高於或等於 730℃之玻璃基板。用於該基板 400，例如，可使用諸如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、或鋇硼矽酸鹽玻璃之玻璃材料。

可將用作基底層的絕緣層設置於基板 400 與閘極電極層 401 之間。該基底層具有防止來自基板 400 之雜質元素擴散的功能，且可以以使用氮化矽層、氧化矽層、氧化氮化矽層、及氮氧化矽層之其中一者或更多者的單層或堆疊層結構而形成。

氮氧化矽意指其中氧的含量係高於氮的含量之矽；例如，氮氧化矽包含 50 至 70 原子百分比的氧、0.5 至 15 原子百分比的氮、25 至 35 原子百分比的矽、及 0 至 10 原子百分比的氫。此外，氧化氮化矽意指其中氮的含量係高於氧的含量之矽；例如，氧化氮化矽包含 5 至 30 原子百

分比的氧、20至55原子百分比的氮、25至35原子百分比的矽、及10至25原子百分比的氫。注意的是，上述範圍係藉由拉塞福(Rutherford)反向散射光譜儀(RBS)或氫順向散射光譜儀(HFS)所測量。此外，該等構成元素之百分比的總計不超過100原子百分比。

閘極電極層401可以以使用下列材料之至少一者的單層或堆疊層結構而形成：Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、Ta、及W，其氮化物，其氧化物，及其合金。選擇性地，可使用至少包含In及Zn的氧化物或氮氧化物。例如，可使用In-Ga-Zn-O-N為主材料。

接著，形成閘極絕緣層402於閘極電極層401之上。在形成閘極電極層401之後，閘極絕緣層402係藉由濺鍍法、蒸鍍法、電漿化學氣相沈積(PCVD)法、脈波雷射沈積(PLD)法、原子層沈積(ALD)法、分子束磊晶(MBE)法、或其類似方法所形成，而無需暴露至空氣。

較佳地，閘極絕緣層402係可藉由加熱處理而釋放出氧的絕緣膜。

藉由加熱處理而釋放出氧意指的是，轉換成為氧原子之所釋放出的氧之數量係在熱解吸光譜儀(TDS)分析中，大於或等於1.0×10^{18}原子/立方公分，較佳地，大於或等於3.0×10^{20}原子/立方公分。

下文顯示其中所釋放出之氧的數量係藉由轉換成為氧原子，而使用TDS分析來加以測量的方法。

在TDS分析中之所釋放出之氣體的數量係與光譜的

積分值成比例。因此，所釋放出之氣體的數量可由測量之光譜的積分值與標準取樣的參考值之間的比例所計算。標準取樣的參考值表示包含於取樣中之預定原子的密度對光譜的積分值之比例。

例如，來自絕緣膜之釋放出的氧分子(N_{O2})之數目可依據方程式(1)，而以標準取樣之包含預定密度的氫之矽晶圓的 TDS 分析結果及該絕緣膜的 TDS 分析結果來予以獲得。在此，藉由 TDS 分析所獲得之具有 32 的質量數之所有光譜係假定為產生自氧分子。給定為具有 32 的質量數之氣體的 CH_3OH 係在假定其不可能存在之下，並不予以考慮。進一步地，亦不考慮包含氧原子之同位素，亦即，具有 17 或 18 的質量數之氧原子的氧分子，因自然界中之此分子的比例很小。

[方程式 1]

$$N_{O2} = \frac{N_{H2}}{S_{H2}} \times S_{O2} \times \alpha \quad \cdots (1)$$

在方程式 1 中，N_{H2} 係藉由轉換來自標準取樣所釋放出之氫原子的數目成為密度所獲得的值。S_{H2} 係在當使標準取樣接受 TDS 分析時之光譜的積分值。在此，標準取樣的參考值係設定為 N_{H2}/S_{H2}。S_{O2} 係在當使絕緣膜接受 TDS 分析時之光譜的積分值。α 係影響 TDS 分析中之光譜強度的係數。對於方程式 1 之細節，可參閱日本公開專

利申請案第 H06-275697 號。注意的是，來自上述絕緣膜之釋放出的氧之數量係使用包含 1×10^{16} 原子/立方公分之氫的矽晶圓做為標準取樣，而透過 ESCO Ltd.所生產熱解吸光譜儀 EMD-WA1000S/W 所測量。

進一步地，在 TDS 分析中，氧係部分地偵測為氧原子。在氧分子與氧原子之間的比例可由氧分子的電離速率所計算。注意的是，因為上述α 包含氧分子的電離速率，所以釋放出之氧原子的數目亦可透過釋放出之氧分子數目的估計而予以估算。

注意的是，N_{O2} 係釋放出之氧分子的數目。當轉換成為氧原子時之釋放出的氧之數量係釋放出之氧分子的數目之兩倍。

在上述結構中，其中氧係藉由加熱處理而釋放出的膜可係氧過量氧化矽 ($SiO_X(X>2)$)。在氧過量氧化矽 ($SiO_X(X>2)$)中，每一單位體積之氧原子的數目係比每一單位體積之矽原子的數目之兩倍更大。每一單位體積之矽原子的數目及氧原子的數目係藉由拉塞福(Rutherford)反向散射光譜儀所測量。

自閘極絕緣層 402 至氧化物半導體膜之氧的供應可降低其間之介面狀態密度。因而，可防止載子陷獲於氧化物半導體膜與閘極絕緣層 402 之間的介面處，以致使電晶體之電性特徵幾乎不會降級。

進一步地，在某些情況中，電荷會由於氧化物半導體膜中的氧空位而產生。通常，在氧化物半導體膜中之氧空

位的一部分用作施體，且會導致電子，亦即，載子的釋放。因而，電晶體之臨限電壓會以負的方向而偏移。為了要防止此，足夠的氧，較佳地，過量的氧係自閘極絕緣層 402 供應至與該閘極絕緣層 402 接觸之氧化物半導體膜，以致可使會導致臨限電壓以負的方向偏移之氧化物半導體膜中的氧空位減少。

較佳地，閘極絕緣層 402 應充分地平坦，使得氧化物半導體膜的晶體成長更為容易。

閘極絕緣層 402 可以以使用下列材料之至少一者的單層或堆疊層結構而形成：氧化矽，氮氧化矽，氧化氮化矽，氮化矽，氧化鋁，氮化鋁，氧化鉿，氧化鋯，氧化釔，氧化鑭，氧化鈰，氧化鉭，及氧化鎂。

閘極絕緣層 402 係在高於或等於室溫且低於或等於 200℃，較佳地高於或等於 50℃且低於或等於 150℃的基板加熱溫度，藉由在氧氣體氛圍中之濺鍍法，而較佳地形成。注意的是，可將有氣體添加至氧氣體；在該情況中，氧氣體的百分比係 30 體積百分比或更高，較佳地係 50 體積百分比或更高，更佳地係 80 體積百分比或更高。該閘極絕緣層 402 的厚度範圍係自 100 奈米至 1000 奈米，較佳地自 200 奈米至 700 奈米。在膜形成時之較低的基板加熱溫度，在膜形成氛圍中之較高百分比的氧氣體，或較大厚度的閘極絕緣層 402 會在執行加熱處理於閘極絕緣層 402 之上時，導致大量的氧被釋放出。在膜中之氫的濃度可藉由濺鍍法，而比藉由 PCVD 法更被降低。注意的是，

閘極絕緣層 402 可具有大於 1000 奈米的厚度，但應具有使得生產率不會降低之厚度。

然後，在閘極絕緣層 402 上，氧化物半導體膜 403 係藉由濺鍍法、蒸鍍法、PCVD 法、PLD 法、ALD 法、MBE 法，或其類似方法，而予以形成。第 11A 圖係上述步驟之後的橫剖面視圖。

該氧化物半導體膜 403 具有自 1 奈米至 40 奈米，較佳地自 3 奈米至 20 奈米之範圍的厚度。特別地，在其中電晶體具有 30 奈米或更小的通道長度且氧化物半導體膜 403 具有大約 5 奈米之厚度的情況中，可抑制短通道效應以及可獲得穩定的電性特徵。

尤其，其中使用 In-Sn-Zn-O 為主材料於氧化物半導體膜 403 之電晶體可具有高的場效應遷移率。

其中通道係形成於包含 In、Sn、及 Zn 為主要成分的氧化物半導體膜中之電晶體可藉由當加熱基板時形成該氧化物半導體膜，或藉由在形成該氧化物半導體膜之後執行熱處理，而具有有利的特徵。注意的是，主要成分表示以 5 原子百分比或更多而包含於組成物中之元素。

藉由在包含 In、Sn 及 Zn 為主要成分的氧化物半導體膜之形成後，有計劃地加熱基板，可增進電晶體的場效應遷移率。進一步地，可正向地偏移電晶體的臨限電壓，而使電晶體常態地關閉。

為了要降低電晶體的截止狀態電流，氧化物半導體膜 403 係使用具有 2.5eV 或更大，較佳地，2.8eV 或更大，

更佳地，3.0eV 或更大之能隙的材料而形成。透過具有在上述範圍中之能隙的材料之使用，以供氧化物半導體膜 403 之用，可降低電晶體的截止狀態電流。

在氧化物半導體膜 403 中，較佳的是，應減少氫、鹼金屬、鹼土金屬、及其類似物，使得雜質之濃度係極低。此係因為包含於氧化物半導體膜 403 中之上述雜質會形成導致復合的能階於能隙中，而造成電晶體之截止狀態電流的增加。

藉由二次離子質譜儀(SIMS)所測量之氧化物半導體膜 403 中的氫之濃度係低於 $5\times10^{19}cm^{-3}$，較佳地低於或等於 $5\times10^{18}cm^{-3}$，更佳地低於或等於 $1\times10^{18}cm^{-3}$，仍更佳地低於或等於 $5\times10^{17}cm^{-3}$。

進一步地，藉由 SIMS 所測量之氧化物半導體膜 403 中的鹼金屬之濃度係如下。鈉的濃度係低於或等於 $5\times10^{16}cm^{-3}$，較佳地低於或等於 $1\times10^{16}cm^{-3}$，更佳地低於或等於 $1\times10^{15}cm^{-3}$。同樣地，鋰的濃度係低於或等於 $5\times10^{15}cm^{-3}$，較佳地低於或等於 $1\times10^{15}cm^{-3}$ 同樣地，鉀的濃度係低於或等於 $5\times10^{15}cm^{-3}$，較佳地低於或等於 $1\times10^{15}cm^{-3}$。

做為氧化物半導體膜 403，可使用包含晶體(亦稱為 c 軸配向晶體(CAAC))之氧化物半導體膜(亦稱為 c 軸配向晶體氧化物半導體膜(CAAC-OS 膜))，該晶體係沿著 c 軸而配向，且當從 a-b 面、頂部表面、或介面觀察時，具有三角形或六邊形的原子配置。在晶體中，金屬原子係沿著 c 軸而以成層方式配置，或金屬原子及氧原子係沿著 c 軸而

以成層方式配置，且 a 軸或 b 軸之方向係在 a-b 面中變化(晶體繞著 c 軸扭轉)。

在廣義方面，CAAC 意指包含相態之非單晶，該相態具有當從垂直於 a-b 面的方向觀察時之三角形、六邊形、正三角形、或正六邊形的原子配置，且其中，當從垂直於 c 軸方向的方向觀察時，金屬原子係以成層方式配置，或金屬原子及氧原子係以成層方式配置。注意的是，氮可取代包含於 CAAC 中之氧的一部分。

CAAC-OS 膜係非單晶，但此並不意指該 CAAC-OS 膜僅係由非晶成分所組成。雖然 CAAC-OS 膜包含晶體化部分(晶體部分)，但在某些情況中，一晶體部分與另一晶體部分之間的邊界並不明顯。包含在 CAAC-OS 膜中之晶體部分的 c 軸可以以一方向而配向(例如，垂直於其中形成 CAAC-OS 膜於上之基板的表面或 CAAC-OS 膜的頂部表面之方向)。選擇性地，相對於包含在 CAAC-OS 膜中之個別晶體部分的 a-b 面之法線可以以一定方向而配向(例如，垂直於其中形成 CAAC-OS 膜於上之基板的表面或 CAAC-OS 膜的頂部表面之方向)。做為該 CAAC-OS 膜的實例，具有形成為膜形狀且當從垂直於膜的表面或其中形成 CAAC-OS 膜於上之基板的表面之方向觀察時，具備三角形或六邊形的原子配置，且其中當觀察膜的橫剖面時，則金屬原子係以成層方式配置，或金屬原子及氧原子(或氮原子)係以成層方式配置之氧化物膜。

較佳地，氧化物半導體膜 403 係在 100℃至 600℃，

較佳地，150℃至 550℃，更佳地，200℃至 500℃的基板加熱溫度，藉由在氧氣體氛圍中之濺鍍法，而予以形成。該氧化物半導體膜 403 的厚度係自 1 奈米至 40 奈米，較佳地，自 3 奈米至 20 奈米。在膜形成時之基板加熱溫度愈高，則在所獲得之氧化物半導體膜 403 中的雜質濃度愈低。進一步地，在氧化物半導體膜 403 中的原子配置係排列的，其密度會增加，以致使晶體或 CAAC 易於形成。再者，因為使用氧氣體氛圍於膜形成，所以諸如稀有氣體原子之不必要的原子並不會被包含於氧化物半導體膜 403 中，以致使晶體或 CAAC 易於形成。注意的是，可使用包含氧氣體和稀有氣體之混合氣體氛圍。在該情況中，氧氣體的百分比係 30 體積百分比或更高。較佳地，50 體積百分比或更高，更佳地，80 積體百分比或更高。氧化物半導體膜 403 愈薄，則電晶體的短通道效應愈低。然而，當氧化物半導體膜 403 太薄時，則氧化物半導體膜 403 會受到介面散射大大地影響；因而，可能減低場效應遷移率。

在藉由濺鍍法而形成 In-Sn-Zn-O 為主材料之膜做為氧化物半導體膜 403 的情況中，較佳地使用具有 In：Sn：Zn=2：1：3、1：2：2、1：1：1、或 20：45：35 之原子比的 In-Sn-Zn-O 靶極。當氧化物半導體膜 403 係使用具有上述之組成比的 In-Sn-Zn-O 靶極而形成時，則可易於形成晶體或 CAAC。

接著，執行第一加熱處理。該第一加熱處理係執行於降低壓力氛圍，惰性氛圍，或氧化氛圍之中。藉由該第一

加熱處理，可降低氧化物半導體膜 403 中之雜質濃度。第 11B 圖係上述步驟之後的橫剖面視圖。

較佳地，第一加熱處理係以此方式而執行，亦即，完成在降低壓力氛圍或惰性氛圍中之加熱處理，且然後，改變氛圍為氧化氛圍而同時保持溫度，以及進一步執行加熱處理之方式。藉由在降低壓力氛圍或惰性氛圍中所執行之加熱處理，可有效降低氧化物半導體膜 403 中之雜質濃度；同時，會產生氧空位。因此，在氧化氛圍中之加熱處理係執行以便減少所產生的氧空位。

除了在膜形成時的基板加熱之外，藉由執行第一加熱處理於氧化物半導體膜 403 之上，可大大降低膜中之雜質位準的數目。因而，可將電晶體的場效應遷移率增加至接近於稍後敘述之理想的場效應遷移率。

注意的是，可將氧離子佈植至氧化物半導體膜 403 之內，且可藉由加熱處理而使諸如氫之雜質自氧化物半導體膜 403 釋放出，使得氧化物半導體膜 403 可在加熱處理的同時或藉由稍後執行之加熱處理，而晶體化。

取代第一加熱處理，氧化物半導體膜 403 可藉由雷射光束照射而選擇性地晶體化。選擇性地，雷射光束照射可在當執行第一加熱處理時執行，使得氧化物半導體膜 403 可被選擇地晶體化。雷射光束照射係執行於惰性氛圍，氧氛圍，或降低壓力氛圍中。連續波雷射光束(下文中稱為 CW 雷射光束)或脈波雷射(下文中稱為脈波式雷射光束)可使用於該雷射光束照射的情況中。例如，可使用諸如 Ar

雷射光束，Kr 雷射光束，或準分子雷射光束之氣體雷射光束；使用單晶或多晶 YAG，YVO_4，鎂橄欖石(Mg_2SiO_4)，$YAlO_3$，或摻雜有 Nd、Yb、Cr、Ti、Ho、Er、Tm、及 Ta 之一或更多者為摻雜物之 $GdVO_4$ 做為媒質所發射出的雷射光束；諸如玻璃雷射光束，紅寶石雷射光束，紫翠玉雷射光束，或 Ti：藍寶石雷射光束的固態雷射光束；或使用銅蒸氣及金蒸氣之其中一者或二者所發射出的蒸氣雷射光束。藉由透過該雷射光束的一次諧波或該雷射光束的一次諧波之二次諧波至五次諧波的任一者之照射，可使氧化物半導體膜 403 晶體化。注意的是，使用於照射的雷射光束較佳地具有比氧化物半導體膜 403 之能隙更大的能量。例如，可使用由 KrF、ArF、XeCl、或 XeF 準分子雷射所發射出的雷射光束。注意的是，該雷射光束可係線性雷射光束。

注意的是，雷射光束可在不同的情形下被執行複數次。例如，較佳的是，第一雷射光束照射係執行於稀有氣體氛圍或降低壓力氛圍中，且第二雷射光束照射係執行於氧化氛圍中，因為在該情況中，可獲得高結晶性，且同時，可減少氧化物半導體膜 403 中的氧空位。

接著，藉由光微影術步驟或其類似步驟，將氧化物半導體膜 403 處理成為島狀形狀，以形成氧化物半導體膜 404。

然後，將導電膜形成於閘極絕緣層 402 及氧化物半導體膜 404 之上，且接著，執行光微影術步驟或其類似步

驟，而形成源極電極 405A 及汲極電極 405B。該導電膜可藉由濺鍍法，蒸鍍法，PCVD 法，PLD 法，ALD 法，MBE 法，或其類似方法所形成。與閘極電極層 401 相似地，源極電極 405A 及汲極電極 405B 可透過使用下列材料之至少一者的單層或堆疊層結構而形成：Al，Ti，Cr，Co，Ni，Cu，Y，Zr，Mo，Ag，Ta，及 W；其氮化物；其氧化物；及其合金。

接著，用作頂部絕緣膜的絕緣膜 406 係藉由濺鍍法、蒸鍍法、PCVD 法、PLD 法、ALD 法、MBE 法、或其類似方法所形成。第 11C 圖係上述步驟之後的橫剖面視圖。該絕緣膜 406 可藉由與閘極絕緣層 402 之形成方法相似的方法而形成。

保護絕緣膜(未顯示)可形成為堆疊於絕緣膜 406 之上。較佳地，該保護絕緣膜具有防止氧通過之性質，即使當一小時之加熱處理係執行於例如，250℃至 450℃，較佳地，150℃至 800℃時亦然。

在其中具有該性質之保護絕緣膜係設置於絕緣膜 406 的周邊之情況中，由於加熱處理而自絕緣膜 406 釋放出的氧可被阻止朝向電晶體的外部擴散。因為氧係以此方式而保持於絕緣膜 406 之中，所以可防止電晶體的場效應遷移率減低，可使臨限電壓中的變化降低，以及可增進可靠度。

保護絕緣膜可透過使用下列材料之至少一者的單層或堆疊層結構而形成：氧化氮化矽，氮化矽，氧化鋁，氮化

鋁，氧化鈴，氧化鋯，氧化釔，氧化鑭，氧化鈰，氧化鉭，及氧化鎂。

在形成該絕緣膜 406 之後，執行第二加熱處理。第 11D 圖係上述步驟之後的橫剖面視圖。該第二加熱處理係在降低壓力氛圍、惰性氛圍、或氧化氛圍中，執行於 150℃至 550℃，較佳地，250℃至 400℃。該第二加熱處理可使氧自閘極絕緣層 402 及絕緣膜 406 釋放出，且可減少氧化物半導體膜 404 中的氧空位。進一步地，可降低閘極絕緣層 402 與氧化物半導體膜 404 之間及氧化物半導體膜 404 與絕緣膜 406 之間的介面狀態密度，而產生電晶體的臨限電壓中之變化的降低，及電晶體之可靠度的增加。

包含接受第一及第二加熱處理之氧化物半導體膜 404 的電晶體具有高的場效應遷移率及低的截止狀態電流。特別地，每一微米之通道寬度的截止狀態電流可成為 1×10^{-18} A 或更低，1×10^{-21}A 或更低，或 1×10^{-24}A 或更低。

較佳地，氧化物半導體膜 404 係非單晶。此係因為在其中電晶體之操作或來自外面的光或熱產生氧空位於完全單晶的氧化物半導體膜 404 中的情況中，由於氧空位之載子會因為晶格間之修補氧空位的氧之缺席，而產生於氧化物半導體膜 404 中；因而，電晶體的臨限電壓會以負的方向而偏移。

較佳地，氧化物半導體膜 404 具有結晶性。例如，做為氧化物半導體膜 403，使用多晶氧化物半導體膜或 CAAC-OS 膜係較佳的。

透過上述步驟，可製造出第 11D 圖中所描繪的電晶體。

將參照第 12A 至 12D 圖來敘述具有與上述電晶體之結構不同的結構之電晶體。注意的是，第 12A 至 12D 圖係橫剖面視圖，描繪所謂蝕刻阻絕電晶體(亦稱為通道阻絕電晶體或通道保護電晶體)之製造步驟。

第 12A 至 12D 圖中所描繪的電晶體係與第 11A 至 11D 圖中所描繪的電晶體不同，其中設置用作蝕刻阻絕膜的絕緣膜 408。因此，與第 11A 至 11D 圖之說明相同的說明將省略於下文，且上文之說明將予以引用。

透過上述步驟，可獲得第 12A 及 12B 圖中之橫剖面視圖中所描繪的結構。

在第 12C 圖中之絕緣膜 408 可以以與閘極絕緣層 402 及絕緣膜 406 之形成方式相似的方式而形成。也就是說，做為絕緣膜 408，較佳地使用其中氧係藉由加熱處理而釋放出之絕緣膜。

用作蝕刻阻絕膜之絕緣膜 408 可防止氧化物半導體膜 404 在用以形成源極電極 405A 及汲極電極 405B 之光微影術步驟或類似步驟中被蝕刻。

在形成第 12D 圖中的絕緣膜 406 之後，係執行第二加熱處理，使得氧自絕緣膜 408 以及自絕緣膜 406 釋放出。因此，可進一步增加氧化物半導體膜 404 中之氧空位被減少的功效。進一步，可降低閘極絕緣層 402 與氧化物半導體膜 404 之間及氧化物半導體膜 404 與絕緣膜 408 之間的

介面狀態密度，而產生電晶體的臨限電壓中之變化的降低，及電晶體之可靠度的增加。

透過上述步驟，可製造出第 12D 圖中所描繪的電晶體。

掃描線驅動器電路及像素可包含第 11D 圖及第 12D 圖所描繪之電晶體的任一者。例如，將參照第 13A 及 13B 圖來敘述其中電晶體係使用為第 4A 圖中之電晶體 11 的組態。特別地，第 13A 圖係其中使用第 11D 圖中所描繪的電晶體做為電晶體 11 之情況中的頂視圖，以及第 13B 圖係其中使用第 12D 圖中所描繪的電晶體做為電晶體 11 之情況中的頂視圖。注意的是，沿著第 13A 圖中之線 C1-C2 的橫剖面係第 11D 圖，以及沿著第 13B 圖中之線 C1-C2 的橫剖面係第 12D 圖。

在第 13A 及 13B 圖中所描繪之電晶體的各者中，用作第 4A 圖中的信號線 6 之佈線的一部分係使用做為電晶體 11 之源極及汲極的其中一者，以及用作掃描線 4 之佈線的一部分係使用做為電晶體 11 之閘極。在此方式中，設置於顯示裝置中之該等佈線的一部分可使用做為電晶體的端子。

[包含液晶顯示裝置之各式各樣的電子裝置]

下文將參照第 14A 至 14F 圖來顯示各自包含此說明書中所揭示之液晶顯示裝置的電子裝置之實例。

第 14A 圖描繪膝上型電腦，其包含主體 2201、外殼

2202、顯示部 2203、鍵盤 2204、及其類似物。

第 14B 圖描繪個人數位助理(PDA)，其包含具有顯示部 2213、外部介面 2215、操作鈕 2214、及其類似物之主體 2211。用於操作之尖筆 2212 係包含為附件。

第 14C 圖描繪電子書閱讀器 2220，做為電子紙之實例。電子書閱讀器 2220 包含二外殼，外殼 2221 及外殼 2223。外殼 2221 及外殼 2223 係藉由軸部 2237 而彼此互相結合，電子書閱讀器 2220 可沿著該軸部而開啟及閉合。透過此結構，可使用電子書閱讀器 2220 做為書籍。

顯示部 2225 係結合於外殼 2221 中，以及顯示部 2227 係結合於外殼 2223 中。顯示部 2225 及顯示部 2227 可顯示一影像或不同影像。在其中該等顯示部彼此互相顯示不同影像的結構中，例如，右邊顯示部(第 14C 圖中之顯示部 2225)可顯示正文，以及左邊顯示部(第 14C 圖中之顯示部 2227)可顯示影像。

進一步地，在第 14C 圖中，外殼 2221 係設置有操作部及其類似物。例如，外殼 2221 係設置有電源供應器 2231、操作鍵 2233、揚聲器 2235、及其類似物。透過操作鍵 2233，可翻轉頁面。注意的是，亦可將鍵盤、指標裝置、或其類似物設置於其中設置顯示部於上之外殼的表面上。再者，可將外部連接端子(耳機端子，USB 端子，可連接至諸如 AC 轉接器及 USB 電纜之各式各樣電纜的端子，或其類似物)、記錄媒體插入部、及其類似物設置於外殼的背面或側表面。進一步地，電子書閱讀器 2220 可

具有電子字典的功能。

可將電子書閱讀器 2220 組構成無線地傳送及接收資料。透過無線通訊，可自電子書伺服器採購及下載所欲的書籍資料或其類似物。

注意的是，可將電子紙施加至各式各樣領域中之裝置，只要該等裝置可顯示資訊即可。例如，除了電子書閱讀器之外，可將電子紙使用於海報、諸如火車之交通工具中的廣告、諸如信用卡之各式各樣卡片中的顯示、及其類似物。

第 14D 圖描繪行動電話。該行動電話包含二外殼：外殼 2240 及 2241。外殼 2241 係設置有顯示面板 2242，揚聲器 2243，微音器 2244，指標裝置 2246，相機鏡頭 2247，外部連接端子 2248，及其類似物。外殼 2240 係設置有用以充電行動電話的太陽能電池 2249，外部記憶體槽 2250，及其類似物。天線係結合於外殼 2241 中。

顯示面板 2242 具有觸控面板功能。顯示為影像的複數個操作鍵 2245 係藉由點虛線而描繪於第 14D 圖中。注意的是，行動電話包含升壓電路，用以增加來自太陽能電池 2249 所輸出的電壓為用於每一個電路所需之電壓。此外，除了上述結構之外，行動電話可包含無接點式 IC 晶片、小的記錄裝置、或其類似物。

顯示面板 2242 的顯示取向可依據應用模式而適當地改變。進一步地，相機鏡頭 2247 係設置於與顯示面板 2242 相同的表面上，且因此，可將其使用做為視訊電

話。揚聲器 2243 及微音器 2244 可使用於視訊電話傳呼，記錄，及播放聲音，等等，以及語音傳呼。此外，可使其中外殼 2240 及 2241 係如第 14D 圖中所描繪地展開之狀態中的外殼 2240 及 2241 滑動，使得一外殼重疊於另一外殼之上；因此，可使攜帶式電話減少尺寸，而使得攜帶式電話適用於攜帶。

外部連接端子 2248 可連接至 AC 轉接器或諸如 USB 電纜之各式各樣的電纜，而致能行動電話的充電及資料通訊。此外，大量資料可藉由插入記錄媒體至外部記憶體槽 2250，而予以儲存及移動。進一步地，除了上述功能之外，可設置紅外線通訊功能、電視接收功能、或其類似功能。

第 14E 圖描繪數位相機，其包含主體 2261、顯示部(A)2267、目鏡 2263、操作開關 2264、顯示部(B)2265、電池 2266、及其類似物。

第 14F 圖描繪電視機。在電視機 2270 中，顯示部 2273 係結合於外殼 2271 中。顯示部 2273 可顯示影像。在此，外殼 2271 係藉由座台 2275 所支撐。

電視機 2270 可藉由外殼 2271 的操作開關或分離的遙控器 2280 所操作。頻道及音量可以以遙控器 2280 的操作鍵 2279 而予以控制，使得可控制顯示部 2273 上所顯示的影像。此外，遙控器 2280 可具有顯示部 2277，其中可顯示由遙控器 2280 所發出之資訊。

注意的是，電視機 2270 係較佳地設置有接收器、調

變解調器、及其類似物。一般電視廣播可以以該接收器而接收。此外，當電視機係經由調變解調器而有線或無線地連接至通訊網路時，則可執行單向(自傳送器至接收器)或雙向(傳送器與接收器之間，或接收器之間)的資料通訊。

此申請案係根據 2011 年 5 月 13 日在日本專利局所申請之日本專利申請案序號 2011-108318，該申請案的全部內容係結合於本文以供參考。

【符號說明】

1：掃描線驅動器電路

2：信號線驅動器電路

3：電流源

4：掃描線

5：反相掃描線

6：信號線

7：電源供應線

10：像素

11～16，31～39：電晶體

17, 80：電容器

18：有機 EL 元件

20：脈波輸出電路

21～27，61～63：端子

60：反相脈波輸出電路

400：基板

401：閘極電極層

402：閘極絕緣層

403, 404：氧化物半導體膜

405A：源極電極

405B：汲極電極

406, 408：絕緣膜

2201, 2211, 2261：主體

2202, 2221, 2241, 2223, 2240, 2271：外殼

2203, 2213, 2265, 2267, 2273, 2277, 2225, 2227：顯示部

2204：鍵盤

2212：尖筆

2214：操作鈕

2215：外部介面

2220：電子書閱讀器

2231：電源供應器

2233, 2245, 2279：操作鍵

2235，2243：揚聲器

2237：軸部

2242：顯示面板

2244：微音器

2246：指標裝置

2247：相機鏡頭

2248：外部連接端子

2249：太陽能電池

2250：外部記憶體槽

2263：目鏡

2264：操作開關

2266：電池

2270：電視機

2275：座台

2280：遙控器

【發明申請專利範圍】

【請求項1】一種顯示裝置，包含：

驅動電路、以及像素；

該驅動電路包含第一脈波輸出電路、以及第二脈波輸出電路；

該第一脈波輸出電路包含第一電晶體、第二電晶體、第三電晶體、以及第四電晶體；

該第一電晶體的源極或汲極的其中一者，電連接到第一佈線；

該第一電晶體的源極或汲極的另外一者，電連接到第二佈線；

該第一電晶體的源極或汲極的另外一者，電連接到該第二電晶體的源極或汲極的其中一者；

該第二電晶體的源極或汲極的另外一者，電連接到第三佈線；

該第二電晶體的閘極，電連接到第四佈線；

該第三電晶體的源極或汲極的其中一者，電連接到該第四電晶體的源極或汲極的其中一者；

該第三電晶體的閘極，電連接到第五佈線；

該第四電晶體的源極或汲極的另外一者，電連接到該第一電晶體的閘極；

該第四電晶體的閘極，電連接到該第一佈線；

該第一佈線輸入有第一電位；

該第三佈線輸入有第二電位；

該第四佈線輸入有第一信號；

該第五佈線輸入有時脈信號；

該像素包含第五電晶體、第六電晶體、第七電晶體、第八電晶體、第九電晶體、第十電晶體、電容器、以及EL元件；

該第五電晶體的源極或汲極的其中一者，電連接到該EL元件；

該第五電晶體的源極或汲極的其中一者，電連接到該第六電晶體的源極或汲極的其中一者；

該第五電晶體的源極或汲極的另外一者，電連接到該第七電晶體的源極或汲極的其中一者；

該第五電晶體的源極或汲極的另外一者，電連接到該第八電晶體的源極或汲極的其中一者；

該第五電晶體的閘極，電連接到該第二佈線；

該第七電晶體的閘極，電連接到第六佈線；

該第八電晶體的源極或汲極的另外一者，電連接到該第九電晶體的源極或汲極的其中一者；

該第八電晶體的源極或汲極的另外一者，電連接到該第十電晶體的源極或汲極的其中一者；

該第八電晶體的閘極，電連接到該電容器；

該第九電晶體的閘極，電連接到該第六佈線；

該第十電晶體的源極或汲極的另外一者，電連接到第七佈線；

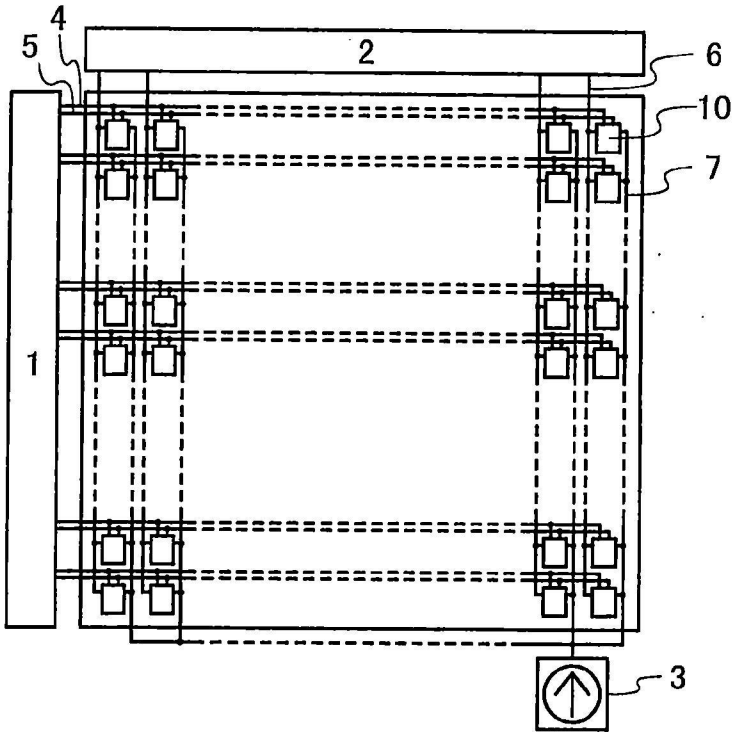
該第十電晶體的閘極，電連接到該第二佈線；

該第六佈線電連接到該第二脈波輸出電路；

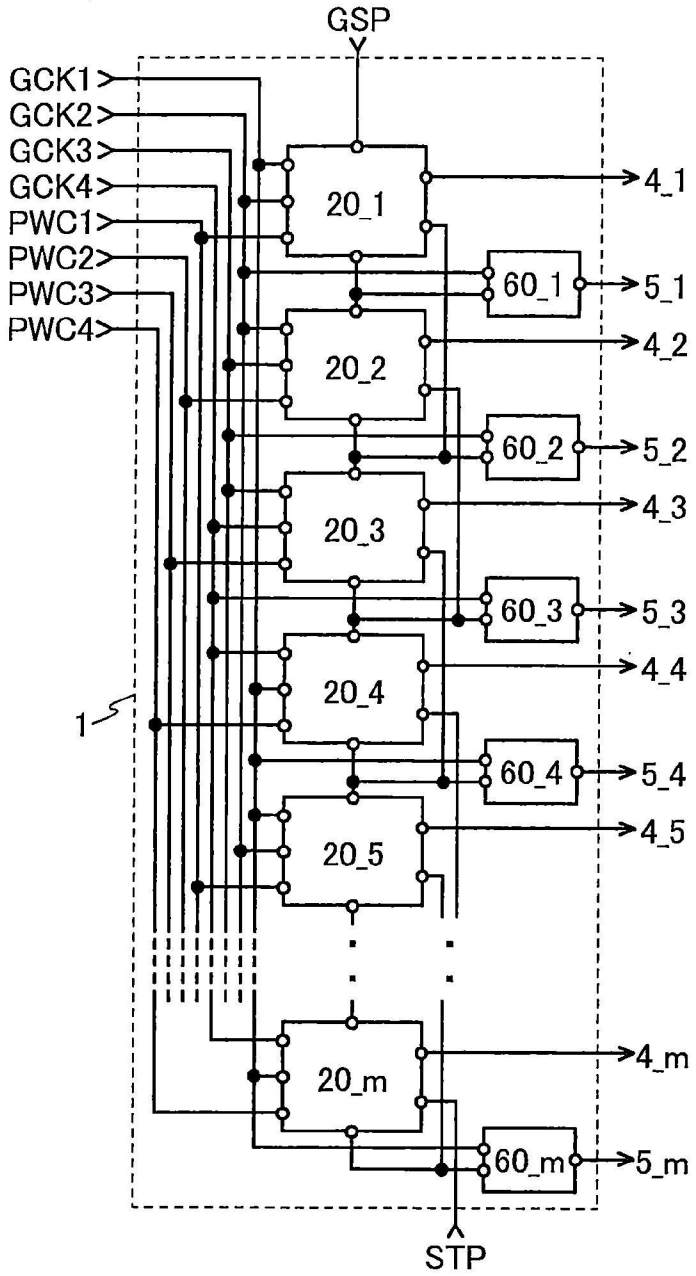
該第七佈線輸入有電源電位。

【發明圖式】

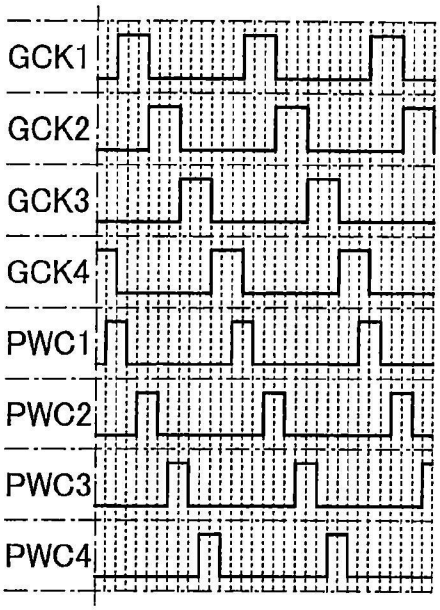
第1圖



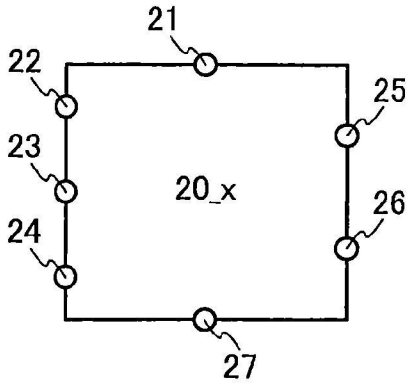
第2A圖



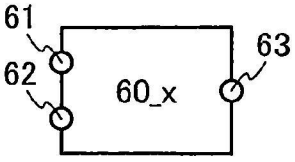
第2B圖



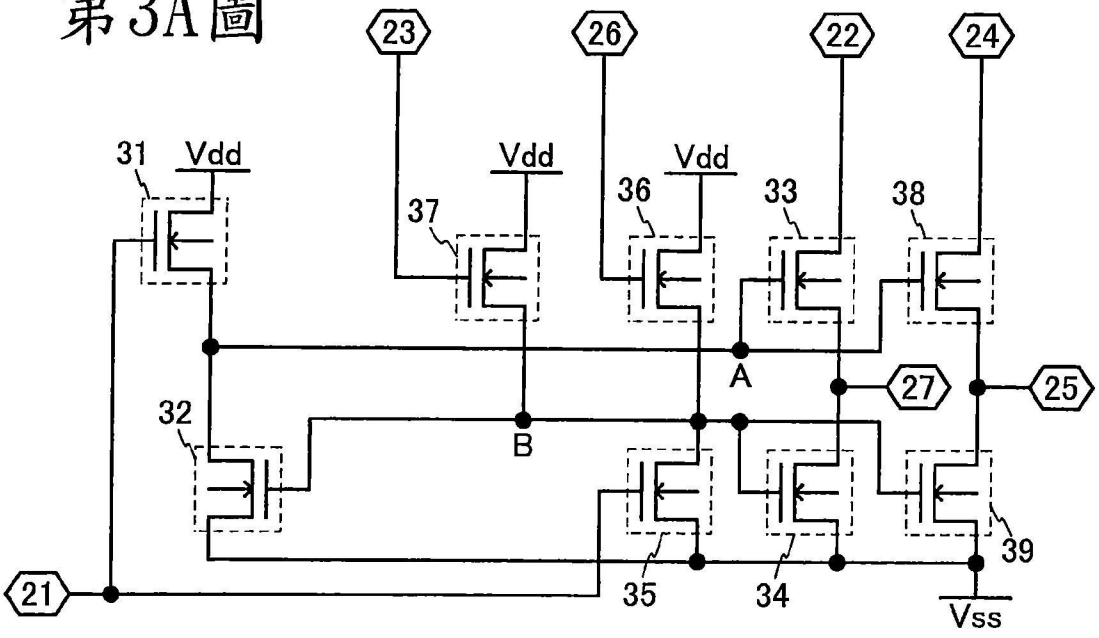
第2C圖



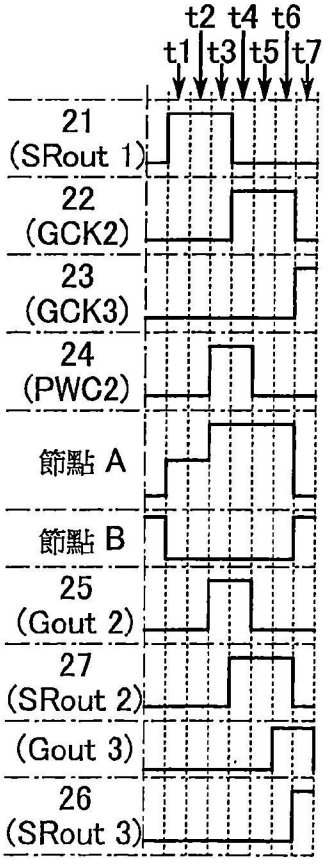
第2D圖



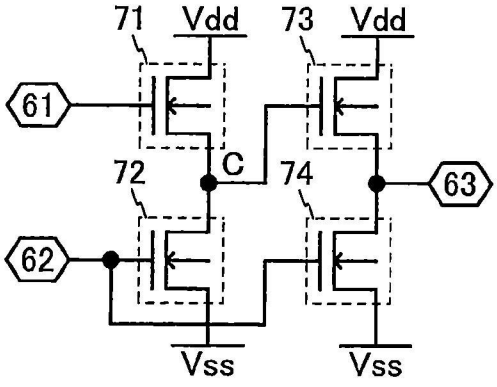
第3A圖



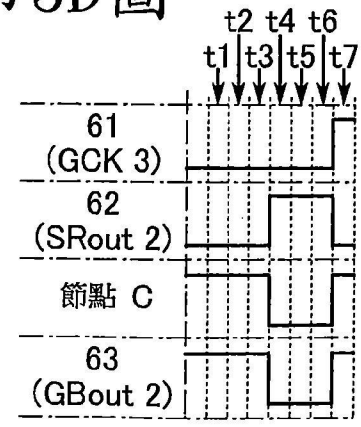
第3B圖



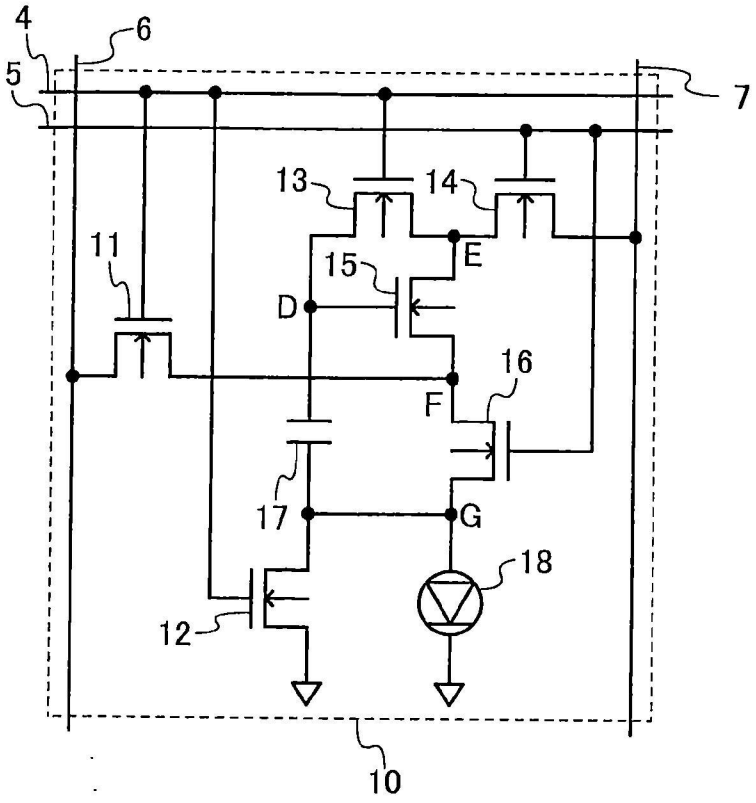
第3C圖



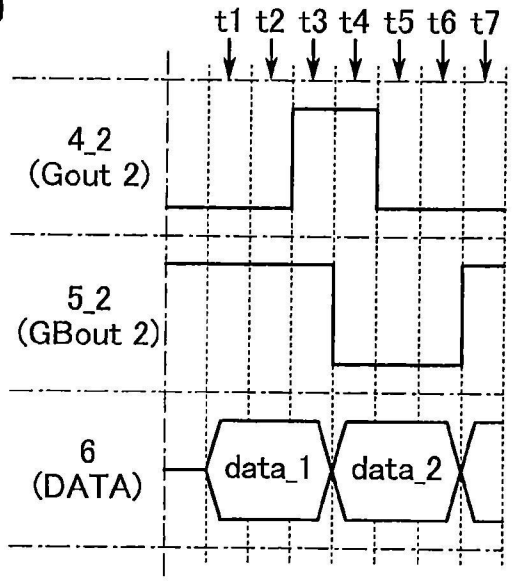
第3D圖



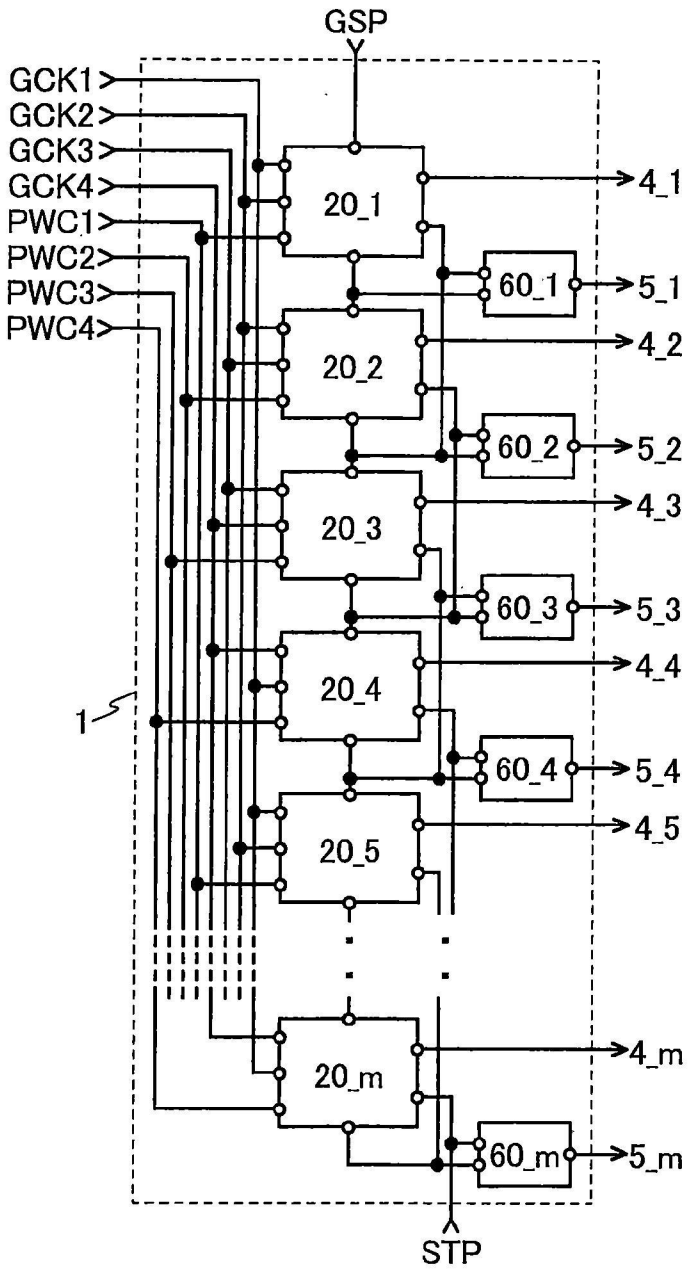
第4A圖


4
5
6
7
13
14
11
E
15
D
16
F
17
G
18
12
10

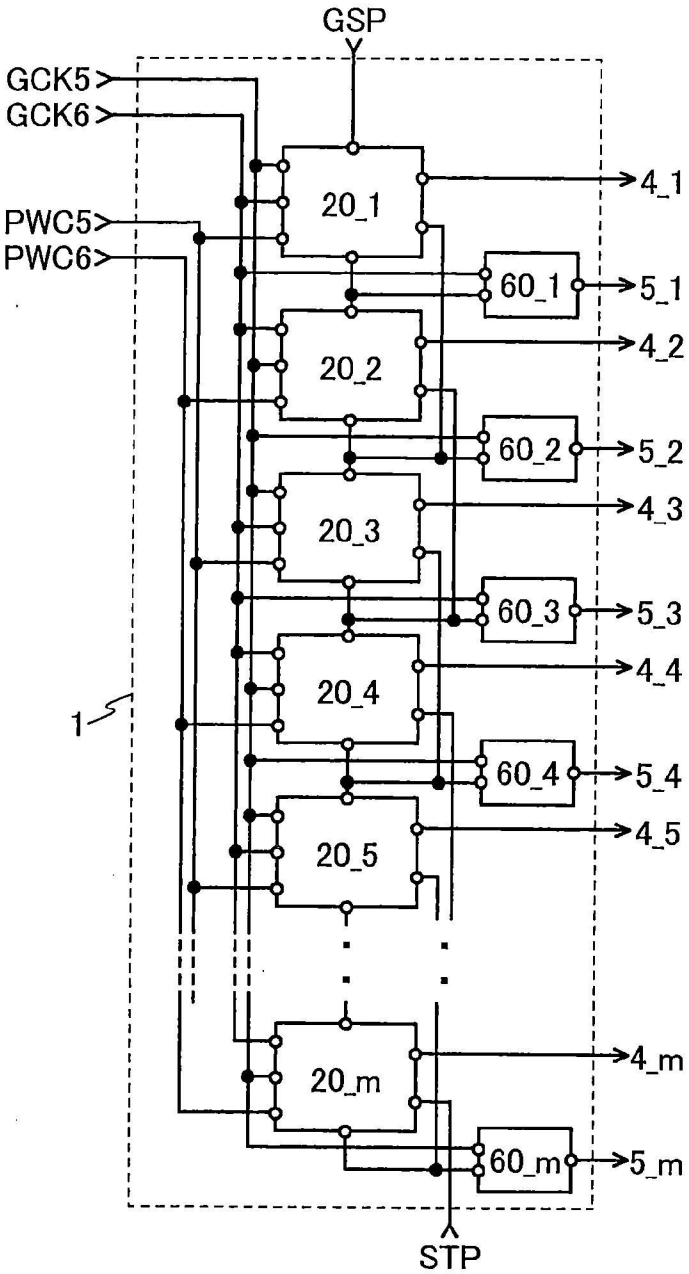
第4B圖


t1 t2 t3 t4 t5 t6 t7
4_2
(Gout 2)
5_2
(GBout 2)
6
(DATA)
data_1
data_2

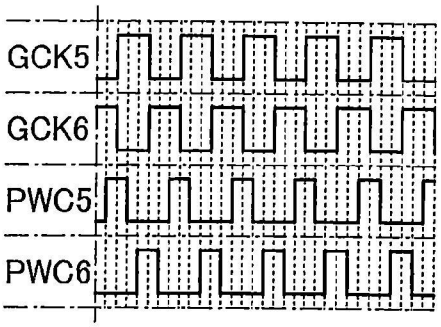
第5圖


GSP
GCK1
GCK2
GCK3
GCK4
PWC1
PWC2
PWC3
PWC4
1
20_1
20_2
20_3
20_4
20_5
20_m
60_1
60_2
60_3
60_4
60_m
4_1
4_2
4_3
4_4
4_5
4_m
5_1
5_2
5_3
5_4
5_m
STP

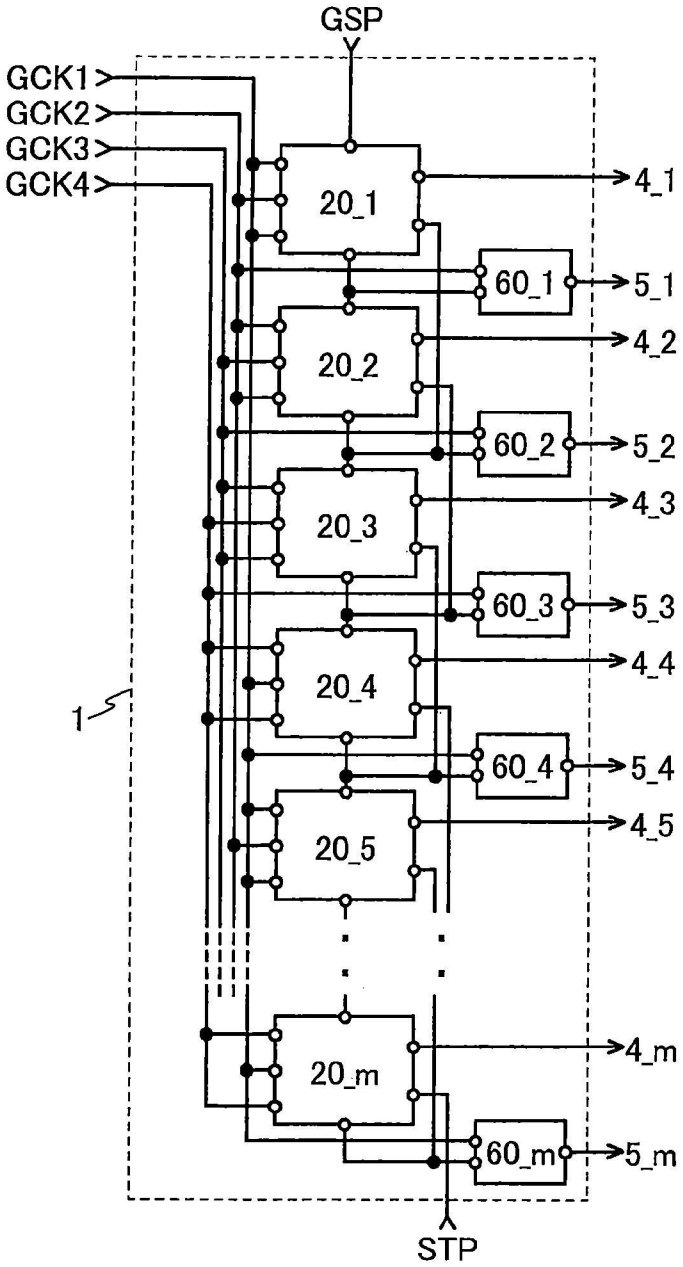
第6A圖


GSP
GCK5
GCK6
PWC5
PWC6
20_1
20_2
20_3
20_4
20_5
20_m
60_1
60_2
60_3
60_4
60_m
4_1
4_2
4_3
4_4
4_5
4_m
5_1
5_2
5_3
5_4
5_m
1
STP

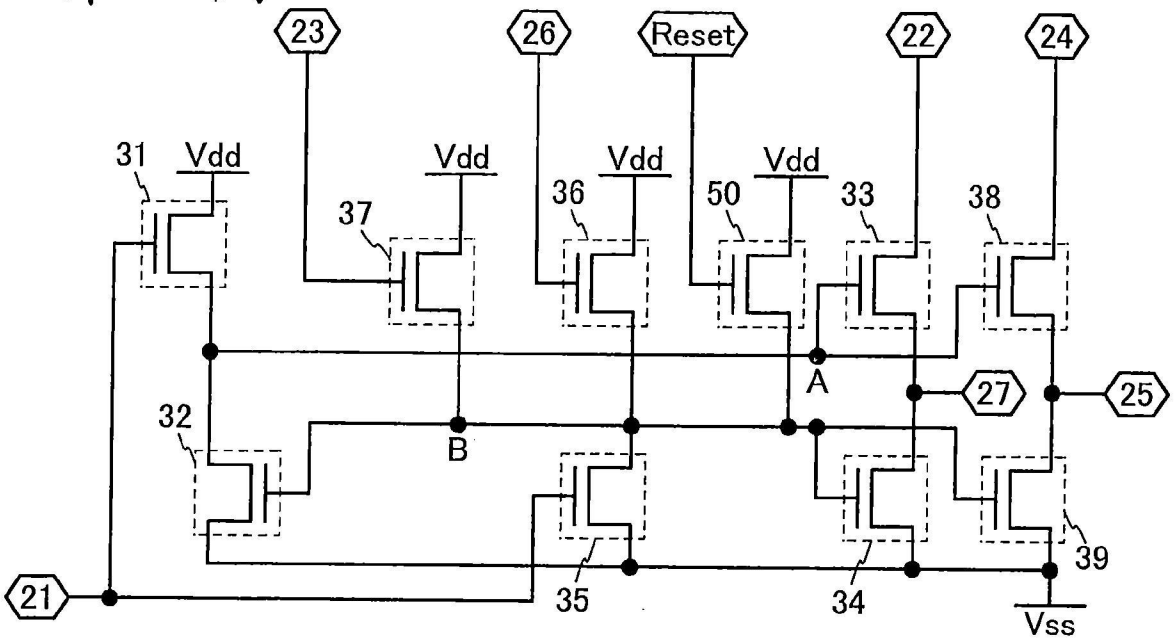
第6B圖


GCK5
GCK6
PWC5
PWC6

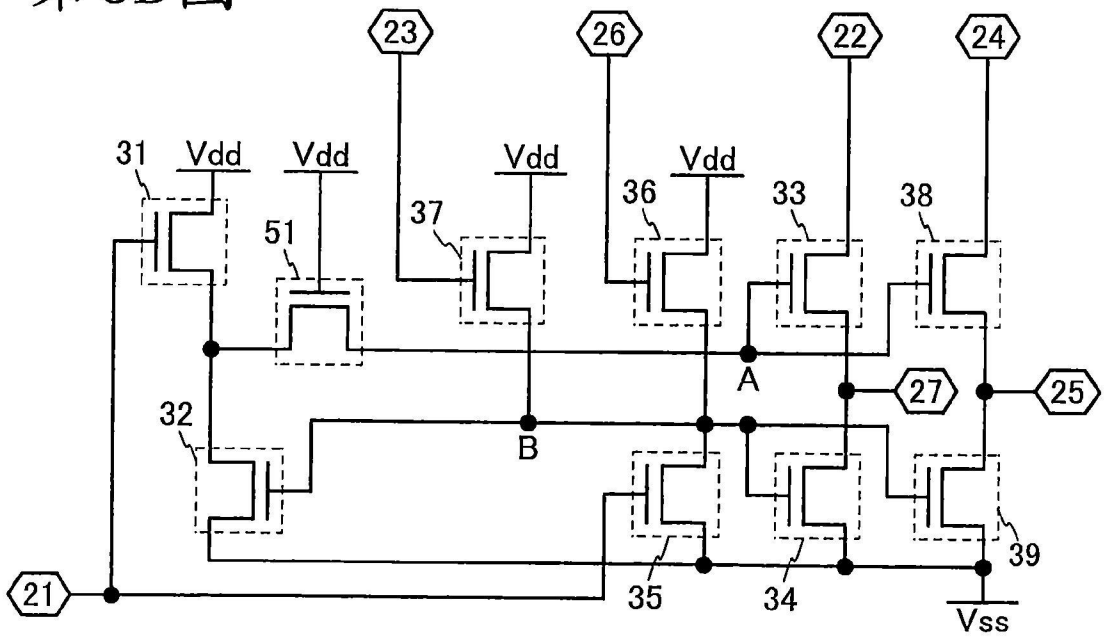
第7圖


GSP
GCK1
GCK2
GCK3
GCK4
20_1
4_1
60_1
5_1
20_2
4_2
60_2
5_2
20_3
4_3
60_3
5_3
20_4
4_4
60_4
5_4
20_5
4_5
20_m
4_m
60_m
5_m
1
STP

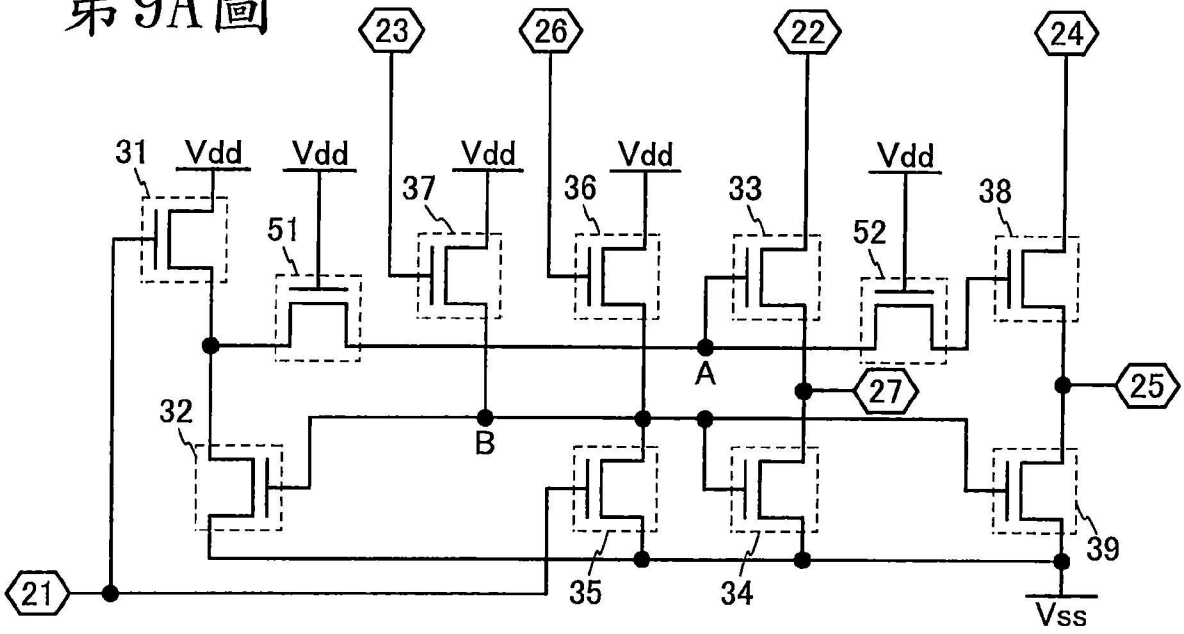
第8A圖


23
26
Reset
22
24
31
Vdd
Vdd
Vdd
Vdd
37
36
50
33
38
A
27
25
32
B
39
21
35
34
Vss

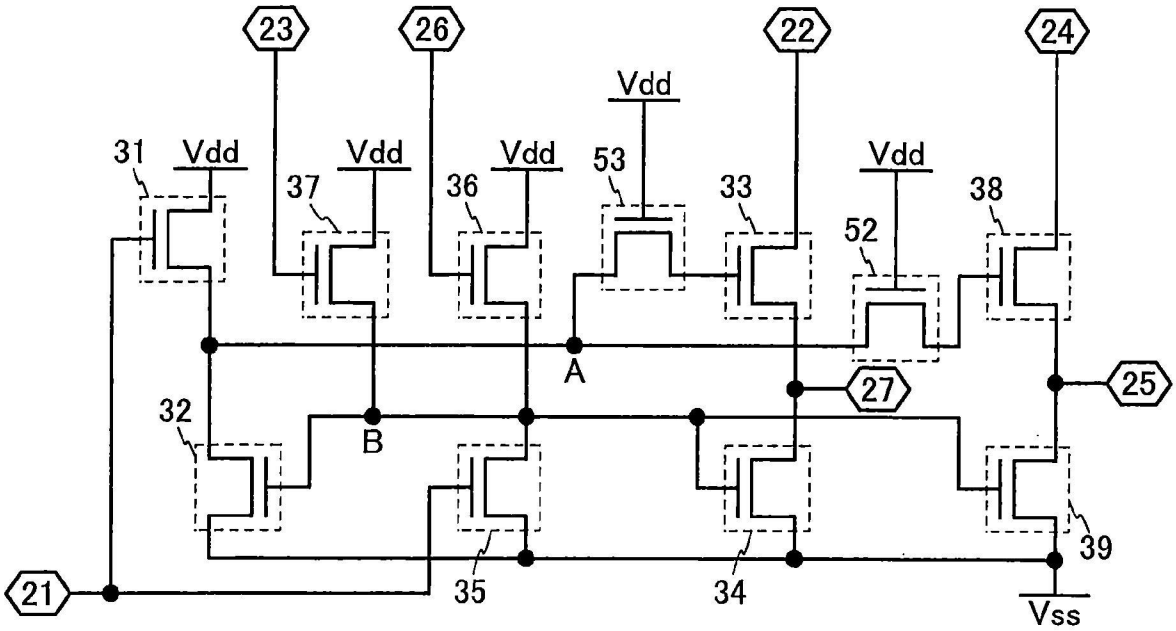
第8B圖


23
26
22
24
31
Vdd
Vdd
Vdd
Vdd
51
37
36
33
38
A
27
25
32
B
39
21
35
34
Vss

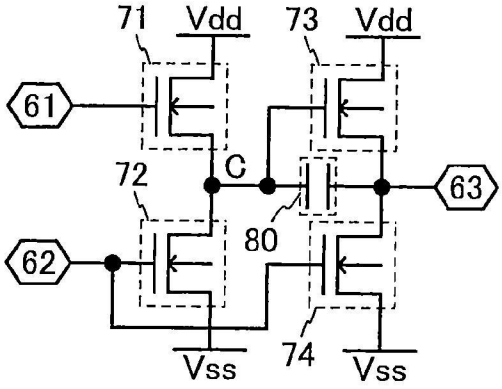
第9A圖


23
26
22
24
31
Vdd
Vdd
Vdd
Vdd
Vdd
37
36
33
38
51
52
A
27
25
32
B
39
21
35
34
Vss

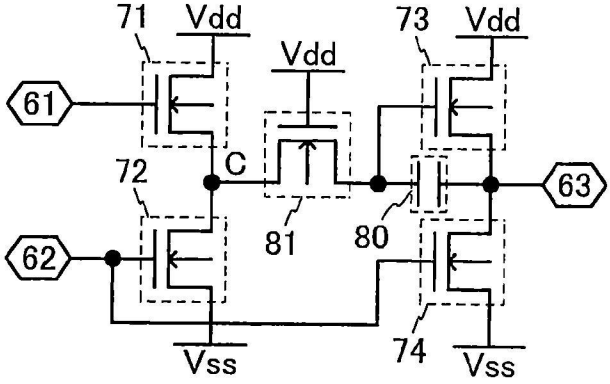
第9B圖


23
26
22
24
Vdd
31
Vdd
Vdd
Vdd
53
Vdd
37
36
33
38
52
A
27
25
32
B
39
21
35
34
Vss

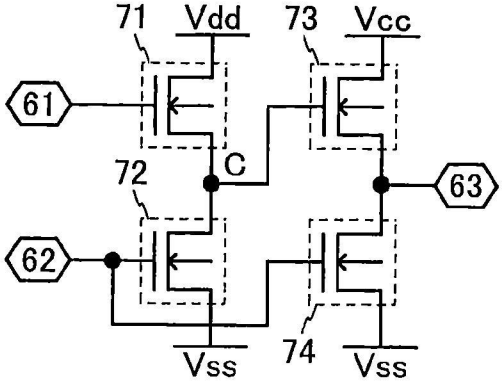
第10A圖



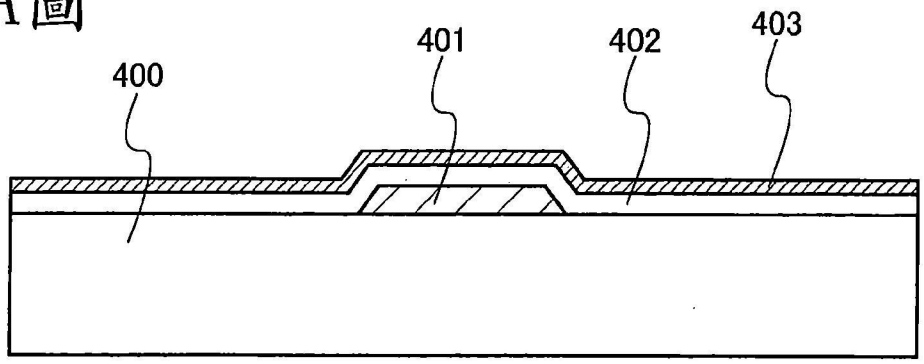
第10B圖



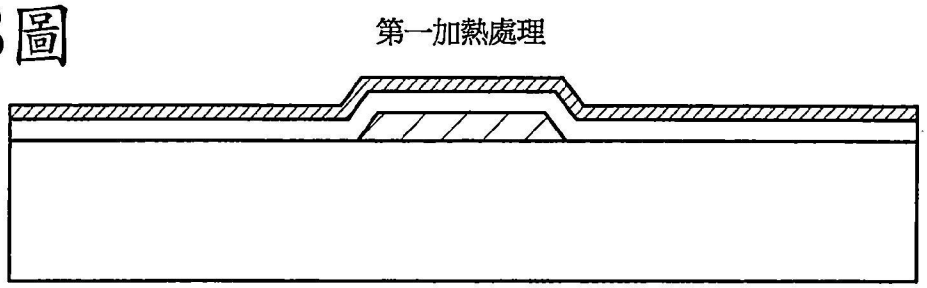
第10C圖



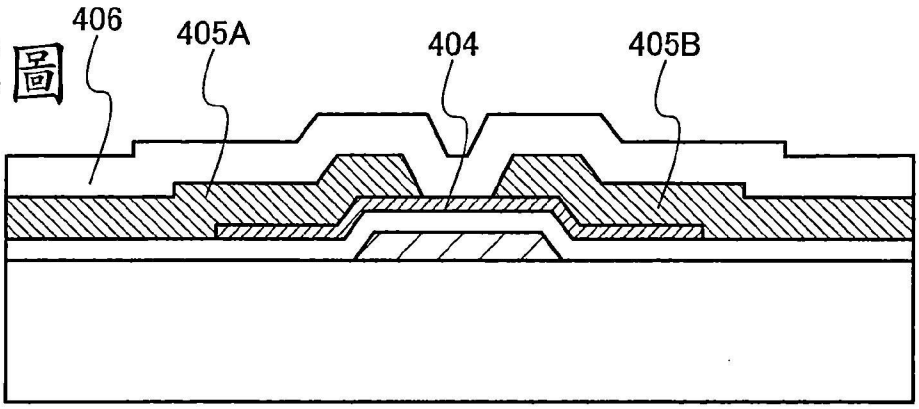
第11A圖



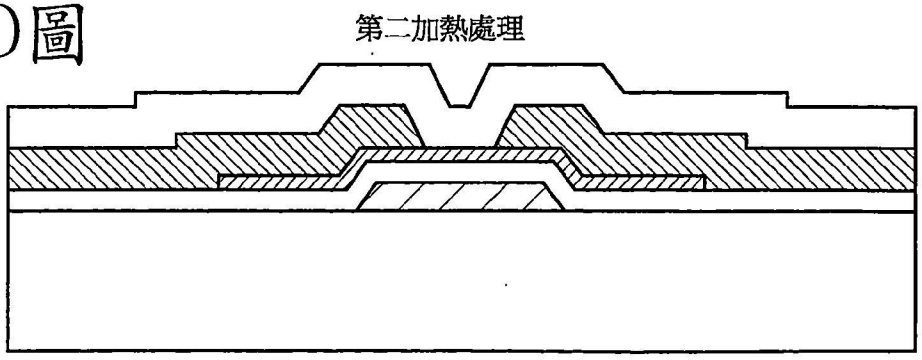
第11B圖



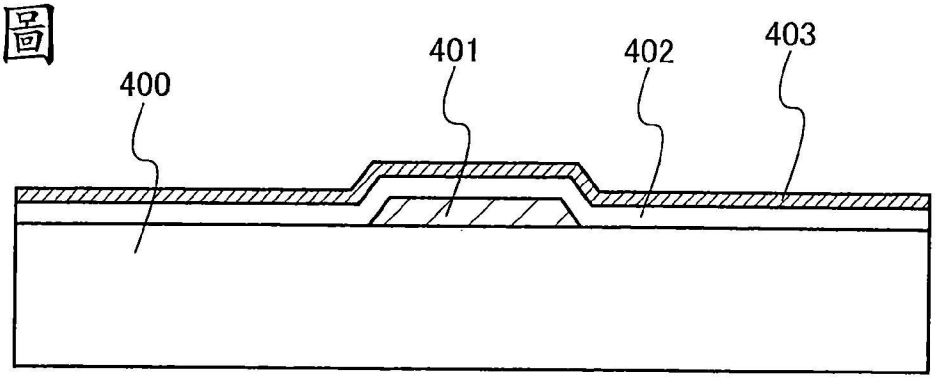
第11C圖



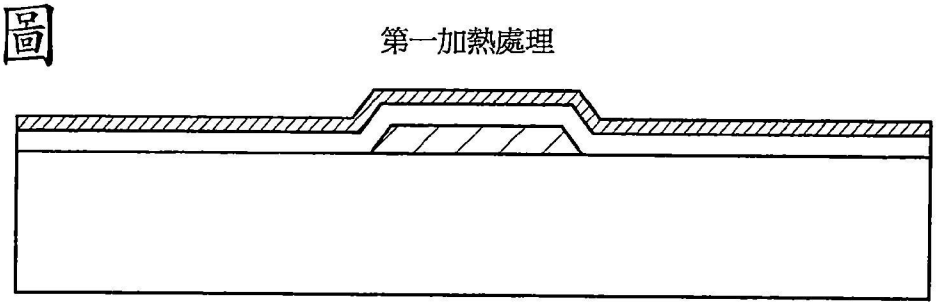
第11D圖



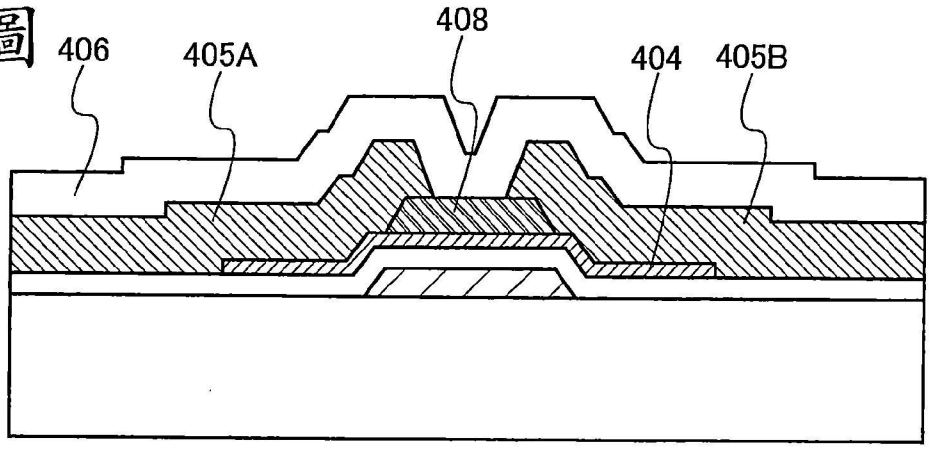
第12A圖



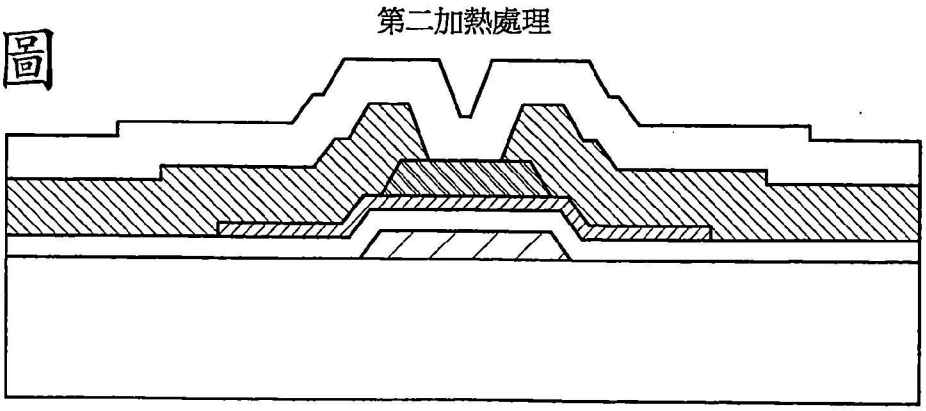
第12B圖



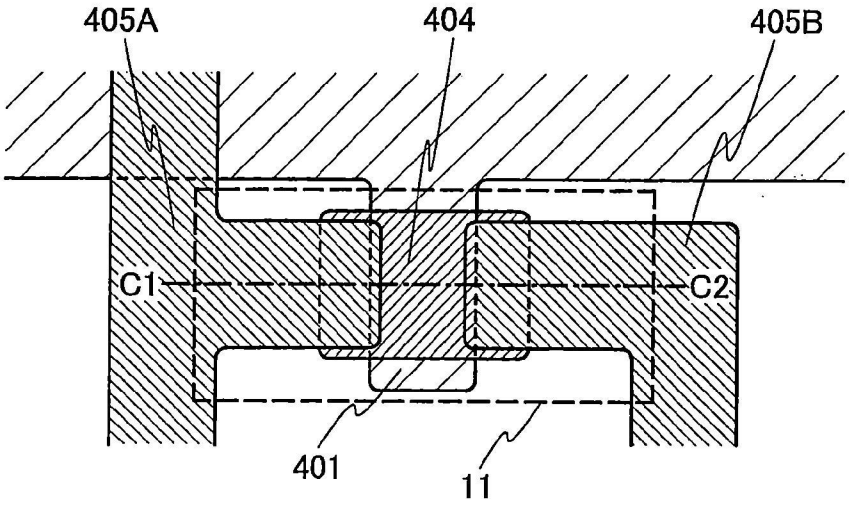
第12C圖



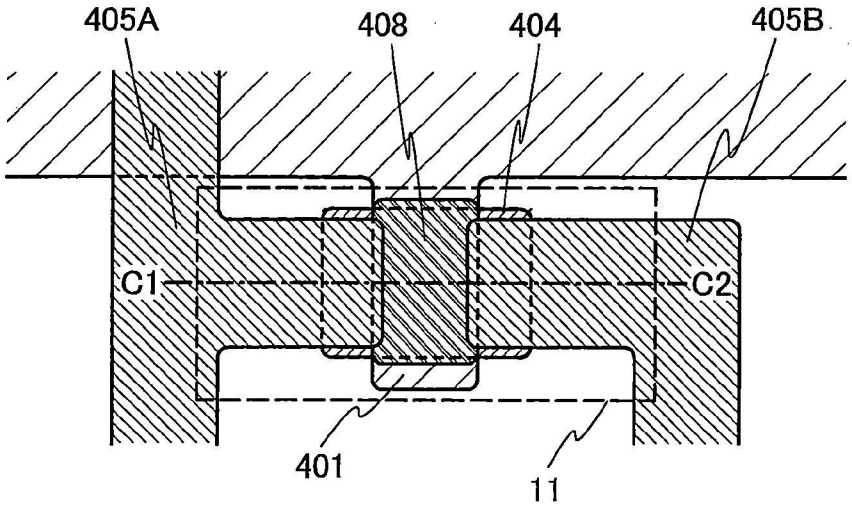
第12D圖



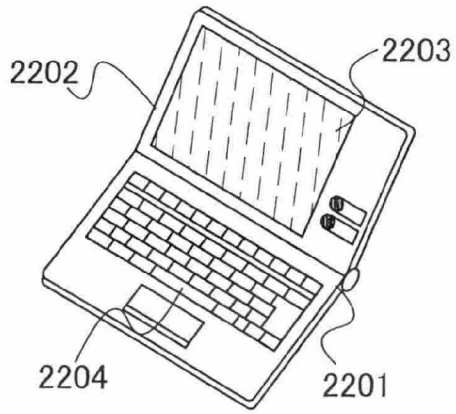
第13A圖



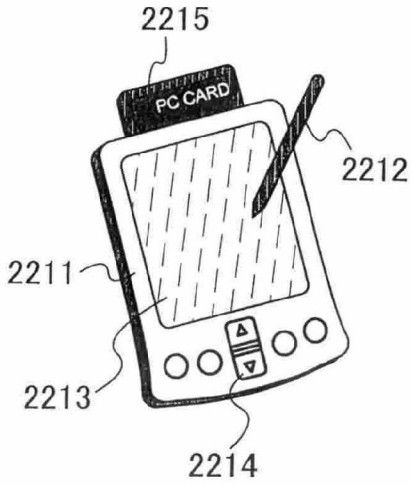
第13B圖



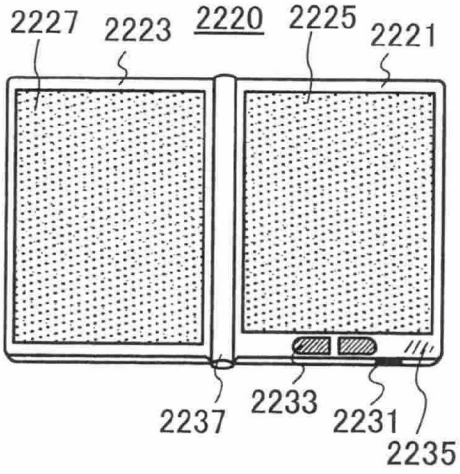
第14A圖



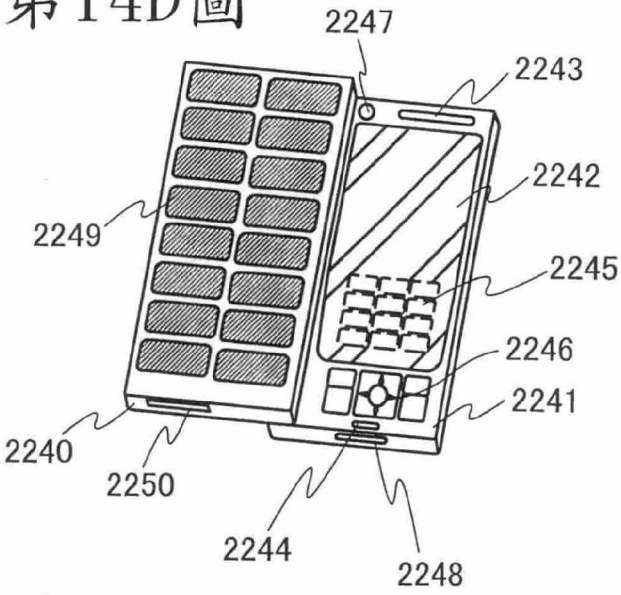
第14B圖



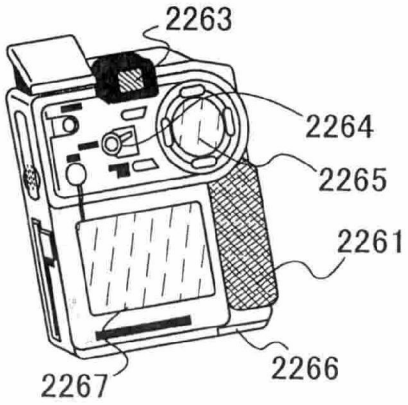
第14C圖



第14D圖



第14E圖



第14F圖

