

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-106003

(P2015-106003A)

(43) 公開日 平成27年6月8日(2015.6.8)

(51) Int.Cl.	F 1	テーマコード (参考)
<b>G09G 3/30</b> (2006.01)	G09G 3/30	J 3K107
<b>G09G 3/20</b> (2006.01)	G09G 3/20	622L 5C080
<b>H01L 51/50</b> (2006.01)	G09G 3/20	622D 5C380
<b>H05B 33/14</b> (2006.01)	G09G 3/20 H05B 33/14	624B A

審査請求 未請求 請求項の数 9 O L (全 19 頁) 最終頁に続く

(21) 出願番号	特願2013-247230 (P2013-247230)	(71) 出願人	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日	平成25年11月29日 (2013.11.29)	(74) 代理人	110001357 特許業務法人つばさ国際特許事務所
		(72) 発明者	豊村 直史 東京都港区港南1丁目7番1号 ソニー株式会社内
		(72) 発明者	山本 哲郎 東京都港区港南1丁目7番1号 ソニー株式会社内
		F ターム (参考)	3K107 AA01 AA05 BB01 CC33 EE03 HH02 HH05

最終頁に続く

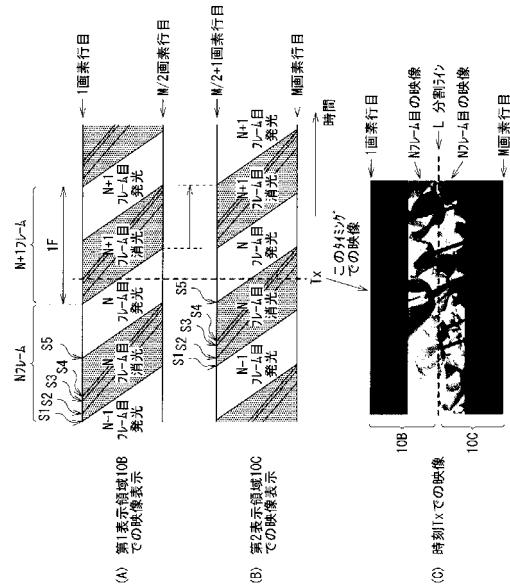
(54) 【発明の名称】駆動回路、表示装置および電子機器

## (57) 【要約】

【課題】高解像度化に伴う表示映像の品質劣化を低減することの可能な駆動回路ならびにそれを備えた表示装置および電子機器を提供する。

【解決手段】駆動回路は、垂直方向に互いに隣接している第1表示領域および第2表示領域に対して、各画素の発光を行う第1垂直走査と、各画素の消光を行う第2垂直走査とを、1フレームにおいて第1表示領域および第2表示領域ごとに行う走査回路を備えている。走査回路は、第2表示領域における、最先走査行の  $n + 1$  フレーム目の発光開始のタイミングが、第1表示領域における、最終走査行の  $n$  フレーム目の発光終了のタイミングよりも遅くなるように、第1垂直走査および第2垂直走査を行う。

【選択図】図4



**【特許請求の範囲】****【請求項 1】**

複数の画素が設けられた表示領域のうち、垂直方向に互いに隣接する第1表示領域および第2表示領域に対して、各前記画素の発光を行う第1垂直走査と、各前記画素の消光を行う第2垂直走査とを、1フレームにおいて前記第1表示領域および前記第2表示領域ごとに行う走査回路を備え、

前記走査回路は、前記第2表示領域における、前記第1表示領域に隣接する最先走査行の $n+1$ フレーム目の発光開始のタイミングが、前記第1表示領域における、前記第2表示領域に隣接する最終走査行の $n$ フレーム目の発光終了のタイミングよりも遅くなるように、前記第1垂直走査および前記第2垂直走査を行う

10

駆動回路。

**【請求項 2】**

前記走査回路は、前記最終走査行の $n$ フレーム目の発光期間と、前記最先走査行の $n$ フレーム目の発光期間とが完全にまたは部分的に互いに重なり合うように、前記第1垂直走査および前記第2垂直走査を行う

請求項1に記載の駆動回路。

**【請求項 3】**

前記走査回路は、前記第1表示領域および前記第2表示領域に対して、映像信号に応じた電圧を各前記画素に書き込む第3垂直走査と、前記第3垂直走査に続いて各前記画素の発光を待機させる第4垂直走査とを、前記第2垂直走査による消光後であって、かつ前記第1垂直走査による発光前の期間に、1フレームにおいて前記第1表示領域および前記第2表示領域ごとに行う

20

請求項2に記載の駆動回路。

**【請求項 4】**

前記走査回路は、前記第1垂直走査および前記第2垂直走査の遷移速度を、前記第3垂直走査および前記第4垂直走査の遷移速度よりも早くする

請求項3に記載の駆動回路。

**【請求項 5】**

前記表示領域は、前記第1表示領域および前記第2表示領域からなり、

前記走査回路は、前記第1垂直走査および前記第2垂直走査を、前記第3垂直走査および前記第4垂直走査の遷移速度の2倍の遷移速度で行う

30

請求項4に記載の駆動回路。

**【請求項 6】**

複数の画素が設けられた表示領域を有する表示パネルと、

各前記画素を駆動する駆動回路と

を備え、

前記表示領域は、垂直方向に互いに隣接する第1表示領域および第2表示領域を含み、前記駆動回路は、前記第1表示領域および前記第2表示領域に対して、各前記画素の発光を行う第1垂直走査と、各前記画素の消光を行う第2垂直走査とを、1フレームにおいて前記第1表示領域および前記第2表示領域ごとに行う走査回路を有し、

40

前記走査回路は、前記第2表示領域における、前記第1表示領域に隣接する最先走査行の $n+1$ フレーム目の発光開始のタイミングが、前記第1表示領域における、前記第2表示領域に隣接する最終走査行の $n$ フレーム目の発光終了のタイミングよりも遅くなるように、前記第1垂直走査および前記第2垂直走査を行う

表示装置。

**【請求項 7】**

前記走査回路は、前記第1表示領域および前記第2表示領域に対して、映像信号に応じた電圧を各前記画素に書き込む第3垂直走査と、前記第3垂直走査に続いて各前記画素の発光を待機させる第4垂直走査とを、前記第2垂直走査による消光後であって、かつ前記第1垂直走査による発光前の期間に、1フレームにおいて前記第1表示領域および前記第

50

## 2 表示領域ごとに行う

請求項 6 に記載の表示装置。

## 【請求項 8】

各前記画素は、発光素子と、前記第3垂直走査によって各前記画素に書き込んだ電圧を保持する画素回路とを有する

請求項 7 に記載の表示装置。

## 【請求項 9】

表示装置を備え、

前記表示装置は、

複数の画素が設けられた表示領域を有する表示パネルと、

各前記画素を駆動する駆動回路と

を有し、

前記表示領域は、垂直方向に互いに隣接する第1表示領域および第2表示領域を含み、

前記駆動回路は、前記第1表示領域および前記第2表示領域に対して、各前記画素の発光を行う第1垂直走査と、各前記画素の消光を行う第2垂直走査とを、1フレームにおいて前記第1表示領域および前記第2表示領域ごとに行う走査回路を有し、

前記走査回路は、前記第2表示領域における、前記第1表示領域に隣接する最先走査行の  $n + 1$  フレーム目の発光開始のタイミングが、前記第1表示領域における、前記第2表示領域に隣接する最終走査行の  $n$  フレーム目の発光終了のタイミングよりも遅くなるように、前記第1垂直走査および前記第2垂直走査を行う

電子機器。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本技術は、表示領域を分割して駆動する駆動回路ならびにそれを備えた表示装置および電子機器に関する。

## 【背景技術】

## 【0002】

近年、表示パネルの高精細化が進んでおり、4K 2Kなどの高解像度のディスプレイも登場してきている。高解像度化に伴って1Hの時間が短くなると、配線トランジエンツに起因して、タイミングマージンが不足し、画像不良が生じるおそれがある。この問題に対して、例えば、表示領域を上下2つに分割し、分割した領域ごとに垂直走査をすることで、垂直走査の遷移速度を、表示領域全体を一括して垂直走査したときの垂直走査の遷移速度の半分にすることが考えられる（特許文献1参照）。

## 【先行技術文献】

## 【特許文献】

## 【0003】

## 【特許文献1】特開2013-114112号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0004】

図13(A)～(C)は、表示領域100Aを上下2つに分割し、分割した領域（表示領域100B, 100C）ごとに、消光走査Sc1と発光走査Sc2を同時に行なったときの様子を表したものである。上側の表示領域100Bと下側の表示領域100Cとの継ぎ目（図13(C)の破線部分）が同時に発光するタイミングTxにおいて、異なるフレームの映像が表示される。このとき、映像が動画である場合には、上記の継ぎ目において、映像が不連続になってしまい、表示映像の品質が劣化してしまうという問題がある。

## 【0005】

本技術はかかる問題点に鑑みてなされたものであり、その目的は、高解像度化に伴う表示映像の品質劣化を低減することの可能な駆動回路ならびにそれを備えた表示装置および

10

20

30

40

50

電子機器を提供することにある。

【課題を解決するための手段】

【0006】

本技術の駆動回路は、第1表示領域および第2表示領域に対して、各画素の発光を行う第1垂直走査と、各画素の消光を行う第2垂直走査とを、1フレームにおいて第1表示領域および第2表示領域ごとに行う走査回路を備えている。第1表示領域および第2表示領域は、複数の画素が設けられた表示領域のうち、垂直方向に互いに隣接している。走査回路は、第2表示領域における、最先走査行の $n + 1$ フレーム目の発光開始のタイミングが、第1表示領域における、最終走査行の $n$ フレーム目の発光終了のタイミングよりも遅くなるように、第1垂直走査および第2垂直走査を行う。上記の最先走査行は、第2表示領域において第1表示領域に隣接する画素行である。上記の最終走査行は、第1表示領域において第2表示領域に隣接する画素行である。上記の $n$ は、正の整数をとる変数である。

10

【0007】

本技術の表示装置は、複数の画素が設けられた表示領域を有する表示パネルと、各画素を駆動する駆動回路とを備えている。表示領域は、垂直方向に互いに隣接する第1表示領域および第2表示領域を含んでいる。駆動回路は、上記の駆動回路と同一の構成要素を有している。

20

【0008】

本技術の電子機器は、上記の表示装置を備えている。

【0009】

本技術の駆動回路、表示装置および電子機器では、第2表示領域における、最先走査行の $n + 1$ フレーム目の発光開始のタイミングが、第1表示領域における、最終走査行の $n$ フレーム目の発光終了のタイミングよりも遅くなっている。これにより、第2表示領域における、最先走査行の $n + 1$ フレーム目の発光期間と、第1表示領域における、最終走査行の $n$ フレーム目の発光期間とが互いに重なり合うことがない。

30

【発明の効果】

【0010】

本技術の駆動回路、表示装置および電子機器によれば、第2表示領域における、最先走査行の $n + 1$ フレーム目の発光開始のタイミングが、第1表示領域における、最終走査行の $n$ フレーム目の発光終了のタイミングよりも遅くなるようにしたので、継ぎ目における映像の不連続性に起因する表示映像の品質劣化を低減することができる。従って、高解像度化に伴う表示映像の品質劣化を低減することができる。

40

【図面の簡単な説明】

【0011】

【図1】本技術による一実施の形態に係る表示装置の概略構成図である。

【図2】各画素の回路構成の一例を表す図である。

【図3】1つの画素に着目したときのW S L , D S L , D T L に印加される電圧、ゲート電圧、およびソース電圧の経時変化の一例を表す波形図である。

【図4】表示領域を上下2つに分割したときの、上側の表示領域と下側の表示領域での映像表示の一例を表す図である。

【図5】表示領域を上下2つに分割したときの、上側の表示領域での、W S L 1 ~ W S L 4 , D S L 1 ~ 4 、およびD T L に印加される電圧の経時変化の一例を表す波形図である。

【図6】表示領域を上下2つに分割したときの、上側の表示領域と下側の表示領域での映像表示の一変形例を表す図である。

【図7】各画素の回路構成の一変形例を表す図である。

【図8】上記実施の形態の発光装置の適用例1の外観を表す斜視図である。

【図9A】適用例2の表側から見た外観を表す斜視図である。

【図9B】適用例2の裏側から見た外観を表す斜視図である。

50

【図10】適用例3の裏側から見た外観を表す斜視図である。

【図11】適用例4の外観を表す斜視図である。

【図12A】適用例5の閉じた状態の正面図、左側面図、右側面図、上面図および下面図である。

【図12B】適用例5の開いた状態の正面図および側面図である。

【図13】表示領域を上下2つの分割したときの、上側の表示領域と下側の表示領域での映像表示の一比較例を表す図である。

【発明を実施するための形態】

【0012】

以下、発明を実施するための形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

10

1. 実施の形態（表示装置）

2. 変形例（表示装置）

3. 適用例（電子機器）

【0013】

<1. 実施の形態>

[構成]

図1は、本技術の一実施の形態に係る表示装置1の概略構成を表したものである。この表示装置1は、表示パネル10と、外部から入力された映像信号20Aおよび同期信号20Bに基づいて表示パネル10を駆動する駆動回路20とを備えている。駆動回路20は、例えば、タイミング生成回路21、映像信号処理回路22、信号線駆動回路23、走査線駆動回路24、および電源線駆動回路25を有している。

20

【0014】

（表示パネル10）

表示パネル10は、複数の画素11が表示パネル10の表示領域10A全面に渡ってマトリクス状に配置されたものである。表示パネル10は、駆動回路20によって各画素11がアクティブマトリクス駆動されることにより、外部から入力された映像信号20Aに基づく画像を表示するものである。

【0015】

図2は、画素11の回路構成の一例を表したものである。各画素11は、例えば、画素回路12と、有機EL素子13とを有している。有機EL素子13は、例えば、アノード電極、有機層およびカソード電極が順に積層された構成を有している。有機EL素子13は、素子容量Cold（図示せず）を有している。画素回路12は、有機EL素子13の発光・消光を制御するものである。画素回路12は、後述の書き走査S3によって各画素11に書き込んだ電圧を保持する機能を有している。画素回路12は、例えば、駆動トランジスタTr1、書きトランジスタTr2、保持容量Csおよび補助容量Csubによって構成されたものであり、2Tr2Cの回路構成となっている。

30

【0016】

書きトランジスタTr2は、駆動トランジスタTr1のゲートに対する、映像信号に対応した信号電圧の印加を制御するものである。具体的には、書きトランジスタTr2は、後述の信号線DTLの電圧をサンプリングするとともに駆動トランジスタTr1のゲートに書き込むものである。駆動トランジスタTr1は、有機EL素子13を駆動するものであり、有機EL素子13に直列に接続されている。駆動トランジスタTr1は、書きトランジスタTr2によって書き込まれた電圧の大きさに応じて有機EL素子13に流れる電流を制御するものである。保持容量Csは、駆動トランジスタTr1のゲート-ソース間に所定の電圧を保持するものである。保持容量Csは、後述の待機期間中に駆動トランジスタTr1のゲート-ソース間電圧Vgsを一定に保持する役割を有する。補助容量Csubは、駆動トランジスタTr1から供給される電流の一部を流し込むものである。なお、画素回路12は、上述の2Tr2Cの回路に対して各種容量やトランジスタを付加した回路構成となっていてもよいし、上述の2Tr2Cの回路構成とは異なる回路構成となっ

40

50

ていてもよい。

【0017】

駆動トランジスタTr1および書込トランジスタTr2は、例えば、nチャネルMOS型の薄膜トランジスタ(TFT(Thin Film Transistor))により形成されている。なお、TFTの種類は特に限定されるものではなく、例えば、逆スタガー構造(いわゆるボトムゲート型)であってもよいし、スタガー構造(トップゲート型)であってもよい。また、駆動トランジスタTr1および書込トランジスタTr2は、pチャネルMOS型のTFTにより形成されていてもよい。

【0018】

表示パネル10は、行方向に延在する複数の走査線WSLと、列方向に延在する複数の信号線DTLと、行方向に延在する複数の電源線DSLと、行方向に延在する複数のカソード線CTLを有している。なお、各カソード線CTLが共通の1枚のシート状の金属層で構成されていてもよい。走査線WSLは、各画素11の選択に用いられるものである。信号線DTLは、映像信号に応じた信号電圧の、各画素11への供給に用いられるものである。電源線DSLは、各画素11への駆動電流の供給に用いられるものである。

10

【0019】

各信号線DTLと各走査線WSLとの交差点近傍には、画素11が設けられている。各信号線DTLは、後述の信号線駆動回路23の出力端(図示せず)と、書込トランジスタTr2のソースまたはドレインとに接続されている。各走査線WSLは、後述の走査線駆動回路24の出力端(図示せず)と、書込トランジスタTr2のゲートに接続されている。各電源線DSLは、固定の電圧を出力する電源の出力端(図示せず)と、駆動トランジスタTr1のソースまたはドレインに接続されている。カソード線CTLは、例えば、表示領域10Aの周囲に設けられた部材であって、かつ基準の電圧となっている部材に接続されている。

20

【0020】

書込トランジスタTr2のゲートは、走査線WSLに接続されている。書込トランジスタTr2のソースまたはドレインが信号線DTLに接続されている。書込トランジスタTr2のソースおよびドレインのうち信号線DTLに未接続の端子が駆動トランジスタTr1のゲートに接続されている。駆動トランジスタTr1のソースまたはドレインが電源線DSLに接続されている。駆動トランジスタTr1のソースおよびドレインのうち電源線DSLに未接続の端子が有機EL素子13のアノードに接続されている。保持容量Csの一端が駆動トランジスタTr1のゲートに接続されている。保持容量Csの他端が駆動トランジスタTr1のソース(図2では有機EL素子13側の端子)に接続されている。つまり、保持容量Csは、駆動トランジスタTr1のゲート-ソース間に挿入されている。補助容量Csubの一端が駆動トランジスタTr1のソース(図2では有機EL素子13側の端子)に接続されている。補助容量Csubの他端がカソード線CTLに接続されている。

30

【0021】

(駆動回路20)

次に、駆動回路20について説明する。駆動回路20は、上述したように、例えば、タイミング生成回路21、映像信号処理回路22、信号線駆動回路23、走査線駆動回路24および電源線駆動回路25を有している。タイミング生成回路21は、駆動回路20内の各回路が連動して動作するように制御するものである。タイミング生成回路21は、例えば、外部から入力された同期信号20Bに応じて(同期して)、上述した各回路に対して制御信号21Aを出力するようになっている。

40

【0022】

映像信号処理回路22は、例えば、外部から入力されたデジタルの映像信号20Aに対して所定の補正を行い、それにより得られた映像信号22Aを信号線駆動回路23に出力するものである。所定の補正としては、例えば、ガンマ補正や、オーバードライブ補正などが挙げられる。

50

## 【0023】

信号線駆動回路23は、例えば、制御信号21Aの入力に応じて（同期して）、映像信号処理回路22から入力された映像信号22Aに対応するアナログの信号電圧を、各信号線DTLに印加するものである。信号線駆動回路23は、例えば、2種類の電圧（V<sub>ofs</sub>、V<sub>sig</sub>）を出力可能となっている。具体的には、信号線駆動回路23は、走査線駆動回路24により選択された画素11へ、信号線DTLを介して2種類の電圧（V<sub>ofs</sub>、V<sub>sig</sub>）を供給するようになっている。V<sub>sig</sub>は、映像信号20Aに対応する電圧値となっている。V<sub>ofs</sub>は、映像信号20Aとは無関係の一定電圧である。V<sub>sig</sub>の最小電圧はV<sub>ofs</sub>よりも低い電圧値となっており、V<sub>sig</sub>の最大電圧はV<sub>ofs</sub>よりも高い電圧値となっている。

10

## 【0024】

走査線駆動回路24は、例えば、制御信号21Aの入力に応じて（同期して）、複数の走査線WSLを所定のシーケンスで選択することにより、V<sub>th</sub>補正や、信号電圧V<sub>sig</sub>の書き込み、μ補正および待機を所望の順番で実行させるものである。ここで、V<sub>th</sub>補正是、駆動トランジスタTr1のゲート-ソース間電圧V<sub>gs</sub>を駆動トランジスタTr1の閾値電圧に近づける補正動作を指している。信号電圧V<sub>sig</sub>の書き込み（信号書き込み）とは、駆動トランジスタTr1のゲートに対して、信号電圧V<sub>sig</sub>を、書込トランジスタTr2を介して書き込む動作を指している。μ補正とは、駆動トランジスタTr1のゲート-ソース間に保持される電圧（ゲート-ソース間電圧V<sub>gs</sub>）を、駆動トランジスタTr1の移動度μの大きさに応じて補正する動作を指している。信号書き込みと、μ補正とは、互いに別個のタイミングで行われることもある。本実施の形態では、走査線駆動回路24が、1つの選択パルスを、走査線WSLへ出力することによって、信号書き込みと、μ補正とを同時に（もしくは間髪空けずに連続して）行うようになっている。待機とは、発光を開始できる状態で待機する（つまり消光状態を維持する）ことを指している。

20

## 【0025】

走査線駆動回路24は、例えば、2種類の電圧（V<sub>on</sub>、V<sub>off</sub>）を出力可能となっている。具体的には、走査線駆動回路24は、駆動対象の画素11へ、走査線WSLを介して2種類の電圧（V<sub>on</sub>、V<sub>off</sub>）を供給し、書込トランジスタTr2のオンオフ制御を行うようになっている。ここで、V<sub>on</sub>は、書込トランジスタTr2のオン電圧以上の値となっている。V<sub>on</sub>は、後述の「V<sub>th</sub>補正準備期間の後半部分」や、「V<sub>th</sub>補正期間」、「信号書き・μ補正期間」などに走査線駆動回路24から出力される書込パルスの波高値である。V<sub>off</sub>は、書込トランジスタTr2のオン電圧よりも低い値となっており、かつ、V<sub>on</sub>よりも低い値となっている。V<sub>off</sub>は、後述の「V<sub>th</sub>補正準備期間の前半部分」や、「V<sub>th</sub>補正休止期間」、「待機期間」、「発光期間」などに走査線駆動回路24から出力される書込パルスの波高値である。

30

## 【0026】

電源線駆動回路25は、例えば、制御信号21Aの入力に応じて（同期して）、複数の電源線DSLを所定の単位ごとに順次選択するものである。電源線駆動回路25は、例えば、2種類の電圧（V<sub>cc</sub>、V<sub>ss</sub>）を出力可能となっている。電源線駆動回路25は、走査線駆動回路24により選択された画素11へ、電源線DSLを介して2種類の電圧（V<sub>cc</sub>、V<sub>ss</sub>）を供給するようになっている。ここで、V<sub>ss</sub>は、有機EL素子13の閾値電圧V<sub>e1</sub>と、有機EL素子13のカソード電圧V<sub>cath</sub>とを足し合わせた電圧（V<sub>e1</sub>+V<sub>cath</sub>）よりも低い電圧値である。V<sub>cc</sub>は、電圧（V<sub>e1</sub>+V<sub>cath</sub>）以上の電圧値である。

40

## 【0027】

## [動作]

次に、本実施の形態の表示装置1の動作（消光から発光までの動作）について説明する。本実施の形態では、有機EL素子13のI-V特性が経時変化しても、その影響を受けることなく、有機EL素子13の発光輝度を一定に保つようにするために、有機EL素子

50

13のI-V特性の変動に対する補償動作を組み込んでいる。さらに、本実施の形態では、駆動トランジスタTr1の閾値電圧や移動度が経時変化しても、それらの影響を受けることなく、有機EL素子13の発光輝度を一定に保つようするために、上記閾値電圧や上記移動度の変動に対する補正動作を組み込んでいる。

#### 【0028】

図3は、1つの画素11に着目したときの走査線WSL、電源線DSLおよび信号線DTLに印加される電圧、ゲート電圧Vg、およびソース電圧Vsの経時変化の一例を表したものである。

#### 【0029】

##### (Vth補正準備期間)

まず、駆動回路20は、駆動トランジスタTr1のゲート-ソース間電圧Vgsを駆動トランジスタTr1の閾値電圧に近づけるVth補正の準備を行う。具体的には、走査線WSLの電圧がVoff、信号線DTLの電圧がVofs、電源線DSLの電圧がVccとなっている時に、電源線駆動回路25は、制御信号21Aに応じて電源線DSLの電圧をVccからVssに下げる(時刻T1)。つまり、有機EL素子13が発光している時に、電源線駆動回路25は、制御信号21Aに応じて電源線DSLの電圧をVccからVssに下げる。すると、ソース電圧VsがVssまで下がり、有機EL素子13が消光する。このとき、保持容量Csを介したカッピングによりゲート電圧Vgも下がる。

#### 【0030】

次に、電源線DSLの電圧がVssとなっており、かつ信号線DTLの電圧がVofsとなっている間に、走査線駆動回路24は、制御信号21Aに応じて走査線WSLの電圧をVoffからVonに上げる(時刻T2)。すると、ゲート電圧VgがVofsまで下がる。このとき、ゲート電圧Vgとソース電圧Vsとの電位差(ゲート-ソース間電圧Vgs)が駆動トランジスタTr1の閾値電圧よりも小さくなっていてもよいし、それと等しいか、またはそれよりも大きくなっていてもよい。

#### 【0031】

##### (Vth補正期間)

次に、駆動回路20は、Vthの補正を行う。具体的には、信号線DTLの電圧がVofとなりっており、かつ、走査線WSLの電圧がVonとなっている間に、電源線駆動回路25は、制御信号21Aに応じて電源線DSLの電圧をVssからVccに上げる(時刻T3)。すると、駆動トランジスタTr1のドレイン-ソース間に電流Idsが流れ、ソース電圧Vsが上昇する。このとき、ソース電圧VsがVofs-Vthよりも低い場合には、駆動トランジスタTr1がカットオフするまで、駆動トランジスタTr1のドレイン-ソース間に電流Idsが流れる。つまり、Vth補正がまだ完了していない場合には、ゲート-ソース間電圧VgsがVthになるまで、駆動トランジスタTr1のドレイン-ソース間に電流Idsが流れる。これにより、ゲート電圧VgがVofsとなり、ソース電圧Vsが上昇し、その結果、保持容量CsがVthに充電され、ゲート-ソース間電圧VgsがVthとなる。

#### 【0032】

その後、信号線駆動回路23は、制御信号21Aに応じて信号線DTLの電圧をVofからVsigに切り替える前に、走査線駆動回路24が制御信号21Aに応じて走査線WSLの電圧をVonからVoffに下げる(時刻T4)。すると、駆動トランジスタTr1のゲートがフローティングとなるので、ゲート-ソース間電圧Vgsを信号線DTLの電圧の大きさに拘わらずVthのままで維持することができる。このように、ゲート-ソース間電圧VgsをVthに設定することにより、駆動トランジスタTr1の閾値電圧Vthが画素回路12ごとにばらついた場合であっても、有機EL素子13の発光輝度のばらつきをなくすことができる。

#### 【0033】

##### (Vth補正休止期間)

その後、Vth補正の休止期間中に、信号線駆動回路23は、信号線DTLの電圧をV

10

20

30

40

50

$v_{of}$  から  $V_{sig}$  に切り替える。

#### 【0034】

(信号書込・ $\mu$ 補正期間)

$V_{th}$  補正休止期間が終了した後(つまり  $V_{th}$  補正が完了した後)、駆動回路20は、映像信号20Aに応じた信号電圧の書き込みと、 $\mu$ 補正を行う。具体的には、信号線DTLの電圧が  $V_{sig}$  となっており、かつ電源線DSLの電圧が  $V_{cc}$  となっている間に、走査線駆動回路24は、制御信号21Aに応じて走査線WSLの電圧を  $V_{off}$  から  $V_{on}$  に上げる(時刻T5)。すると、駆動トランジスタTr1のゲートが信号線DTLに接続され、駆動トランジスタTr1のゲート電圧  $V_g$  が信号線DTLの電圧  $V_{sig}$  となる。このとき、有機EL素子13のアノード電圧はこの段階ではまだ有機EL素子13の閾値電圧  $V_{el}$  よりも小さく、有機EL素子13はカットオフしている。そのため、電流  $I_{ds}$  は有機EL素子13の素子容量  $C_{oled}$  および補助容量  $C_{sub}$  に流れ、素子容量  $C_{oled}$  および補助容量  $C_{sub}$  が充電される。その結果、ソース電圧  $V_s$  が  $V_s$  だけ上昇し、やがてゲート-ソース間電圧  $V_{gs}$  が  $V_{sig} + V_{th} - V_s$  となる。このようにして、書き込みと同時に  $\mu$ 補正が行われる。ここで、駆動トランジスタTr1の移動度  $\mu$  が大きい程、 $V_s$  も大きくなるので、ゲートソース間電圧  $V_{gs}$  を発光前に  $V_s$  だけ小さくすることにより、画素11ごとの移動度  $\mu$  のばらつきを取り除くことができる。

10

#### 【0035】

(待機期間)

次に、駆動回路20は、待機を行う。具体的には、走査線駆動回路24が、制御信号21Aに応じて走査線WSLの電圧を  $V_{on}$  から  $V_{off}$  に下げるとともに、電源線駆動回路25が、制御信号21Aに応じて電源線DSLの電圧を  $V_{cc}$  から  $V_{ss}$  に下げる(時刻T6)。なお、電源線DSLの電圧を  $V_{cc}$  から  $V_{ss}$  に下げる時が、走査線WSLの電圧を  $V_{on}$  から  $V_{off}$  に下げる時と同時であってもよいし、走査線WSLの電圧を  $V_{on}$  から  $V_{off}$  に下げる時よりも若干、遅れた時であってもよい。すると、駆動トランジスタTr1のゲートがフローティングとなるが、電源線DSLの電圧が  $V_{ss}$  に下がるので、有機EL素子13に閾値電圧  $V_{el}$  以上の電圧が印加されず、有機EL素子13は発光しない。このとき、ゲート-ソース間電圧  $V_{gs}$  は、  $V_{sig} + V_{th} - V_s$  となつたままである。

30

#### 【0036】

(発光期間)

最後に、電源線駆動回路25が、制御信号21Aに応じて電源線DSLの電圧を  $V_{ss}$  から  $V_{cc}$  に上げる(時刻T7)。すると、駆動トランジスタTr1のドレイン-ソース間に電流  $I_{ds}$  が流れ、ソース電圧  $V_s$  が上昇する。その結果、有機EL素子13に閾値電圧  $V_{el}$  以上の電圧が印加され、有機EL素子13が所望の輝度で発光する。

40

#### 【0037】

図4は、表示領域10Aを上下2つに分割したときの、上側の表示領域(第1表示領域10B)と下側の表示領域(第2表示領域10C)での映像表示の一例を表したものである。図5は、第1表示領域10Bでの、WSL1～WSL4, DSL1～4、およびDTLに印加される電圧の経時変化の一例を表す波形図である。

#### 【0038】

本実施の形態では、表示領域10Aが、垂直方向に互いに隣接する第1表示領域10Bおよび第2表示領域10Cに分割されている。表示領域10Aは、M行の画素行を有している。第1表示領域10Bおよび第2表示領域10Cは、それぞれ、M/2行の画素行を有している。第1表示領域10Bでは、1行目の画素行が表示領域10Aの1行目の画素行となっている。さらに、第1表示領域10Bでは、最後の画素行(つまり、第2表示領域10Cに隣接する画素行)が表示領域10AのM/2画素行となっている。第2表示領域10Cでは、1行目の画素行(つまり、第1表示領域10Bに隣接する画素行)が表示領域10AのM/2+1画素行となっている。さらに、第2表示領域10Cでは、最後の

50

画素行が表示領域 10A の最後の画素行（つまり、M 画素行）となっている。

#### 【0039】

駆動回路 20 は、第 1 表示領域 10B を 1 画素行から M / 2 画素行に向かって垂直走査を行い、第 2 表示領域 10C を M / 2 + 1 画素行から M 画素行に向かって垂直走査を行う。駆動回路 20 は、第 1 表示領域 10B および第 2 表示領域 10C に対して、下記の（1）～（5）の各種垂直走査を、1 フレームにおいて第 1 表示領域 10B および第 2 表示領域 10C ごとに行う。

（1）各画素 11 の消光を行う消光走査 S1（第 2 垂直走査）

（2）Vth 補正を行う Vth 補正走査 S2

（3）映像信号に応じた電圧を各画素 11 に書き込むとともに  $\mu$  補正を行う書き走査 S3  
10  
（第 3 垂直走査）

（4）書き走査 S3 に続いて各画素 11 の発光を待機させる待機走査 S4（第 4 垂直走査）

（5）各画素 11 の発光を行う発光走査 S5（第 1 垂直走査）

#### 【0040】

駆動回路 20 は、第 2 表示領域 10C における最先走査行（M / 2 + 1 画素行）の n + 1 フレーム目の発光開始のタイミングが、第 1 表示領域 10B における最終走査行（M / 2 画素行）の n フレーム目の発光終了のタイミングよりも遅くなるように、発光走査 S5 および消光走査 S1 を行う。上記の n は、正の整数をとる変数である。これにより、第 2 表示領域 10C における、最先走査行（M / 2 + 1 画素行）の n + 1 フレーム目の発光期間と、第 1 表示領域 10B における、最終走査行（M / 2 画素行）の n フレーム目の発光期間とが互いに重なり合うことがない。  
20

#### 【0041】

さらに、駆動回路 20 は、第 1 表示領域 10B の最終走査行の n フレーム目の発光期間と、第 2 表示領域 10C の最先走査行の n フレーム目の発光期間とが完全にまたは部分的に互いに重なり合うように、発光走査 S5 および消光走査 S1 を行う。第 1 表示領域 10B の最終走査行が M / 2 画素行であり、第 2 表示領域 10C の最先走査行が M / 2 + 1 画素行である。駆動回路 20 は、例えば、図 4(A)、図 4(B) に示したように、第 1 表示領域 10B および第 2 表示領域 10C に渡って連続して、発光走査 S5 および消光走査 S1 を行う。このようにした場合には、1 フレームにおける表示領域 10A 中の発光領域が、1 行目の画素行から最後の画素行に渡って連続かつ滑らかに遷移する。  
30

#### 【0042】

駆動回路 20 は、第 1 表示領域 10B および第 2 表示領域 10C において、発光走査 S5 および消光走査 S1 の遷移速度を、Vth 補正走査 S2、書き走査 S3 および待機走査 S4 の遷移速度よりも早くする。言い換えると、駆動回路 20 は、第 1 表示領域 10B および第 2 表示領域 10C において、Vth 補正走査 S2、書き走査 S3 および待機走査 S4 の遷移速度を、発光走査 S5 および消光走査 S1 の遷移速度よりも遅くする。駆動回路 20 は、第 1 表示領域 10B および第 2 表示領域 10C において、発光走査 S5 および消光走査 S1 の遷移を、Vth 補正走査 S2、書き走査 S3 および待機走査 S4 の遷移速度の 2 倍の遷移速度で行う。言い換えると、駆動回路 20 は、第 1 表示領域 10B および第 2 表示領域 10C において、Vth 補正走査 S2、書き走査 S3 および待機走査 S4 の遷移を、発光走査 S5 および消光走査 S1 の遷移速度の 1 / 2 倍の遷移速度で行う。駆動回路 20 は、例えば、図 4(A)、図 4(B)、図 5(A)～(I) に示したように、発光走査 S5 および消光走査 S1 を 1 / 2 H 周期で行うとともに、Vth 補正走査 S2、書き走査 S3 および待機走査 S4 を 1 H 周期で行う。このようにした場合、Vth 補正走査 S2、書き走査 S3 および待機走査 S4 の遷移速度が、表示領域 10A を分割せずに行うときの遷移速度の半分の遷移速度となる。  
40

#### 【0043】

このとき、待機期間は、図 5(A)～(I) に示したように、1 画素行から M / 2 画素行に向かうにつれて t1、t2、t3、t4 … と、短くなっている。同様に、待  
50

機期間は、 $M / 2 + 1$ 画素行から $M$ 画素行に向かうにつれて短くなっている。このように、待機時間を設定したり、画素行ごとに変えたりすることを可能にしているのは、駆動トランジスタ Tr 1 のゲート - ソース間電圧  $V_{gs}$  が待機期間中、保持容量  $C_s$  によって一定に保たれているからである。

#### 【0044】

駆動回路 20 が上述のような走査をした結果、例えば、図 4 (A)、図 4 (B) に記載の時刻  $T_x$  での映像が、図 4 (C) のようになる。具体的には、時刻  $T_x$  では、第 1 表示領域 10B の最終走査行には  $n$  フレーム目の映像が表示されており、第 2 表示領域 10C の最先走査行には  $n$  フレーム目の映像が表示されている。表示領域 10A が第 1 表示領域 10B および第 2 表示領域 10C によって分割された境界 ( 分割ライン L ) で、第 1 表示領域 10B に表示された  $n$  フレーム目の映像と、第 2 表示領域 10C に表示された  $n$  フレーム目の映像とが連続して表示されている。  
10

#### 【0045】

##### [効果]

次に、本実施の形態の表示装置 1 における効果について説明する。

#### 【0046】

図 13 (A) ~ (C) は、比較例にかかる表示装置の表示領域 100A を上下 2 つに分割したときの、上側の表示領域 ( 表示領域 100B ) と下側の表示領域 ( 表示領域 100C ) での映像表示の一例を表したものである。上側の表示領域 100B と下側の表示領域 100C との継ぎ目 ( 図 13 (C) の破線部分 ) が同時に発光するタイミング  $T_x$  において、異なるフレームの映像が表示される。このとき、映像が動画である場合には、上記の継ぎ目において、映像が不連続になってしまい、表示映像の品質が劣化してしまう。  
20

#### 【0047】

一方、本実施の形態では、第 2 表示領域 10C における、最先走査行の  $n + 1$  フレーム目の発光開始のタイミングが、第 1 表示領域 10B における、最終走査行の  $n$  フレーム目の発光終了のタイミングよりも遅くなっている。これにより、分割ライン L における映像の不連続性に起因する表示映像の品質劣化を低減することができる。従って、高解像度化に伴う表示映像の品質劣化を低減することができる。

#### 【0048】

また、本実施の形態では、第 1 表示領域 10B および第 2 表示領域 10C において、 $V_{th}$  補正走査 S2、書込走査 S3 および待機走査 S4 の遷移速度を、発光走査 S5 および消光走査 S1 の遷移速度よりも遅くすることができる。これにより、高精細化や、大画面化に伴って、1H が短くなった場合であっても、 $V_{th}$  補正時間を確保することができる。  
30

#### 【0049】

##### <2. 变形例>

以下に、上記実施の形態の表示装置 1 の種々の変形例について説明する。なお、以下では、上記実施の形態の表示装置 1 と共に通する構成要素に対しては、同一の符号が付与される。さらに、上記実施の形態の表示装置 1 と共に通する構成要素についての説明は、適宜、省略されるものとする。  
40

#### 【0050】

##### [変形例 1]

図 6 は、表示領域 10A を上下 2 つに分割したときの、上側の表示領域 ( 第 1 表示領域 10B ) と下側の表示領域 ( 第 2 表示領域 10C ) での映像表示の一変形例を表したものである。本変形例では、駆動回路 20 は、第 1 表示領域 10B および第 2 表示領域 10C において、 $V_{th}$  補正走査 S2、書込走査 S3 および待機走査 S4 の遷移を、発光走査 S5 および消光走査 S1 の遷移速度と同じ遷移速度で行う。 $V_{th}$  補正時間を確保することができるのであれば、このような駆動方法を探ることも可能である。

#### 【0051】

##### [変形例 2]

上記実施の形態において、駆動トランジスタTr1と、電源線DSLとの間に、スイッチングトランジスタTr3が挿入されていてもよい(図7参照)。スイッチングトランジスタTr3のゲートには、スイッチング線SWLが接続されている。

#### 【0052】

本変形例では、走査線駆動回路24が、スイッチング線SWLを介して、スイッチングトランジスタTr3をオン、オフ制御するようになっている。電源線駆動回路25は、例えば、各電源線DSLに対して所定の電圧を印加するものであり、例えば、Vccを出力可能となっている。上記実施の形態において電源線DSLにVssが印加される期間に、走査線駆動回路24は、スイッチング線SWLをオンするようになっている。

#### 【0053】

#### [変形例3]

上記実施の形態および変形例1,2では、表示領域10Aが2つの領域(第1表示領域10B,第2表示領域10C)に分割されていたが、3つ以上の領域に分割されていてもよい。この場合、駆動回路20が、垂直方向に互いに隣接する2つの領域に対して、上記実施の形態および変形例1,2に記載の方法で垂直走査を行えばよい。

#### 【0054】

#### [変形例4]

上記実施の形態および変形例1~3において、有機EL素子13の代わりに、無機EL素子、LED、または半導体レーザなどが設けられてもよい。

#### 【0055】

#### <3.適用例>

以下、上記実施の形態およびその変形例(以下、「上記実施の形態等」と称する。)で説明した表示装置1の適用例について説明する。上記実施の形態の表示装置1は、テレビジョン装置、デジタルカメラ、ノート型パソコンコンピュータ、携帯電話等の携帯端末装置あるいはビデオカメラなど、外部から入力された映像信号あるいは内部で生成した映像信号を、画像あるいは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。

#### 【0056】

#### (適用例1)

図8は、上記実施の形態等の表示装置1が適用されるテレビジョン装置の外観をしたものである。このテレビジョン装置は、例えば、フロントパネル310およびフィルターガラス320を含む映像表示画面部300を有しており、この映像表示画面部300は、上記実施の形態およびその変形例に係る表示装置1により構成されている。

#### 【0057】

#### (適用例2)

図9は、上記実施の形態等の表示装置1が適用されるデジタルカメラの外観をしたものである。このデジタルカメラは、例えば、フラッシュ用の発光部410、表示部420、メニューインターフェース430およびシャッターボタン440を有しており、その表示部420は、上記実施の形態等に係る表示装置1により構成されている。

#### 【0058】

#### (適用例3)

図10は、上記実施の形態等の表示装置1が適用されるノート型パソコンコンピュータの外観をしたものである。このノート型パソコンコンピュータは、例えば、本体510、文字等の入力操作のためのキーボード520および画像を表示する表示部530を有しており、その表示部530は、上記実施の形態等に係る表示装置1により構成されている。

#### 【0059】

#### (適用例4)

図11は、上記実施の形態等の表示装置1が適用されるビデオカメラの外観をしたものである。このビデオカメラは、例えば、本体部610、この本体部610の前方側面に

10

20

30

40

50

設けられた被写体撮影用のレンズ 620，撮影時のスタート／ストップスイッチ 630 および表示部 640 を有しており、その表示部 640 は、上記実施の形態等に係る表示装置 1 により構成されている。

#### 【0060】

(適用例 5)

図 12 は、上記実施の形態等の表示装置 1 が適用される携帯電話機の外観を表したものである。この携帯電話機は、例えば、上側筐体 710 と下側筐体 720 とを連結部(ヒンジ部) 730 で連結したものであり、ディスプレイ 740，サブディスプレイ 750，ピクチャーライト 760 およびカメラ 770 を有している。そのディスプレイ 740 またはサブディスプレイ 750 は、上記実施の形態等に係る表示装置 1 により構成されている。

10

#### 【0061】

以上、実施の形態および適用例を挙げて本技術を説明したが、本技術は上記実施の形態等に限定されるものではなく、種々変形が可能である。

#### 【0062】

例えば、上記実施の形態等では、アクティブマトリクス駆動のための画素回路 12 の構成は、上記各実施の形態で説明したものに限られず、必要に応じて容量素子やトランジスタを追加してもよい。その場合、画素回路 12 の変更に応じて、上述した信号線駆動回路 23 や、走査線駆動回路 24、電源線駆動回路 25 などの他に、必要な駆動回路を追加してもよい。

20

#### 【0063】

また、上記実施の形態等では、信号線駆動回路 23、走査線駆動回路 24 および電源線駆動回路 25 の駆動をタイミング生成回路 21 および映像信号処理回路 22 が制御していたが、他の回路がこれらの駆動を制御するようにしてもよい。また、信号線駆動回路 23、走査線駆動回路 24 および電源線駆動回路 25 の制御は、ハードウェア(回路)で行われてもよいし、ソフトウェア(プログラム)で行われてもよい。

20

#### 【0064】

また、上記実施の形態等では、書込トランジスタ Tr2 のソースおよびドレインや、駆動トランジスタ Tr1 のソースおよびドレインが固定されたものとして説明されていたが、いうまでもなく、電流の流れる向きによっては、ソースとドレインの対向関係が上記の説明とは逆になることがある。そのときは、上記実施の形態等において、ソースをドレインと読み替えるとともに、ドレインをソースと読み替えてよい。

30

#### 【0065】

また、上記実施の形態等では、書込トランジスタ Tr2 および駆動トランジスタ Tr1 が n チャネル MOS 型の TFT により形成されているものとして説明されていたが、書込トランジスタ Tr2 および駆動トランジスタ Tr1 の少なくとも一方が p チャネル MOS 型の TFT により形成されていてもよい。なお、駆動トランジスタ Tr1 が p チャネル MOS 型の TFT により形成されている場合には、上記実施の形態等において、有機 EL 素子 13 のアノードがカソードとなり、有機 EL 素子 13 のカソードがアノードとなる。また、上記実施の形態等において、書込トランジスタ Tr2 および駆動トランジスタ Tr1 は、常に、アモルファスシリコン型の TFT やマイクロシリコン型の TFT である必要はなく、例えば、低温ポリシリコン型の TFT や、酸化物半導体 TFT であってもよい。

40

#### 【0066】

また、例えば、本技術は以下のような構成を取ることができる。

(1)

複数の画素が設けられた表示領域のうち、垂直方向に互いに隣接する第 1 表示領域および第 2 表示領域に対して、各前記画素の発光を行う第 1 垂直走査と、各前記画素の消光を行う第 2 垂直走査とを、1 フレームにおいて前記第 1 表示領域および前記第 2 表示領域ごとに行う走査回路を備え。

前記走査回路は、前記第 2 表示領域における、前記第 1 表示領域に隣接する最先走査行の n + 1 フレーム目の発光開始のタイミングが、前記第 1 表示領域における、前記第 2 表

50

示領域に隣接する最終走査行の n フレーム目の発光終了のタイミングよりも遅くなるように、前記第 1 垂直走査および前記第 2 垂直走査を行う

駆動回路。

( 2 )

前記走査回路は、前記最終走査行の n フレーム目の発光期間と、前記最先走査行の n フレーム目の発光期間とが完全にまたは部分的に互いに重なり合うように、前記第 1 垂直走査および前記第 2 垂直走査を行う

( 1 ) に記載の駆動回路。

( 3 )

前記走査回路は、前記第 1 表示領域および前記第 2 表示領域に対して、映像信号に応じた電圧を各前記画素に書き込む第 3 垂直走査と、前記第 3 垂直走査に続いて各前記画素の発光を待機させる第 4 垂直走査とを、前記第 2 垂直走査による消光後であって、かつ前記第 1 垂直走査による発光前の期間に、1 フレームにおいて前記第 1 表示領域および前記第 2 表示領域ごとに行う

10

( 1 ) または ( 2 ) に記載の駆動回路。

( 4 )

前記走査回路は、前記第 1 垂直走査および前記第 2 垂直走査の遷移速度を、前記第 3 垂直走査および前記第 4 垂直走査の遷移速度よりも早くする

( 3 ) に記載の駆動回路。

20

( 5 )

前記表示領域は、前記第 1 表示領域および前記第 2 表示領域からなり、

前記走査回路は、前記第 1 垂直走査および前記第 2 垂直走査を、前記第 3 垂直走査および前記第 4 垂直走査の遷移速度の 2 倍の遷移速度で行う

( 4 ) に記載の駆動回路。

30

( 6 )

複数の画素が設けられた表示領域を有する表示パネルと、

各前記画素を駆動する駆動回路と

を備え、

前記表示領域は、垂直方向に互いに隣接する第 1 表示領域および第 2 表示領域を含み、  
前記駆動回路は、前記第 1 表示領域および前記第 2 表示領域に対して、各前記画素の発光を行う第 1 垂直走査と、各前記画素の消光を行う第 2 垂直走査とを、1 フレームにおいて前記第 1 表示領域および前記第 2 表示領域ごとに行う走査回路を有し、

前記走査回路は、前記第 2 表示領域における、前記第 1 表示領域に隣接する最先走査行の n + 1 フレーム目の発光開始のタイミングが、前記第 1 表示領域における、前記第 2 表示領域に隣接する最終走査行の n フレーム目の発光終了のタイミングよりも遅くなるように、前記第 1 垂直走査および前記第 2 垂直走査を行う

表示装置。

40

( 7 )

前記走査回路は、前記第 1 表示領域および前記第 2 表示領域に対して、映像信号に応じた電圧を各前記画素に書き込む第 3 垂直走査と、前記第 3 垂直走査に続いて各前記画素の発光を待機させる第 4 垂直走査とを、前記第 2 垂直走査による消光後であって、かつ前記第 1 垂直走査による発光前の期間に、1 フレームにおいて前記第 1 表示領域および前記第 2 表示領域ごとに行う

( 6 ) に記載の表示装置。

40

( 8 )

各前記画素は、発光素子と、前記第 3 垂直走査によって各前記画素に書き込んだ電圧を保持する画素回路とを有する

( 7 ) に記載の表示装置。

50

( 9 )

表示装置を備え、

前記表示装置は、

複数の画素が設けられた表示領域を有する表示パネルと、  
各前記画素を駆動する駆動回路と  
を有し、

前記表示領域は、垂直方向に互いに隣接する第1表示領域および第2表示領域を含み、

10

前記駆動回路は、前記第1表示領域および前記第2表示領域に対して、各前記画素の発光を行う第1垂直走査と、各前記画素の消光を行う第2垂直走査とを、1フレームにおいて前記第1表示領域および前記第2表示領域ごとに行う走査回路を有し、

前記走査回路は、前記第2表示領域における、前記第1表示領域に隣接する最先走査行のn+1フレーム目の発光開始のタイミングが、前記第1表示領域における、前記第2表示領域に隣接する最終走査行のnフレーム目の発光終了のタイミングよりも遅くなるよう

20

に、前記第1垂直走査および前記第2垂直走査を行う

電子機器。

20

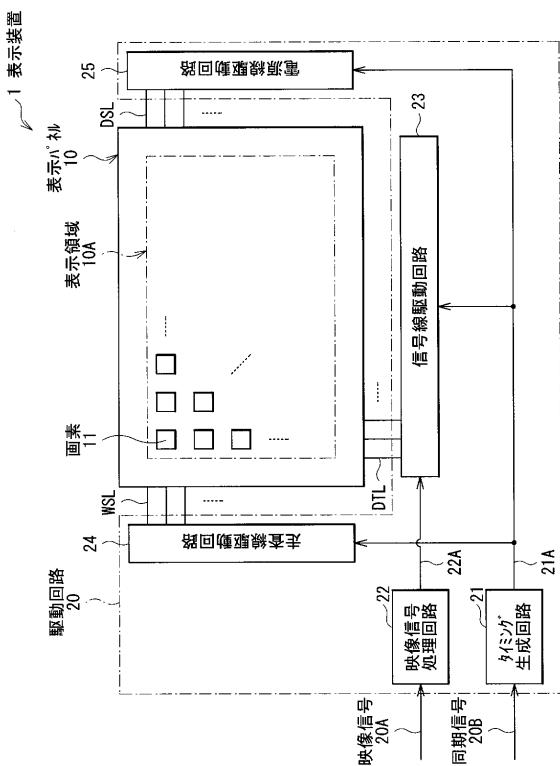
#### 【符号の説明】

##### 【0067】

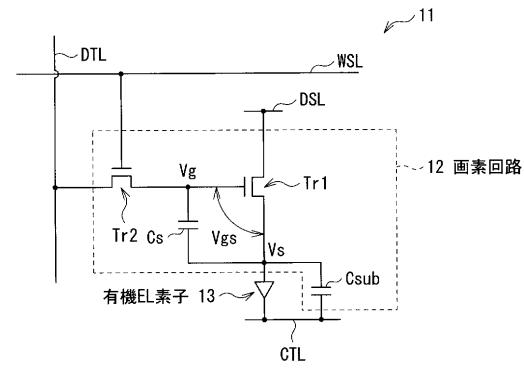
1 ... 表示装置、10 ... 表示パネル、10A ... 表示領域、10B ... 第1表示領域、10C ... 第2表示領域、11 ... 画素、12 ... 画素回路、13 ... 有機EL素子、14 ... LED、20 ... 駆動回路、20A ... 映像信号、20B ... 同期信号、21 ... タイミング生成回路、21A ... 制御信号、22 ... 映像信号処理回路、22A ... 映像信号、23 ... 信号線駆動回路、24 ... 走査線駆動回路、25 ... 電源線駆動回路、300 ... 映像表示画面部、310 ... フロントパネル、320 ... フィルターガラス、410 ... 発光部、420, 530, 640 ... 表示部、430 ... メニュースイッチ、440 ... シャッター・ボタン、510 ... 本体、520 ... キーボード、610 ... 本体部、620 ... レンズ、630 ... スタート/ストップスイッチ、710 ... 上側筐体、720 ... 下側筐体、730 ... 連結部、740 ... ディスプレイ、750 ... サブディスプレイ、760 ... ピクチャーライト、770 ... カメラ、Cs ... 保持容量、CTL ... グラウンド線、DTL ... 信号線、DSL, DSL1, DSL2, DSL3, DSL4 ... 電源線、Id ... 電流、S1 ... 消光走査、S2 ... 闘値補正走査、S3 ... 書き込み走査、S4 ... 待機走査、S5 ... 発光走査、Sa1, Sa2 ... 消光走査、Sb1, Sb2 ... 闘値補正走査、Sc1, Sc2 ... 書き込み走査、Sd1, Sd2 ... 待機走査、Se1, Se2 ... 発光走査、T1, T2, T3, T4, T5, T6, T7, Tx ... 時刻、Tr1 ... 駆動トランジスタ、Tr2 ... 書込トランジスタ、Tr3 ... スイッチングトランジスタ、Vcc, Vofs, Voff, Von, Vsig, Vss ... 電圧、Vg ... ゲート電圧、Vgs ... ゲート-ソース間電圧、Vol ed ... 有機EL素子の電圧、Vs ... ソース電圧、Vth ... 闘値電圧、WSL, WSL1, WSL2, WSL3, WSL4 ... 走査線、t ... 差分、t1, t2, t3, t4 ... 待機時間。

30

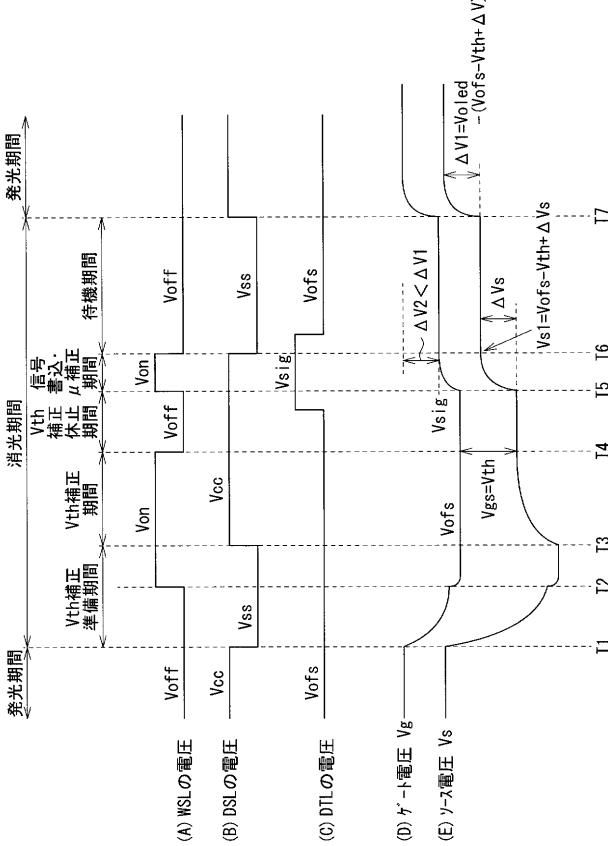
【図 1】



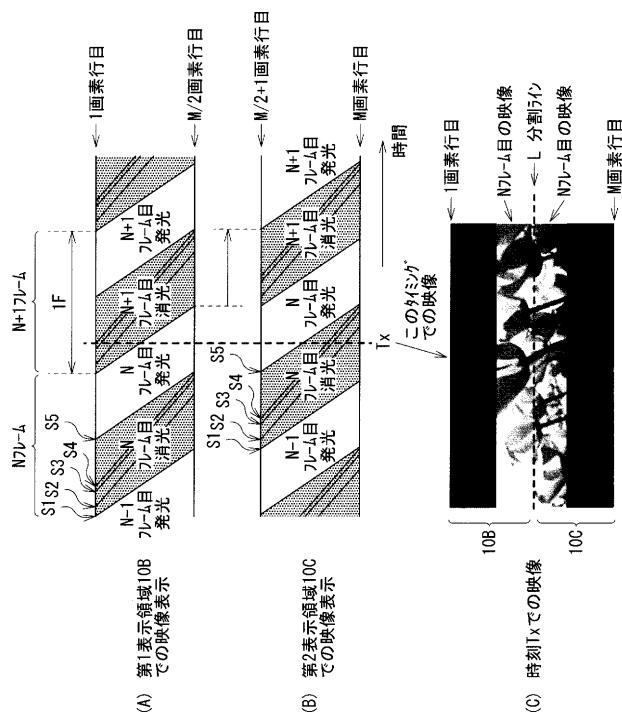
【図 2】



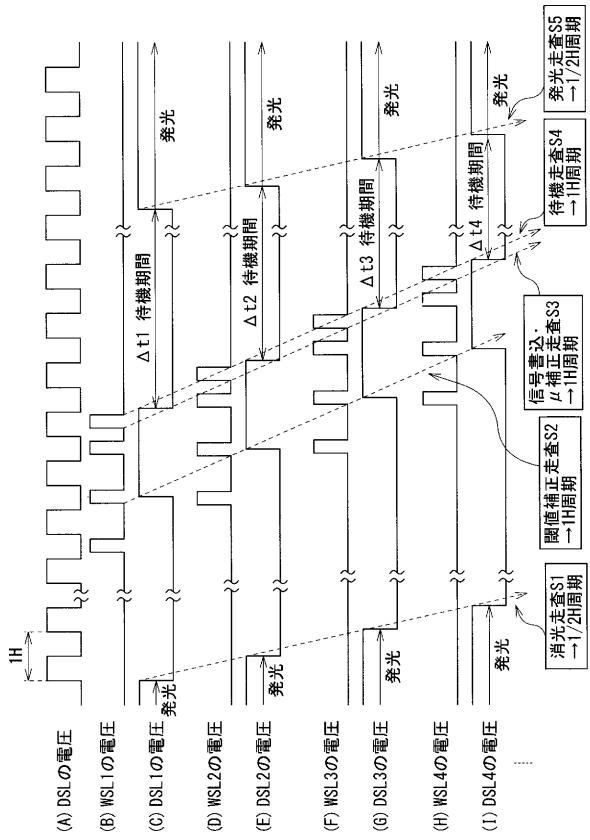
【図 3】



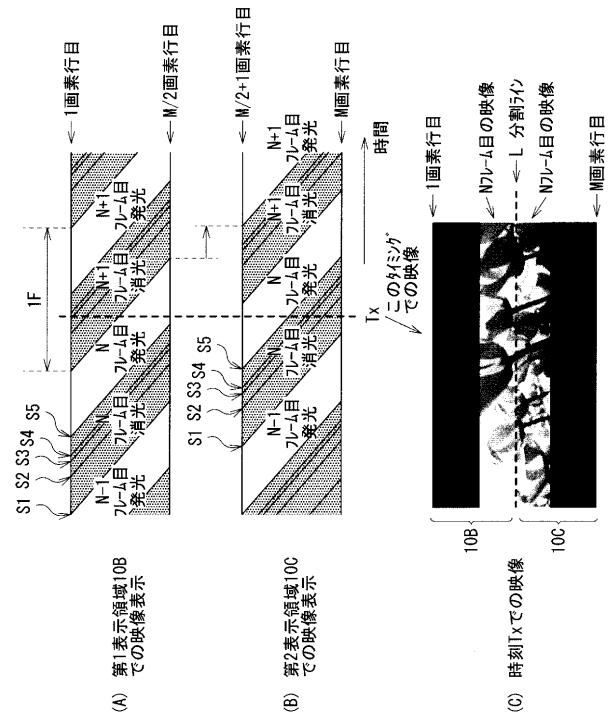
【図 4】



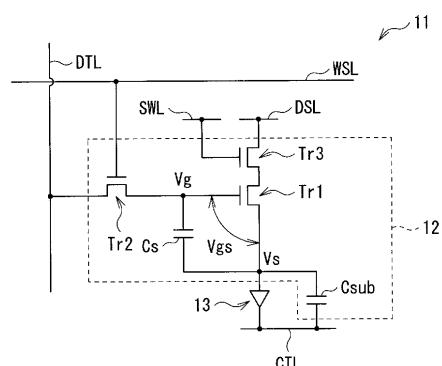
【図 5】



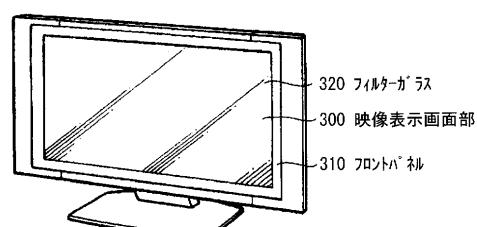
【図 6】



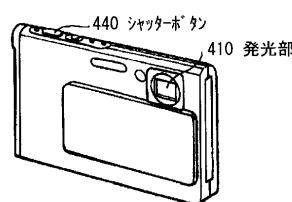
【図 7】



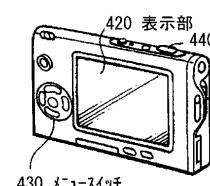
【図 8】



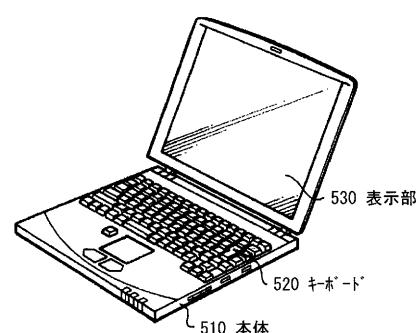
【図 9 A】



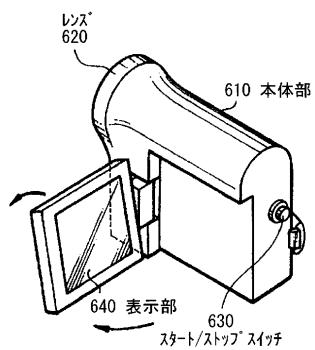
【図 9 B】



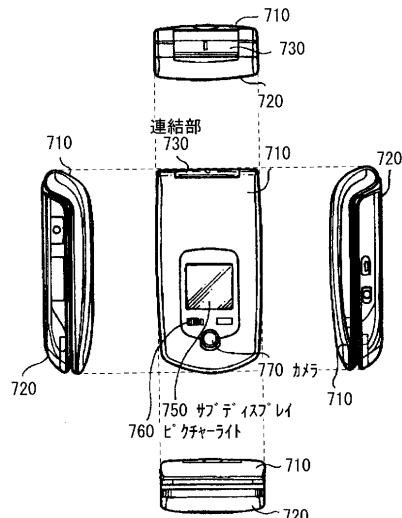
【図 10】



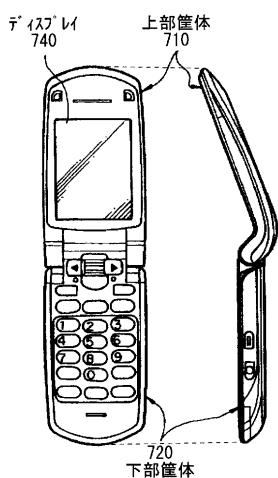
【 図 1 1 】



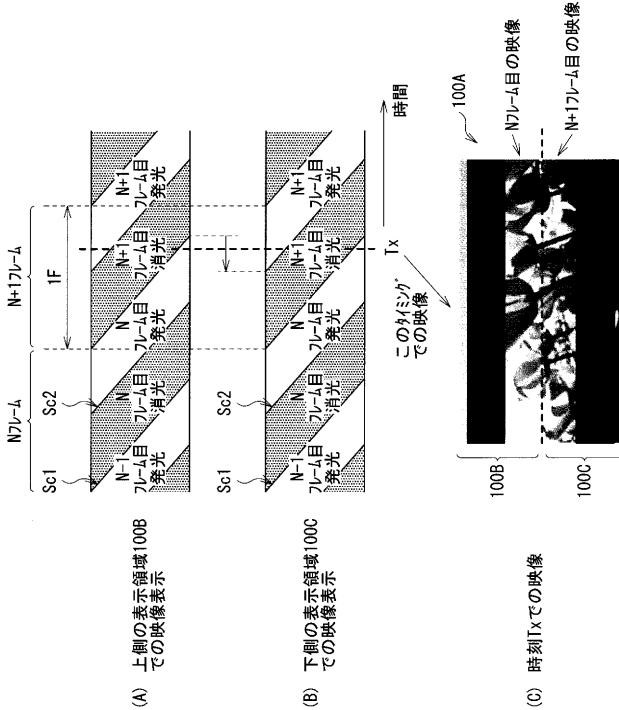
【図12A】



【 図 1 2 B 】



【 図 1 3 】



---

フロントページの続き

(51) Int.Cl. F I テーマコード(参考)  
H 05 B 33/14 Z

F ターム(参考) 5C080 AA06 AA07 BB05 BB06 DD05 FF11 JJ01 JJ02 JJ03 JJ04  
JJ06 KK07 KK43  
5C380 AA01 AA02 AA03 AB06 AC07 AC08 AC09 AC11 AC12 BA21  
BA38 BA39 BB01 BC01 BD02 CA04 CA12 CB20 CB23 CB24  
CB31 CC02 CC04 CC06 CC07 CC27 CC30 CC33 CC39 CC41  
CC62 CC63 CD022 CD023 DA02 DA47