

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4740327号  
(P4740327)

(45) 発行日 平成23年8月3日(2011.8.3)

(24) 登録日 平成23年5月13日(2011.5.13)

(51) Int. Cl.		F I			
H05K	1/02	(2006.01)	H05K	1/02	K
H05K	1/16	(2006.01)	H05K	1/16	A
H01H	1/06	(2006.01)	H01H	1/06	A

請求項の数 9 (全 13 頁)

(21) 出願番号	特願2008-519802 (P2008-519802)	(73) 特許権者	390039413
(86) (22) 出願日	平成17年6月30日 (2005.6.30)		シーメンス アクチエンゲゼルシャフト
(65) 公表番号	特表2008-547239 (P2008-547239A)		Siemens Aktiengesellschaft
(43) 公表日	平成20年12月25日 (2008.12.25)		ドイツ連邦共和国 D-80333 ミュンヘン ヴィッテルスバッハープラッツ 2
(86) 国際出願番号	PCT/EP2005/053108		Wittelsbacherplatz 2, D-80333 Muenchen, Germany
(87) 国際公開番号	W02007/003226	(74) 代理人	100061815
(87) 国際公開日	平成19年1月11日 (2007.1.11)		弁理士 矢野 敏雄
審査請求日	平成20年2月1日 (2008.2.1)	(74) 代理人	100099483
			弁理士 久野 琢也

最終頁に続く

(54) 【発明の名称】 外部からの不正操作に対するセンシティブな電子装置データモジュールのハードウェア保護装置のためのセンサ

(57) 【特許請求の範囲】

【請求項 1】

面状センサを有するハードウェア保護装置を備えたタコグラフにおいて、  
前記面状センサは導体構造(4, 11, 12)を有しており、該導体構造の延在部分の間には絶縁間隔があり、該導体構造と該絶縁間隔とが1つの平面上に拡がっており、  
前記導体構造は互いに逆方向に走る幾何学的形状を形成するように作られており、該幾何学的形状はそれぞれ、異なる電位の少なくとも2つの導体路を有しており、  
前記ハードウェア保護装置は、保護すべき回路の構成素子(3, 8)のための内部スペース(9)を包囲する回路担体(1)を有しており、  
前記導体構造(4, 11, 12)は前記回路へのアクセスを検出するために前記内部スペースを包囲していることを特徴とする、面状センサを有するハードウェア保護装置を備えたタコグラフ。

【請求項 2】

前記面状センサは多数のセンサセグメント(41)を有し、該多数のセンサセグメント(41)の中に幾何学的形状(42, 43)の導体構造(4)が設けられていることを特徴とする、請求項1記載のタコグラフ。

【請求項 3】

前記幾何学的形状(42, 43)のスタート及び/又は終了地点(44, 45)、すなわち前記センサセグメント(41)の相応するコンタクト地点はそれぞれ前記幾何学的形状(42, 43)の中心部にあることを特徴とする、請求項2記載のタコグラフ。

10

20

## 【請求項 4】

前記互いに逆方向に走る幾何学的形状（42、43）の導体構造（4）は並列にガイドされた導体延在部分として構成されており、異なる幾何学的形状は互いに結合されている、請求項1又は3項記載のタコグラフ。

## 【請求項 5】

前記面状センサは再配線層（46）を有し、該再配線層（46）を介して前記センサセグメント（41）は接続されている、請求項1～4のうちの1項記載のタコグラフ。

## 【請求項 6】

前記再配線層は幾何学的形状を有し、該幾何学的形状は、前記センサセグメントの幾何学的形状に相応するが、それぞれの導体構造が互いにずれて配置されるようにこれらのセンサセグメントの幾何学的形状に対して配置されていることを特徴とする、請求項5記載のタコグラフ。

10

## 【請求項 7】

前記平面に対して垂直に延在する多数の導体層を有し、該導体層において導体構造（12）は互いに重なって配置され、前記導体層の間には絶縁層が配置されていることを特徴とする、請求項1記載のタコグラフ。

## 【請求項 8】

前記導体構造（12）は前記導体層においてメアンダ状に延在することを特徴とする、請求項7記載のタコグラフ。

## 【請求項 9】

前記ハードウェア保護装置は面状の基板を有し、該基板は引込んだ中央領域を有し、該中央領域は突き出している領域によって取り囲まれており、  
前記導体構造は保護すべき回路へのアクセスの検出のために前記基板上に及び/又は前記基板内に配置されている、請求項1～8記載のタコグラフ。

20

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

例えば商用車両のタコグラフにおいて使用されるような非常にセンシティブなデータ処理及びデータセキュリティのための電子装置モジュールはハードウェア的に例えば化学的又は物理的な攻撃（例えば機械的、レーザ、火など）のような外部からの不正操作に対してデータは不正操作できないように保護されるべきである。

30

## 【0002】

これまでは保護すべき電子装置モジュールをいわゆるアンチドリルフォイルによって周囲をパッケージングする解決策が存在した。このようなアンチドリルフォイルは例えばGore社によって既製品として存在し又はFreudenberg社によって導電性銀ペーストプリントを有するフォイルとして提供されている。フォイルは内側へモジュールに電氣的に接続されている。電子装置モジュールが3次元的にパッケージングされた後で、この電子装置モジュールは次いで合成樹脂を有する容器の中に入れられる。パッケージングを開こうと試みると、攻撃が行われる箇所においてフォイル上の電氣的導体パス又は抵抗線路が否応なく損なわれて遮断され、このことはこの電子装置モジュールにおいて記憶されたデータが直ぐに消去されることをもたらす。これによってデータは不正操作されず、従って、外部からの攻撃は相応の管理機関により識別される。

40

## 【0003】

この従来技術から公知の方法では2つの問題が生じる。一方でフォイルの使用は電子装置に適した組み立て方法に相応しない。他方でフォイルも組み立ての際にしばしば損傷し、この結果、高い欠陥率が生じる。

## 【0004】

従って、本発明の課題は、電子装置モジュールに対するハードウェア保護装置のためのセンサを提供することであり、このセンサは保護すべき面/側面を目の詰まったメッシュ状に被覆し、電子装置に適した製造過程に組み込まれうる。

50

## 【 0 0 0 5 】

上記課題は独立請求項に記載の本発明によって解決される。有利な実施形態は従属請求項から得られる。

## 【 0 0 0 6 】

従って、面状センサの導体構造及び絶縁間隔は目の詰んだメッシュ状の形成物をメアンダ及び/又はセクタを有するグリッドの形状で、ネットの形状で形成し、これらのメアンダ及び/又はセクタにおいて導体構造が例えば幾何学的構造の形状で延在する。導体パス又は導体路(メッシュの幅)の形状の導体構造の2つの延在部分の間の絶縁間隔はこの場合従来のHDI(High Density Interconnection)構造に相応する。同じことは導体構造の延在部分の幅に対しても妥当する。

10

## 【 0 0 0 7 】

面状センサの広がった面はどうしても2次元的又は平面である必要はない。むしろ例えば面のシェル状の、球状の又は半球状の実施形態も考えられる。面状センサの主要な使用目的から見れば、これは1つ又は複数の次々と設けられた任意の層によって形成される面であり、この結果、面状センサの面の貫通が検出されることによって、面の後ろにあるスペースが保護される。

## 【 0 0 0 8 】

面状センサはとりわけ多数のセンサセグメントを有し、これらのセンサセグメントの中には導体構造が例えば渦巻きの形状で設けられている。

## 【 0 0 0 9 】

とりわけセンサセグメントの導体構造はセンサセグメント毎に互いに逆方向に走る幾何学的構造の形状で設けられている。

20

## 【 0 0 1 0 】

有利にはそれぞれの導体構造のコンタクト地点を有するスタート及び終了地点はそれぞれ相応の幾何学形状の中心部に設けられる。

## 【 0 0 1 1 】

互いに逆方向に走る幾何学形状の導体構造は有利には異なる電位の並列にガイドされた導体延在部分として構成される。この場合、導体延在部分は正確に並列にガイドされるのではなく、これらの導体延在部分の間に絶縁ギャップが残っている程度でしばしば十分である。代替的にしかし正確に並列なガイドが行われても良い。また、導体パス間隔の異なる形態も可能である。この場合、一方の導体パスは直線に構成され、他方の導体パスは波線に構成されうる。

30

## 【 0 0 1 2 】

面状センサは再配線層を有し、この再配線層を介してセンサセグメントは接続されている。再配線層はこの場合有利にはアクセスが面状センサによって検出可能であるセンサセグメントの側面に設けられている。

## 【 0 0 1 3 】

代替的に又は補足的に、面状センサは面に対して異なる配向で延在する多数の導体層によって特徴付けられており、これらの導体層において導体構造は互いに重なって設けられており、これらの導体構造の間には絶縁層が設けられている。有利には導体構造は導体層においてメアンダ状に延在する。

40

## 【 0 0 1 4 】

面状センサの製造のための方法において、導体構造の延在部分の間の絶縁間隔が生じ、これらの絶縁間隔を有するこれらの導体構造が面を被覆するように導体構造は面の上に設けられる。この方法の有利な実施形態は装置の有利な実施形態と同様に得られる及びその逆。

## 【 0 0 1 5 】

ここに記述されたタイプの面状センサはとりわけ良好にハードウェア保護装置に組み込まれる。ハードウェア保護装置はこのために次のように形成されうる。

## 【 0 0 1 6 】

50

第1の実施可能形態によれば、ハードウェア保護装置は、保護すべき回路の構成要素のための内部スペースを取り囲む回路担体の形状において、この内部スペースを取り囲むセンサの導体構造を、認証されていない外部からの回路の不正操作の検出のために有する。よって、回路へのアクセスの検出のための導体構造は直接回路の回路担体の中に組み込まれる。

【0017】

回路への認証されていないアクセスにより導体構造が損傷し、その結果コンタクトが閉鎖又は中断され、これにより回路へのアクセスが検出される。

【0018】

有利には回路担体は回路基板を有する。この回路基板は内部スペースに向いた側面上に及び/又は側面内に保護すべき回路の少なくとも若干の構成要素を有する。さらに、この回路基板は内部スペースに向いていない側面上に及び/又は側面内に内部スペースを取り囲む導体構造の一部分を有する。

10

【0019】

有利には回路基板は、内部スペースを取り囲む導体構造のための層(レイヤ)及び保護すべき回路の若干の構成要素のワイヤリングのための層を有する多層回路基板又は多層セラミック基板である。

【0020】

保護すべき回路の若干の構成要素のワイヤリングのための層はとりわけ内部スペースの方に向いた回路基板の側面上に及び/又は側面内に設けられる。

20

【0021】

回路基板に外部から到達出来ないように、保護すべき回路のスルーホールは回路基板においてベリドビアとして構成されうる。

【0022】

代替的に又は補足的に、保護すべき回路の構成要素のうちの幾つかの構成要素のワイヤリングのために回路基板において発生すべきビルドアップ層がシーケンシャルビルドアップレイヤとして構成される。回路基板におけるスルーホールはベリドビア及び/又は極めて異なるテクノロジー(プラズマエッチング、フォトリソグラフィ(photo-definition)又はレーザー穿孔)のマイクロビア(ブラインドマイクロホール)として構成される。

30

【0023】

有利にはハードウェア保護モジュールは更に別の多層回路基板及び/又は多層セラミック基板を有し、この更に別の多層回路基板及び/又は多層セラミック基板は第1の回路基板に対向して設けられており、その内部スペースに向いていない側面上に及び/又は側面内に内部スペースを取り囲む導体構造の更に別の部分を支持し、とりわけその内部スペースに向いた側面上に及び/又は側面内に保護すべき回路の更に別の構成要素を有する。

【0024】

有利には、回路基板と更に別の回路基板との間にはフレームが設けられており、このフレームはこれら2つの回路基板を隔て、これによって自らとこれらの回路基板との間に内部スペースを発生する。例えば誘電体層及び導電層が層毎に互いに重なり合って設けられることによって、このフレームはとりわけ多層回路基板テクノロジー又は多層セラミック基板において構成される。

40

【0025】

内部スペースは中空スペースでもよいが、中空スペースでなければならぬわけではない。例えば構成要素が内部スペース内に入れられる場合、この内部スペースはキャスト樹脂によって充填される。

【0026】

回路担体はとりわけ導体構造の損傷の検出のための検出器手段の接続のための端子を有する。

【0027】

50

有利には、よって、回路担体全体は少なくとも基本的には多層回路基板テクノロジー及び/又は多層セラミックテクノロジーにおいて構成される。

【0028】

保護すべき回路の構成要素のための内部スペースを取り囲むハードウェア保護装置のための回路担体の製造のための方法において、この回路担体は回路へのアクセスの検出のための内部スペースを取り囲む導体構造によって製造される。この方法の有利な実施形態は回路担体の有利な実施形態から得られる及びその逆。

【0029】

第2の実施可能形態によれば、保護すべき回路のためのハードウェア保護装置は非導電性の面状基板を有する。この面状基板はもちろん平坦なものではなく、有利には完全に突き出している領域によって取り囲まれた引っ込んだ中央領域を有する。基板上に及び/又は基板内には、保護すべき回路へのアクセスの検出のための導体構造が設けられている。回路への認証されていないアクセスにより導体構造が損傷し、その結果コンタクトが閉鎖又は中断され、これにより回路へのアクセスが検出される。

【0030】

有利には突き出した領域は縁部を有し、この縁部は引っ込んだ中央領域に対して平行に経過する。この縁部によってハードウェア保護装置は面状に回路担体に設けられ、そこに接着又はハンダ付けされうる。

【0031】

とりわけ基板はハーフシェル(half-shell)の形状で形成されている。

【0032】

基板は有利には深絞り加工されており、回路基板及び/又はフォイルである。

【0033】

とりわけ簡単かつコスト安に導体構造はプリンティングによって製造されうる。これは有利には面状基板がまだ平坦で、従ってまだ深絞り加工されていない場合に行われる。

【0034】

ハードウェア保護装置はとりわけ導体構造の損傷の検出のための検出器手段の接続のための端子を有する。

【0035】

上述したタイプのうちの1つのハードウェア保護装置の製造のための方法において、面状基板には保護すべき回路へのアクセスの検出のための導体構造が設けられる。事前に又は有利にはその後で、面状基板は引っ込んだ中央領域を有する形状にされ、この中央領域は突き出している領域によって取り囲まれている。この方法の有利な実施形態はハードウェア保護装置の有利な実施形態から得られる及びその逆。

【0036】

装置は上述したタイプのうちの1つのハードウェア保護装置及び保護すべき回路のための回路担体を有する。ハードウェア保護装置はその基板の突き出している領域によって回路担体上に設けられており、そのため、引っ込んでいる中央領域と回路担体との間には保護すべき回路のためのスペースが生じる。

【0037】

回路担体は回路担体回路基板であるか又は有利には回路担体回路基板を含む。これはしばしばその背面においても保護されるべきである。このために、装置はとりわけ上述したタイプのうちの1つの第2のハードウェア保護装置を有し、この第2のハードウェア保護装置は第1のハードウェア保護装置に向かい合った回路担体の側面上に設けられる。

【0038】

さらに、この装置は有利には不許可のアクセス及び/又は認証されていない操作による導体構造の損傷の検出のための検出器手段を含む。この検出器手段も保護されるように、この検出器手段は保護すべき回路の構成部材として構成される。

【0039】

回路担体を有するモジュール全体はとりわけタコグラフ、走行データレコーダ及び/又

10

20

30

40

50

はレール使用車両又は非レール使用車両において適用される。これは例えば現金自動支払機、金融機関のための装置、飛行機でも使用されうる。とりわけ回路担体を有するこのモジュール全体の使用は、保護すべき暗号キー（RSA、DES）が使用される場合に有利である。

【0040】

本発明の更なる構成及び利点は図面に基づく実施例の記述から得られる。図面

図1は電子装置モジュールのための統合されたハードウェア保護装置の概略図を示し、

図2は図1のハードウェア保護装置の概略的な部分図を示し、

図3は図1のハードウェア保護装置の回路基板構造の概略的な断面図を示し、

図4は図1のハードウェア保護装置の概略的なフレーム回路基板を示し、

図5～7はプロセッサ回路基板又は検出回路回路基板の面状センサの概略的な導体構造を示し、

図8はフレーム回路基板の面状センサの概略的な導体構造を示す。

【0041】

図1には保護すべき回路の若干の構成要素3を有する回路基板2の形式の第1のサブモジュールを有する回路担体1が見て取れる。回路基板2はプロテクションレイヤの形式の導体構造4を保護すべき回路へのアクセスの検出のための多層ワイヤリングの部分として有する。さらに、これは回路担体の外へと向かう保護すべき回路の信号線路及び電圧給電のためのビア5を有する。これらのビア5は内部スペースを取り囲む導体構造を貫通しており、差し込みプラグ挿入箇所6で終わっている。

【0042】

回路担体1はさらに別の回路基板7を有し、この回路基板7は保護すべき回路の更に別の構成要素8を有する。

【0043】

この更に別の回路基板7の更に別の構成要素8は回路基板2の面に向いているこの更に別の回路基板7の面に設けられており、この回路基板2の面上には保護すべき回路の若干の構成要素3がある。従って、保護すべき回路の全構成要素は回路基板2と更に別の回路基板7との間のこれらの回路基板の間に形成された内部スペース9の中に存在する。

【0044】

回路基板2及び更に別の回路基板7はフレーム回路基板10によって隔てられており、このフレーム回路基板10はこれら2つの回路基板の間に設けられており、回路基板2及び更に別の回路基板7と共に内部スペース9を取り囲む。それぞれ保護すべき回路のワイヤリング及び構成要素3、8が内部スペース9に向いた回路基板2、更に別の回路基板7及びフレーム回路基板10の側面及び/又は領域の中に及び/又は上に設けられるように、回路基板2、更に別の回路基板7及びフレーム回路基板10は構成される。これらのワイヤリング及び構成要素3、8及び保護すべき回路全体は、完全に回路基板2の導体構造4、更に別の回路基板7の導体構造11及びフレーム回路基板10の導体構造12の形成物によって取り囲まれており、これらはそれぞれ互いに電氣的に接続されている。異なる回路基板1、2、10の間の導体構造11、12、4の互いの接続は接続端子14によって行われる。これらの接続端子14は不規則に設けられている。導体構造はこれらの導体構造の損傷の検出のための特別な電子回路として構成された検出器手段と結合されている。これらの導体構造は検出器手段に所属しているものとして見なされうる。外側の周りを取り囲んでいる接続フレーム13は電氣的に特別な電子装置モジュールと結合されており、この結果、付加的な保護機能が生じる。

【0045】

周りを取り囲む接続フレーム13と異なる回路基板の接続に使用される端子14との間には周りを取り囲む導体構造35、37が設けられており、これらの導体構造35、37は電氣的に検出器手段と結合されている。

【0046】

図3は回路基板2の構造を示す。この回路基板2は接地層21、導体構造4のための少

10

20

30

40

50

なくとも1つのハードウェア保護ネット層22、少なくとも1つのハードウェア保護再配線層23、少なくとも1つの電力供电層24、少なくとも1つの接地層25、複数の信号層26、27、28を含む。これらの層の配置は、外側に保護層が設けられ、内側に信号及び給電層が設けられるように選択される。

【0047】

図4ではフレーム回路基板10のための回路基板構造が見て取れる。このフレーム回路基板10はn個の線路層から成る多層回路基板又は多層セラミック基板から成り、2つの導体平面の間隔は500µmより小さい。個々の層ならびに回路基板2及び更に別の回路基板7を互いに接続するために、フレーム回路基板10はプレーテッドスルーホール(Plated Through Hole)の形式の貫通孔16を含み、このプレーテッドスルーホールはこれらの層に対して垂直に回路基板2から更に別の回路基板まで延在している。

10

【0048】

よって、ハードウェア的な不正操作保護は直接的に電子装置モジュールに組み込まれ、すなわちモジュールのために使用される回路基板2、7に組み込まれる。これによって回路担体1の内部スペース9の中にある回路へのアクセスの検出のための導体構造を有する回路担体1の形式の電子装置モジュールに対する統合ハードウェア保護装置が得られる。

【0049】

このためにモジュールの実施形態は2つのサブモジュールを有するように構成され、これら2つのサブモジュールには保護すべき回路の構成要素3、8の形式のコンポーネントがただ片面だけに装着される。

20

【0050】

これらのサブモジュールのための回路基板2、7は多層回路基板として構成され、構成要素3、8のワイヤリングのために必要な内部及び外部層は装着面に向いており、外部へガイドする電気的なスルーホールを回路基板背面、すなわち装着面とは反対の側面には持たない。

【0051】

このために、保護すべき回路のモジュールの機能のために必要なスルーホールはベリードピア(buried Vias)として構成されるか又はサブモジュールワイヤリングのために必要なビルドアップ層はプラズマエッチングされた、フォトリソグラフィにより又はレーザー穿孔により発生されたマイクロピアスルーホール(Micro-Via-Durchkontaktierungen)を有するSBU構造物(sequential build up)として構成される。このために既存のコアの上にシーケンシャルにビルドアップ層が堆積され、マイクロピアが設けられる。

30

【0052】

装着面上にはサブモジュール回路基板が装着領域の外側にコンタクトパッドをアレイ配置で有し、これらのコンタクトパッドは後ほど2つの片面に装着されたサブモジュールを「フェイスツーフェイス(face to face)に」フレーム10を介して多層回路の形式で電氣的に互いに接続するために使用される。

【0053】

サブモジュールの回路基板2、7は装着面ではない側面において、すなわち内部スペース9に向いていない側面において同様に複数の導電層を含む。これらは例えば導体構造4、11を有する多層の銅層として構成されており、これらの導体構造4、11はそれぞれ非常に微細にパターンニングされた導体パスとして実現され、これらの導体パスは一方では目の詰んだメッシュ状に層面を被覆し、他方では導体パスの実施形態に起因して層から層へと延在している。

40

【0054】

1つの層の導体幅は絶縁間隔を被覆し、その下にある誘電体により分離された層の所属の導体路の部分<sup>1</sup>を被覆する。

【0055】

これらは同様にベリードピア又はマイクロピアを介してモジュールへ内側へとワイヤリングされている。

50

## 【 0 0 5 6 】

例えば x 方向に細い銅導体路から成るこのようなメアンダ構造を有するレイヤ及び y 方向において誘電体層により分離されたこのような構造を有するこのレイヤの下に又は上にあるレイヤの実施形態は、これらの導体パス 4、11 が内側へとモジュールと結線され、従って超微細なパターニングに起因して外部からのアクセスの際には損傷することによって、機械的な不正操作に対するモジュールのハードウェア保護装置をもたらす。これによって導体構造 4、11 の遮断及び/又は短絡が生じ、この遮断及び/又は短絡は回路乃至はモジュールにおいて記録される。

## 【 0 0 5 7 】

極めて微細な導体の構成は抵抗ペーストプリンティング（定義された抵抗値を有する統合された抵抗）において導体ペースト（セラミック厚膜テクノロジー）として又はカーボンインクによるインクプリンティング（定義された抵抗値を有する統合された抵抗）として、少なくとも 1 つの層に亘って大面積で目の詰まったメッシュ状の形成物を発生し内側へとモジュールに電氣的に接続されるあらゆる想定可能な構造において行われうる。

## 【 0 0 5 8 】

サブモジュールの回路基板 2、7 のうちの少なくとも一方はフレックスリジッド（Flex-Rigid）回路基板として構成され乃至は堅い回路基板にデータ伝送のためのフレックス線路が塗布されうる。

## 【 0 0 5 9 】

サブモジュールの回路基板におけるハードウェア保護層の誘電体間隔は、端面からの穿孔の場合でもこの上に又は下にある保護層の損傷が生じ、従って保護メカニズムがトリガされるように選択される。例えばフレーム 10 は堅く構成され、サブモジュールの 2 つの回路基板 2、7 はフレキシブルな回路として構成される。

## 【 0 0 6 0 】

2 つの「フェイスツーフェイスに」配置されたサブモジュールの接続のために、同様に上記のような構成による回路基板構造が適用される。この回路基板はフレーム 10 として構成され、マルチレイヤとして構成され、このマルチレイヤはその構成方法に起因して後ほど端面からモジュール全体が攻撃されることを阻止する。通常これは 500 μm より小さい個々の層の間隔を設けることによって達成される。保護回路のレイアウトの内部には電氣的なスルーホール 16 があり、これらのスルーホール 16 は取付けられた状態において 2 つのサブモジュールを電氣的に接続する。導体構造 12 を導体バス又はプリントされた抵抗又は保護機能のための類似のものの形式で含むレイアウト領域には、保護回路の個々の層のための不規則に分布された隠れたスルーホール（ビア）が存在する。両方のタイプ又は種類のスルーホールはフレーム 10 のフレーム状の多層回路基板の上側及び下側に接続パッドとして構成され、これらは個々のサブモジュールの後ほどの互いの接続に使用される。

## 【 0 0 6 1 】

サブモジュールとフレーム回路基板との電氣的接続及び機械的結合はハンダ付けにより行われ、次いで接着剤による又はラミネーションによる又はコンタクト接着剤による又は類似のやり方によるハンダギャップの封止が行われる。

## 【 0 0 6 2 】

上記のやり方で、回路担体に回路基板の形式で統合されたセンサシステムが作られ、このセンサシステムは従来の「ハイテク」回路基板テクノロジーによって製造されかつ電子装置モジュール製造の従来の装着ラインにおいて装着され処理されうる。さらに、確実に、コスト安でかつ取り付けのために比較的大きなコストなしで処理されうるセキュリティシステムを直接電子装置モジュールに設けて組み込むという利点を得られる。このセキュリティシステムは高い信頼性においてハードウェア攻撃を検出する。

## 【 0 0 6 3 】

図 5 ~ 7 には回路基板 2 の面状センサの導体構造 4 の実施形態が平面図において図示されている。更に別の回路基板 7 の面状センサの導体構造 11 は回路基板 2 の導体構造 4 と

10

20

30

40

50



同じやり方で形成される。

【 0 0 6 4 】

導体構造 4 はハードウェア的不正操作に対する保護のためにメアンダ状の、面状の回路構造として形成され、この回路構造は直接回路の電子装置モジュールに使用される回路基板 2 の中に組み込まれる。

【 0 0 6 5 】

面状センサの導体構造 4 の構成は、この面状センサが個々のセンサセグメント 4 2、4 3 を含み、これらの個々のセンサセグメント 4 2、4 3 がメアンダ状構造を有し、このメアンダ状構造が互いに逆方向に走る角張った及び/又は丸まった幾何学的構造 4 2、4 3 から形成されるように行われる。それぞれの接続地点を有するこれらの幾何学的構造のスタート及び終了地点 4 4、4 5 はそれぞれ相応の構造 4 2、4 3 の中央部にある。

10

【 0 0 6 6 】

このようなメアンダ構造を有する 2 つの互いに逆方向に走る幾何学的構造 4 2、4 3 はそれぞれ異なる電位の 2 つの細い広範囲に平行にガイドされた銅導体路から成る。

【 0 0 6 7 】

個々のセンサセグメント 4 2、4 3 のワイヤリングはその下にある、すなわちハードウェア保護装置の外側から遠くにある再配線層 4 6 を介して行われ、この再配線層 4 6 も同様に細い銅導体路を含み、これらの銅導体路を介してセンサセグメント 4 2、4 3 は電気的な基本接続方式で互いに接続されている。再配線層 4 6 もセンサ層のように互いに逆方向に走る幾何学的構造 4 2、4 3 を有しうる。

20

【 0 0 6 8 】

センサセグメント 4 2、4 3 の層は再配線層 4 6 から誘電体層によって分離されており、例えばレーザ穿孔されたマイクロビア又はプラズマエッチングにより又はフォトリソグラフィにより作られたブラインドビアのような部分的なブラインドビアだけを介して電氣的にこれに接続されている。

【 0 0 6 9 】

この組み合わせは外部からのいかなる種類の不正操作からも保護すべき回路のモジュールのハードウェア的な保護をもたらす。導体構造 4、1 1、1 2 の導体パスのネットワーク全体又は導体パスの統合された部分ネットワークは内側へと回路のモジュールに接続されており、攻撃の際にはそれらの超微細なパターンングに起因して遮断又は短絡によって可能な攻撃を識別し、この攻撃を回路において記録する。

30

【 0 0 7 0 】

図 8 を関して、もう一度フレーム 1 0 における導体構造 1 2 によって実現される側面センサの形式のラテラル面状センサを説明する。図 8 はこの場合フレーム 1 0 の断面図を示し、この断面平面は図 4 の平面に対して 9 0 ° だけ回転されている。

【 0 0 7 1 】

これによって端面側からの穿孔に対する保護のためのラテラル面状センサの個々の導体層の構造が見て取れる。導体層、すなわちフレーム 1 0 の多層回路基板の信号及び電位層において導体構造 1 2 がそれぞれリング状の、メアンダ状のセンサ線路として形成され、このセンサ線路は外側で保護すべきコンタクト地点 1 7 の周りにガイドされており、内部へとマイクロビアを介して電氣的に接続されている。

40

【 0 0 7 2 】

端面側からの攻撃の場合でも保護層のうちの少なくとも 1 つの損害が生じ、従って保護メカニズムがトリガされるように、サブモジュールの回路基板 2、7、1 0 におけるハードウェア保護層の誘電体間隔は選択されている。

【 0 0 7 3 】

面状センサは保護すべき内部スペースを完全に取り囲み、共に次の機能を有する結合されたセンサネットワークを形成する：

- ・センサ線路の遮断による攻撃の検出、
- ・プラスに接続されたセンサ線路のアースへの短絡のデジタル識別による攻撃の検出、

50

・異なる電圧レベルに引き上げられた、マイナスに接続されたセンサ線路のアースへの短絡のアナログ識別による攻撃の検出、

・組み合わせられた上記のアナログ及びデジタル攻撃の検出。

【0074】

上記のやり方で、回路担体に回路基板の形式で統合されたセンサシステムが作られ、このセンサシステムは従来の「ハイテク」回路基板テクノロジーによって製造されかつ電子装置モジュール製造の従来の装着ラインにおいて装着され処理されうる。さらに、安全で、コスト安でかつ取り付けのために比較的大きなコストなしで処理されうるセキュリティシステムを直接電子装置モジュールに設けて組み込むという利点が見られる。このセキュリティシステムは高い信頼性においてハードウェア攻撃を検出する。

10

【図面の簡単な説明】

【0075】

【図1】電子装置モジュールのための統合されたハードウェア保護装置の概略図を示す。

【図2】図1のハードウェア保護装置の概略的な部分図を示す。

【図3】図1のハードウェア保護装置の回路基板構造の概略的な断面図を示す。

【図4】図1のハードウェア保護装置の概略的なフレーム回路基板を示す。

【図5】プロセッサ回路基板又は検出回路回路基板の面状センサの概略的な導体構造を示す。

【図6】プロセッサ回路基板又は検出回路回路基板の面状センサの概略的な導体構造を示す。

20

【図7】プロセッサ回路基板又は検出回路回路基板の面状センサの概略的な導体構造を示す。

【図8】フレーム回路基板の面状センサの概略的な導体構造を示す。

【符号の説明】

【0076】

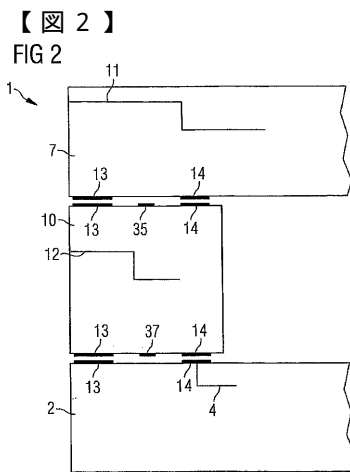
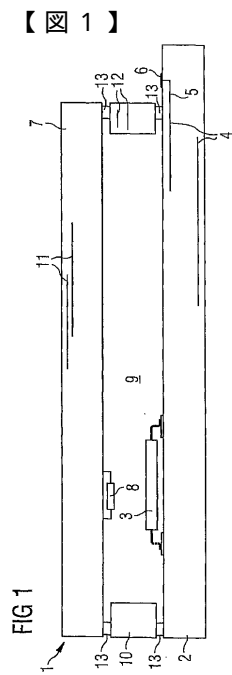
- 1 回路担体
- 2 回路基板
- 3 構成要素
- 4 導体構造
- 5 ピア
- 6 差し込みプラグ挿入箇所
- 7 回路基板
- 8 構成要素
- 9 内部スペース
- 10 フレーム回路基板
- 11 導体構造
- 12 導体構造
- 13 接続フレーム
- 14 接続端子
- 16 貫通孔、スルーホール
- 17 コンタクト地点
- 21 接地層
- 22 ハードウェア保護ネット層
- 23 ハードウェア保護再配線層
- 24 電力給電層
- 25 接地層
- 26 ~ 28 信号層
- 35 導体構造
- 37 導体構造
- 42 センサセグメント

30

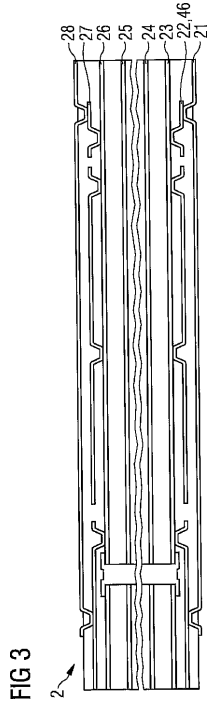
40

50

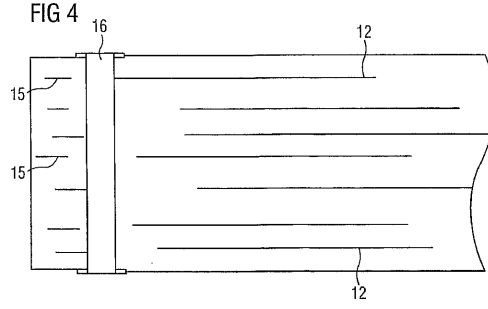
- 4 3 センサセグメント
- 4 4 スタート地点
- 4 5 終了地点
- 4 6 再配線層



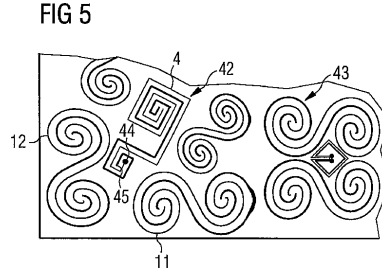
【 図 3 】



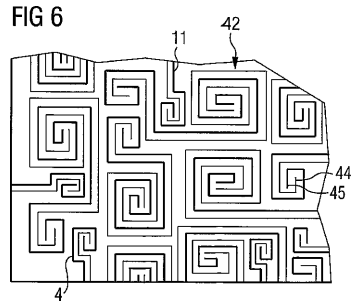
【 図 4 】



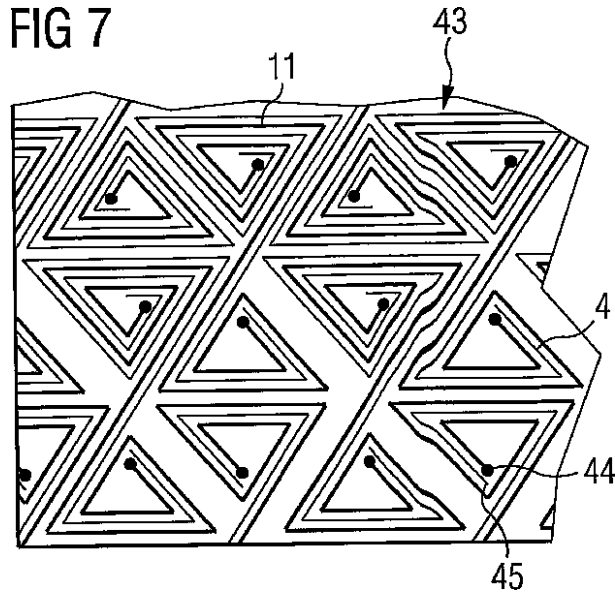
【 図 5 】



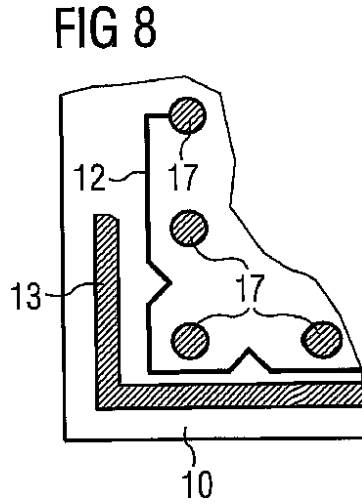
【 図 6 】



【 図 7 】



【 図 8 】



---

フロントページの続き

- (74)代理人 100128679  
弁理士 星 公弘
- (74)代理人 100135633  
弁理士 二宮 浩康
- (74)代理人 100114890  
弁理士 アインゼル・フェリックス＝ラインハルト
- (72)発明者 アントン ヴィンマー  
ドイツ連邦共和国 ライヒャースポイエルン フィルツガルテン 3アー
- (72)発明者 ペーター ヴォルフ  
ドイツ連邦共和国 ニーダーエシャッハ アレマネンシュトラッセ 17

審査官 千壽 哲郎

- (56)参考文献 国際公開第2005/041002(WO, A1)  
国際公開第03/019467(WO, A1)  
欧州特許出願公開第01432031(EP, A1)  
特開平06-024477(JP, A)  
欧州特許出願公開第00526066(EP, A1)

(58)調査した分野(Int.Cl., DB名)

H05K 1/02  
H05K 1/16  
H01H 1/06