(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H03G 3/20

(45) 공고일자 2000년03월15일
(11) 등록번호 10-0247471
(24) 등록일자 1999년12월13일

(21) 출원번호 10-1997-0014815
(22) 출원일자 1997년04월22일
(65) 공개번호 특1998-0077630
(43) 공개일자 1998년11월16일
(30) 우선권주장 8-101306 1996년04월23일 일본(JP)

(73) 특허권자 알프스 덴키 가부시키가이샤 가타오카 마사타카
일본국 도쿄도 오타구 유키가야 오츠카쵸 1반 7고
(72) 발명자 이가라시 사다오
일본국 후꾸시마껭 소오마시 구로끼아자쇼젠 81-7
아오끼 가즈하루
일본국 후꾸시마껭 소오마시 도오즈끼아자요모기다 39-3
우라베 사또시
일본국 후꾸시마껭 소오마시 나까무라아자쯔까다 14
(74) 대리인 송재련, 한규환

심사관 : 권호영

(54) AGC전압 보정회로

요약

본 발명은 온도변동의 영향을 받지 않는 AGC 전압보정회로를 제공한다.

본 발명에 의하면 제 1기준전류원(7)을 구성하는 트랜지스터(Q9, Q10)의 베이스에미터간 전압(VBE)이 온도의존성을 가지며, 온도에 대한 증폭용 트랜지스터(Q17, Q18)의 이득변화가 작아진다. 제 2기준전류원(2)을 구성하는 트랜지스터(Q1, Q2)가 온도의존성을 가지며, 온도에 대한 증폭용 트랜지스터(Q17, Q18)의 게인슬로프가 직선으로 되도록 보정된다.

대표도

도2

명세서

도면의 간단한 설명

도 1은 본 발명에 관계되는 AGC 전압보정회로의 일 실시예를 나타내는 블록도,

도 2는 도 1의 AGC 전압보정회로를 상세하게 나타내는 회로도,

도 3은 도 2의 전류합성회로의 트랜지스터에 있어서의 온도에 대한 베이스에미터간 전압과 콜렉터 전류의 관계를 나타내는 설명도,

도 4는 도 2의 일부인 차동증폭회로의 온도에 대한 AGC 전압과 콜렉터 전류의 관계를 나타내는 설명도,

도 5는 도 1 및 도 2의 AGC 전압보정회로의 요부의 변형예를 나타내는 회로도,

도 6은 도 5의 회로에 의한 게인슬로프를 나타내는 설명도,

도 7은 도 1 및 도 2의 각 일부인 감쇠회로에 의한 게인슬로프를 나타내는 설명도,

도 8은 도 1 및 도 2의 각 일부인 가변증폭회로를 다단으로 접속한 구성을 나타내는 블록도,

도 9는 차동증폭기에 의해 구성된 일반적인 가변증폭회로를 나타내는 회로도,

도 10은 도 9의 정전류원 트랜지스터의 콜렉터 전류와 이득의 관계를 나타내는 설명도,

도 11은 AGC전압과 도 9의 정전류원 트랜지스터의 콜렉터전류의 관계를 나타내는 설명도.

※도면의 주요부분에 대한 부호의 설명

2: 제 2기준 전류원3, 4, 9, 10: 커런트미러회로

5: 차동증폭회로7: 제 1기준전류원

8: 전류합성회로11: 가변증폭회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은, 예를들어 CDMA(부호분할 다원접속)방식의 휴대전화기의 고주파 증폭단 및 중간주파 증폭단에 적합한 AGC 전압보정회로에 관한 것이다.

일반적으로, CDMA 방식의 휴대전화기에서는, 수신강도와 기지국에 있어서의 전달신호 강도를 균일하게 유지하기 위하여 수신부, 송신부에 있어서 80dB 이상의 이득을 가변가능한 가변이득 증폭회로(이하, 가변증폭회로라고 한다)가 설치되어 있다. 도 9는 일반적인 가변증폭회로를 나타내고, 증폭용 트랜지스터(Q17, Q18)와, 전류원 트랜지스터(Q19)와, 트랜지스터(Q17, Q18)의 각 부하저항(R8, R9)을 가지는 차동증폭회로에 의해 구성되어 있다. 또, IN은 입력, OUT은 출력, VAGC가 AGC(이득제어)전압, Vcc는 전원전압이다.

이와 같은 구성에 있어서의 이득 PG〔dB〕는

$$PG \propto 20\log(I1 * q/kT)$$

상기의 관계에 있고, 또

$$I1 \propto Is * \exp VAGC * q/(kT)$$

상기의 관계에 있다. 여기서,

q는 전자의 단위전하

k는 볼트만 정수

T는 절대온도

Is는 역방향 포화전류이다.

수학식 1은 트랜지스터(Q17, Q18)에 관한 것으로, 정전류원의 전류(트랜지스터(Q19)의 콜렉터전류)(I1)가 지수함수적으로 제어되는 경우에, 전력이득 (PG)〔dB〕이 직선적으로 변화하는 것을 나타내고 있다. 도 10은 도 9에 나타내는 회로의 각 주파수에 있어서의 전류(I1)와 이득 PG〔dB〕의 관계의 실험치이다. 수학식 1에 의하면 콜렉터전류(I1)가 10배 변화하면 이득(PG)은 20dB 변화하는데, 실험결과에서도 수학식 1과 마찬가지로 전류(I1)가 0.1mA로부터 1mA까지 변화하면 이득(PG)은 약 20dB변화한다. 여기서 사용한 트랜지스터(Q19)는, 차단주파수(Ft)가 최대로 되는 전류가 20mA의 것이고, 차단주파수(Ft)의 최대치로부터 1/10이하의 전류에 있어서 수학식 1이 성립한다.

수학식 2는 직선적으로 변화하는 AGC 전압(VAGC)에 대하여 콜렉터전류(I1)가 지수함수적으로 변화하는 것을 나타낸다. 따라서, 도 9에 나타내는 가변증폭회로의 전력이득 PG〔dB〕은, 차단주파수(Ft)가 최대로 되는 전류의 1/10 이하, 즉 2mA 이하의 전류에 있어서, 직선적으로 변화하는 AGC 전압(VAGC)에 대하여 마찬가지로 직선적으로 변화한다.

다음에, 온도에 대한 변동에 대하여 설명한다. 수학식 1로부터 25℃(T=298)에서 75℃(T=348)로의 온도변화에 대해서는, 전류원 트랜지스터(Q19)의 콜렉터전류(I1)를 일정하게 유지한 경우에도 이득은 약 1.4dB 저하한다(원인 1). 또, 마이너스 방향의 온도변화에 대해서는 이득은 상승한다. 여기서, 통상의 CDMA 방식의 휴대전화기에 사용되는 가변증폭회로에 있어서 80dB 이상의 이득을 실현하기 위해서는, 일반적으로 도 9에 나타내는 가변증폭회로를 3 내지 4단 캐스케이드 접속한 것을 사용하므로, 예를들어 25℃에서 75℃로의 온도변화에 대해서는 이득은 4 내지 5dB(단수×1.4dB/50℃)변동한다.

수학식 2에 있어서 역방향 포화전류(Is)가 온도특성을 가지는 것을 고려하여, 시뮬레이션으로서 SPICE를 사용하여 표준적인 바이폴러트랜지스터에 대하여 AGC 전압(VAGC)에 대한 콜렉터전류(I1)를 구하면 도 11에 나타내는 바와 같은 값을 나타낸다. 도 11로부터 온도변화에 대하여 콜렉터전류(I1)가 크게 변동하고, 예를들어 AGC전압 VAGC가 일정하여도 온도가 25℃에서 75℃로 변화하면 콜렉터전류(I1)는 10배 이상 변화하고, 그 결과 트랜지스터(Q17, Q18)의 이득은 20dB 이상 변동한다(원인 2). 또, 이 현상은 3단의 가변증폭회로에서는 60dB(3×20dB/50℃)의 변동으로 되어 나타난다.

또, 온도에 따라서는 AGC 전압(VAGC)에 대한 콜렉터전류(I1)의 변화율, 환언하면 이득변화율(게인슬로프)이 다르다(원인 3).

발명이 이루고자 하는 기술적 과제

그러나, CDMA 방식의 휴대전화기에 필요한 80dB 이상의 이득의 가변범위를 가지는 가변증폭회로를 바이폴러트랜지스터를 사용하여 구성하면 다음과 같은 문제점이 있다.

1. 증폭용 트랜지스터(Q17, Q18)의 이득의 온도의존성(상기 원인 1)과, 전류원 트랜지스터(Q19)의 온도의존성(상기 원인 2)에 의해 가변증폭회로의 이득(PG)이 온도에 따라 크게 변동한다.

2. 전류원 트랜지스터(Q19)의 온도의존성에 의해 AGC 전압(VAGC)에 대한 이득변화율(게인슬로프)이 온도

에 따라 크게 변동한다(상기 원인 3).

3. 게인슬로프는 도 10에 나타내는 바와 같이 콜렉터전류(I1)가 큰 영역에서 좁아지고, 직선성이 악화된다. 또, 콜렉터전류(I1)가 작은 영역에서는 차단주파수(Ft)의 주파수특성(차단주파수(Ft)는 콜렉터전류(I1)에 비례한다)에 의해 이득이 급격하게 저하되고, 게인슬로프의 직선성이 악화된다.

4. 80dB 이상의 이득을 실현하기 위하여 가변증폭회로를 3 내지 4단으로 구성하면 트랜지스터나 저항의 흐트러짐에 의해 각 단의 이득이 흐트러진다. 또, 그것을 보정하기 위하여 입력단이나 출력단에 볼륨 등의 조정수단을 설치하면 고주파의 아이솔레이션이 저하되고, 이득가변범위가 좁아지거나 게인슬로프가 악화된다.

본 발명은 상기 종래의 문제점을 감안하여, 온도변동의 영향을 받는 일 없이 가변증폭회로의 AGC동작을 달성시킬 수 있는 AGC 전압보정회로를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

본 발명은, 상기 목적을 달성하기 위하여 가변증폭회로를 구성하는 쌍의 증폭용 트랜지스터 및 전류원 트랜지스터의 온도의존성을 상쇄하도록, 온도에 따라 변동하는 제 1기준전류를 발생하고, 제 1기준전류에 관련되는 보정 AGC 전압을 전류원 트랜지스터에 인가하도록 한 것이다.

또, 가변증폭기의 게인슬로프를 직선으로 하기 위하여, 온도에 따라 변동하는 제 2기준전류를 발생하고, 제 2기준전류에 관련되는 보정 AGC 전압을 전류원 트랜지스터에 인가하도록 한 것이다.

본 발명에 의하면, 가변증폭회로를 구성하는 쌍의 트랜지스터 및 전류원 트랜지스터의 온도의존성은, 주로 제 1기준전류의 온도의존성에 의해 보정되고, 또 가변증폭회로의 게인슬로프는, 주로 제 2기준전류의 온도의존성에 의해 직선으로 되도록 보정되므로, 온도변동의 영향을 받는 일 없이 AGC 동작을 달성시킬 수 있는 AGC 전압보정회로를 실현할 수 있다.

본 발명의 실시예는, 온도의존성을 가지는 제 1기준전류를 발생하는 제 1기준전류원과, 온도의존성을 가지는 제 2기준전류를 발생하는 제 2기준전류원과, 제 2기준전류에 비례한 전류에 의해 동작하고, 공급된 AGC 전압에 대응한 조정전류를 출력하는 AGC 전압제어부와, 제 1기준전류와 조정전류의 가산전류치에 대응한 보정 AGC 전압을 출력하는 AGC 전압발생부를 구비한 것을 특징으로 한다.

또, 본 발명의 실시예는, 다이오드 접속된 1개 이상의 트랜지스터와 저항기와의 직렬접속으로 이루어지고, 온도의존성을 가지는 제 2기준전류를 발생하는 제 2기준전류원과, 한쪽의 입력단에 AGC전압, 다른쪽의 입력단에 기준전압이 각각 인가되는 차동증폭단과, 상기 제 2기준전류에 비례한 제 1정전류가 흐르고, 상기 제 1정전류에 의해 상기 차동증폭단을 구동하도록 접속된 제 1정전류원과, 상기 제 2기준전류에 비례하고 상기 제 1정전류의 반의 제 2정전류가 흐르도록 접속된 제 2정전류원과, 상기 차동증폭단의 출력전류와 상기 제 2정전류와의 차전류로 이루어지는 조정전류를 출력하는 AGC 전압제어부와, 상기 조정전류에 의거한 보정 AGC 전압을 발생하는 AGC 전압발생부를 구비한 것을 특징으로 한다.

이들 실시예에 있어서, AGC 전압보정회로는 다이오드 접속된 1개 이상의 트랜지스터와 저항기의 직렬접속으로 이루어지고, 온도의존성을 가지는 제 1기준전류를 발생하는 제 1기준전류원과, 제 1기준전류와 조정전류와의 가산전류치에 비례한 보정 AGC 전압을 발생하는 전류-전압변환단을 구비하는 것을 특징으로 한다.

또, 제 2기준전류원과 제 1정전류원 및 제 2정전류원과의 접속은, 커런트미러접속에 의해 행해지는 것을 특징으로 한다.

또한, AGC 전압발생부는 다이오드 접속된 출력트랜지스터를 구비하고, 출력트랜지스터는 신호증폭용 트랜지스터 차동증폭기에 정전류를 부여하는 정전류원용 트랜지스터에 커런트미러 접속되어 있는 것을 특징으로 한다.

또, 출력 트랜지스터는 에미터가 저항을 거쳐 접지 접속되어 있는 것을 특징으로 한다.

또, 정전류원 트랜지스터는, 콜렉터 · 에미터간에 저항이 접속되어 있는 것을 특징으로 한다.

(실시예)

이하, 본 발명의 실시예를 도면을 참조하여 설명한다.

도 1은 본 발명에 관계되는 AGC 전압보정회로의 일 실시예를 나타내는 블록도, 도 2는 도 1의 AGC 전압보정회로를 상세하게 나타내는 회로도, 도 3은 도 2중의 전류합성회로(8)의 트랜지스터(Q13)에 있어서의 온도에 대한 베이스에미터간 전압과 콜렉터전류의 관계를 나타내는 설명도, 도 4는 도 2의 일부인 차동증폭회로(5)의 온도에 대한 AGC 전압과 콜렉터 전류의 관계를 나타내는 설명도, 도 5는 도 1 및 도 2의 AGC 전압보정회로의 요부의 변형예를 나타내는 회로도, 도 6은 도 5의 회로에 의한 게인슬로프를 나타내는 설명도, 도 7은 도 1 및 도 2의 각 일부인 감쇠회로(1)에 의한 게인슬로프를 나타내는 설명도, 도 8은 도 1 및 도 2의 가변증폭회로(IFAGC 앰프)(11)를 다단으로 접속한 구성을 나타내는 블록도이다.

도 1에 있어서, 가변증폭회로(IFAGC 앰프)(11)는 중간주파수의 입력신호(IN)를 가변이득에 의해 증폭하여 신호(OUT)를 출력하는 것으로, 가변증폭회로(11)의 이득은 회로 1 내지 10에 의해 AGC 전압(VAGC)에 의거하여 제어된다. AGC 전압 (VAGC)는 감쇠회로(ATT)(1)에 의해 감쇠된 후에 차동증폭회로(앰프)(5)에 인가되고, 차동증폭회로(5)에 의해 AGC 전압(VAGC)에 따른 전류(I5)로 변환된다. 제 2기준전류원(2)은 가변증폭회로(11)의 게인슬로프를 직선으로 하기 위하여 온도에 따른 제 2기준전류(I2)를 발생하고, 커런트미러 회로(3, 4)에 인가한다.

커런트미러 회로(3)는 제 2기준전류(I2)에 따른 제 1정전류(I3)를 차동증폭회로(5)에 인가하고, 차동증폭회로(5)의 출력전류(I5)는 AGC 전압(VAGC) 및 제 1정전류(I3)에 의해 제어된다. 또, 커런트미러 회로(4)는 제 2기준전류(I2)에 따른 제 2정전류(I6)를 출력하고, 출력전류(I5)와 제 2정전류(I6)가 접속점

(6)에서 가산된다. 제 1기준전류원(7)은 가변증폭회로(11)의 온도의존성을 상쇄하도록 온도에 따른 제 1 기준전류(I9)를 발생하고, 접속점(6)에서 가산된 전류(I7)와 제 1기준전류(I9)가 전류합성회로(8)에 의해 합성된다. 전류합성회로(8)에 의해 합성된 전류(I12)는 커런트미러 회로(9, 10)를 거쳐 가변증폭회로(11)의 전류원 트랜지스터에 콜렉터전류(I1)를 발생시키도록 인가된다.

도 2를 참조하여 구성을 상세하게 설명한다. 도 2에 있어서, 도 1에 나타낸 각 구성요소에 대응하는 회로부분은, 선으로 에워싸고 같은 부호를 붙이고 있다.

전원전압 Vcc는, 저항(R1)의 일단과, PNP 트랜지스터(Q7)의 에미터와, NPN 트랜지스터(Q4)의 콜렉터와, PNP 트랜지스터(Q8, Q9, Q11, Q14, Q15)의 각 에미터와, 저항(R8, R9)의 각 일단에 인가된다. 저항(R1)의 타단(전류 I2)은 다이오드 접속된 NPN 트랜지스터(Q1)의 콜렉터 및 베이스에 접속되고, 트랜지스터(Q1)의 에미터는 다이오드 접속된 NPN 트랜지스터(Q2)의 콜렉터 및 베이스에 접속되어 있다. 트랜지스터(Q2)는, 베이스가 NPN 트랜지스터(Q5, Q6)의 각 베이스에 접속되고 에미터가 접지되어 있다. 이들 저항(R1) 및 트랜지스터(Q1, Q2)는 게인슬로프의 온도보상용의 제 1기준전류원(2)을 구성하고 있다. 또, 트랜지스터(Q1)는 생략하여도 된다.

AGC 전압(VAGC)은 저항(R2)의 일단에 인가되고, 저항(R2)의 타단은 NPN 트랜지스터(Q3)의 베이스와 저항(R3)의 일단에 접속되어 있다. 저항(R2, R3)은 게인슬로프를 온도변화에 따라 최적으로 하기 위하여 AGC 전압(VAGC)을 감쇠하는 감쇠회로(ATT)(1)를 구성하고 있다. 저항(R3)의 타단은 트랜지스터(Q4)의 베이스에 접속되는 동시에 바이어스 전압(E1)을 발생하는 바이어스 전원을 거쳐 접지되어 있다.

다이오드 접속된 트랜지스터(Q7)는 베이스와 콜렉터가 접속되고, 그 베이스가 트랜지스터(Q8)의 베이스와 트랜지스터(Q3)의 콜렉터(출력전류 I4)에 접속되어 있다. 트랜지스터(Q3, Q4)의 각 에미터는 트랜지스터(Q5)의 콜렉터(제 1정전류 I3)에 접속되어 있다. 트랜지스터(Q8)의 콜렉터(전류 I5)는 접속점(6)을 거쳐 트랜지스터(Q6)의 콜렉터(제 2정전류 I6)에 접속되고, 트랜지스터(Q5, Q6)의 각 에미터는 접지되어 있다. 접속점(6) 또는 트랜지스터(Q12)의 에미터와 저항(R7)의 접속점에 접속되고, 조정전류(I7)가 출력된다.

트랜지스터(Q3, Q4) 및 바이어스 전원은 게인슬로프 보상용의 차동증폭회로(5)를 구성하고, 또 트랜지스터(Q2, Q5)는 차동증폭회로(5)의 전류원으로 되는 커런트미러 회로(3)를 구성하고, 트랜지스터(Q2, Q6)는 커런트미러 회로(4)를 구성하고 있다. 또, 트랜지스터(Q7, Q8)도 마찬가지로 커런트미러 회로를 구성하고 있다.

트랜지스터(Q9)는 베이스와 콜렉터가 접속되고, 그 베이스는 PNP 트랜지스터(Q10)의 에미터와 트랜지스터(Q11)의 배이스에 접속되어 있고, 트랜지스터(Q9, Q11)는 커런트미러 회로를 구성하고 있다. 트랜지스터(Q10)는 베이스와 콜렉터가 접속되고, 그 베이스는 전류제한용 저항(R6)의 일단(제 1기준전류 I9)에 접속되고, 또 저항(R6)의 타단은 접지되어 있다. 트랜지스터(Q9, Q10)와 저항(R6)은 트랜지스터의 이득을 온도보상하는 제 1기준전류원(7)을 구성하고 있다. 또, 트랜지스터(Q10)는 생략하여도 된다.

트랜지스터(Q11)의 콜렉터(전류 I10)는 다이오드 접속된 NPN 트랜지스터(Q12)의 베이스 및 콜렉터와 NPN 트랜지스터(Q13)의 베이스에 접속되고, 트랜지스터(Q12)의 에미터는 저항(R7)(전류 I11=I7+I10)와 바이어스 전압(E2)을 발생하는 바이어스 전원을 거쳐 접지되어 있다. 트랜지스터(Q11, Q12, Q13)와 저항(R7)은, 접속점(6)으로부터의 조정전류(I7)와 제 1기준전류원(7)으로부터의 제 1기준전류(I9)를 합성하는 전류합성회로(8)를 구성하고, 또 트랜지스터(Q12, Q13)는 커런트미러 회로를 구성하고 있다.

트랜지스터(Q14, 15)의 베이스는 공통적으로 트랜지스터(Q14)의 콜렉터와 트랜지스터(Q13)의 콜렉터(전류 I12)에 접속되고, 트랜지스터(Q13)의 에미터는 저항(R7)과 바이어스 전압(E2)의 사이에 접속되어 있다. 트랜지스터(Q14, Q15)는 전류원으로 되는 커런트미러 회로(9)를 구성하고 있다. 트랜지스터(Q15)의 콜렉터(전류 I13)는 NPN 출력트랜지스터(Q16)의 콜렉터 및 베이스와 NPN 전류원 트랜지스터(Q19)의 베이스에 접속되고, 출력트랜지스터(Q16)의 에미터는 접지되어 있다. 출력트랜지스터(Q16)와 전류원 트랜지스터(Q19)는 커런트미러 회로(10)를 구성하고 있다.

저항(R8, R9)의 각 타단은 각각 NPN 트랜지스터(Q17, Q18)의 각 콜렉터에 접속되고 트랜지스터(Q17, Q18)의 에미터는 공통적으로 전류원 트랜지스터(Q19)의 콜렉터(전류 I1)에 접속되어 있다. 그리고, 트랜지스터(Q17, Q18)의 각 베이스에는 입력신호(IN)가 인가되고, 트랜지스터(Q17, Q18)의 각 콜렉터로부터 출력신호(OUT)가 들어나게 된다. 이들 저항(R8, R9), 트랜지스터(Q17, Q18, Q19)는 이득가변용의 가변증폭회로(11)를 구성하고 있다.

이와 같은 구성에 있어서, 출력트랜지스터(Q16)의 에미터 전류는 트랜지스터(Q15)의 콜렉터전류(I13)에 의해 제어되고, 트랜지스터(Q14)의 에미터 전류는 트랜지스터(Q13)의 콜렉터전류(I12)에 의해 제어되고, 트랜지스터(Q12)의 에미터 전류는 트랜지스터(Q11)의 콜렉터전류(I10)에 의해 제어된다. 또, 본 실시예에 있어서, 저항(R7)의 양단의 전압(V7)은, V7<0.7V로 되도록 설정되고, 또 트랜지스터(Q12)의 에미터전류는, 제 1기준전류원(7)이 출력하는 제 1기준전류(I9)에 의존한다. 따라서, 가변증폭회로(11)를 구성하는 트랜지스터(Q17, Q18)에는 제 1기준전류(I9)에 비례한 전류가 흐른다.

이 경우, 제 1기준전류원(7)을 구성하는 트랜지스터(Q9, Q10)의 베이스에미터간 전압(VBE)의 온도의존성을 이용함으로써, 제 1기준전류(I9)는 고온에서는 크고, 저온에서는 작아지도록 구성되어 있다. 구체적으로, 제 1기준전류(I9)는 25℃일 때의 값에 비하여 75℃일 때에 약 1.18배로 되고, -25℃일 때에 약 0.85배로 되도록 설정되고, 전류합성회로(8)의 트랜지스터(I3)에 있어서의 콜렉터전류(I12)는, 도 3에 있어서 점 A(25℃), 점 B(75℃), 점 C(-25℃)로 나타내는 바와 같은 값으로 된다.

이 결과, 트랜지스터(Q17, Q18)의 이득은, 1.4dB/50℃로 되도록 보정되고, 75℃에 있어서 +1.4dB, -25℃에 있어서 -1.4dB정도 보정되므로, 온도에 의한 트랜지스터(Q17, Q18)의 이득변화가 상쇄된다. 이와 같이, 제 1기준전류원(7)이 온도의존성을 가지므로, 온도에 대한 트랜지스터(Q17, Q18)의 이득변화를 작게 할 수 있고, 상기 원인 1에 의한 문제점을 해결할 수 있다.

다음에, 이득변화에 대하여 설명한다. 이득변화는 AGC 전압(VAGC)에 의해 저항(R7)의 양단의 전압(V7)을

변화시킴으로써 행한다. 여기서,

V7=I11·R7 = (I7+I10)·R7

이므로, 접속점(6)으로부터 공급되는 조정전류(I7)를 변화시키면 V7이 변화한다. 또, 트랜지스터(Q12)의 베이스에미터간 전압(VBE)과 전압(V7)의 합이 트랜지스터(Q13)의 베이스에미터간에 인가되므로 조정전류(I7)에 의해 트랜지스터(Q13)의 콜렉터전류(I12)가 제어된다. 구체적으로는, 도 3에 나타내는 바와 같이 트랜지스터(Q13)의 베이스에미터간에 인가되는 전압(VBE)이 ±100mV 변화하면, 트랜지스터(Q13)의 콜렉터전류(I12)는 약 10배 또는 약 1/10로 되고, 트랜지스터(Q17, Q18)의 이득은 ±20dB 변화한다.

다음에, 조정전류(I7)에 대하여 설명하면, 구성요소 1 내지 5를 포함한 회로부분은 AGC 전압(VAGC)을 온도보상하고, 온도에 따라 다른 게인슬로프를 보정하는 AGC 전압제어부를 구성하고 있다. 먼저, AGC 전압(VAGC)은 감쇠회로(1)에 의해 게인슬로프를 최적으로 하기 위하여 감쇠된 후에, 차동증폭회로(5)를 구성하는 트랜지스터(Q3, Q4)의 베이스에 인가되므로, 트랜지스터(Q3)의 콜렉터전류(I4)는 AGC 전압(VAGC)에 따라 변화한다.

또, 트랜지스터(Q5)는 차동증폭회로(5)를 동작시키는 제 1정전류(I3)를 발생하는 것으로, 트랜지스터(Q2)와의 커런트미러 회로(3)의 구성에 의해 제 1정전류(I3)가 결정되고, 또 트랜지스터(Q1, Q2) 및 저항(R1)으로 이루어지는 제 2기준전류원(2)은 제 2기준전류(I2)를 결정하고 있다. 또, 트랜지스터(Q7, Q8)가 커런트미러 회로를 구성하고 있으므로, 트랜지스터(Q8)의 콜렉터에는 트랜지스터(Q3)의 콜렉터전류(출력전류)(I4)와 같은 전류(I5)가 흐르고(I4=I5), 또 트랜지스터(Q6)는 트랜지스터(Q2)와 커런트미러 회로를 구성하고 있으므로, 제 1기준전류원(2)의 제 1기준전류(I2)에 의해 결정되는 콜렉터전류(제 2정전류)(I6)가 흐른다.

여기서, 트랜지스터(Q6)의 셀사이즈는 트랜지스터(Q5)의 셀사이즈의 1/2로 설정되고, 이 때문에

I6=I3/2 이다. 또, AGC 전압(VAGC)이 바이어스 전압(E1)에 같을 때에는I4=I3/2이고, 또I5=I4 이므로 I5=I6으로 된다.

또, I7=I5-I6 이므로,

VAGC=E1일 때:I5=I6

∴I7=0

VAGC>E1일 때:I4>I3/2

I5>I6

∴I7>0

VAGC<E1일 때:I7<0

으로 된다. 이 조정전류(I7)는 저항(R7)을 흐른 후, 트랜지스터(Q13, Q14, Q15, Q16, Q19)에 순차적으로 전달되고, 조정전류(I7)에 의해 트랜지스터(Q17, Q18)의 이득이 제어된다.

도 4를 참조하여 차동증폭회로(5)를 구성하는 트랜지스터(Q3)의 콜렉터 전류(I14)에 대하여 설명한다. 도 4에 나타내는 곡선(13, 14, 15)은 각각 온도가 25℃, 75℃, -25℃에 있어서의 AGC 전압(VAGC)에 대한 트랜지스터(Q3)의 콜렉터전류(출력전류)(I4)를 나타내는 것으로, 온도가 높아지면 콜렉터전류(I4)가 증가한다. 이것은 상술한 바와 같이, 온도가 높아지면 제 1정전류(I3)가 증가하기 때문이다. 또, AGC 전압의 변화에 대한 콜렉터전류(I4)의 변화율(각 곡선의 구배)은 온도에 따라 다르고, 온도가 높을 때 즉 제 1정전류(I3)가 클 때에는 크고, 온도가 낮을 때 즉 제 1정전류(I3)가 작을 때에는 작다. 이 경향은 도 11에 나타낸 AGC 전압의 변화에 대한 콜렉터 전류의 변화율의 경향과 반대이다.

이와 같이, 상기 실시예에서는 제 2기준전류원(2)의 제 2기준전류(I2)가 온도의존성을 가지며, 제 1정전류(I3)가 고온에서는 크고, 저온에서는 작아지도록 구성하고, 또 제 1정전류(I3)의 온도의존성의 영향을 전압(V7)에 부여할 수 있으므로, 전류합성회로(8)의 트랜지스터(Q13)에 있어서 콜렉터전류(I12)의 변화율을 각 온도에 있어서 일정하게 할 수 있다.

여기서, 전류원 트랜지스터(Q19)의 콜렉터전류(I1)는 트랜지스터(Q13)의 콜렉터 전류(I12)와 같으므로, 전류원 트랜지스터(Q19)의 콜렉터전류(I1)의 변화율도 각 온도에 있어서 일정하게 할 수 있다.

따라서, 상기 실시예에 의하면,

a) 제 1기준전류원(7)이 온도의존성을 가지므로, 온도에 대한 트랜지스터(Q17, Q18)의 이득변화를 작게할 수 있고, 그 결과 상기 원인 1에 의한 문제점을 해결할 수 있다.

b) AGC 전압(VAGC)을 증폭하는 차동증폭회로(5)의 제 1정전류(I3)가 제 2기준전류원(2)에 의해 온도의존성을 가지므로, 게인슬로프의 온도특성을 개선할 수 있고 그 결과 상기 원인 2에 의한 문제점을 해결할 수 있다.

또, 상기 실시예에 의하면,

c) 출력트랜지스터(Q16), 전류원 트랜지스터(Q19)에 의해 구성되는 커런트미러 회로(10)에 대하여, 도 5에 나타내는 바와 같이 출력트랜지스터(Q16)의 에미터와 직렬로 저항(R10)을 추가함으로써, 도 6에 나타내는 바와 같이 트랜지스터(Q19)의 콜렉터전류(I1)는, AGC 전압 VAGC가 높은 영역에서는 저항(R10)에 의해 커지게 되고, 이득이 최대로 되는 부근의 게인슬로프의 직선성을 개선할 수 있다.

d) 또, 도 5에 나타내는 바와 같이 전류원 트랜지스터(Q19)의 콜렉터와 집지간에 저항(R11)을 추가함으로써, 트랜지스터(Q17, Q18)에는 전류가 항상 흐르므로, 도 6에 나타내는 바와 같이 AGC 전압(VAGC)이 낮은 영역에 있어서 이득이 최대로 되는 부근의 게인슬로프의 직선성을 개선할 수 있다.

e) 또한, 제 1기준전류원(7)의 저항(R6)을 볼륨 등에 의해 구성하여 제 1기준전류(I9)를 변화시키면, 도 7에 나타내는 바와 같이 AGC 전압(VAGC)에 대한 이득을 변화시킬 수 있으므로, 휴대전화기의 수신부의 로우노이즈앰프, 믹서, 밴드패스필터 등의 가변증폭회로 이외의 회로 이득의 흐트러짐을 흡수할 수 있다. 특히, 이 조정은 직류회로의 조정이므로, 고주파신호의 증폭에는 거의 영향을 주지 않는다.

또,

f) 차동증폭회로(2)의 전단에 설치된 감쇠용의 저항(R2, R3)에 의해 게인슬로프를 임의로 변화시켜 설정할 수 있으므로, 수신부의 AGC 특성과 송신부의 AGC 특성이 동일한 것이 요구되고 있는 CDMA 방식의 휴대전화기에 대응할 수 있다.

g) 커런트미러 회로를 구성하는 출력트랜지스터(Q16), 전류원 트랜지스터(Q19)의 셀사이즈를 설정함으로써, RF 트랜지스터(Q17, Q18)의 동작전류를 임의로 설정할 수 있으므로, 도 1, 도 2에 나타내는 가변증폭회로(11)를 다단으로 접속한 경우에 NF, 일그러짐 특성을 최적인 값으로 용이하게 설정할 수 있다.

h) 또, 도 8에 나타내는 바와 같이 감쇠회로(ATT)와 다단의 가변증폭회로(IFAGC앰프)(11)를 접속하고, 제 1기준전류원(7)의 제 1기준전류원(I9)을 저항(R6, R1) 및 스위치(SW)에 의해 전환가능하게 한 경우에, 이것에 연동하여 감쇠회로(ATT)를 전환하면, 제 1기준전류(I9)의 전환에 의한 가변증폭회로의 이득변화와 감쇠회로(ATT)의 감쇠량을 동일하게 할 수 있고, 그 결과 회로전체의 이득에 영향을 주는 일 없이 회로의 일그러짐 특성을 개선할 수 있으므로, 방해에 강한 수신기를 실현할 수 있다. 또, 감쇠회로(ATT)는 수신기의 입력단에 설치하여도 동일한 효과를 실현할 수 있다.

발명의 효과

이상 설명한 바와 같이, 본 발명의 AGC 전압보정회로에 의하면, 가변증폭회로를 구성하는 쌍의 트랜지스터 및 전류원 트랜지스터의 온도의존성이 제 1기준전류에 의해 보정되고, 또 게인슬로프가 제 2기준전류에 의해 직선으로 보정되므로, 온도변동에 의해 증폭도가 영향을 받지 않는 가변증폭회로를 실현할 수 있다.

(57) 청구의 범위

청구항 1

온도의존성을 가지는 제 1기준전류를 발생하는 제 1기준전류원과, 온도의존성을 가지는 제 2기준전류를 발생하는 제 2기준전류원과, 상기 제 2기준전류에 비례한 전류에 의해 동작하고, 공급된 AGC 전압에 대응한 조정전류를 출력하는 AGC 전압제어부와, 상기 제 1기준전류와 상기 조정전류와의 가산전류치에 대응한 보정 AGC 전압을 출력하는 AGC 전압발생부를 구비한 것을 특징으로 하는 AGC 전압보정회로.

청구항 2

제 1항에 있어서, 상기 AGC 전압발생부는, 다이오드 접속된 출력트랜지스터를 구비하고, 상기 출력트랜지스터는 신호증폭용 트랜지스터 차동증폭기에 정전류를 부여하는 정전류원용 트랜지스터에 커런트미러 접속되어 있는 것을 특징으로 하는 AGC 전압 보정회로.

청구항 3

제 2항에 있어서, 상기 출력트랜지스터는, 에미터가 저항을 거쳐 접지접속되어 있는 것을 특징으로 하는 AGC 전압 보정회로.

청구항 4

제 2항에 있어서, 상기 정전류원용 트랜지스터는, 콜렉터 · 에미터간에 저항이 접속되어 있는 것을 특징으로 하는 AGC 전압 보정회로.

청구항 5

다이오드 접속된 1개 이상의 트랜지스터와 저항기의 직렬접속으로 이루어지고, 온도의존성을 가지는 제 2기준전류를 발생하는 제 2기준전류원과, 한쪽의 입력단에는 AGC전압, 다른쪽의 입력단에는 기준전압이 각각 인가되는 차동증폭단과, 상기 제 2기준전류에 비례한 제 1정전류가 흐르고, 상기 제 1정전류에 의해 상기 차동증폭단을 구동하도록 접속된 제 1정전류원과, 상기 제 2기준전류에 비례하고, 상기 제 1정전류의 절반의 제 2정전류가 흐르도록 접속된 제 2정전류원과, 상기 차동증폭단의 출력전류와 상기 제 2정전류와의 차전류로 이루어지는 조정전류를 출력하는 AGC 전압제어부와, 상기 조정전류에 의거한 보정 AGC 전압을 발생하는 AGC 전압발생부를 구비한 것을 특징으로 하는 AGC 전압보정회로.

청구항 6

제 5항에 있어서, 상기 AGC 전압보정회로는 다이오드 접속된 1개 이상의 트랜지스터와 저항기의 직렬접속으로 이루어지고, 온도의존성을 가지는 제 1기준전류를 발생하는 제 1기준전류원과, 상기 제 1기준전류와 상기 조정전류의 가산전류치에 비례한 보정 AGC 전압을 발생하는 전류-전압변환단을 구비하고 있는 것을 특징으로 하는 AGC 전압보정회로.

청구항 7

제 5항에 있어서, 상기 제 2기준전류원과 상기 제 1정전류원 및 상기 제 2정전류원과의 접속은, 커런트미러 접속에 의해 행해지는 것을 특징으로 하는 AGC 전압보정회로.

청구항 8

제 7항에 있어서, 상기 정전류원용 트랜지스터는, 콜렉터 · 에미터간에 저항이 접속되어 있는 것을 특징으로 하는 AGC 전압보정회로.

청구항 9

제 5항에 있어서, 상기 제 2기준전류원과 상기 제 1정전류원 및 상기 제 2정전류과의 접속은, 커런트미러 접속에 의해 행해지는 것을 특징으로 하는 AGC 전압보정회로.

청구항 10

제 9항에 있어서, 상기 정전류원용 트랜지스터는, 콜렉터 · 에미터간에 저항이 접속되어 있는 것을 특징으로 하는 AGC 전압보정회로.

청구항 11

제 5항에 있어서, 상기 AGC 전압발생부는 다이오드 접속된 출력트랜지스터를 구비하고, 상기 출력트랜지스터는 신호증폭용 트랜지스터 차동증폭기에 정전류를 부여하는 정전류원용 트랜지스터에 커런트미러 접속되어 있는 것을 특징으로 하는 AGC 전압보정회로.

청구항 12

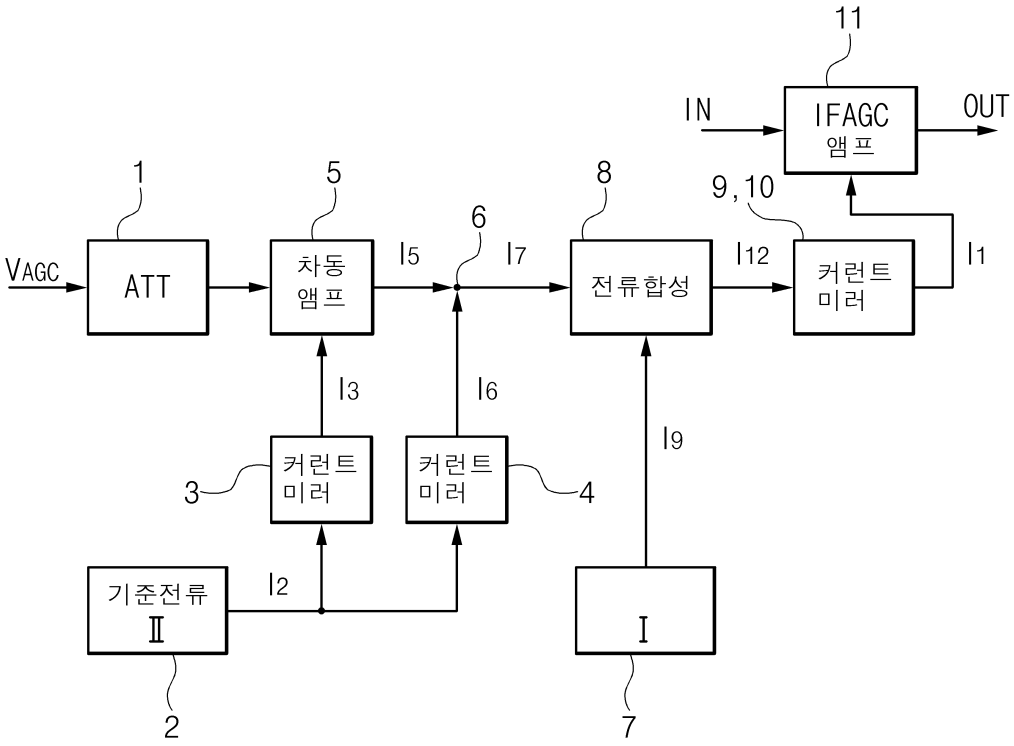
제 11항에 있어서, 상기 출력트랜지스터는, 에미터가 저항을 거쳐 접지접속되어 있는 것을 특징으로 하는 AGC 전압보정회로.

청구항 13

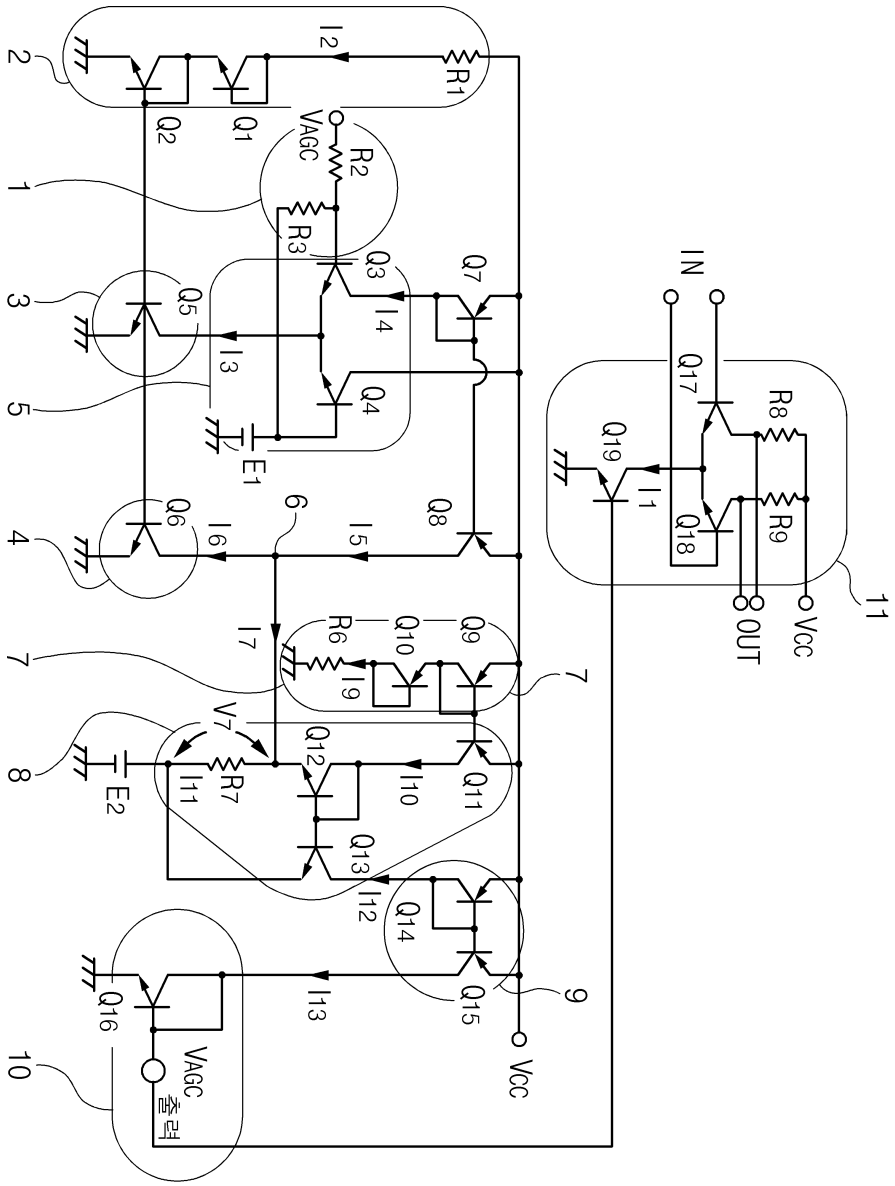
제 11항에 있어서, 상기 정전류원용 트랜지스터는, 콜렉터 · 에미터간에 저항이 접속되어 있는 것을 특징으로 하는 AGC 전압 보정회로.

도면

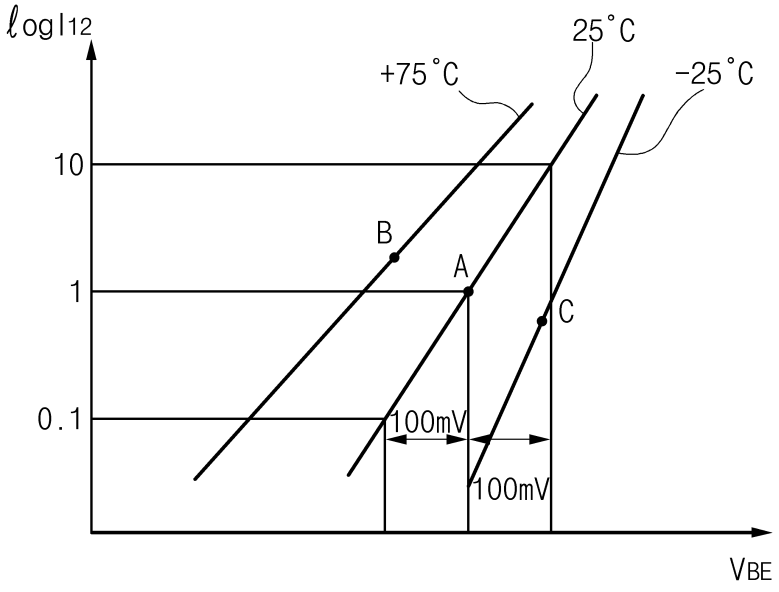
도면1



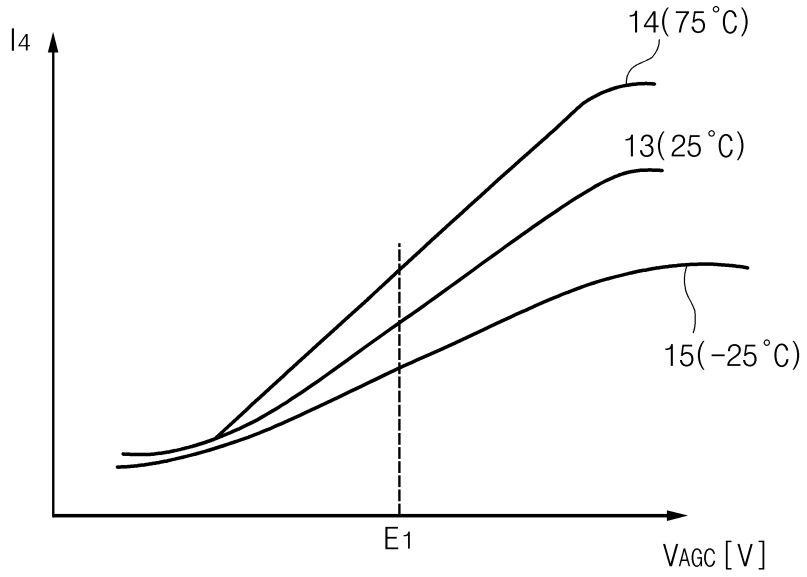
도면2


I2
R1
Q2
Q1
VAGC
R2
R3
Q3
Q7
Q5
I4
I3
Q4
E1
IN
Q17
R8
Q19
I1
Q18
R9
OUT
VCC
11
Q6
I6
I5
Q8
R6
Q10
Q9
I7
I9
V7
Q12
E2
R7
I11
I10
Q11
Q13
I12
Q14
Q16
I13
Q15
VAGC 출력
VCC
1
2
3
4
5
6
7
8
9
10

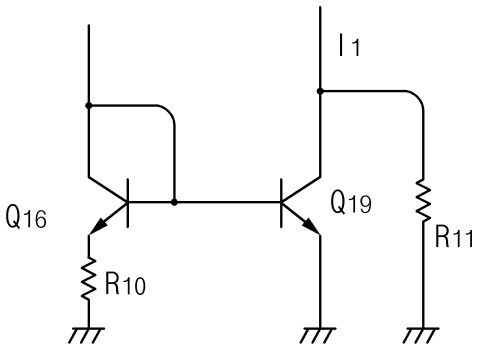
도면3


log I12
25°C
+75°C
-25°C
10
1
0.1
B
A
C
100mV
100mV
VBE

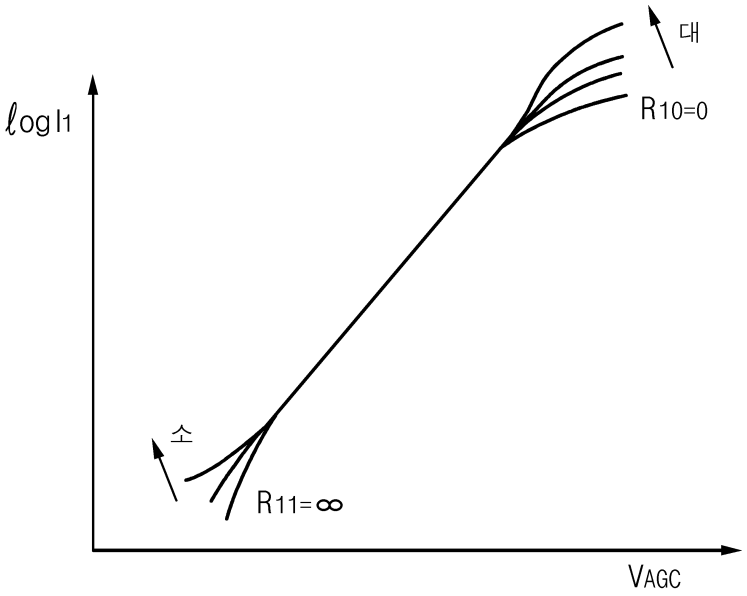
도면4


I4
14(75°C)
13(25°C)
15(-25°C)
E1
VAGC [V]

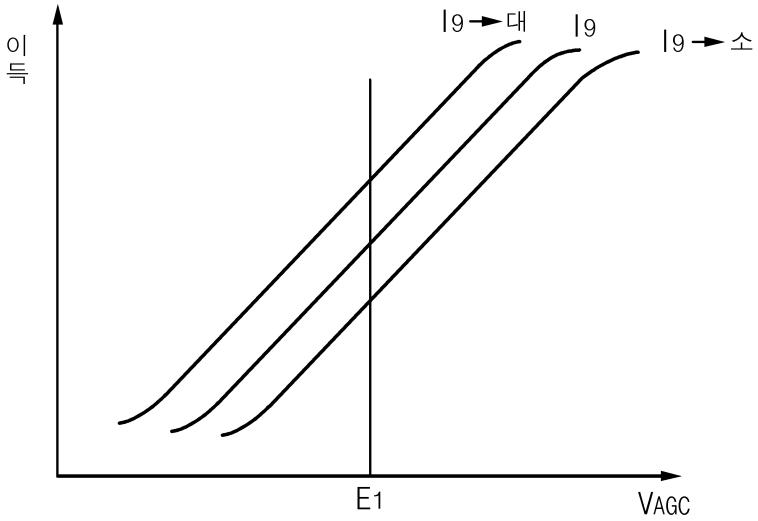
도면5


I1
Q16
Q19
R11
R10

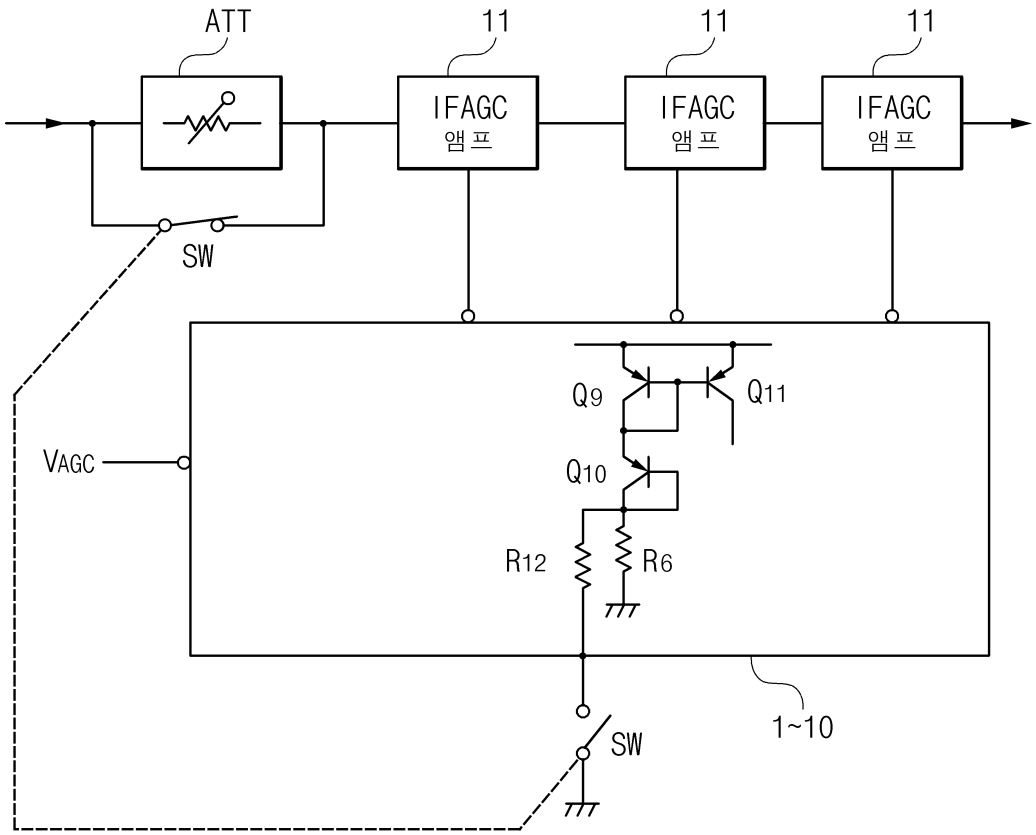
도면6


대
R10=0
log I1
소
R11=∞
VAGC

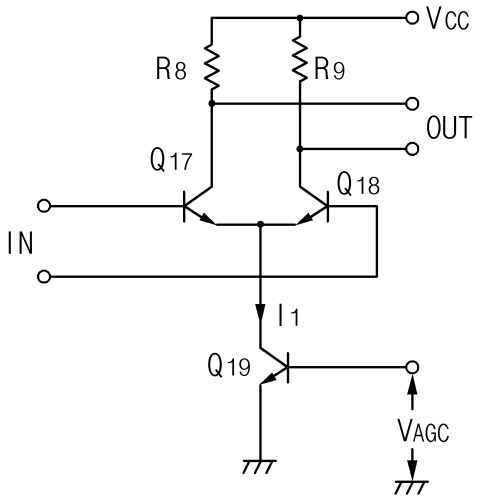
도면7


이득
I9→대
I9
I9→소
E1
VAGC

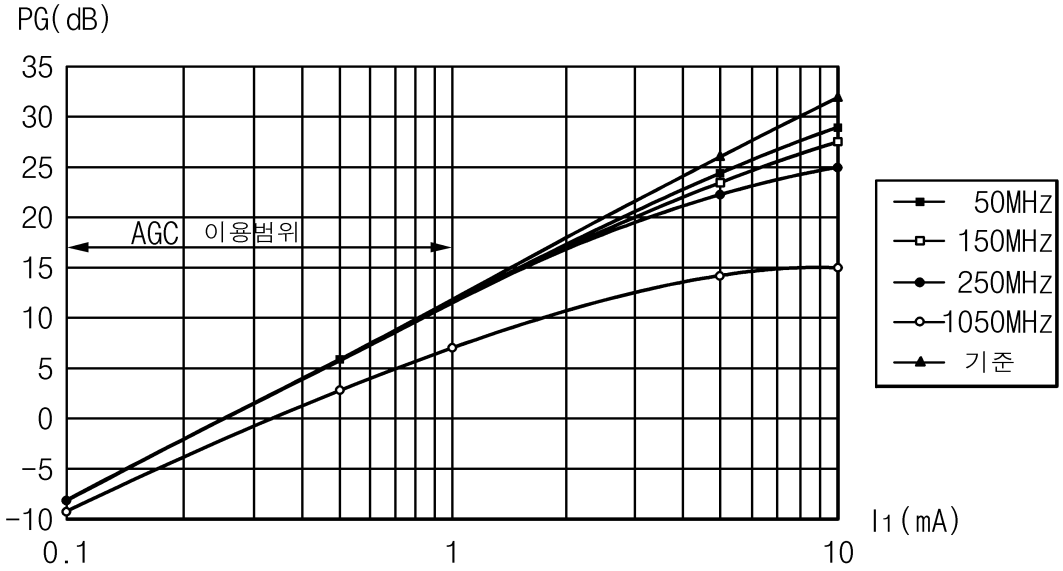
도면8


ATT
11
11
11
IFAGC 앰프
IFAGC 앰프
IFAGC 앰프
SW
Q9
Q11
Q10
VAGC
R12
R6
SW
1~10

도면9



도면10



도면11

