(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0112674
(43) 공개일자 2017년10월12일

(51) 국제특허분류(Int. Cl.)
H03K 5/156 (2006.01) *H03K 5/13* (2014.01)
H03K 5/14 (2014.01) *H03K 5/15* (2006.01)
(52) CPC특허분류
H03K 5/156 (2013.01)
H03K 5/131 (2013.01)
(21) 출원번호 10-2016-0040053
(22) 출원일자 2016년04월01일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
조정
부산광역시 사하구 장평로41번길 51 3-118
김수원
서울특별시 서초구 신반포로 32 87-302
(뒷면에 계속)
(74) 대리인
김선종

전체 청구항 수 : 총 20 항

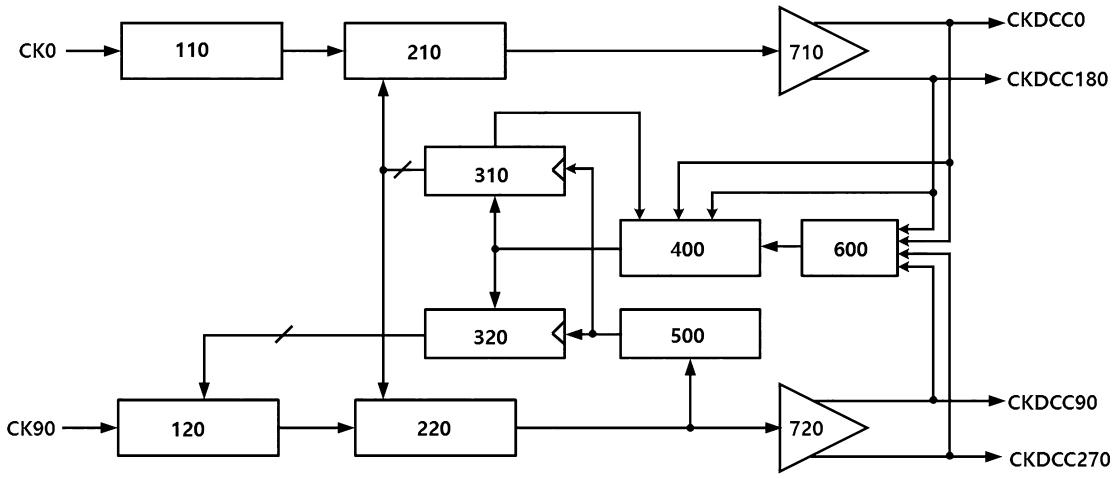
(54) 발명의 명칭 **다위상 클록 신호 보정 장치**

(57) 요 약

본 기술에 의한 다위상 클록 신호 보정 장치는 제 1 위상을 가지는 클록 신호의 듀티비를 조절하는 제 1 듀티비 조절부; 제 2 위상을 가지는 클록 신호를 가변 지연하는 가변 지연 라인; 가변 지연 라인의 출력의 듀티비를 조절하는 제 2 듀티비 조절부; 제 1 듀티비 조절부의 출력으로부터 차동 신호를 생성하는 제 1 차동 클록 생성부;

(뒷면에 계속)

대 표 도 - 도1



제 2 듀티비 조절부의 출력으로부터 차동 신호를 생성하는 제 2 차동 클록 생성부; 제 1 차동 클록 생성부와 제 2 차동 클록 생성부에서 출력된 신호들 에지를 결합하여 출력하는 에지 결합부; 듀티비 보정 모드에서 상기 제 1 듀티비 조절부에서 출력된 신호 또는 제 1 차동 클록 생성부에서 출력된 신호 중 어느 하나의 듀티비를 탐지하고 위상 보정 모드에서 에지 결합부에서 출력된 신호의 듀티비를 탐지하는 듀티비 탐지부; 듀티비 보정 모드에서 듀티비 탐지부의 출력에 따라 제 1 듀티비 조절부 및 제 2 듀티비 조절부를 제어하는 제 1 제어부; 및 위상 보정 모드에서 듀티비 탐지부의 출력에 따라 가변 지연 라인을 제어하는 제 2 제어부를 포함한다.

(52) CPC특허분류
H03K 5/14 (2013.01)
H03K 5/15 (2013.01)

(72) 발명자
현진훈
서울특별시 송파구 삼학사로6길 9-1 202
정찬희
광주광역시 서구 상무시민로 65 103-306

권대한
서울특별시 노원구 동일로214길 21 410-305

명 세 서

청구범위

청구항 1

제 1 위상을 가지는 클록 신호의 듀티비를 조절하는 제 1 듀티비 조절부;

제 2 위상을 가지는 클록 신호를 가변 지연하는 가변 지연 라인;

상기 가변 지연 라인의 출력의 듀티비를 조절하는 제 2 듀티비 조절부;

제 1 듀티비 조절부의 출력으로부터 차동 신호를 생성하는 제 1 차동 클록 생성부;

제 2 듀티비 조절부의 출력으로부터 차동 신호를 생성하는 제 2 차동 클록 생성부;

상기 제 1 차동 클록 생성부와 상기 제 2 차동 클록 생성부에서 출력된 신호들의 에지를 결합하여 출력하는 에지 결합부;

듀티비 보정 모드에서 상기 제 1 듀티비 조절부에서 출력된 신호 또는 상기 제 1 차동 클록 생성부에서 출력된 신호 중 어느 하나의 듀티비를 탐지하고 위상 보정 모드에서 상기 에지 결합부에서 출력된 신호의 듀티비를 탐지하는 듀티비 탐지부;

상기 듀티비 보정 모드에서 상기 듀티비 탐지부의 출력에 따라 상기 제 1 듀티비 조절부 및 상기 제 2 듀티비 조절부를 제어하는 제 1 제어부; 및

상기 위상 보정 모드에서 상기 듀티비 탐지부의 출력에 따라 상기 가변 지연 라인을 제어하는 제 2 제어부

를 포함하는 다위상 클록 신호 보정 장치.

청구항 2

청구항 1에 있어서, 상기 제 1 위상을 가지는 클록 신호를 지연하는 더미 지연 라인을 더 포함하는 다위상 클록 신호 보정 장치.

청구항 3

청구항 1에 있어서, 상기 듀티비 보정 모드는 상기 위상 보정 모드에 선행하되, 상기 제 1 제어부는 제어 신호가 결정되는 경우 상기 듀티비 탐지부가 상기 위상 보정 모드를 수행하도록 상기 듀티비 탐지부를 제어하는 다위상 클록 신호 보정 장치.

청구항 4

청구항 3에 있어서, 상기 듀티비 탐지부는 상기 제 1 제어부의 제어에 따라 상기 듀티비 보정 모드에서 상기 제 1 듀티비 조절부에서 출력된 신호 또는 상기 제 1 차동 클록 생성부에서 출력된 신호 중 어느 하나를 선택하고, 상기 위상 보정 모드에서 상기 에지 결합부의 출력을 선택하는 입력 선택부를 포함하는 다위상 클록 신호 보정 장치.

청구항 5

청구항 4에 있어서, 상기 듀티비 탐지부는 상기 입력 선택부의 출력 신호의 듀티비와 기준 듀티비를 비교하여 하이 또는 로우 레벨의 신호를 출력하는 다위상 클록 신호 보정 장치.

청구항 6

청구항 5에 있어서 상기 기준 듀티비는 50%인 다위상 클록 신호 보정 장치.

청구항 7

청구항 4에 있어서, 상기 듀티비 탐지부는

기준 클록에 따라 상기 입력 선택부에서 출력된 신호의 하이 레벨 구간만큼 그 신호를 지연하여 출력하는 펄스 선택부; 및

상기 기준 클록에 따라 상기 펄스 선택부의 출력을 샘플링하는 플립플롭

을 포함하는 다위상 클록 신호 보정 장치.

청구항 8

청구항 7에 있어서, 상기 펄스 선택부는

상기 입력 선택부에서 출력된 신호를 다수의 지연 시간 동안 지연하여 다수의 출력 클록을 생성하고 상기 입력 선택부에서 출력된 신호의 하이 레벨 및 로우 레벨 구간을 표시하는 멀티 비트 디지털 신호를 출력하는 TDC 회로; 및

상기 멀티 비트 디지털 신호를 이용하여 상기 다수의 출력 클록 중 상기 입력 선택부에서 출력된 신호의 하이 레벨 구간만큼 지연된 신호에 대응하는 것을 선택하여 출력하는 클록 선택 회로

를 포함하는 다위상 클록 신호 보정 장치.

청구항 9

청구항 8에 있어서, 상기 TDC 회로는 상기 기준 클록의 반주기 동안 상기 입력 선택부에서 출력된 신호를 입력받는 선택부를 더 포함하는 다위상 클록 신호 보정 장치.

청구항 10

청구항 7에 있어서 상기 기준 클록은 상기 제 1 차동 클록 생성부에서 출력된 신호 중 다른 하나를 1/2로 분주한 신호인 다위상 클록 신호 보정 장치.

청구항 11

청구항 10에 있어서, 상기 기준 클록을 지연하여 상기 플립플롭의 클록 신호로서 제공하는 지연라인을 더 포함하는 다위상 클록 신호 보정 장치.

청구항 12

청구항 1에 있어서, 상기 제 1 듀티비 조절부는

입력 신호의 상승 에지에서 제 1 지연 시간 이후 상승 에지를 생성하는 상승 에지 생성부; 및 상기 입력 신호의 하강 에지에서 제 2 지연 시간 이후 하강 에지를 생성하는 하강 에지 생성부를 포함하되,

상기 제 2 지연 시간은 상기 제 1 제어부의 제어에 따라 조절되는 다위상 클록 신호 보정 장치.

청구항 13

청구항 12에 있어서, 상기 제 1 듀티비 조절부는 상기 상승 에지 생성부 및 상기 하강 에지 생성부의 출력을 공통으로 입력받아 래치하여 출력하는 출력부를 더 포함하는 다위상 클록 신호 보정 장치.

청구항 14

청구항 1에 있어서, 상기 제 2 듀티비 조절부는

입력 신호의 상승 에지에서 제 1 지연 시간 이후 상승 에지를 생성하는 상승 에지 생성부; 및 상기 입력 신호의 하강 에지에서 제 2 지연 시간 이후 하강 에지를 생성하는 하강 에지 생성부를 포함하되,

상기 제 2 지연 시간은 상기 제 1 제어부의 제어에 따라 조절되는 다위상 클록 신호 보정 장치.

청구항 15

청구항 12에 있어서, 상기 제 2 듀티비 조절부는 상기 상승 에지 생성부 미 상기 하강 에지 생성부의 출력을 공통으로 입력받아 래치하여 출력하는 출력부를 더 포함하는 다위상 클록 신호 보정 장치.

청구항 16

청구항 1에 있어서 상기 제 1 제어부 또는 상기 제 2 제어부는 SAR(Successive Approximation Register)인 다위상 클록 신호 보정 장치.

청구항 17

청구항 16에 있어서, 상기 제 2 듀티비 조절부의 출력에 따라 제어 클록을 생성하여 상기 제 1 제어부 또는 상기 제 2 제어부에 제공하는 제어 클록 생성부를 더 포함하는 다위상 클록 신호 보정 장치.

청구항 18

청구항 1에 있어서, 상기 제 1 위상과 상기 제 2 위상의 차이는 90도인 다위상 클록 신호 보정 장치.

청구항 19

청구항 18에 있어서, 상기 제 1 차동 클록 생성부는 제 1 및 제 3 출력 클록을 생성하고, 상기 제 2 차동 클록 생성부는 제 2 및 제 4 출력 클록을 생성하는 다위상 클록 신호 보정 장치.

청구항 20

청구항 19에 있어서, 상기 에지 결합부는 상기 제 1 및 제 4 출력 클록을 AND 연산한 결과와 상기 제 2 및 제 3 출력 클록을 AND 연산한 결과를 OR 연산하여 출력하는 다위상 클록 신호 보정 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 다위상 클록 신호를 보정하는 장치에 관한 것으로서 보다 구체적으로는 다위상 클록 신호들의 듀티비 및 위상을 보정할 수 있는 다위상 클록 신호 보정 장치에 관한 것이다.

배 경 기 술

[0002] 반도체 장치의 동작 전압과 동작 주파수가 증가함에 따라 저전압에서 고주파의 클록 신호를 생성하는 것이 요구되고 있다.

[0003] 저전압 고주파 클록 신호를 생성하기 위하여 단순히 기준 클록 신호를 분배하는 경우 최종 클록 신호의 펄스 폭이 감소하여 클록 신호의 품질이 열화되는 문제가 있다.

[0004] 최근에는 이러한 문제를 해결하기 위하여 기준 클록 신호를 이용하여 위상차가 균등하게 이격된 다위상 클록 신호를 생성하는 방식이 사용되고 있다.

[0005] 예를 들어 기준 클록 신호를 이용하여 위상차가 90도씩 이격된 4위상 클록 신호를 생성하는 경우 주파수가 4배인 클록 신호를 생성하는 것과 동일한 효과를 가진다.

[0006] 이러한 기술에서는 다위상 클록 신호 각각의 듀티비와 클록 신호들 사이의 위상차를 일정하게 제어하는 기술이 필수적이다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) KR 10-2005-0020491 A

(특허문헌 0002) US 2009-0289680 A

(특허문헌 0003) US 8384438 B1

비특허문헌

[0008] (비특허문헌 0001) Ha, J. C., et al. "Unified all-digital duty-cycle and phase correction circuit for QDR I/O interface." IET Electron. Lett., vol. 44, no. 22, pp. 1300-1301, Oct. 2008.

(비특허문헌 0002) Su, Jun-Ren., et al. "Delay-line based fast-locking all-digital pulse width-control circuit with programmable duty cycle." in Proc. IEEE Asian Solid-State Circuits Conf., pp. 305-308, Nov 2012.

(비특허문헌 0003) Chung, C-C et al. "High-Resolution All-Digital Duty-Cycle Corrector in 65-nm CMOS Technology." IEEE Trans. Very Large Scale Integr. (VLSI) Syst., vol. 22, no. 5, pp. 1096-1105, May. 2014

(비특허문헌 0004) C. H. Jeong et al. "All-Digital Duty-Cycle Corrector With a Wide Duty Correction Range for DRAM Applications" IEEE Transactions on Very Large Scale Integration (VLSI) Systems Vol 24 (2015): 363-367

발명의 내용

해결하려는 과제

[0009] 본 기술은 다위상 클록 신호의 듀티비와 위상을 함께 보정할 수 있는 다위상 클록 신호 보정 장치를 제공한다.

과제의 해결 수단

[0010] 본 발명의 일 실시예에 의한 다위상 클록 신호 보정 장치는 제 1 위상을 가지는 클록 신호의 듀티비를 조절하는 제 1 듀티비 조절부; 제 2 위상을 가지는 클록 신호를 가변 지연하는 가변 지연 라인; 가변 지연 라인의 출력의 듀티비를 조절하는 제 2 듀티비 조절부; 제 1 듀티비 조절부의 출력으로부터 차동 신호를 생성하는 제 1 차동 클록 생성부; 제 2 듀티비 조절부의 출력으로부터 차동 신호를 생성하는 제 2 차동 클록 생성부; 제 1 차동 클록 생성부와 제 2 차동 클록 생성부에서 출력된 신호들 에지를 결합하여 출력하는 에지 결합부; 듀티비 보정 모드에서 상기 제 1 듀티비 조절부에서 출력된 신호 또는 제 1 차동 클록 생성부에서 출력된 신호 중 어느 하나의 듀티비를 탐지하고 위상 보정 모드에서 에지 결합부에서 출력된 신호의 듀티비를 탐지하는 듀티비 탐지부; 듀티비 보정 모드에서 듀티비 탐지부의 출력에 따라 제 1 듀티비 조절부 및 제 2 듀티비 조절부를 제어하는 제 1 제어부; 및 위상 보정 모드에서 듀티비 탐지부의 출력에 따라 가변 지연 라인을 제어하는 제 2 제어부를 포함한다.

발명의 효과

[0011] 본 기술을 통해 듀티비 보정 및 위상 보정을 위해 공통된 회로 블록을 사용함으로써 전체 회로의 면적 및 소비 전력을 줄일 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 일 실시예에 의한 다위상 클록 신호 보정 장치의 블록도.

도 2는 듀티비 보정 동작을 설명하는 도면.

도 3은 위상 보정 동작을 설명하는 도면.

도 4는 도 1의 듀티비 조절부의 회로도.

도 5는 도 4의 듀티비 조절부의 동작을 나타낸 파형도.

도 6은 도 1의 듀티비 탐지부의 회로도.

도 7은 도 6의 듀티비 탐지부의 동작을 나타낸 파형도.

도 8은 도 6의 펄스 선택부의 회로도.

도 9는 도 8의 선택 로직부의 회로도.

도 10은 도 6의 선택 로직부의 동작을 나타낸 설명도.

도 11은 도 1의 에지 결합부의 회로도.

도 12는 도 11의 에지 결합부 동작을 나타내는 파형도

발명을 실시하기 위한 구체적인 내용

[0013] 이하에서는 첨부한 도면을 참조하여 본 발명의 실시예를 개시한다.

[0014] 도 1은 본 발명의 일 실시예에 의한 다위상 클록 신호 보정 장치를 나타내는 블록도이다.

[0015] 본 발명의 일 실시예에 의한 다위상 클록 신호 보정 장치는 위상이 90도 차이인 두 클록 신호(CK0, CK90)를 입력받아 4개의 클록 신호(CKDCC0, CKDCC90, CKDCC180, CKDCC270)를 출력한다.

[0016] 본 발명의 일 실시예에 의한 다위상 클록 신호 보정 장치는 더미 지연 라인(110), 가변 지연 라인(120), 제 1 듀티비 조절부(210), 제 2 듀티비 조절부(220), 제 1 제어부(310), 제 2 제어부(320), 듀티비 탐지부(400), 제어 클록 생성부(500), 에지 결합부(600), 제 1 차동 클록 생성부(710), 제 2 차동 클록 생성부(720)를 포함한다.

[0017] 더미 지연 라인(110)은 제 1 입력 클록(CK0)을 지연하여 출력하고 가변 지연 라인(120)은 제 2 입력 클록(CK90)을 지연하여 출력한다.

[0018] 본 실시예에서 더미 지연 라인(110)의 지연량은 일정하게 고정되고, 가변 지연 라인(120)의 지연량은 제 2 제어부(320)의 제어에 따라 조절될 수 있다.

[0019] 더미 지연 라인(110)과 가변 지연 라인(120)에 관한 구체적인 회로와 관련하여서는 종래에 다양한 회로가 소개되고 있으므로 이에 대한 구체적인 개시는 생략한다.

[0020] 제 1 듀티비 조절부(210)는 제 1 제어부(310)의 제어에 따라 제 1 지연 라인(110)에서 출력된 클록 신호의 듀티비를 조절하고, 제 2 듀티비 조절부(220)는 제 1 제어부(310)의 제어에 따라 제 2 지연 라인(110)에서 출력된 클록 신호의 듀티비를 조절한다.

[0021] 제 1 차동 클록 생성부(710)는 제 1 듀티비 조절부(210)에서 출력된 클록 신호로부터 위상이 180도 차이인 제 1 출력 클록(CKDCC0)과 제 3 출력 클록(CKDCC180)을 출력한다.

[0022] 이때 제 1 출력 클록(CKDCC0)은 제 1 듀티비 조절부(210)의 출력과 실질적으로 동일할 수 있다.

[0023] 제 2 차동 클록 생성부(720)는 제 2 듀티비 조절부(220)에서 출력된 클록 신호로부터 위상이 180도 차이인 제 3 출력 클록(CKDCC90)과 제 4 출력 클록(CKDCC270)을 출력한다.

[0024] 이때 제 3 출력 클록(CKDCC90)은 제 2 듀티비 조절부(220)의 출력과 실질적으로 동일할 수 있다.

[0025] 제 1 차동 클록 생성부(710) 및 제 2 차동 클록 생성부(720)에 관한 구체적인 회로와 관련하여서는 종래에 다양한 기술이 존재하므로 이에 대한 구체적인 개시는 생략한다.

[0026] 에지 결합부(600)는 제 1 내지 제 4 출력 클록의 에지를 결합한 클록 신호를 출력한다.

[0027] 듀티비 탐지부(400)는 제 1 차동 클록 생성부(710)의 출력 또는 에지 결합부(600)의 출력을 입력받고 입력된 클록 신호의 듀티비를 탐지한다.

[0028] 본 실시예에서 듀티비 탐지부(400)는 듀티비가 50%이상인 경우 1을 출력하고 그렇지 않으면 0을 출력한다.

[0029] 제어 클록 생성부(500)는 제 2 듀티비 조절부(220)의 출력으로부터 제어 클록을 생성한다.

[0030] 본 실시예에서 제어 클록 생성부(500)는 제 2 듀티비 조절부(220)의 출력을 1/2로 분주하여 제어 클록으로 출력한다.

[0031] 제어 클록 생성부(500)의 구체적인 구성은 통상의 기술자가 잘 알 수 있는 것이어서 구체적인 회로를 개시하지 않는다.

[0032] 제 1 제어부(310) 및 제 2 제어부(320)는 각각 제어 클록 생성부(500)의 출력에 동기하여 듀티비 탐지부(400)의

출력에 따라 제어 신호를 생성한다.

[0033] 전술한 바와 같이 제 1 제어부(310)의 출력은 제 1 듀티비 조절부(210) 및 제 2 듀티비 조절부(220)를 제어하고, 제 2 제어부(320)의 출력은 가변 지연 라인(120)을 제어한다.

[0034] 본 실시예에서는 제 1 제어부(310)의 제어 동작이 종료된 후 제 2 제어부(320)의 제어 동작을 수행한다. 제 1 제어부(310)는 제어 신호가 결정되면 이를 듀티비 탐지부(400)에 알릴 수 있다.

[0035] 제 1 제어부(310)의 제어 동작은 듀티비를 제어하는 동작에 대응하고, 제 2 제어부(320)의 제어 동작은 위상을 제어하는 동작에 대응한다. 두 제어 동작을 통해 다위상 클록 신호에 대한 보정 동작이 완료될 수 있다.

[0036] 듀티비 탐지부(400)는 제 1 제어부(310)를 제어하는 동안 제 1 출력 클록(CKDCC0)의 듀티비를 탐지할 수 있다.

[0037] 본 개시에서는 듀티비 탐지부(400)가 제 1 출력 클록(CKDCC0)을 입력받아 그 듀티비를 탐지하는 것으로 하였으나 전술한 바와 같이 제 1 출력 클록(CKDCC0)은 제 1 듀티비 조절부(210)의 출력과 실질적으로 동일하므로 듀티비 탐지부(400)는 제 1 출력 클록(CKDCC0) 대신 제 1 듀티비 조절부(210)의 출력을 입력받는 것도 가능하다.

[0038] 또한 듀티비 탐지부(400)는 제 2 제어부(320)를 제어하는 동안 에지 결합부(600)에서 출력된 클록의 듀티비를 탐지할 수 있다.

[0039] 듀티비 탐지부(400)는 듀티비 탐지를 위하여 제 3 출력 클록(CKDCC180)을 기준 클록 신호로 사용할 수 있다.

[0040] 듀티비 탐지부(400)의 구성 및 동작에서는 이하에서 구체적으로 설명한다.

[0041] 도 2는 듀티비 보정 동작을 설명하는 블록도이다.

[0042] 듀티비 보정 동작은 제 1 제어부(310)가 제 1 듀티비 조절부(210)와 제 2 듀티비 조절부(220)를 제어하는 동작이다.

[0043] 듀티비 탐지부(400)는 제 1 출력 클록(CKDCC0)의 듀티비를 탐지하여 제 1 제어부(310)를 제어한다.

[0044] 듀티비 탐지부(400)는 제 1 출력 클록(CKDCC0)의 듀티비를 탐지하기 위하여 제 3 출력 클록(CKDCC180)을 기준 클록으로 사용할 수 있다.

[0045] 본 실시예에서 제어 클록 생성부(500)는 제 2 듀티비 조절부(220)의 출력을 1/2로 분주하여 제어 클록을 생성한다.

[0046] 제 1 제어부(310)는 제어 클록에 동기되어 듀티비 탐지부(400)에서 탐지된 듀티비를 참조하여 순차적으로 멀티 비트의 제어 신호를 생성할 수 있다.

[0047] 본 실시예에서 제 1 제어부(310)는 5비트의 SAR(Successive Approximation Register)를 이용하여 구현될 수 있다.

[0048] SAR는 잘 알려진 기술이므로 제 1 제어부(310)의 구체적인 회로는 개시를 생략한다.

[0049] 제 1 제어부(310)에서 출력된 제어 신호는 제 1 듀티비 조절부(210)와 제 2 듀티비 조절부(220)를 함께 제어한다.

[0050] 제 1 제어부(310)는 5비트의 제어 신호가 모두 결정되면 완료 신호를 생성하여 듀티비 탐지부(400)에 출력할 수 있다.

[0051] 도 3은 위상 보정 동작을 설명하는 블록도이다.

[0052] 위상 보정 동작에서 듀티비 탐지부(400)는 제 1 출력 클록(CKDCC0)이 아닌 에지 결합부(600)에서 출력되는 클록 신호의 듀티비를 탐지한다.

[0053] 제 2 제어부(320)는 제어 클록 생성부(500)에서 출력되는 제어 클록에 동기되어 듀티비 탐지부(400)의 출력에 따라 순차적으로 멀티 비트의 제어 신호를 생성할 수 있다.

[0054] 예를 들어 제 2 제어부(320)는 4비트의 SAR을 이용하여 구현될 수 있다. SAR는 잘 알려진 기술이므로 제 2 제어부(320)의 구체적인 회로는 개시를 생략한다.

[0055] 제 2 제어부(320)에서 출력된 제어 신호는 가변 지연 라인(120)을 제어하여 제 2 입력 클록(CK90)의 지연량을 조절한다.

[0056] 이와 같이 듀티비 보정 동작과 위상 보정 동작이 순차적으로 수행되면 제 1 내지 제 4 출력 클록은 듀티비가 일정하게 유지되고 인접한 클록 신호와 90도의 위상차를 갖는 다위상 클록 신호가 된다.

[0057] 도 4는 도 1의 제 1 듀티비 조절부(210)의 회로를 도시한 것이다.

[0058] 제 1 듀티비 조절부(210)는 입력 클록(CKI)에 따라 상승 에지를 생성하는 상승 에지 생성부(211), 입력 클록(CKI)에 따라 하강 에지를 생성하는 하강 에지 생성부(214) 및 상승 에지 생성부(211)와 하강 에지 생성부(214)의 출력 신호를 래치하여 출력하는 출력부(218)를 포함한다.

[0059] 상승 에지 생성부(211)는 입력 클록(CKI)을 반전하는 인버터(INV1), 인버터(INV1)의 출력을 지연하는 제 1 지연부(212), 제 1 지연부(212)의 출력을 반전 지연하는 제 1 반전 지연부(213), 전원단(VDD)과 출력단(O) 사이에 직렬로 연결된 제 1 PMOS 트랜지스터(P1)와 제 2 PMOS 트랜지스터(P2)를 포함한다.

[0060] 제 1 PMOS 트랜지스터(P1)의 게이트(A)는 제 1 반전 지연부(213)의 출력에 의해 제어되고, 제 2 PMOS 트랜지스터(P2)의 게이트(B)는 제 1 지연부(212)의 출력에 의해 제어된다.

[0061] 하강 에지 생성부(212)는 입력 클록(CKI)을 지연하는 제 2 지연부(215), 제 1 제어부(310)의 제어에 따라 제 2 지연부(215)의 출력을 가변 지연하는 가변 지연부(216), 가변 지연부(216)의 출력을 반전 지연하는 제 2 반전 지연부(217), 출력단(O)과 접지단 사이에 직렬로 연결된 제 1 NMOS 트랜지스터(N1)와 제 2 NMOS 트랜지스터(N2)를 포함한다.

[0062] 제 1 NMOS 트랜지스터(N1)의 게이트(C)는 가변 지연부(216)의 출력에 의해 제어되고, 제 2 NMOS 트랜지스터(N2)의 게이트(D)는 제 2 반전 지연부(217)의 출력에 의해 제어된다.

[0063] 도 5는 도 4의 동작을 나타내는 파형도이다.

[0064] 도 5에서 출력부(218)의 지연량은 무시하였다.

[0065] 출력 클록(CKO)의 상승 에지는 노드(A, B)가 모두 로우 레벨이 되는 경우에 발생하고 하강 에지는 노드(C, D)가 모두 하이 레벨이 되는 경우에 발생한다.

[0066] 본 실시예에서 제 1 지연부(212)의 지연량이 고정되므로 상승 에지가 발생하는 시점은 입력 클록(CKI)의 상승 에지로부터 인버터(INV1), 제 1 지연부(212) 및 제 1 반전 지연부(213) 및 버퍼부(218)의 지연량(도5의 T1)에 의해 고정적으로 결정된다.

[0067] 본 실시예에서 하강 에지가 발생하는 시점은 입력 클록(CKI)의 상승 에지로부터 제 2 지연부(215), 가변 지연부(216) 및 제 2 반전 지연부(217) 및 버퍼부(218)의 지연량(도5의 T2) 만큼 지연된다.

[0068] 본 실시예에서 가변 지연부(216)의 지연량은 제 1 제어부(310)에서 제공되는 제어 신호에 의해 가변되므로 하강 에지가 발생하는 시점은 제 1 제어부(310)에서 제공된 제어 신호에 따라 조절된다.

[0069] 도 5에서 출력 클록(CKO)의 하강 에지가 점선으로 표시된 것은 제 1 제어부(310)의 제어에 따라 하강 에지가 발생하는 시점이 제어되는 모습을 나타낸다. 이에 따라 결과적으로 출력 클록(CKO)의 듀티비가 조절된다.

[0070] 제 2 듀티비 조절부(220)는 제 1 듀티비 조절부(210)와 실질적으로 동일하게 구성될 수 있다. 따라서 제 1 제어부(310)의 출력에 따라 제 2 듀티비 조절부(220)의 출력 클록의 듀티비 역시 동일하게 제어될 수 있다.

[0071] 도 6은 도 1의 듀티비 탐지부(400)의 상세 블록도이다.

[0072] 듀티비 탐지부(400)는 펄스 선택부(410), 분주부(420), 지연 라인(430), 플립플롭(440) 및 입력 선택부(450)를 포함한다.

[0073] 입력 선택부(450)는 입력 클록으로서 제 1 제어부(310)의 출력에 따라 제 1 출력 클록(CKDCC0) 또는 에지 결합부(600)의 출력을 선택한다.

[0074] 전술한 바와 같이 제 1 제어부(310)의 출력은 제 1 제어부(310)의 제어 동작이 완료되었는지를 표시한다.

[0075] 제 1 제어부(310)의 제어 동작이 완료되기 전이면 입력 선택부(450)는 제 1 출력 클록(CKDCC0)을 선택하여 듀티비 보정 동작을 진행하고, 제 1 제어부(310)의 제어 동작이 완료되었으면 입력 선택부(450)는 에지 결합부(600)의 출력을 선택한다.

[0076] 펄스 선택부(410)는 입력 신호의 하이 레벨 구간의 폭만큼 입력 신호를 지연하여 제 1 클록(CK1)을 출력한다.

[0077] 분주부(420)는 제 3 출력 클록(CKDCC180)을 1/2로 분주하여 출력한다. 분주된 신호는 자연스럽게 듀티비가 50%로 고정되며 이는 기준 클록 신호로 사용된다.

[0078] 지연라인(430)은 펄스 선택부(410)의 회로에 의한 지연 시간만큼 기준 클록 신호를 지연하여 제 2 클록(CK2)을 출력한다.

[0079] 플립플롭(440)은 제 2 클록(CK2)의 하강 에지에 동기되어 제 1 클록(CK1)을 샘플링한다.

[0080] 도 6의 듀티비 탐지부(400)는 펄스 선택부(410)에 입력되는 클록 신호의 듀티비가 50% 이상이면 1 그렇지 않으면 0의 논리 레벨을 갖는 신호(VD)를 출력한다.

[0081] 도 7은 도 6의 듀티비 탐지부(400)의 동작을 설명하는 파형도이다.

[0082] 도 7은 제 1 출력 클록(CKDCC0)이 입력 클록으로 선택된 경우의 실시예를 나타낸다. 이하에서 제 1 출력 클록(CKDCC)을 입력 클록으로 지칭한다.

[0083] 제 1 클록(CK1)은 펄스 선택부(410)의 동작에 의해 입력 클록이 하이 레벨인 펄스의 폭만큼 지연되며 펄스 선택부(410)에 내재하는 지연(Toff)만큼 추가 지연된다.

[0084] 제 2 클록(CK2)은 제 3 출력 클록(CKDCC180)을 1/2 분주하고 이를 지연한 것으로서 듀티비가 50%로 고정된다.

[0085] 지연라인(430)의 지연량(Td)은 펄스 선택부(410)에서의 지연량(Toff)을 보상하도록 결정된다.

[0086] 플립플롭(440)은 제 2 클록(CK2)의 하강 에지에서 제 1 클록(CK1)을 샘플링한다.

[0087] 도 7에 도시된 바와 같이 입력 클록의 듀티비가 50%를 초과하는 경우 플립플롭(440)의 출력(VD)은 1의 레벨을 가지고 그렇지 않은 경우 플립플롭(440)의 출력은 0의 레벨을 가진다.

[0088] 도 8은 도 6의 펄스 선택부(410)의 상세 블록도이다.

[0089] 도 8의 도 6의 펄스 선택부(410)에서 제 1 출력 클록(CKDCC0)이 입력 클록으로 선택된 것으로 가정한다.

[0090] 펄스 선택부(410)는 TDC(411)와 클록 선택 회로(416)를 포함한다.

[0091] TDC(Time-to-Digital Converter)는 시간 간격을 측정하여 이에 대응하는 디지털 신호를 생성하는 잘 알려진 회로이다.

[0092] 본 실시예에서 TDC(411)는 입력 클록(CKDCC0)을 기준 클록(CKDCC180/2)의 한주기 동안 선택하는 선택부(412), 선택부(412)의 출력을 순차적으로 지연시키는 다수의 제 1 버퍼(413), 선택부(412)의 출력을 순차적으로 지연시키는 다수의 제 2 버퍼(414)를 포함한다.

[0093] 본 실시예에서 제 1 버퍼(413)의 지연 시간은 t1, 제 2 버퍼(414)의 지연 시간은 t2(t1>t2)이다.

[0094] 다수의 제 1 버퍼(413)는 입력 클록을 다수의 시간(t1, 2t2, ...(n+1)t1)만큼 지연한 다수의 클록 신호(CK[0:n])를 출력한다.

[0095] TDC(411)는 제 1 버퍼(413)의 출력에 따라 제 2 버퍼(414)의 출력을 샘플링하는 다수의 플립플롭(415)을 포함한다.

[0096] 도 10은 도 8의 플립플롭(415)의 출력(Q[0:n])을 나타낸다.

[0097] 플립플롭(415)의 출력에서 1이 연속되는 구간이 입력 클록이 하이(1) 레벨인 구간에 대응한다.

[0098] 펄스 선택부(410)는 입력 클록이 하이(1) 레벨인 구간의 폭만큼 입력 클록을 지연하기 위하여 플립플롭(415)의 출력이 1에서 0으로 변하는 첫 번째 지점을 탐지하는 것이 필요하다.

[0099] 플립플롭(415)의 출력이 1에서 0으로 변하는 두 번째 지점부터는 이를 무시하여도 무방하다.

[0100] 도 8의 클록 선택 회로(416)는 플립플롭(415)의 출력이 1에서 0으로 변하는 첫 번째 지점을 탐지하고 제 1 버퍼(413)에 의해 지연된 다수의 클록 신호(CK[0:n]) 중에서 탐지된 지점에 대응하는 클록 신호를 선택하여 출력한다.

[0101] 이렇게 출력되는 클록 신호는 입력 클록을 입력 클록이 하이 레벨인 구간의 폭만큼 지연된 클록에 대응한다.

[0102] 도 8의 클록 선택 회로(416)는 플립플롭(415)의 출력이 1에서 0으로 변하는 지점을 탐지하는 논리 블록(417)과

논리 블록(417)의 출력에 따라 다수의 클록 신호(CK[0:n]) 중 하나를 선택하는 다수의 선택부(418)와 다수의 선택부(418) 중 어느 하나에서 선택된 신호를 제 1 클록(CK1)으로서 출력하는 논리 회로부(419)를 포함한다.

[0103] 본 실시예에서 논리 블록(417)은 선택 신호(D)와 리셋 신호(R)를 출력할 수 있다.

[0104] 리셋 신호(R)는 플립플롭(415)의 출력이 1에서 0으로 변하는 첫 번째 지점을 탐지한 경우 활성화되어 그 이후에 플립플롭(415)의 출력이 1에서 0으로 변하더라도 이를 무시하도록 한다.

[0105] 도 10을 참조하면 논리 블록(417)에서 출력되는 리셋 신호(R)는 플립플롭(415)의 출력이 1에서 0으로 바뀌기 직전 시점에 활성화되고 그 이후에도 계속 활성화된 상태를 유지한다.

[0106] 논리 블록(417)에서 출력되는 선택 신호(D)는 직전의 리셋 신호가 0인 조건에서 플립플롭(415)의 출력이 1에서 0으로 바뀌기 직전 시점에 활성화됨을 알 수 있다.

[0107] 이에 따라 다수의 선택부(418) 중 어느 하나만 클록 신호(CK[i], i = 0, 1,....., n 중 어느 하나)를 출력하고 나머지는 0을 출력한다.

[0108] 도 9는 이러한 논리 블록(417)의 동작을 게이트 레벨로 표시한 회로도이다.

[0109] 선택 신호(D[n])는 현재 플립플롭의 출력(Q[n])이 활성화되고, 이전 단계의 리셋 신호(R[n-1])이 비활성화되고, 다음 단계의 플립플롭의 출력(Q[n+1])이 비활서화된 조건에서 활성화된다.

[0110] 리셋 신호(R[n])는 이전 단계의 리셋 신호(R[n-1])가 활성화되거나 다음 단계의 플립플롭의 출력(Q[n+1])이 비활성화되는 조건에서 활성화된다.

[0111] 본 실시예에서 논리 회로부(419)는 입력 신호들을 OR 연산하여 출력한다.

[0112] 도 11은 에지 결합부(600)를 나타낸 논리 회로도이고 도 12는 도 11의 에지 결합부(600)의 동작을 나타낸 파형도이다.

[0113] 에지 결합부(600)는 제 1 출력 클록(CKDCC0)과 제 3 출력 클록(CKDCC270)의 상승 에지에서 상승 에지를 형성하고, 제 2 출력 클록(CKDCC90)과 제 4 출력 클록(CKDCC270)의 상승 에지에서 하강 에지를 형성하는 출력 신호(OUT)를 생성한다.

[0114] 이에 따라 에지 결합부(600)의 출력은 제 1 내지 제 4 출력 클록의 주파수의 2배가 된다.

[0115] 에지 결합부(600)는 제 1 출력 클록(CKDCC0)과 제 4 출력 클록(CKDCC270)을 AND 연산하는 게이트(601), 제 2 출력 클록(CKDCC90)과 제 3 출력 클록(CKDCC180)을 AND 연산하는 게이트(602), 두 AND 게이트(601, 602)의 출력을 OR 연산하는 게이트(603)를 포함한다.

[0116] 도 12에서 제 1 출력 클록(CKDCC0)과 출력 신호(OUT) 사이에는 게이트 지연에 의한 지연(Td)을 표시하였다.

[0117] 제 1 듀티비 조절부(210)와 제 2 듀티비 조절부(220)에 의해 제 1 내지 제 4 출력 클록의 듀티비가 모두 50%로 보정되었다고 가정하면 에지 결합부(600)의 출력의 듀티비는 제 1 출력 클록(CKDCC0)과 제 2 출력 클록(CKDCC90) 사이의 위상차에 따라 50%에서 벗어난 값일 수 있다.

[0118] 이에 따라 듀티 보정 동작이 종료된 후 위상 보정 동작에서는 에지 결합부(600)의 출력을 듀티비 탐지부(400)에 입력시키고 그 결과에 따라 가변 지연 라인(120)의 지연량을 조절하여 최종적으로 에지 결합부(600)의 출력의 듀티비가 보정되도록 한다.

[0119] 그 결과 다위상 클록 신호들의 듀티비 보정 및 위상 보정이 완료된다.

[0120] 이상에서는 첨부한 도면을 참조하여 본 발명의 실시예를 개시하였다. 본 발명의 권리범위는 이상의 개시에 한정되는 것이 아니며 특허청구범위에 기재된 범위와 그 균등범위에 의해 정해진다.

부호의 설명

[0121] 110: 더미 지연 라인

120: 가변 지연 라인

210: 제 1 듀티비 조절부

211: 상승 에지 생성부

212: 제 1 지연부

213: 제 1 반전 지연부

214: 하강 에지 생성부

215: 제 2 지연부

216: 가변 지연부

217: 제 2 반전 지연부

218: 출력부

220: 제 2 듀티비 조절부

310: 제 1 제어부

320: 제 2 제어부

400: 듀티비 탐지부

410: 펄스 선택부

411: TDC

416: 클록 선택 회로

420: 분주부

430: 지연 라인

440: 플립플롭

450: 입력 선택부

500: 제어 클록 생성부

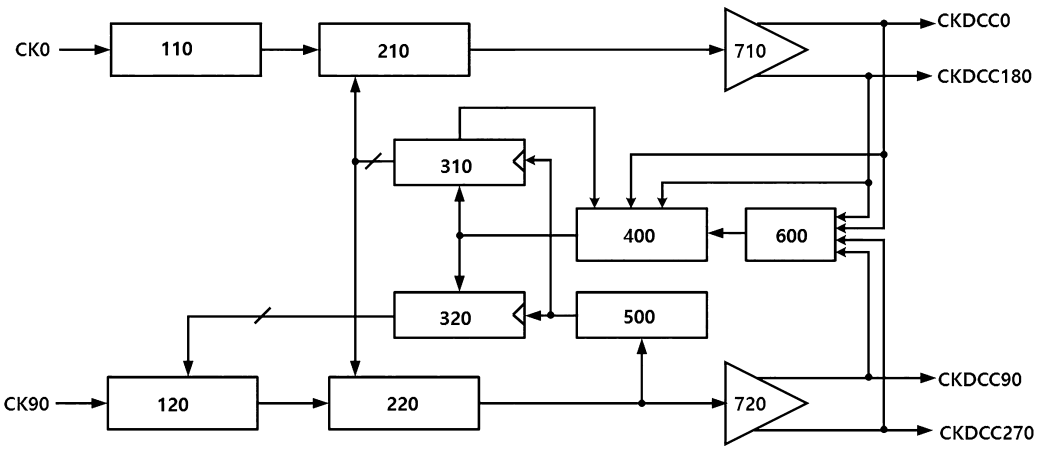
600: 에지 결합부

710: 제 1 차동 클록 생성부

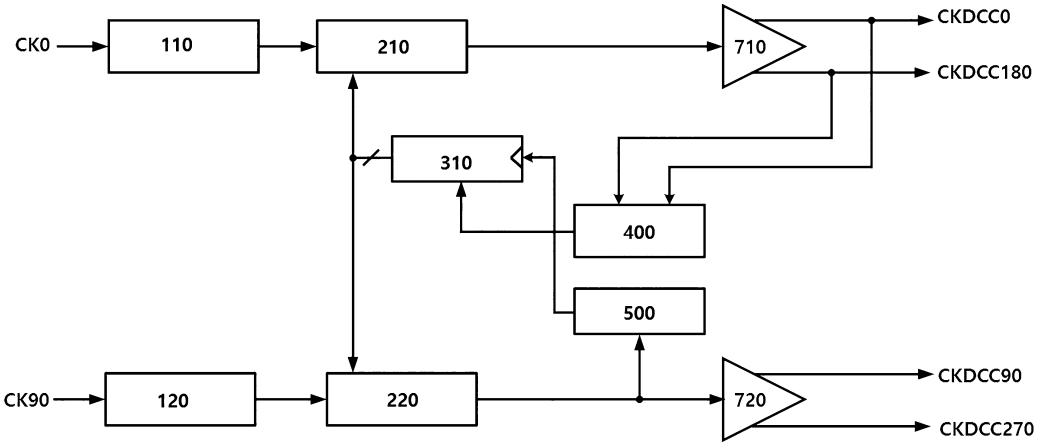
720: 제 2 차동 클록 생성부

도면

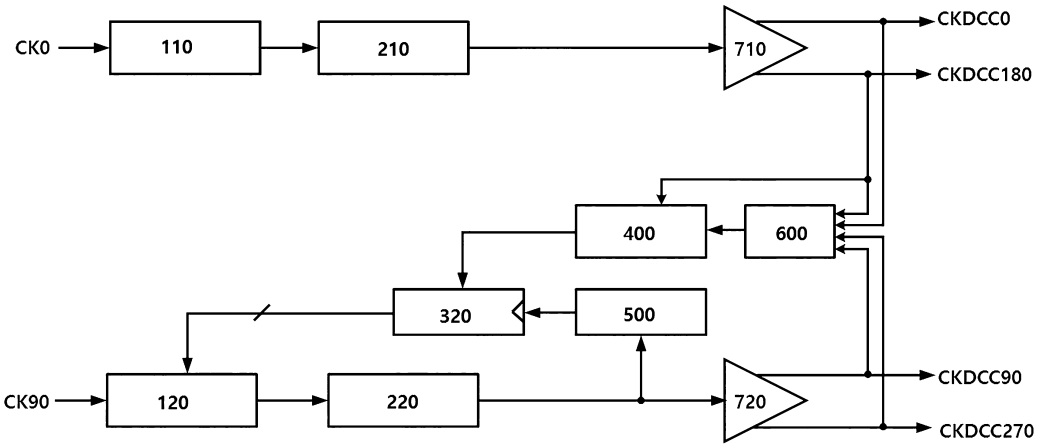
도면1



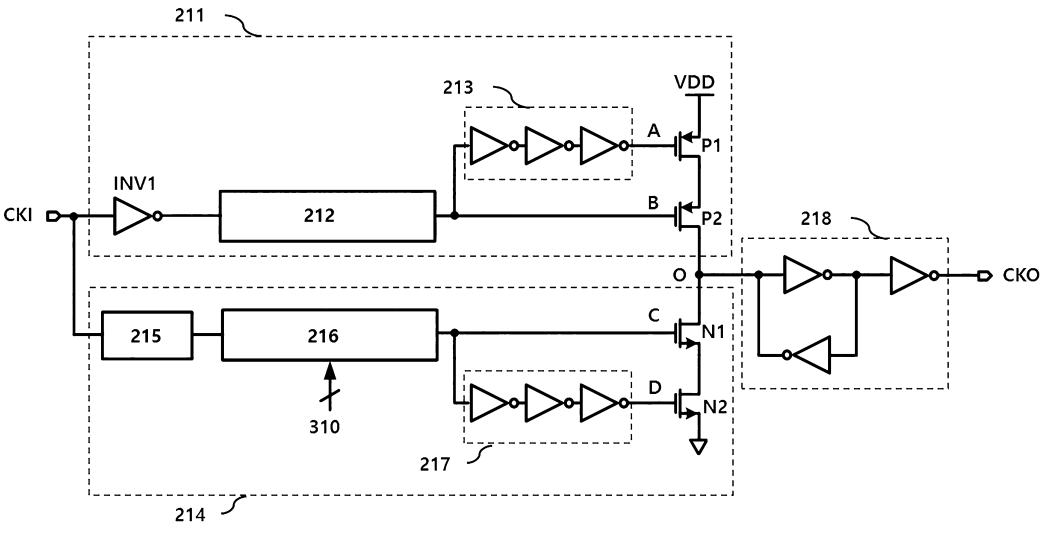
도면2



도면3

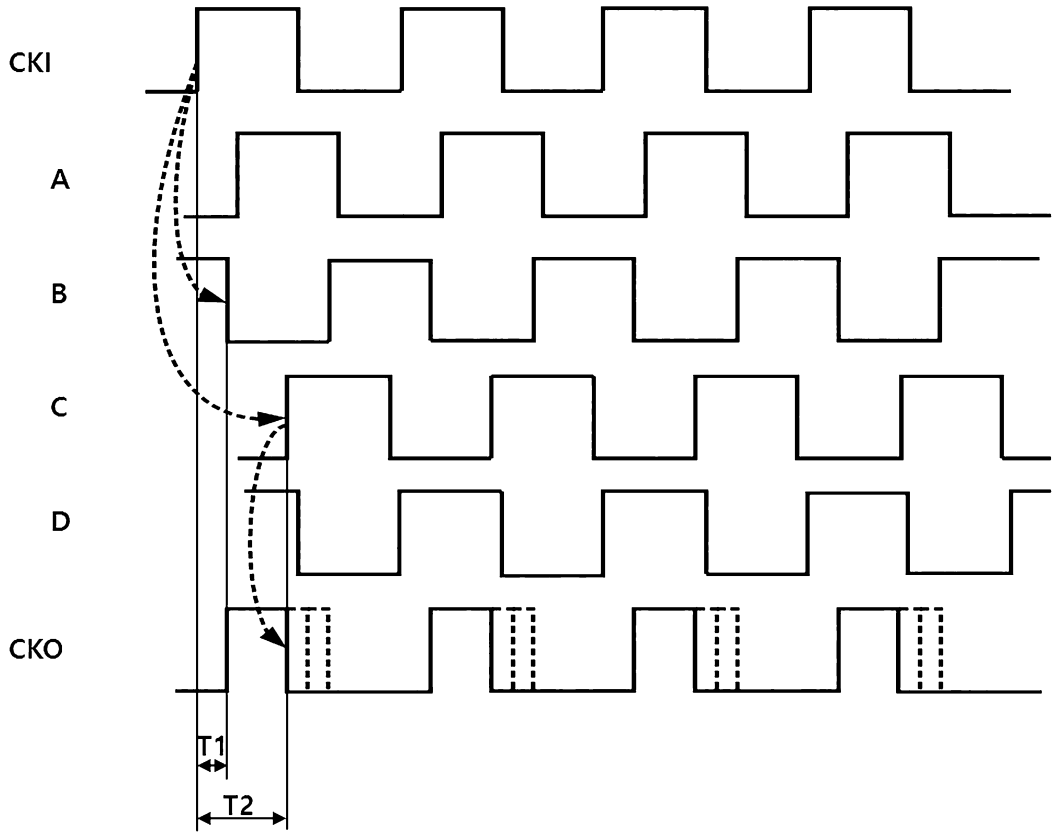


도면4

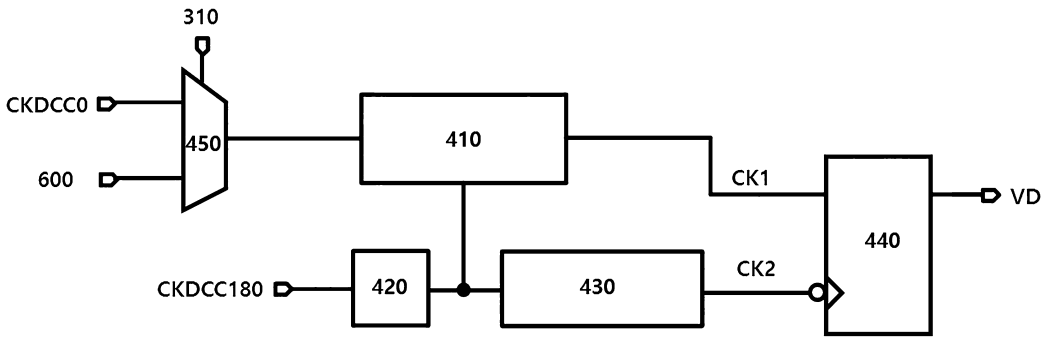


210

도면5

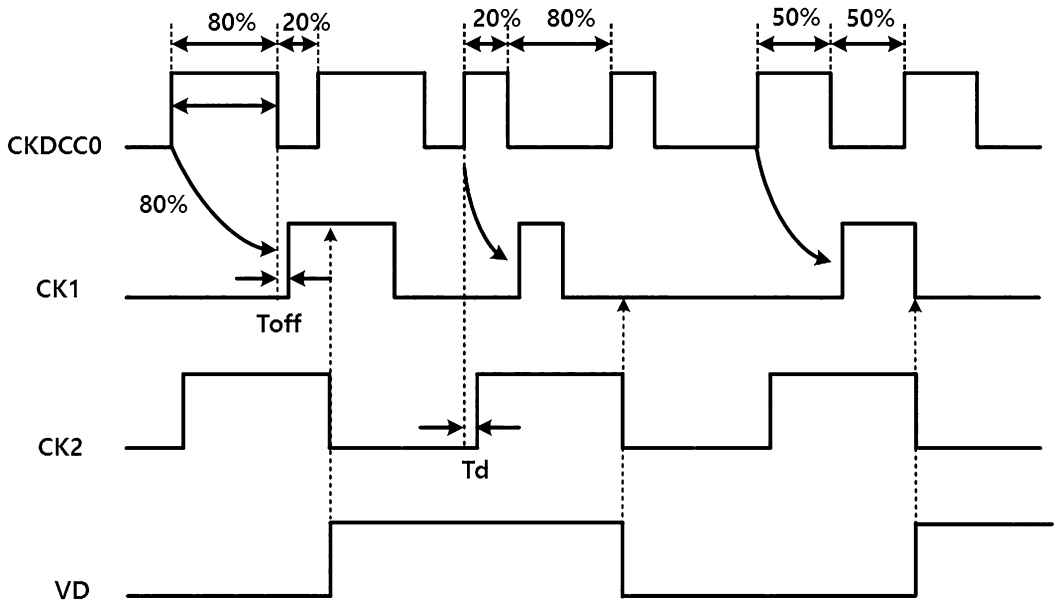

CKI
A
B
C
D
CKO
T1
T2

도면6

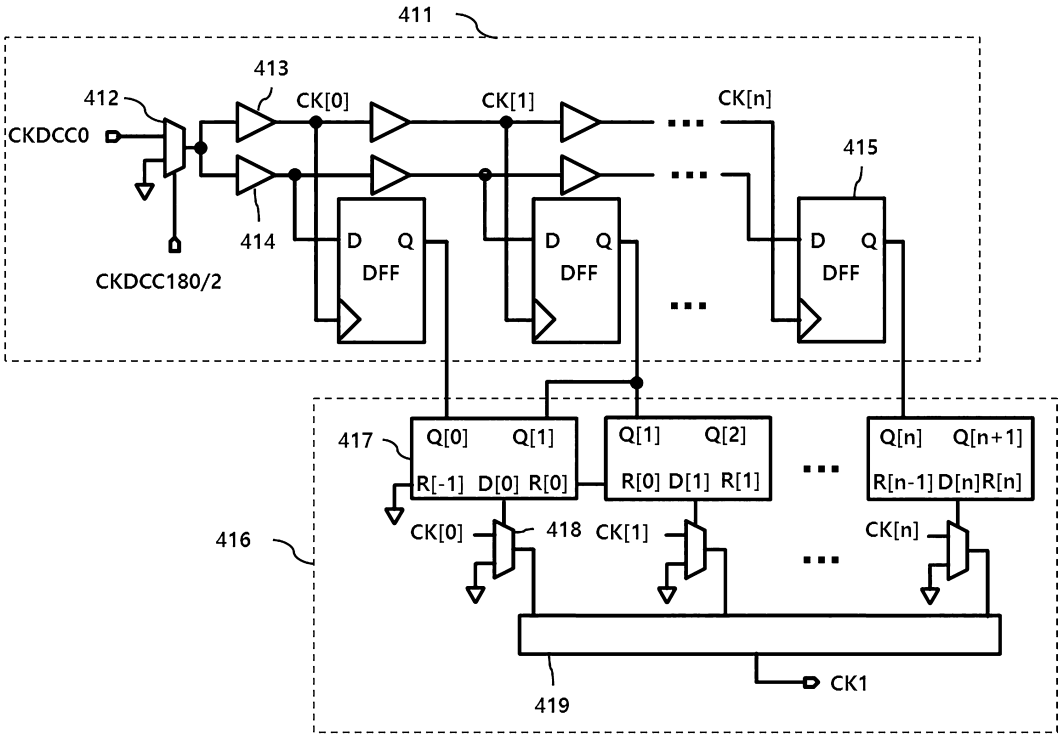

310
CKDCC0
600
450
410
CK1
VD
440
CKDCC180
420
430
CK2

400

도면7

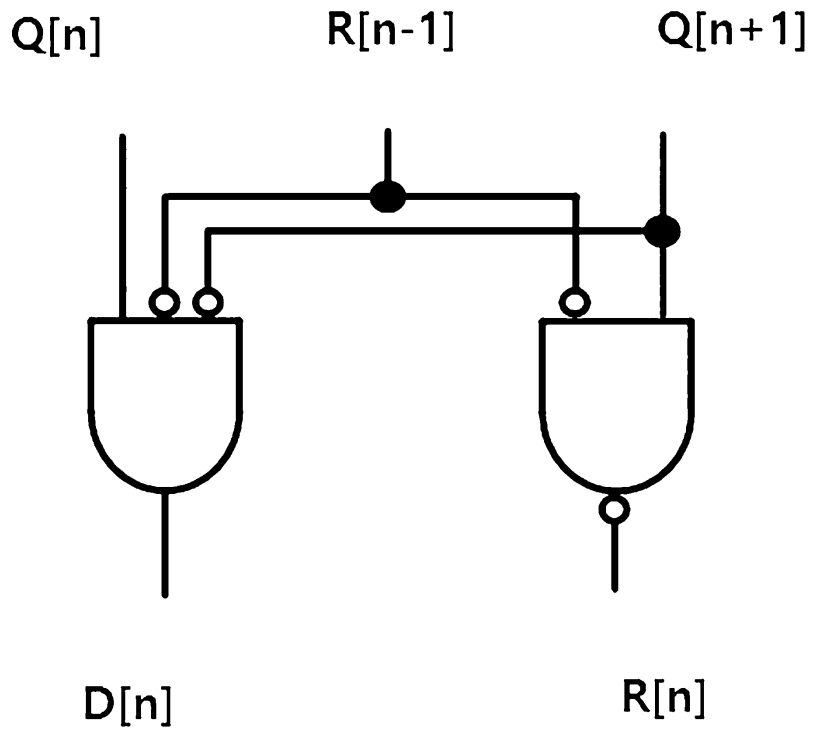

80%
20%
20%
80%
50%
50%
CKDCC0
80%
CK1
Toff
CK2
Td
VD

도면8


411
413
412
CK[0]
CK[1]
CK[n]
CKDCC0
415
414
D Q
DFF
CKDCC180/2
417
Q[0] Q[1]
R[-1] D[0] R[0]
Q[1] Q[2]
R[0] D[1] R[1]
Q[n] Q[n+1]
R[n-1] D[n] R[n]
416
CK[0]
418
CK[1]
CK[n]
CK1
419

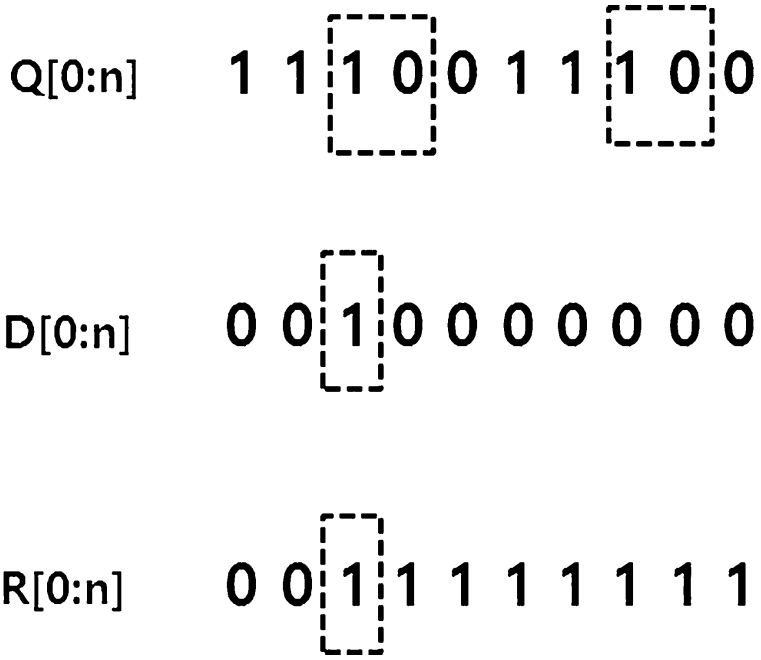
410

도면9

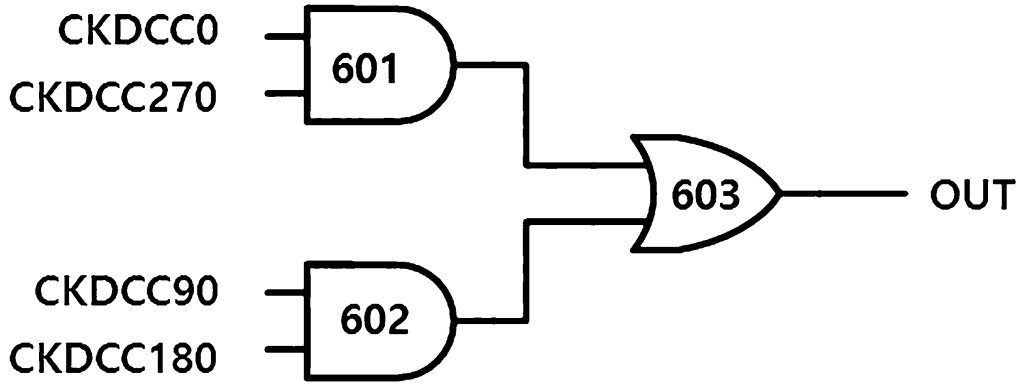

Q[n]
R[n-1]
Q[n+1]
D[n]
R[n]

417

도면10


Q[0:n]
1 1 1 0 0 1 1 1 0 0
D[0:n]
0 0 1 0 0 0 0 0 0 0
R[0:n]
0 0 1 1 1 1 1 1 1 1

도면11



600

도면12

