

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6870546号
(P6870546)

(45) 発行日 令和3年5月12日 (2021.5.12)

(24) 登録日 令和3年4月19日 (2021.4.19)

(51) Int. Cl.	F I
H O 1 L 29/06 (2006.01)	H O 1 L 29/78 6 5 2 P
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 6 5 2 T
H O 1 L 29/12 (2006.01)	H O 1 L 29/78 6 5 3 C
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 5 2 S
	H O 1 L 29/06 3 0 1 M
請求項の数 8 (全 22 頁) 最終頁に続く	

(21) 出願番号	特願2017-176776 (P2017-176776)	(73) 特許権者	000004260
(22) 出願日	平成29年9月14日 (2017.9.14)		株式会社デンソー
(65) 公開番号	特開2019-54087 (P2019-54087A)		愛知県刈谷市昭和町1丁目1番地
(43) 公開日	平成31年4月4日 (2019.4.4)	(73) 特許権者	000003609
審査請求日	令和2年1月10日 (2020.1.10)		株式会社豊田中央研究所
			愛知県長久手市横道41番地の1
		(74) 代理人	110001128
			特許業務法人ゆうあい特許事務所
		(72) 発明者	登尾 正人
			愛知県刈谷市昭和町1丁目1番地 株式会
			社デンソー内
		(72) 発明者	石子 雅康
			愛知県長久手市横道41番地の1 株式会
			社豊田中央研究所内
		最終頁に続く	

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体素子（100）が形成されたセル領域（RC）と、該セル領域の外周を囲む外周領域（RO）とを有する半導体装置であって、

表面および裏面を有し、第1または第2導電型の半導体で構成された基板（1）と、前記基板の表面上に形成され、前記基板よりも低不純物濃度とされた第1導電型の半導体からなる第1導電型層（2、60）と、

前記基板に対して前記第1導電型層を挟んだ反対側に形成された前記半導体素子に備えられる第1電極（9）と、

前記基板の裏面側に形成された前記半導体素子に備えられる第2電極（10）と、を有し、

前記外周領域には、

前記第1導電型層の表層部のうち該第1導電型層の表面から離れた位置に形成され、前記セル領域を囲む複数の枠形状とされたライン状の第2導電型のガードリング（21）と、

前記第1導電型層の表面に形成された層間絶縁膜（10）と、が備えられ、

前記第1導電型層には、前記基板の表面上に形成されていると共に表層部に前記ガードリングが形成された第1層（2）と、前記ガードリングおよび前記第1層の上に形成されていると共に前記第1層よりも第1導電型不純物濃度が高くされた第2層（60）とが含まれている半導体装置。

10

20

【請求項 2】

前記半導体素子は MOSFET であり、

前記 MOSFET は、

前記第 2 層の上に形成された第 2 導電型のベース領域 (3) と、

前記ベース領域の上に形成され、前記第 1 層よりも第 1 導電型不純物濃度が高くされた第 1 導電型のソース領域 (4) と、

前記ソース領域の表面から前記ベース領域よりも深く形成されたゲートトレンチ (6) 内に、該ゲートトレンチの内壁面を覆うゲート絶縁膜 (7) と該ゲート絶縁膜の上に配置されたゲート電極 (8) とを備えて構成されたトレンチゲート構造と、

前記ゲート電極および前記ゲート絶縁膜を覆うと共にコンタクトホールが形成された前記層間絶縁膜と、

前記コンタクトホールを通じて、前記ソース領域および前記ベース領域に電氣的に接続された前記第 1 電極に相当するソース電極 (9) と、

前記基板の裏面側に形成された前記第 2 電極に相当するドレイン電極 (11) と、を含み、

前記第 2 層が電流分散層を構成している請求項 1 に記載の半導体装置。

【請求項 3】

半導体素子 (100) が形成されたセル領域 (RC) と、該セル領域の外周を囲む外周領域 (RO) とを有する半導体装置の製造方法であって、

表面および裏面を有する第 1 または第 2 導電型の半導体で構成された基板 (1) の上に、前記基板よりも低不純物濃度の第 1 導電型の半導体からなる第 1 導電型層 (2、60) を形成することと、

前記第 1 導電型層の上に、第 2 導電型の半導体からなるベース領域 (3) を形成することと、

前記ベース領域の上に、前記第 1 導電型層よりも第 1 導電型不純物濃度が高くされた第 1 導電型の半導体からなるソース領域 (4) を形成することと、

前記セル領域において、前記ソース領域の表面から前記ベース領域を貫通して前記第 1 導電型層に達するゲートトレンチ (6) を形成したのち、該ゲートトレンチ内に、ゲート絶縁膜 (7) を形成すると共に、前記ゲート絶縁膜の上にゲート電極 (8) を形成することでトレンチゲート構造を形成することと、

前記外周領域において、前記ソース領域および前記ベース領域を貫通して前記第 1 導電型層に達する凹部 (20) を形成することと、

前記トレンチゲート構造と前記ソース領域および前記ベース領域を覆うと共に前記凹部内を覆う層間絶縁膜 (10) を形成することと、

前記セル領域において、前記層間絶縁膜にコンタクトホールを形成したのち、該コンタクトホールを通じて前記ソース領域および前記ベース領域に電氣的に接続されるソース電極 (9) を形成することと、

前記基板の裏面側にドレイン電極 (11) を形成することと、を含み、

さらに、前記ベース領域を形成する前に、前記セル領域において、前記第 1 導電型層に対して第 2 導電型不純物をイオン注入することで、前記第 1 導電型層の表面に至る第 2 導電型のディープ層 (5) を形成することと、

前記ベース領域を形成する前に、前記外周領域において、前記第 1 導電型層に対して第 2 導電型不純物をイオン注入することで、前記第 1 導電型層の表面から離れた深さの位置に、前記セル領域を囲む枠形状とされたライン状の第 2 導電型のガードリング (21) を形成することと、を含み、

前記ディープ層を形成することは、

前記第 1 導電型層に対して該第 1 導電型層の表面から離れた深さの位置に第 2 導電型不純物をイオン注入することで、前記ガードリングを形成すると同時に前記ディープ層の下部 (5a) を形成することと、

前記第 1 導電型層に対して第 2 導電型不純物をイオン注入することで、前記下部と連結

10

20

30

40

50

されると共に該第1導電型層の表面に至る前記ディープ層の上部(5b)を形成することと、を含んでいる半導体装置の製造方法。

【請求項4】

半導体素子(100)が形成されたセル領域(RC)と、該セル領域の外周を囲む外周領域(RO)とを有する半導体装置の製造方法であって、

表面および裏面を有する第1または第2導電型の半導体で構成された基板(1)の上に、前記基板よりも低不純物濃度の第1導電型の半導体からなる第1導電型層(2、60)を形成することと、

前記第1導電型層の上に、第2導電型の半導体からなるベース領域(3)を形成することと、

前記ベース領域の上に、前記第1導電型層よりも第1導電型不純物濃度が高くされた第1導電型の半導体からなるソース領域(4)を形成することと、

前記セル領域において、前記ソース領域の表面から前記ベース領域を貫通して前記第1導電型層に達するゲートトレンチ(6)を形成したのち、該ゲートトレンチ内に、ゲート絶縁膜(7)を形成すると共に、前記ゲート絶縁膜の上にゲート電極(8)を形成することでトレンチゲート構造を形成することと、

前記外周領域において、前記ソース領域および前記ベース領域を貫通して前記第1導電型層に達する凹部(20)を形成することと、

前記トレンチゲート構造と前記ソース領域および前記ベース領域を覆うと共に前記凹部内を覆う層間絶縁膜(10)を形成することと、

前記セル領域において、前記層間絶縁膜にコンタクトホールを形成したのち、該コンタクトホールを通じて前記ソース領域および前記ベース領域に電氣的に接続されるソース電極(9)を形成することと、

前記基板の裏面側にドレイン電極(11)を形成することと、を含み、

さらに、前記ベース領域を形成する前に、前記セル領域において、前記第1導電型層に対して第2導電型不純物をイオン注入することで、前記第1導電型層の表面に至る第2導電型のディープ層(5)を形成することと、

前記ベース領域を形成する前に、前記外周領域において、前記第1導電型層に対して第2導電型不純物をイオン注入することで、前記第1導電型層の表面から離れた深さの位置に、前記セル領域を囲む枠形状とされたライン状の第2導電型のガードリング(21)を形成することと、を含み、

前記第1導電型層を形成することは、

前記第1導電型層として、前記基板の表面上に形成される第1層(2)を形成することと、前記第1層の表面上に、該第1層よりも第1導電型不純物濃度が高くされた第2層(60)を形成することと、を含んでいる半導体装置の製造方法。

【請求項5】

半導体素子(100)が形成されたセル領域(RC)と、該セル領域の外周を囲む外周領域(RO)とを有する半導体装置の製造方法であって、

表面および裏面を有する第1または第2導電型の半導体で構成された基板(1)の上に、前記基板よりも低不純物濃度の第1導電型の半導体からなる第1導電型層(2、60)を形成することと、

前記第1導電型層の上に、第2導電型の半導体からなるベース領域(3)を形成することと、

前記ベース領域の上に、前記第1導電型層よりも第1導電型不純物濃度が高くされた第1導電型の半導体からなるソース領域(4)を形成することと、

前記セル領域において、前記ソース領域の表面から前記ベース領域を貫通して前記第1導電型層に達するゲートトレンチ(6)を形成したのち、該ゲートトレンチ内に、ゲート絶縁膜(7)を形成すると共に、前記ゲート絶縁膜の上にゲート電極(8)を形成することでトレンチゲート構造を形成することと、

前記外周領域において、前記ソース領域および前記ベース領域を貫通して前記第1導電

10

20

30

40

50

型層に達する凹部（２０）を形成することと、

前記トレンチゲート構造と前記ソース領域および前記ベース領域を覆うと共に前記凹部内を覆う層間絶縁膜（１０）を形成することと、

前記セル領域において、前記層間絶縁膜にコンタクトホールを形成したのち、該コンタクトホールを通じて前記ソース領域および前記ベース領域に電氣的に接続されるソース電極（９）を形成することと、

前記基板の裏面側にドレイン電極（１１）を形成することと、を含み、

さらに、前記ベース領域を形成する前に、前記セル領域において、前記第１導電型層に対して第２導電型不純物をイオン注入することで、前記第１導電型層の表面に至る第２導電型のディープ層（５）を形成することと、

前記ベース領域を形成する前に、前記外周領域において、前記第１導電型層に対して第２導電型不純物をイオン注入することで、前記第１導電型層の表面から離れた深さの位置に、前記セル領域を囲む枠形状とされたライン状の第２導電型のガードリング（２１）を形成することと、を含み、

前記第１導電型層を形成することは、

前記第１導電型層として、前記基板の表面上に形成される第１層（２）を形成することと、前記第１層の表面上に、該第１層よりも第１導電型不純物濃度が高くされた第２層（６０）を形成することと、を含み、

さらに、前記第２層を形成することの前に、前記第１層に対して第２導電型不純物をイオン注入することで、前記ガードリングを形成すると同時に前記ディープ層の下部（５a）を形成することと、

前記第２層を形成することの後に、前記第２層に対して第２導電型不純物をイオン注入することで、前記下部と連結される前記ディープ層の上部（５b）を形成することと、を含んでいる半導体装置の製造方法。

【請求項６】

前記セル領域に形成されるディープ層を第１ディープ層として、

前記外周領域のうち、前記セル領域と前記ガードリングが形成されるガードリング部（RG）との間に位置する繋ぎ部（RJ）において、前記第１導電型層の表層部に、第２導電型不純物をイオン注入することで第２導電型の第２ディープ層（３０）を形成することを含み、

前記第２ディープ層を形成することは、

前記ガードリングを形成すると同時に前記第１ディープ層の下部を形成する際に、さらに前記第２ディープ層の下部（３０a）を同時に形成することと、

前記第１ディープ層の上部を形成する際に、さらに前記第２ディープ層の上部（３０b）を同時に形成することと、を含んでいる請求項３に記載の半導体装置の製造方法。

【請求項７】

半導体素子（１００）が形成されたセル領域（RC）と、該セル領域の外周を囲む外周領域（RO）とを有する半導体装置の製造方法であって、

表面および裏面を有する第１または第２導電型の半導体で構成された基板（１）の上に、前記基板よりも低不純物濃度の第１導電型の半導体からなる第１導電型層（２、６０）を形成することと、

前記第１導電型層の上に、第２導電型の半導体からなるベース領域（３）を形成することと、

前記ベース領域の上に、前記第１導電型層よりも第１導電型不純物濃度が高くされた第１導電型の半導体からなるソース領域（４）を形成することと、

前記セル領域において、前記ソース領域の表面から前記ベース領域を貫通して前記第１導電型層に達するゲートトレンチ（６）を形成したのち、該ゲートトレンチ内に、ゲート絶縁膜（７）を形成すると共に、前記ゲート絶縁膜の上にゲート電極（８）を形成することでトレンチゲート構造を形成することと、

前記外周領域において、前記ソース領域および前記ベース領域を貫通して前記第１導電

10

20

30

40

50

型層に達する凹部（２０）を形成することと、

前記トレンチゲート構造と前記ソース領域および前記ベース領域を覆うと共に前記凹部内を覆う層間絶縁膜（１０）を形成することと、

前記セル領域において、前記層間絶縁膜にコンタクトホールを形成したのち、該コンタクトホールを通じて前記ソース領域および前記ベース領域に電氣的に接続されるソース電極（９）を形成することと、

前記基板の裏面側にドレイン電極（１１）を形成することと、を含み、

さらに、前記ベース領域を形成する前に、前記セル領域において、前記第１導電型層に対して第２導電型不純物をイオン注入することで、前記第１導電型層の表面に至る第２導電型のディープ層（３）を形成することと、

前記凹部を形成した後に、前記外周領域において、前記第１導電型層に対して該第１導電型層の表面から離れた深さの位置に第２導電型不純物をイオン注入することで、前記セル領域を囲む枠形状とされたライン状の第２導電型のガードリング（２１）を形成することと、を含み、

前記セル領域に形成されるディープ層を第１ディープ層として、

前記外周領域のうち、前記セル領域と前記ガードリングが形成されるガードリング部（ＲＧ）との間に位置する繋ぎ部（ＲＪ）において、前記第１導電型層の表層部に、第２導電型不純物をイオン注入することで第２導電型の第２ディープ層（３０）を形成することを含み、

前記第２ディープ層を形成することは、

前記第１ディープ層を形成する際に、さらに前記第２ディープ層の少なくとも一部を同時に形成することと、を含んでいる半導体装置の製造方法。

【請求項８】

前記第２ディープ層を形成することは、

前記ガードリングを形成する際に、さらに前記第２ディープ層のうちの前記ガードリング側の端部を同時に形成すること、を含んでいる請求項７に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、半導体装置およびその製造方法に関し、特に炭化珪素（以下、ＳｉＣという）などのワイドバンドギャップ半導体を用いた半導体素子およびその製造方法に適用されると好適なものである。

【背景技術】

【０００２】

従来より、ＭＯＳＦＥＴなどの半導体素子が形成されるセル領域とセル領域を囲む外周領域とを有する半導体装置では、外周領域に、素子耐圧を向上させるための外周耐圧構造を備えるようにしている。この外周耐圧構造として、ガードリング構造が挙げられる。ガードリング構造は、セル領域の周囲に形成した凹部の底面に接するようにｐ型ガードリングを形成することで構成され、セル領域を囲むようにｐ型ガードリングが複数本同心状に配置された構造とされている。このようなガードリング構造を備えることで、等電位線がセル領域から外周領域に向かって伸ばされ、ガードリング構造において徐々に終端させられるようにできるため、電界集中の緩和による耐圧向上を図ることが可能となる。

【０００３】

一方、特許文献１には、半導体装置において、セル領域に形成されるＭＯＳＦＥＴのオン抵抗の低減を図ることができる構造が提案されている。この半導体装置では、 n^- 型層の表層部に電界緩和層の下部となるｐ型高濃度領域を形成した後、 n^- 型層およびｐ型高濃度領域の上に電流分散層を構成するｎ型高濃度層を形成し、さらにｎ型高濃度層内に電界緩和層の上部となるｐ型低濃度領域を形成する。また、 n 型高濃度層および電界緩和層の上にｐ型ベース領域を形成したのち、その上に n^+ 型ソース領域を形成し、さらに n^+

10

20

30

40

50

型ソース領域および p 型ベース領域を貫通するようにトレンチゲート構造を備えるようにしている。このように、ドリフト層を構成する n 型層をすべて n⁺ 型層とするのではなく、一部を n 型高濃度層として不純物濃度を高くしている。このような n 型高濃度層を備えることで、電流が横方向、つまりトレンチゲート構造の側面に形成されるチャネル領域の法線方向にも分散させる電流分散層として機能させられ、オン抵抗の低減を図ることが可能となる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2016-66780号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、従来の半導体装置では、p 型ガードリングが凹部の底面に接した構造となっていることから、p 型ガードリングがその上に形成される層間絶縁膜と接した構造となる。このため、p 型ガードリングとその周囲の n 型層とによる PN 接合の境界部が層間絶縁膜と接した構造となり、PN 接合部に電界集中が発生し、PN 接合部に接している層間絶縁膜にも高電界が印加されることになる。このため、層間絶縁膜や更にその上に保護膜が形成された場合などに、それらの最表面での電界強度が高くなり、沿面破壊を発生させることが懸念される。特に、半導体材料として SiC を用いる場合には、高電圧が使用

20

【0006】

また、特許文献1のように電流分散層を備える構造とする場合、外周領域においても、電流分散層を構成する n 型層が形成されることになる。この場合、n⁺ 型層の表層部に p 型高濃度領域を形成する際に p 型ガードリングの下部を形成したのち、その上に、電流分散層を構成する n 型高濃度層を形成する際に外周領域にも n 型高濃度層を形成する。そして、セル領域において n 型高濃度層に p 型低濃度領域を形成する際に、外周領域に形成された n 型高濃度領域に p 型ガードリングの上部を形成することで、p 型ガードリングを形成することができる。

【0007】

30

ところが、このような構成とする場合にも、p 型ガードリングとその周囲の n 型高濃度層との PN 接合の境界部が層間絶縁膜と接する構造となるため、上記と同様の課題を発生させる。

【0008】

さらに、p 型ガードリングの上部と下部を別々の工程で形成することになり、それぞれを形成する際のマスクズレによって、上部と下部の形成位置にズレが生じ得る。その場合、隣り合う p 型ガードリング同士の間隔が狭くなり、p 型ガードリングの電界緩和機能が発揮できなくなって、外周領域での耐圧が得られなくなるという課題を発生させる。

【0009】

本発明は上記点に鑑みて、外周領域に備えられるガードリングとその周囲との PN 接合での電界集中に起因する沿面破壊を抑制できる半導体装置およびその製造方法を提供することを第1の目的とする。また、電流分散層を形成する際に、ガードリングの間隔が狭くなることによる外周領域での耐圧低下を抑制できる半導体装置およびその製造方法を提供することを第2の目的とする。

40

【課題を解決するための手段】

【0010】

上記目的を達成するため、請求項1に記載の半導体装置は半導体素子(100)が形成されたセル領域(RC)と、該セル領域の外周を囲む外周領域(RO)とを有して構成され、半導体で構成された第1または第2導電型の基板(1)と、基板の上に形成され、基板よりも低不純物濃度とされた第1導電型の半導体からなる第1導電型層(2、60)と

50

、を有し、外周領域には、第1導電型層の表層部のうち該第1導電型層の表面から離れた位置に形成され、セル領域を囲む複数の枠形状とされたライン状の第2導電型のガードリング(21)と、第1導電型層の表面に形成された層間絶縁膜(10)と、が備えられている。

【0011】

このような構成の半導体装置では、各ガードリングが第1導電型層の表面から離れた位置に形成されるようにしていることから、ガードリングと第1導電型層とによるPN接合の境界部が層間絶縁膜から離れた状態となる。このため、PN接合部に電界集中が発生しても、PN接合部に層間絶縁膜が接していないため、層間絶縁膜に印加される電界強度を抑制することができる。したがって、層間絶縁膜や更にその上に保護膜が形成された場合などに、それらの最表面での電界強度の増加を抑制でき、沿面破壊の発生を抑制することが可能となる。特に、半導体材料としてSiCを用いる場合、高電圧が使用されることで最表面での電界強度がより高くなり得るが、SiCを用いる場合でも沿面破壊の発生を抑制することが可能となる。

10

【0012】

また、請求項1に記載の半導体装置は、第1導電型層に、基板の表面上に形成されると共に表層部に前記ガードリングが形成された第1層(2)と、ガードリングおよび第1層の上に形成されていると共に第1層よりも第1導電型不純物濃度が高くされた第2層(60)とが含まれた構成とされている。

20

【0013】

このように、第1導電型層を第1層と第1層よりも第1導電型不純物濃度が高くされた第2層とによって構成する場合、第2層にて電流分散層を構成することができる。このような場合に、第1層の表層部にガードリングを形成し、ガードリングの上に第2層を配置すること、つまり第2層へはガードリングを形成しないようにすることで、マスクズレによってガードリング同士の間隔が短くなるという問題が発生しないようにできる。したがって、電流分散層を構成する第2層を形成する際に、ガードリングの間隔が狭くなることによる外周領域での耐圧低下を抑制できる。

【0014】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係の一例を示すものである。

30

【図面の簡単な説明】

【0015】

【図1】第1実施形態にかかるSiC半導体装置の上面レイアウト図である。

【図2】図1のII-II断面図である。

【図3】p型ガードリングの位置と電界強度との関係を示した図である。

【図4A】図1、図2に示すSiC半導体装置の製造工程を示した斜視断面図である。

【図4B】図4Aに続くSiC半導体装置の製造工程を示した断面図である。

【図4C】図4Bに続くSiC半導体装置の製造工程を示した断面図である。

【図4D】図4Cに続くSiC半導体装置の製造工程を示した断面図である。

【図4E】図4Dに続くSiC半導体装置の製造工程を示した断面図である。

40

【図4F】図4Eに続くSiC半導体装置の製造工程を示した断面図である。

【図4G】図4Fに続くSiC半導体装置の製造工程を示した断面図である。

【図4H】図4Gに続くSiC半導体装置の製造工程を示した断面図である。

【図4I】図4Hに続くSiC半導体装置の製造工程を示した断面図である。

【図5A】第2実施形態にかかるSiC半導体装置の製造工程を示した断面図である。

【図5B】図5Aに続くSiC半導体装置の製造工程を示した断面図である。

【図5C】図5Bに続くSiC半導体装置の製造工程を示した断面図である。

【図5D】図5Cに続くSiC半導体装置の製造工程を示した断面図である。

【図6A】第3実施形態にかかるSiC半導体装置の製造工程を示した断面図である。

【図6B】図6Aに続くSiC半導体装置の製造工程を示した断面図である。

50

【図 6 C】図 6 B に続く S i C 半導体装置の製造工程を示した断面図である。

【図 6 D】図 6 C に続く S i C 半導体装置の製造工程を示した断面図である。

【図 7】第 4 実施形態にかかる S i C 半導体装置の断面図である。

【図 8】p 型ガードリングの形成位置にずれが生じた場合の様子を示した断面図である。

【図 9】p 型ガードリングの形成位置のずれ量に対する耐圧の変化を示した図である。

【図 10 A】図 7 に示す S i C 半導体装置の製造工程を示した断面図である。

【図 10 B】図 10 A に続く S i C 半導体装置の製造工程を示した断面図である。

【図 10 C】図 10 B に続く S i C 半導体装置の製造工程を示した断面図である。

【発明を実施するための形態】

【0016】

10

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

【0017】

(第 1 実施形態)

第 1 実施形態について説明する。ここでは半導体素子としてトレンチゲート構造の反転型の MOSFET が形成された S i C 半導体装置を例に挙げて説明する。

【0018】

図 1 に示す S i C 半導体装置は、トレンチゲート構造の MOSFET 100 が形成されるセル領域 RC と、このセル領域 RC を囲む外周領域 RO とを有した構成とされている。外周領域 RO は、ガードリング部 RG と、ガードリング部 RG よりも内側、つまりセル領域 RC とガードリング部 RG との間に配置される繋ぎ部 RJ とを有した構成とされている。なお、図 1 は断面図ではないが、図を見やすくするために部分的にハッチングを示してある。

20

【0019】

図 2 に示すように、S i C 半導体装置は、S i C からなる n⁺ 型基板 1 を用いて形成されている。n⁺ 型基板 1 の主表面上には、S i C からなる n⁻ 型層 2 と p 型ベース領域 3 とがエピタキシャル成長などによって形成されており、さらに、p 型ベース領域 3 の表層部に n⁺ 型ソース領域 4 が形成されている。

【0020】

n⁺ 型基板 1 は、例えば n 型不純物濃度が $1.0 \times 10^{19} / \text{cm}^3$ とされ、表面が (0001) Si 面で、オフ方向が $\langle 11-20 \rangle$ 方向のオフ基板とされている。n⁻ 型層 2 は、例えば n 型不純物濃度が $5.0 \times 10^{15} \sim 2.0 \times 10^{16} / \text{cm}^3$ とされている。本実施形態の場合、この n⁻ 型層 2 がドリフト層となる n 型層を構成している。

30

【0021】

また、p 型ベース領域 3 は、チャネル領域が形成される部分で、p 型不純物濃度が例えば $2.0 \times 10^{17} / \text{cm}^3$ 程度とされ、厚みが 300 nm で構成されている。p 型ベース領域 3 の表層部、つまり n⁺ 型ソース領域 4 に挟まれた場所には、部分的に p 型不純物が高濃度とされた p 型コンタクト領域 3a が形成されている。n⁺ 型ソース領域 4 は、n⁻ 型層 2 よりも高不純物濃度とされ、表層部における n 型不純物濃度が例えば $2.5 \times 10^{18} \sim 1.0 \times 10^{19} / \text{cm}^3$ 、厚さ 0.5 μm 程度で構成されている。

40

【0022】

セル領域 RC では、n⁺ 型基板 1 の表面側において p 型ベース領域 3 および n⁺ 型ソース領域 4 が残されており、ガードリング部 RG では、p 型ベース領域 3 を貫通して n⁻ 型層 2 に達するように凹部 20 が形成されている。このような構造とすることで、セル領域 RC や繋ぎ部 RJ がガードリング部 RG よりも突出させられたメサ部が構成されている。

【0023】

また、セル領域 RC では、n⁻ 型層 2 の表層部に、p 型ベース領域 3 よりも p 型不純物濃度が高くされた第 1 ディープ層に相当する p 型ディープ層 5 が形成されている。より詳しくは、p 型ディープ層 5 は、n⁻ 型層 2 の所定深さの位置から表面に至るまで形成されており、例えば、n⁻ 型層 2 に対して p 型不純物をイオン注入することで形成されている

50

。

【0024】

p型ディープ層5は、n⁻型層2内に複数本が等間隔に配置され、互いに交点なく離れて配置されることでストライプ状とされている。上記したp型ベース領域3およびn⁺型ソース領域4は、このp型ディープ層5の上に形成されている。

【0025】

各p型ディープ層5は、同じ不純物濃度、同じ幅、かつ、同じ深さで形成されており、例えば、p型不純物濃度が $1.0 \times 10^{17} \sim 1.0 \times 10^{19} / \text{cm}^3$ 、幅 $0.7 \mu\text{m}$ 、深さ $2.0 \mu\text{m}$ 程度で構成されている。各p型ディープ層5は、図1に示すようにセル領域RCの一端から他端に渡って形成されている。そして、本実施形態では、p型ディープ層5は、後述するトレンチゲート構造と同方向を長手方向として延設され、トレンチゲート構造の両端においてセル領域RCの外側に延設された後述する繋ぎ部RJのp型ディープ層30とつながっている。

【0026】

p型ディープ層5の延設方向については任意であるが、本実施形態では、オフ方向と同じ<11-20>方向としてある。

【0027】

また、p型ベース領域3およびn⁺型ソース領域4を貫通してn⁻型層2に達し、かつ、p型ディープ層5よりも浅くなるように、例えば幅が $0.8 \mu\text{m}$ 、深さが $1.0 \mu\text{m}$ のゲートトレンチ6が形成されている。このゲートトレンチ6の側面と接するように上述したp型ベース領域3およびn⁺型ソース領域4が配置されている。ゲートトレンチ6は、図2の紙面左右方向を幅方向、紙面垂直方向を長手方向、紙面上下方向を深さ方向とするライン状のレイアウトで形成されている。また、図1に示すように、ゲートトレンチ6は、複数本がそれぞれp型ディープ層5の間に挟まれるように配置され、それぞれが平行に等間隔で並べられることでストライプ状とされている。

【0028】

さらに、p型ベース領域3のうちゲートトレンチ6の側面に位置している部分を、縦型MOSFET100の作動時にn⁺型ソース領域4とn⁻型層2との間を繋ぐチャンネル領域として、チャンネル領域を含むゲートトレンチ6の内壁面にはゲート絶縁膜7が形成されている。そして、ゲート絶縁膜7の表面にはドーパドPoly-Siにて構成されたゲート電極8が形成されており、これらゲート絶縁膜7およびゲート電極8によってゲートトレンチ6内が埋め尽くされている。これにより、トレンチゲート構造が構成されている。なお、図1では、図を見やすくするためにトレンチゲート構造およびp型ディープ層5の数を減らして記載してあるが、実際には同様の構造が多数配置されている。

【0029】

また、n⁺型基板1に対してn⁻型層2を挟んだ反対側、具体的にはn⁺型ソース領域4およびp型ディープ層5やゲート電極8の表面には、層間絶縁膜10を介して第1電極に相当するソース電極9や図示しないゲート配線層等が形成されている。ソース電極9およびゲート配線層は、複数の金属、例えばNi/Al等にて構成されている。そして、複数の金属のうち少なくともn型SiC、具体的にはn⁺型ソース領域4と接触する部分はn型SiCとオーミック接触可能な金属で構成されている。また、複数の金属のうち少なくともp型SiC、具体的にはp型コンタクト領域3aと接触する部分はp型SiCとオーミック接触可能な金属で構成されている。なお、これらソース電極9およびゲート配線層は、層間絶縁膜10上において分離されることで電氣的に絶縁されている。そして、層間絶縁膜10に形成されたコンタクトホールを通じて、ソース電極9はn⁺型ソース領域4およびp型コンタクト領域3aと電氣的に接触させられ、ゲート配線層はゲート電極8と電氣的に接触させられている。

【0030】

さらに、n⁺型基板1の裏面側にはn⁺型基板1と電氣的に接続された第2電極に相当するドレイン電極11が形成されている。このような構造により、nチャンネルタイプの反

10

20

30

40

50

転型のトレンチゲート構造のMOSFET100が構成されている。そして、このようなMOSFET100が複数セル配置されることでセル領域RCが構成されている。

【0031】

一方、ガードリング部RGでは、上記したように、p型ベース領域3を貫通してn⁻型層2に達するように凹部20が形成されている。このため、セル領域RCから離れた位置ではn⁺型ソース領域4およびp型ベース領域3が除去されて、n⁻型層2が露出させられている。そして、n⁺型SiC基板1の厚み方向において、凹部20よりも内側に位置するセル領域RCや繋ぎ部RJの一部が島状に突き出したメサ部となっている。

【0032】

また、凹部20の下方に位置するn⁻型層2の表層部には、セル領域RCおよび繋ぎ部RJを囲むように、複数本のp型ガードリング21が備えられている。本実施形態の場合、p型ガードリング21を四隅が丸められた四角形状としているが、円形状など他の枠形状で構成されていても良い。p型ガードリング21は、n⁻型層2の表面から離れた位置より所定深さの位置まで形成されており、例えば、n⁻型層2に対してp型不純物をイオン注入することで形成されている。本実施形態の場合、p型ガードリング21は、下面がp型ディープ層5の下面と同じ深さとされているが、p型ディープ層5と異なり、n⁻型層2の表面までは形成されていないため、上面がp型ディープ層5の上面よりも深い位置となっている。

【0033】

本実施形態では、p型ガードリング21は、深さが異なっていること以外については上記したp型ディープ層5と同様の構成とされている。p型ガードリング21は、上面形状がセル領域RCおよび繋ぎ部RJを囲む枠形状のライン状とされている点において、直線状に形成されたp型ディープ層5と異なっているが、他は同様である。すなわち、p型ガードリング21はp型ディープ層5と同様の不純物濃度、同様の幅とされている。また、各p型ガードリング21の間隔については、等間隔であっても良いが、より内周側、つまりセル領域RC側において電界集中を緩和して等電位線がより外周側に向かうように、p型ガードリング21の間隔がセル領域RC側で狭く外周側に向かうほど大きくされている。

【0034】

なお、図示していないが、必要に応じてp型ガードリング21よりも外周にEQR構造が備えられることにより、セル領域RCを囲む外周耐压構造が備えられたガードリング部RGが構成されている。

【0035】

さらに、セル領域RCからガードリング部RGに至るまでの間を繋ぎ部RJとして、繋ぎ部RJにおいて、n⁻型層2の表層部に第2ディープ層に相当するp型ディープ層30が形成されている。p型ディープ層30は、p型ベース領域3に接触させられていることから、ソース電位に固定される。本実施形態の場合、図1中の実線ハッチングに示したように、繋ぎ部RJがセル領域RCを囲むように形成されており、さらにこの繋ぎ部RJの外側を囲むように、四隅が丸められた四角形状のp型ガードリング21が複数本形成されている。p型ディープ層30は、この繋ぎ部RJとされる実線ハッチング部分に形成されており、セル領域RCに形成されるp型ディープ層5と連結されている。

【0036】

各p型ディープ層30は、例えば、n⁻型層2の表面に対してp型不純物をイオン注入することで形成されている。p型ディープ層30の不純物濃度や深さは、上記したp型ディープ層5と同様とされている。

【0037】

さらに、繋ぎ部RJにおいても、n⁺型ソース領域4の表面に層間絶縁膜10が形成されている。

【0038】

このように、セル領域RCとガードリング部RGとの間に繋ぎ部RJを備えた構造とし

10

20

30

40

50

、繋ぎ部 R J に p 型ディープ層 3 0 を形成することで、トレンチゲート構造の両側に配置される p 型ディープ層 5 と連結している。これにより、セル領域 R C において等電位線が過剰にせり上がることを抑制しつつ、等電位線がセル領域 R C からガードリング部 R G に向かって伸ばされ、ガードリング部 R G において終端させられるようにすることができる。

【 0 0 3 9 】

以上のような構造により、本実施形態にかかる S i C 半導体装置が構成されている。このように構成される S i C 半導体装置は、M O S F E T 1 0 0 をオンするときには、ゲート電極 8 への印加電圧を制御することでゲートトレンチ 6 の側面に位置する p 型ベース領域 3 の表面部にチャネル領域を形成する。これにより、n ⁺ 型ソース領域 4 および n ⁻ 型層 2 を介して、ソース電極 9 およびドレイン電極 1 1 の間に電流を流す。

10

【 0 0 4 0 】

また、M O S F E T 1 0 0 のオフ時には、高電圧が印加されたとしても、トレンチゲート構造よりも深い位置まで形成された p 型ディープ層 5 および p 型ディープ層 3 0 によってゲートトレンチ底部への電界の入り込みが抑制される。このため、ゲートトレンチ底部での電界集中が緩和される。これにより、ゲート絶縁膜 7 の破壊が防止される。

【 0 0 4 1 】

さらに、繋ぎ部 R J では、等電位線のせり上がりが抑制され、ガードリング部 R G 側に向かうようにされる。また、ガードリング部 R G において、p 型ガードリング 2 1 によって等電位線が外周方向に向かって徐々に終端させられるようになり、ガードリング部 R G でも所望の耐圧を得ることができる。

20

【 0 0 4 2 】

そして、本実施形態の S i C 半導体装置では、各 p 型ガードリング 2 1 が n ⁻ 型層 2 の表面から離れた位置に形成されるようにしていることから、p 型ガードリング 2 1 と n ⁻ 型層 2 とによる P N 接合の境界部が層間絶縁膜 1 0 から離れた状態となる。このため、P N 接合部に電界集中が発生しても、P N 接合部に層間絶縁膜 1 0 が接していないため、層間絶縁膜 1 0 に印加される電界強度を抑制することができる。したがって、層間絶縁膜 1 0 や更にその上に図示しない保護膜を形成する場合などに、それらの最表面での電界強度の増加を抑制でき、沿面破壊の発生を抑制することが可能となる。特に、半導体材料として S i C を用いていることから、高電圧が使用されることで最表面での電界強度がより高くなり得るが、S i C を用いる場合でも沿面破壊の発生を抑制することが可能となる。

30

【 0 0 4 3 】

参考として、p 型ガードリング 2 1 と層間絶縁膜 1 0 とを離して形成した場合と接するように形成した場合とで、層間絶縁膜 1 0 と S i C との界面での電界強度の変化についてシミュレーションにより調べた。図 3 は、その結果を示している。なお、ここでは p 型ガードリング 2 1 を 1 8 個形成した場合についてシミュレーションを行っている。

【 0 0 4 4 】

この図に示されるように、p 型ガードリング 2 1 を層間絶縁膜 1 0 に接するように形成した従来と同様の構造の場合、各 p 型ガードリング 2 1 の外周側における n ⁻ 型層 2 との境界位置において、電界強度が大きくなる。そして、電界強度が最大となる点では 1 . 3 5 M V / c m を示し、非常に大きな値となった。

40

【 0 0 4 5 】

一方、本実施形態のように p 型ガードリング 2 1 を層間絶縁膜 1 0 から離して形成した場合にも、各 p 型ガードリング 2 1 の外周側における n ⁻ 型層 2 との境界位置において、電界強度が大きくなる。しかしながら、電界強度が最大 0 . 9 8 M V / c m となり、従来と同様の構造よりも十分に小さい値となった。このことから、本実施形態の構造とすることで、層間絶縁膜 1 0 と S i C との界面での電界強度を抑制することができていることが判る。

【 0 0 4 6 】

続いて、本実施形態に係る S i C 半導体装置の製造方法について図 4 A ~ 図 4 I を参照

50

して説明する。

【0047】

〔図4Aに示す工程〕

まず、半導体基板として、 n^+ 型基板1の主表面上にSiCからなる n^- 型層2をエピタキシャル成長させたものを用意する。このとき、 n^+ 型基板1の主表面上に n^- 型層2がエピタキシャル成長させることで半導体基板を用意しても良いし、予め n^+ 型基板1の主表面上に n^- 型層2がエピタキシャル成長させてあるいわゆるエピ基板を半導体基板として用意しても良い。

【0048】

〔図4Bに示す工程〕

次に、 n^- 型層2の上にマスク40を配置し、p型ディープ層5やp型ディープ層30およびp型ガードリング21の形成予定領域においてマスク40を開口させる。そして、マスク40を用いてp型不純物をイオン注入する。このとき、イオン注入の飛程を調整し、p型不純物が n^- 型層2の表面よりも所定深さ深い位置に注入されるようにし、 n^- 型層2の表面にはp型不純物がほぼ注入されないようにしている。これにより、p型ディープ層5の下部5aやp型ディープ層30の下部30aおよびp型ガードリング21が形成される。その後、マスク40を除去する。

【0049】

〔図4Cに示す工程〕

続いて、マスク41を配置し、p型ディープ層5およびp型ディープ層30の形成予定領域においてマスク41を開口させる。このとき、p型ガードリング21の形成予定領域についてはマスク41を開口させないようにする。そして、マスク41を用いてp型不純物をイオン注入する。これにより、p型ディープ層5の上部5bやp型ディープ層30の上部30bが形成され、先に形成されたp型ディープ層5の下部5aやp型ディープ層30の下部30aと繋がって、p型ディープ層5およびp型ディープ層30が構成される。その後、マスク41を除去する。

【0050】

なお、p型ディープ層5およびp型ディープ層30の上部5b、30bおよび下部5a、30aの幅については、同じ幅とすることもできるが、異なる幅となるようにしても良い。本実施形態の場合、p型ディープ層5およびp型ディープ層30の上部5b、30bの方が下部5a、30aよりも幅が狭くなるように設定してある。また、図4Bに示す工程と図4Cに示す工程の順番を入れ替え、図4Cに示す工程を図4Bに示す工程の前に行っても良い。

【0051】

〔図4Dに示す工程〕

p型ディープ層5とp型ディープ層30およびp型ガードリング21の上を含めて、 n^- 型層2の上にp型ベース領域3をエピタキシャル成長させる。

【0052】

〔図4Eに示す工程〕

p型ベース領域3の上に図示しないマスクを配置したのち、マスクのうち n^+ 型ソース領域4の形成予定領域を開口させる。そして、そのマスクを用いて n 型不純物をイオン注入することで n^+ 型ソース領域4を形成する。さらに、マスクを除去したのち、改めて図示しないマスクを配置し、マスクのうちのp型コンタクト領域3aの形成予定領域を開口させる。そして、そのマスクを用いてp型不純物をイオン注入することでp型コンタクト領域3aを形成する。その後、マスクを除去する。

【0053】

なお、ここでは n^+ 型ソース領域4やp型コンタクト領域3aをイオン注入によって形成しているが、いずれか一方をエピタキシャル成長によって形成し、他方をイオン注入によって形成することもできる。

【0054】

10

20

30

40

50

〔図４Ｆに示す工程〕

n^+ 型ソース領域４や p 型ベース領域３などの上に図示しないマスクを形成したのち、マスクのうちのゲートトレンチ６や凹部２０の形成予定領域を開口させる。そして、マスクを用いてＲＩＥ（Reactive Ion Etching）などの異方性エッチングを行うことで、 n^+ 型層２の上面よりも深く、 p 型ガードリング２１の上面よりも浅い深さのゲートトレンチ６および凹部２０を同時に形成する。

【００５５】

なお、ここではゲートトレンチ６および凹部２０を同時に形成しているが、これらを別々に形成することもできる。その場合、ゲートトレンチ６および凹部２０を異なる深さとすることができることから、それぞれを最適な深さに設計することも可能となる。

10

【００５６】

〔図４Ｇに示す工程〕

マスクを除去した後、例えば熱酸化を行うことによって、ゲート絶縁膜７を形成し、ゲート絶縁膜７によってゲートトレンチ６の内壁面上および n^+ 型ソース領域４の表面上を覆う。そして、 p 型不純物もしくは n 型不純物がドーブされた Poly-Si をデポジションした後、これをエッチバックし、少なくともゲートトレンチ６内に Poly-Si を残すことでゲート電極８を形成する。これにより、トレンチゲート構造が構成される。

【００５７】

〔図４Ｈに示す工程〕

ゲート電極８およびゲート絶縁膜７の表面を覆うように、例えば酸化膜などによって構成される層間絶縁膜１０を形成する。そして、層間絶縁膜１０の表面上に図示しないマスクを形成したのち、マスクのうちの各ゲート電極８の間に位置する部分、つまり p 型コンタクト領域３ａと対応する部分およびその近傍を開口させる。この後、マスクを用いて層間絶縁膜１０をパターニングすることで p 型コンタクト領域３ａおよび n^+ 型ソース領域４を露出させるコンタクトホールを形成する。

20

【００５８】

〔図４Ｉに示す工程〕

層間絶縁膜１０の表面上に例えば複数の金属の積層構造により構成される電極材料を形成する。そして、電極材料をパターニングすることで、ソース電極９や図示しないゲート配線などを形成する。

30

【００５９】

この後の工程については図示しないが、 n^+ 型基板１の裏面側にドレイン電極１１を形成するなどの工程を行うことで、本実施形態にかかる SiC 半導体装置が完成する。

【００６０】

以上説明したように、本実施形態の SiC 半導体装置では、各 p 型ガードリング２１が n^+ 型層２の表面から離れた位置に形成されるようにしており、 p 型ガードリング２１と n^+ 型層２とによる PN 接合の境界部が層間絶縁膜１０から離れた状態となっている。このため、 PN 接合部に電界集中が発生しても、 PN 接合部に層間絶縁膜１０が接していないため、層間絶縁膜１０に印加される電界強度を抑制することができる。したがって、層間絶縁膜１０や更にその上に図示しない保護膜を形成する場合などに、それらの最表面での電界強度の増加を抑制でき、沿面破壊の発生を抑制することが可能となる。

40

【００６１】

（第２実施形態）

第２実施形態について説明する。本実施形態は、第１実施形態に対して製造方法を変更したものであり、その他については第１実施形態と同様であるため、第１実施形態と異なる部分について主に説明する。

【００６２】

本実施形態にかかる SiC 半導体装置の製造方法について、上記した第１実施形態にかかる SiC 半導体装置の製造方法を参照して説明する。

【００６３】

50

まず、第1実施形態で説明した図4Aに示す工程と同様に、半導体基板として、 n^+ 型基板1の主表面上にSiCからなる n^- 型層2をエピタキシャル成長させたものを用意する。そして、図5A～図5Dに示す工程を行う。

【0064】

〔図5Aに示す工程〕

n^- 型層2の上にマスク50を配置し、p型ディープ層5およびp型ディープ層30の形成予定領域においてマスク50を開口させる。そして、マスク50を用いてp型不純物をイオン注入する。これにより、p型ディープ層5およびp型ディープ層30が形成される。その後、マスク50を除去する。

【0065】

〔図5Bに示す工程〕

次に、図5Bに示す工程として、 n^- 型層2の上にマスク51を配置し、p型ディープ層30およびp型ガードリング21の形成予定領域においてマスク51を開口させる。そして、マスク51を用いてp型不純物をイオン注入する。このとき、イオン注入の飛程を調整し、p型不純物が n^- 型層2の表面よりも所定深さ深い位置に注入されるようにし、 n^- 型層2の表面にはp型不純物がほぼ注入されないようにしている。これにより、p型ガードリング21を形成できると共に、p型ディープ層30のうちのp型ガードリング21側の部分を形成できる。この後、マスク51を除去する。

【0066】

なお、ここではp型ガードリング21を形成するだけでなくp型ディープ層30のうちのp型ガードリング21側の部分も形成するようにしている。これは、p型ディープ層30を図5Aに示す工程のみで形成した場合、p型ディープ層30とp型ガードリング21との間隔がマスク合わせ精度に応じてばらつく可能性があるためである。このように、p型ディープ層30のうちのp型ガードリング21側の端部もp型ガードリング21を形成する際に同時に形成することで、p型ディープ層30とp型ガードリング21との間隔のバラツキを無くすることが可能となる。

【0067】

この後は、図5Cや図5Dに示す工程として、第1実施形態で説明した図4Dや図4Eに示す工程を行う。これ以降については図示しないが、この後も、第1実施形態で説明した図4Fに示す工程以降の工程を行う。

【0068】

このように、 n^- 型層2の表面まで形成されるp型ディープ層5およびp型ディープ層30の形成工程と、 n^- 型層2の表面から離れた位置までしか形成しないp型ガードリング21の形成工程とを分けて行うようにしても良い。このようにしても、第1実施形態に示した構造のSiC半導体装置を製造することができる。

【0069】

また、p型ディープ層30のうちのp型ガードリング21側の端部もp型ガードリング21を形成する際に同時に形成することで、p型ディープ層30とp型ガードリング21との間隔のバラツキを無くすることが可能となる。勿論、p型ディープ層30とp型ガードリング21との間隔のバラツキが許容範囲内であれば良いため、その場合は、図5Bに示す工程の際にp型ガードリング21のみが形成されるようにすれば良い。

【0070】

（第3実施形態）

第3実施形態について説明する。本実施形態も、第1実施形態に対して製造方法を変更したものであり、その他については第1実施形態と同様であるため、第1実施形態と異なる部分について主に説明する。

【0071】

本実施形態にかかるSiC半導体装置の製造方法について、上記した第1実施形態にかかるSiC半導体装置の製造方法を参照して説明する。

【0072】

10

20

30

40

50

まず、第1実施形態で説明した図4Aに示す工程と同様に、半導体基板として、 n^+ 型基板1の主表面上にSiCからなる n^- 型層2をエピタキシャル成長させたものを用意する。また、第2実施形態で説明した図5Aに示す工程と同様の工程を行うことでp型ディープ層5およびp型ディープ層30を形成する。そして、図6A～図6Dに示す工程を行う。

【0073】

具体的には、図6Aに示す工程として、p型ガードリング21を形成することなく、図4Dと同様の工程を行うことでp型ベース領域3を形成する。そして、図6Bに示す工程として、図4Eに示す工程と同様の工程を行うことで n^+ 型ソース領域4およびp型コンタクト領域3aを形成する。さらに、図6Cに示す工程として、図4Fに示す工程と同様の工程を行うことで、ゲートトレンチ6や凹部20を形成する。

10

【0074】

そして、図6Dに示す工程として、 n^- 型層2の上にマスク52を配置し、p型ディープ層30およびp型ガードリング21の形成予定領域においてマスク52を開口させる。そして、マスク52を用いて凹部20の底面に対してp型不純物をイオン注入する。このとき、イオン注入の飛程を調整し、p型不純物が凹部20内における n^- 型層2の表面よりも所定深さ深い位置に注入されるようにし、 n^- 型層2の表面にはp型不純物がほぼ注入されないようにしている。これにより、p型ガードリング21を形成することができると共に、p型ディープ層30のうちのp型ガードリング21側の部分を形成することができる。この後、マスク52を除去する。

20

【0075】

なお、ここでもp型ガードリング21を形成するだけでなくp型ディープ層30のうちのp型ガードリング21側の端部も形成するようにしている。これにより、第2実施形態で説明したようにp型ディープ層30とp型ガードリング21との間隔のバラツキを無くすることができる。ただし、本実施形態の製造方法においても、p型ディープ層30とp型ガードリング21との間隔のバラツキが許容範囲内であれば良いため、その場合は、図6Eに示す工程の際にp型ガードリング21のみが形成されるようにすれば良い。

【0076】

これ以降については図示しないが、この後も、第1実施形態で説明した図4Gに示す工程以降の工程を行う。

30

【0077】

このように、凹部20の形成前に n^- 型層2の表面まで形成されるp型ディープ層5およびp型ディープ層30の形成工程を行い、凹部20の形成後に n^- 型層2の表面から離れた位置までしか形成しないp型ガードリング21の形成工程を行うようにしても良い。このようにしても、第1実施形態に示した構造のSiC半導体装置を製造することができる。

【0078】

(第4実施形態)

第4実施形態について説明する。本実施形態は、第1実施形態に対して電流分散層を備える構造としたものであり、その他については第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

40

【0079】

図7に示すように、本実施形態にかかるSiC半導体装置では、 n 型の電流分散層60が備えられており、 n^- 型層2の上に電流分散層60を介してp型ベース領域3が形成される構造としている。つまり、本実施形態の場合、p型ディープ層5の上部5bやp型ディープ層30の上部30bと対応する深さの位置において、p型ディープ層5やp型ディープ層30とされていない部分が電流分散層60とされている。そして、p型ガードリング21と層間絶縁膜10との間も電流分散層60によって構成されている。例えば、電流分散層60は、 n 型不純物濃度が $2.0 \times 10^{16} \sim 5.0 \times 10^{17} / \text{cm}^3$ とされ、厚みが $0.5 \sim 0.9 \mu\text{m}$ とされているが、外周領域ROでは、後述するように凹部20

50

を形成する際に一部が除去されることから、厚みが $0.2 \sim 0.6 \mu\text{m}$ とされている。

【0080】

電流分散層 60 は、 n^+ 型層 2 よりも n 型不純物濃度が高濃度、つまり低抵抗とされる層である。この n 型電流分散層 60 を備えるようにすると、電流分散層 60 においてより広範囲に電流を分散して流すことが可能となり、JFET 抵抗を低減することが可能になる。

【0081】

このように、 n^+ 型層 2 の上に電流分散層 60 を介して p 型ベース領域 3 が形成される構造とすることもできる。なお、このように電流分散層 60 を備えた構造とする場合、 n^+ 型層 2 および電流分散層 60 がドリフト層となる n 型層を構成することになり、 n^+ 型層 2 が第 1 層を構成し、電流分散層 60 が第 2 層を構成することとなる。

【0082】

ここで、電流分散層 60 を形成する場合、電流分散層 60 に対してイオン注入することで p 型ディープ層 5 や p 型ディープ層 30 の上部 5b、30b を形成することになる。このときに、電流分散層 60 のうち p 型ガードリング 21 と対応する部分にもイオン注入することが考えられる。しかしながら、その場合、上記したように p 型ガードリング 21 が層間絶縁膜 10 と接する構造となってしまうので、沿面破壊の発生が懸念される。また、図 8 に示すように、 p 型ガードリング 21 のうち n^+ 型層 2 の表層部に形成される下部 21a と電流分散層 60 に形成される上部 21b とを形成する工程が別々の工程となるため、それぞれを形成する際のマスクズレによって、上部 21b と下部 21a の形成位置にズレが生じ得る。これにより、隣り合う p 型ガードリング 21 同士の間隔が狭くなり、ずれ量が大きいと p 型ガードリング 21 の電界緩和機能が発揮できなくなって、外周領域 RO での耐圧が得られなくなるといった課題を発生させる。

【0083】

しかしながら、本実施形態のように、 p 型ガードリング 21 を n^+ 型層 2 の表層部にのみ形成し、電流分散層 60 には形成しないようにすれば、マスクズレの問題は発生し得ない。このため、隣り合う p 型ガードリング 21 の間隔を所望の値にでき、 p 型ガードリング 21 による電界緩和効果を発揮させることが可能となって、外周領域 RO での耐圧を確保することが可能になる。

【0084】

具体的には、図 9 に示したように、図 8 に示した p 型ガードリング 21 を電流分散層 60 にも形成する構造の場合には、マスクズレによる下部 21a と上部 21b のずれ量に応じて耐圧が変化し、ずれ量が大きくなると耐圧が大幅に低下する。これに対して、本実施形態のように電流分散層 60 に p 型ガードリング 21 を形成しないようにして p 型ガードリング 21 と層間絶縁膜 10 とが離れた構造とすると、マスクズレが発生したとしても、耐圧の低下が殆ど生じなかった。このように、本実施形態の構造とすることで、外周領域 RO での耐圧を確保することが可能となる。

【0085】

続いて、本実施形態にかかる SiC 半導体装置の製造方法について、上記した第 1 実施形態にかかる SiC 半導体装置の製造方法を参照して説明する。

【0086】

まず、第 1 実施形態で説明した図 4A に示す工程と同様に、半導体基板として、 n^+ 型基板 1 の主表面上に SiC からなる n^+ 型層 2 をエピタキシャル成長させたものを用意する。そして、図 10A ~ 図 10C に示す工程を行う。

【0087】

〔図 10A に示す工程〕

n^+ 型層 2 の上にマスク 71 を配置し、 p 型ディープ層 5 や p 型ディープ層 30 および p 型ガードリング 21 の形成予定領域においてマスク 71 を開口させる。そして、マスク 71 を用いて p 型不純物をイオン注入する。これにより、 n^+ 型層 2 の表面から所定深さの位置まで p 型ディープ層 5 の下部 5a や p 型ディープ層 30 の下部 30a が形成される

と共に p 型ガードリング 2 1 が形成される。この後、マスク 7 1 を除去する。

【 0 0 8 8 】

〔 図 1 0 B に示す工程 〕

次に、p 型ディープ層 5 や p 型ディープ層 3 0 および p 型ガードリング 2 1 の上を含めて n⁻ 型層 2 の上に、例えば n 型不純物濃度が $2 \cdot 0 \times 10^{16} \sim 5 \cdot 0 \times 10^{17} / \text{cm}^3$ 、厚みが $0 \cdot 5 \sim 0 \cdot 9 \mu\text{m}$ の n 型の電流分散層 6 0 をエピタキシャル成長させる。

【 0 0 8 9 】

〔 図 1 0 C に示す工程 〕

電流分散層 6 0 の上にマスク 7 2 を配置し、p 型ディープ層 5 および p 型ディープ層 3 0 の形成予定領域においてマスク 7 2 を開口させる。そして、マスク 7 2 を用いて p 型不純物をイオン注入する。これにより、p 型ディープ層 5 および p 型ディープ層 3 0 が形成される。その後、マスク 7 2 を除去する。

【 0 0 9 0 】

この後の工程については図示しないが、まず、第 1 実施形態で説明した図 4 C ~ 図 4 E に示す工程を行う。これにより、p 型ベース領域 3 や n⁺ 型ソース領域 4 および p 型コンタクト領域 3 a が形成されると共に、ゲートトレンチ 6 や凹部 2 0 が形成される。このとき、ゲートトレンチ 6 や凹部 2 0 を形成する際に、p 型ベース領域 3 を貫通して電流分散層 6 0 に達するように、電流分散層 6 0 の表層部を $0 \cdot 3 \mu\text{m}$ 程度エッチングしている。このため、凹部 2 0 内やゲートトレンチ 6 の下部では、電流分散層 6 0 の厚みが $0 \cdot 2 \sim 0 \cdot 6 \mu\text{m}$ となる。ただし、電流分散層 6 0 が除去され過ぎて無くなってしまわないように、エッチング量を調整している。

【 0 0 9 1 】

そして、この後も、第 1 実施形態で説明した図 4 F に示す工程以降の工程を行うことで、本実施形態にかかる S i C 半導体装置を製造することができる。

【 0 0 9 2 】

（他の実施形態）

本発明は上記した実施形態に限定されるものではなく、特許請求の範囲に記載した範囲内において適宜変更が可能である。

【 0 0 9 3 】

例えば、上記実施形態では、S i C 半導体装置のセル領域 R C に備えられる半導体素子として M O S F E T 1 0 0 を例に挙げている。しかしながら、他の半導体素子が形成されるものであっても、外周領域 R O の p 型ガードリング 2 1 が層間絶縁膜 1 0 と接していない構造とされていれば良い。このような半導体素子としては、例えばショットキーダイオードや I G B T などをも挙げることができる。また、上記各実施形態では、第 1 導電型を n 型、第 2 導電型を p 型とした n チャネルタイプの M O S F E T 1 0 0 を例に挙げて説明したが、各構成要素の導電型を反転させた p チャネルタイプの M O S F E T 1 0 0 としても良い。また、トレンチゲート構造の素子に限らず、プレーナ型の素子であっても良い。なお、I G B T は、上記各実施形態に対して n⁺ 型基板 1 の導電型を n 型から p 型に変更するだけであり、その他の構造や製造方法に関しては上記各実施形態と同様である。

【 0 0 9 4 】

また、上記各実施形態において、各 p 型ガードリング 2 1 の間隔については一定であっても良いし、各 p 型ガードリング 2 1 の幅については外周に向かうほど広くなるような構造であっても良い。

【 0 0 9 5 】

また、上記各実施形態において、p 型ディープ層 5 や p 型ディープ層 3 0 および p 型ガードリング 2 1 の形成方法はイオン注入に限らず、他の形成方法、例えばエピタキシャル成長とされても良い。

【 0 0 9 6 】

また、上記第 2 実施形態では、n⁻ 型層 2 の表面から所定深さの位置に至るまで p 型ディープ層 5 や p 型ディープ層 3 0 の下部 5 a、3 0 a および p 型ガードリング 2 1 が形成

10

20

30

40

50

されるようにしているが、 n^- 型層 2 の表面から離れた位置までしか形成されていなくても良い。その場合、図 10 C に示す工程において、 p 型ディープ層 5 や p 型ディープ層 30 の上部 5 b、30 b を形成する際に n^- 型層 2 の表層部にも p 型不純物が注入されるようにし、 p 型ディープ層 5 や p 型ディープ層 30 の上部 5 b、30 b と下部 5 a、30 a が連結されるようにすれば良い。

【0097】

また、上記各実施形態では、半導体材料として SiC を用いる場合について説明したが、Si などの他の半導体材料を用いる半導体装置に対しても、本発明を適用することができる。

【0098】

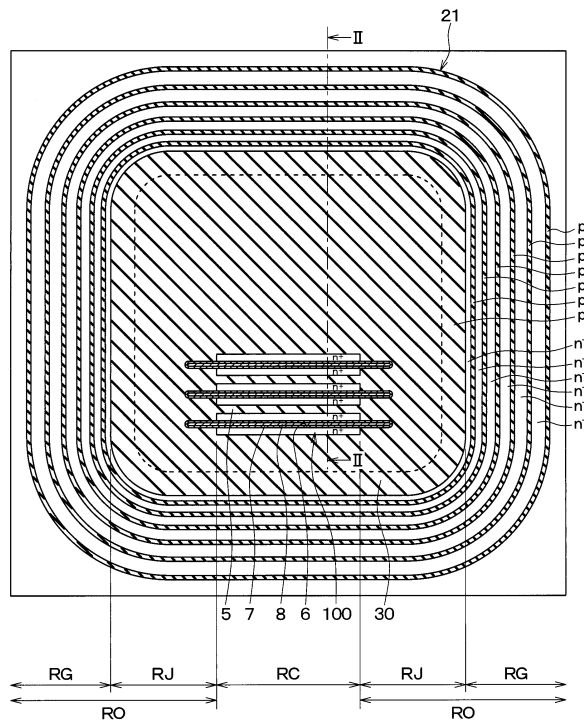
なお、結晶の方位を示す場合、本来ならば所望の数字の上にバー（ $\bar{}$ ）を付すべきであるが、電子出願に基づく表現上の制限が存在するため、本明細書においては、所望の数字の前にバーを付すものとする。

【符号の説明】

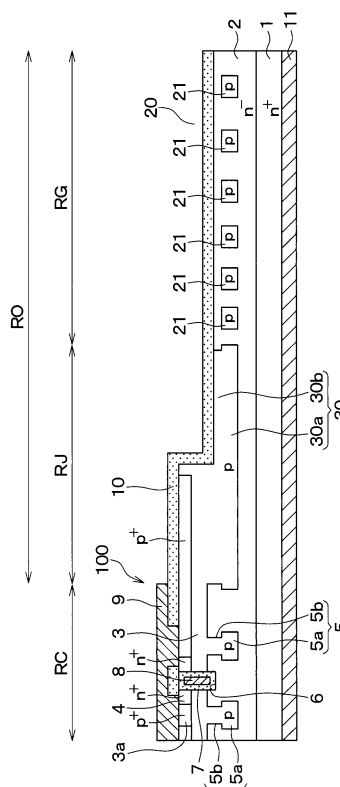
【0099】

- | | |
|------|--------------|
| 1 | n^+ 型基板 |
| 2 | n^- 型層 |
| 3 | p 型ベース領域 |
| 4 | n^+ 型ソース領域 |
| 5、30 | p 型ディープ層 |
| 8 | ゲート電極 |
| 9 | ソース電極 |
| 10 | 層間絶縁膜 |
| 21 | p 型ガードリング |
| 60 | 電流分散層 |

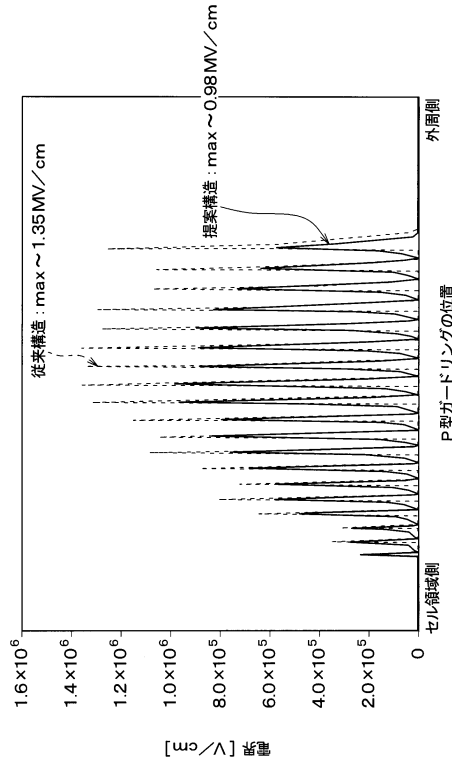
【図 1】



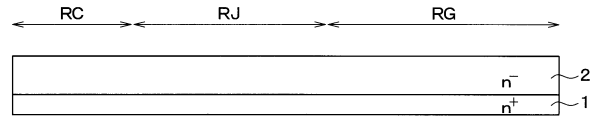
【図 2】



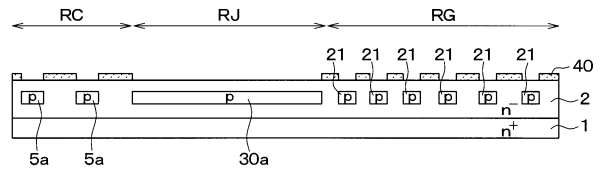
【 図 3 】



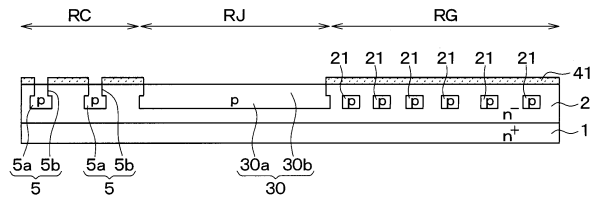
【 図 4 A 】



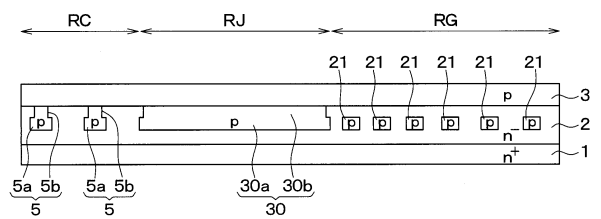
【 図 4 B 】



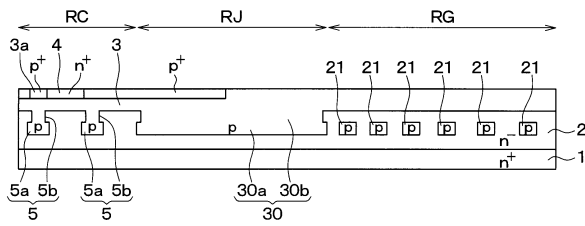
【 図 4 C 】



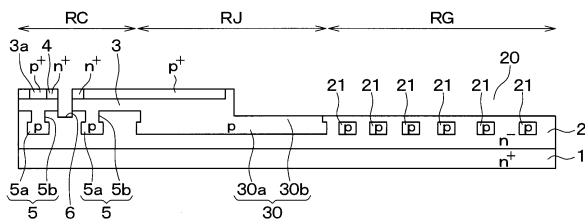
【 図 4 D 】



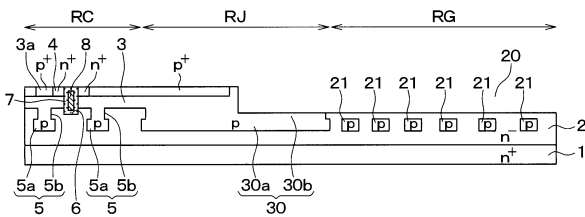
【 図 4 E 】



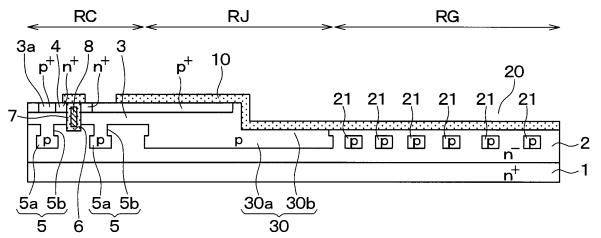
【 図 4 F 】



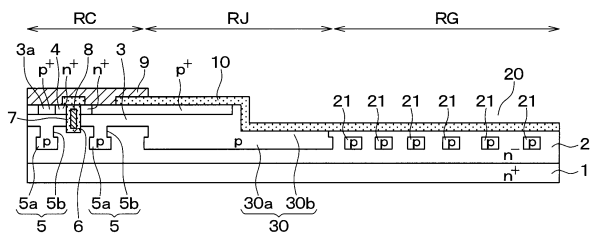
【 図 4 G 】



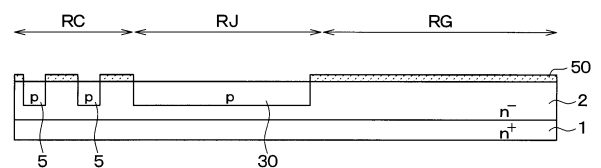
【 図 4 H 】



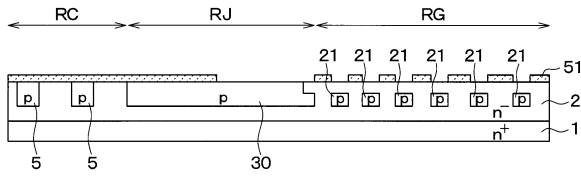
【圖 4 I】



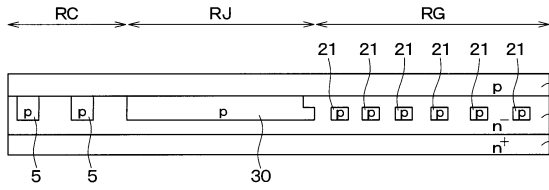
【 図 5 A 】



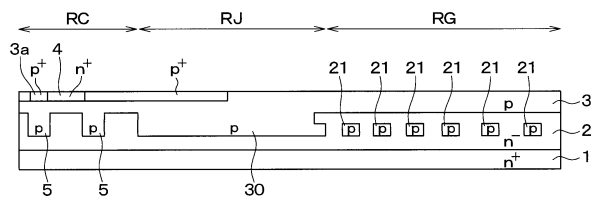
【図 5 B】



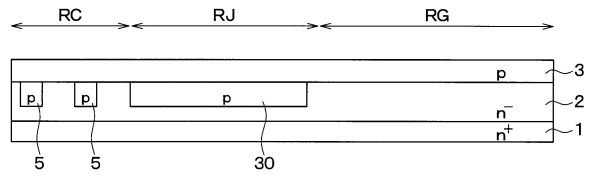
【図 5 C】



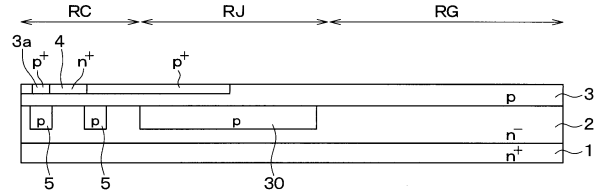
【図 5 D】



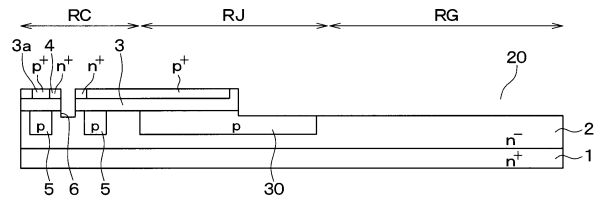
【図 6 A】



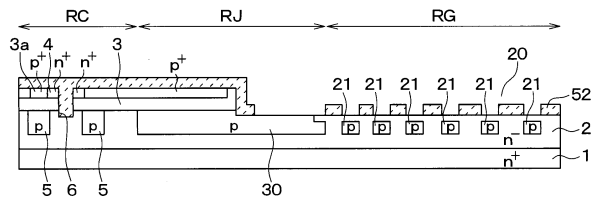
【図 6 B】



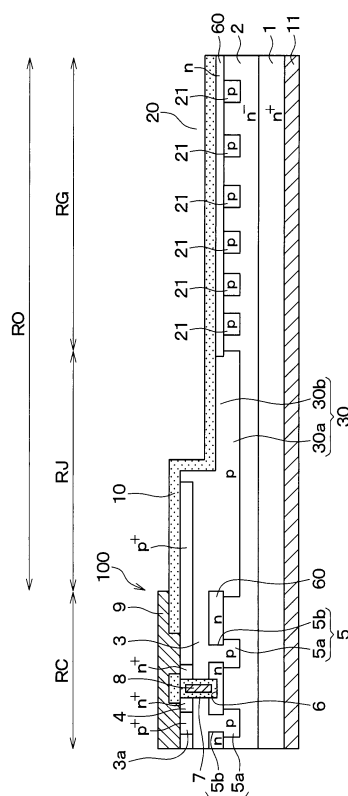
【図 6 C】



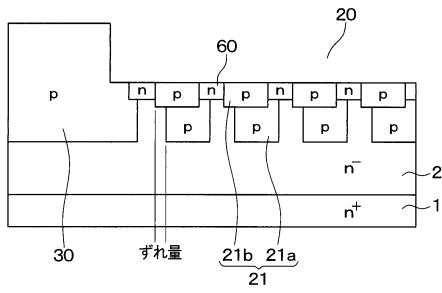
【図 6 D】



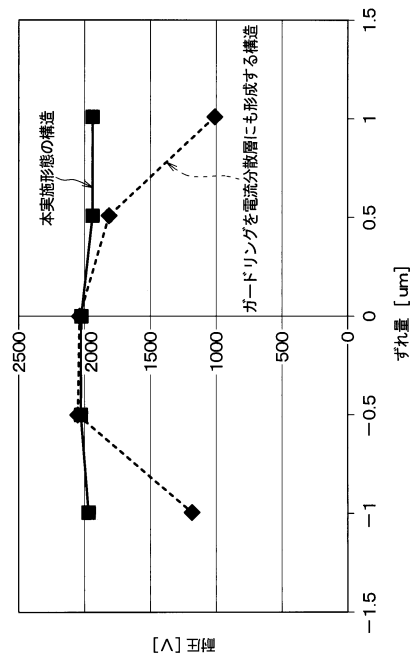
【図 7】



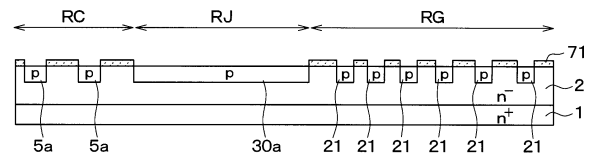
【図 8】



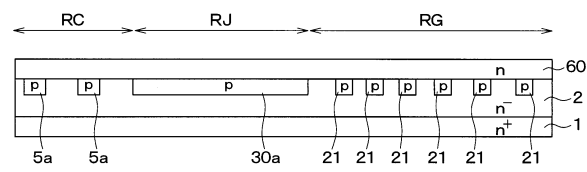
【図 9】



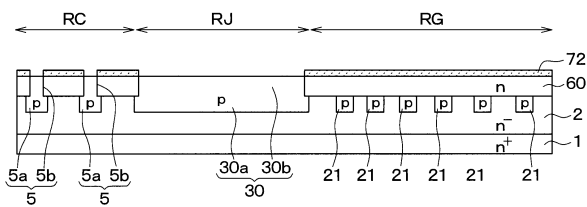
【図 10 A】



【図 10 B】



【図 10 C】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/06 3 0 1 G
H 0 1 L 29/06 3 0 1 V
H 0 1 L 29/78 6 5 2 C
H 0 1 L 29/78 6 5 8 A
H 0 1 L 29/78 6 5 2 J

(72)発明者 斎藤 順
愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

審査官 恩田 和彦

(56)参考文献 特開2014-170778(JP,A)
特開2015-076592(JP,A)
特開2008-004643(JP,A)
欧州特許出願公開第3012870(EP,A1)
特開2015-153787(JP,A)
特開2016-066780(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 9 / 0 6
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 1 2
H 0 1 L 2 9 / 7 8