

公告本

申請日期	91.4.11
案號	91107361
類別	H01L 21/56

(以上各欄由本局填註)

0217466

發明專利說明書

544817

一、發明 名稱	中 文	半 導 體 裝 置
	英 文	SEMICONDUCTOR DEVICE
二、發明 創作人	姓 名	青木由隆(Yutaka Aoki)
	國 籍	日 本
	住、居所	日本國東京都青梅市野上町 3-9-1,21-212
三、申請人	姓 名 (名稱)	1. 檜尾計算機股份有限公司(カシオ計算機株式会社) CASIO COMPUTER CO.LTD. 2. 沖電氣工業股份有限公司(沖電氣工業株式会社) OKI ELECTRIC INDUSTRY CO.LTD.
	國 籍	1. 日本 2. 日本
	住、居所 (事務所)	1. 日本國東京都渋谷區本町 1 丁目 6 番 2 號 2. 日本國東京都港區虎ノ門 1-7-12
	代 表 人 姓 名	1. 檜尾和雄(Kazuo Kashio) 2. 篠塚勝正(Katsumasa Shinozuka)

承辦人代碼：
大類：
I P C 分類：

本案已向：

日本國（地區）申請專利，申請日期：案號，☒有 ☐無主張優先權

2001.04.17 特願 2001-118242

有關微生物已寄存於：，寄存日期：，寄存號碼：

五、發明說明（1）

相關申請案對照

本申請書係根據和要求先前于 2001 年 4 月 17 日提出之日本專利申請書第 2001-118242 號的優先權益，其全部的內容將結合於此供參考。

發明背景

1. 發明領域

本發明係關於一種具有 CSP(晶粒尺寸封裝體)之半導體裝置，其製造方法，及具有此半導體裝置之電子裝置。

2. 相關技術說明

具有在晶粒和封裝體尺寸上幾乎彼此相等之 CSP 結構之光導體裝置，最近已被發表且被用以增加電路板之放置密度。此結構之範例示於第 16 圖。第 16 圖為半導體裝置 20 之橫截面圖。該半導體裝置 20 具有一可以藉由切割成晶粒而得到之所謂的晶圓級 CSP 結構，晶圓具有已經歷包含保護膜形成步驟，導電層形成步驟，最終膜形成步驟和樹脂封裝步驟之封裝製程。

半導體裝置 20 係由晶圓所形成的。提供電路組件之半導體基板 1 的表面(電路表面側)，具有許多由鋁電極或類似材料所製成之連接墊 2。在包含連接墊 2 的上表面之半導體基板 1 的電路側之上，形成由氧化矽，氮化矽或類似材料所製成之鈍化膜(絕緣膜)3，然後使曝露各連接墊 2 的中央。

在鈍化膜 3 的上表面之上，形成具有可以使曝露各連接墊 2 的中央之開口之保護膜 4。例如，保護膜 4 可以藉由

五、發明說明（2）

將聚亞醯胺系樹脂應用到晶圓 1 的整個電路表面側之上，固化樹脂，以蝕刻液執行光阻圖案製作和保護膜圖案製作，及去除光阻形成。

在以上述之方法所形成的保護膜 4 之上，形成電性連接到連接墊 2 之導電層 5。在導電層 5 之上的預定位置，形成由圓柱狀電極所形成之焊接柱 6。移除在各焊接柱 6 的末端表面 6a 之上已自然形成的氧化物膜，然後施以金屬化製程，如焊料印刷。焊接柱 6 係用以連接電路板上之端點（未圖示）。焊接柱 6 的高度至少要 $50\ \mu\text{m}$ ，而典型約為 100 至 $150\ \mu\text{m}$ 。焊接柱 6 要形成直筒形，以吸收由於半導體基板 1 和電路板之間熱膨脹係數差所產生之應力。

在焊接柱 6 之間之半導體基板 1 的整個表面側之上，形成由樹脂，如聚亞醯胺或環氧樹脂，所製成之密封膜 7。

由被動組件所形成之濾波器電路和天線組件，需要使用具有上述晶圓級 CPS 結構之半導體裝置 20 實行 RF 收訊電路模組，如藍芽模組成 GPS 接收模組。這些被動組件並不能依傳統方式放置在晶片內部，及和離散零件一樣排列在晶片外部。這使其很難以使模組更微小化。

在此 RF 電路模組中，零件間的導線長度會影響頻率特性，且很難使其更短。因此，頻率特性很難再改善。

發明概述

本發明具有一種優點，能夠在晶片上放置被動置件，如天線組件和電容組件，或由它們所形成之被動電路，及微小化在藉由將晶圓切成晶片而得到，且具有晶片和封裝體尺

五、發明說明（3）

寸幾乎相同之 CSP 結構的半導體裝置之模組。本發明可提供一種放置結構，其適合具有天線組件被放置在晶片上之半導體裝置之電子裝置。

爲了達成上述之優點，根據本發明之半導體裝置包含：第一圓柱狀電極，其至少電性連接位在半導體基板上之許多連接墊當中的一個第一連接墊，其中半導體基板上形成有形成電路組件形成區和許多連接墊；至少一個之第一導電層，其至少連接一個第二連接墊；密封膜，其至少繞著該第一圓柱狀電極和在半導體基板上之該第一導電層形成；及至少一個之第二導電層，其形成在該密封膜之上，以面對該第一導電層。該面對面之第一和第二導電層，至少可以形成一個被動組件，如電容組件。該半導體裝置還包含：第二圓柱狀電極，其電性連接第二連接墊和連接第二導電層；及第三圓柱狀電極，其至少電性連接一個第三連接墊和連接第二導電層。藉由使用第二連接墊當作接地墊和第三連接墊當作饋入墊，可以形成天線組件，如例 F 形天線之被動組件。該半導體裝置進一步地包含：許多被動組件；及第三導電層，其連接在被動組件之間且具有一薄膜被動組件。被動組件和薄膜被動組件可以形成一被動電路，如濾波器電路。

被動組件或電路可以形成在半導體基板的電路組件形成區之上，且連接半導體基板的電路組件。使用此半導體元件建構之模組可以被微小化。

在包含其上有依上述方式形成天線組件之半導體基板，

五、發明說明（4）

和其上有放置半導體裝置和形成許多導線圖案之導線板的電子裝置中，沒有在面對半導體裝置之第二導電層的導線板區域中形成導線圖案，或是該區域係開口。以結構可以抑制天線性能衰退，得到高輻射效率之無線電波。

爲了達成上述之優點，根據本發明之半導體裝置的製造方法，在具有許多各自都有電路組件形成區之晶片形成區和許多連接墊的半導體晶圓之各晶片形成區中，形成絕緣膜。然後，第一圓柱狀電極至少電性連接在各晶片形成區中的一個第一連接墊，且在該絕緣膜上形成第一導電層，以至少連接一個第二連接墊。在於絕緣膜和第一導電層上形成密封膜之後，在晶片形成區的密封膜之上，形成至少有一個會面對第一導電層之第二導電層。在電路組件形成區之上，形成被動組件，如天線組件或電容組件，或被動電路，如濾波器電路。之後，將半導體晶圓基板切成個別的晶片形成區。

此方法允許在電路組件形成區上，同時形成許多各自具有被動組件或電路之半導體裝置。

圖式簡單說明

第 1 圖爲根據本發明的第一實施例之半導體裝置的結構橫截面圖；

第 2 圖爲根據本發明的第一實施例，在半導體裝置的表面側之結構的第一例平面圖；

第 3 圖爲根據本發明的第一實施例，在半導體裝置的表面側之結構的第二例平面圖；

五、發明說明（5）

第 4 圖至第 9 圖為根據本發明的第一實施例，說明製造步驟之橫截面圖；

第 10 圖為根據本發明的第一實施例，將半導體裝置放置在導線板上之結構的第一例橫截面圖；

第 11 圖為根據本發明的第一實施例，將半導體裝置放置在導線板上之結構的第二例橫截面圖；

第 12 圖為根據本發明的第一實施例之半導體裝置的另一結構之橫截面圖；

第 13A 圖為根據本發明的第二實施例之半導體裝置的結構橫截面圖；

第 13B 圖為根據本發明的第二實施例，將半導體裝置放置在導線板上之形成的橫截面圖；

第 13C 圖為根據本發明的第二實施例，在示於第 13B 圖的放置形式中所形成之被動組件的連接範例平面圖；

第 14 圖為根據本發明的第二實施例之半導體裝置的另一結構之橫截面圖；

第 15 A 圖為根據本發明的第二實施例，將半導體裝置放置在導線板上之形式的橫截面圖；

第 15B 圖為第 15A 圖之半導體裝置的表面側之平面圖；

第 15C 圖為藉由修正第 15A 圖所形成之被動電路的結構平面圖；及

第 16 圖為具有 CSP 結構之傳統半導體裝置的結構橫截面圖。

發明詳細說明

五、發明說明 (6)

下面將參考幾個附圖詳細說明根據較佳實施例之半導體裝置及製造方法。

<第一實施例>

第 1 圖為根據本發明的第一實施例之半導體裝置 200 的結構橫截面圖。第 2 圖和第 3 圖為移除焊接球 B 之半導體裝置 200 的表面(電路表面側)之不同範例的平面。在第 1 圖到第 3 圖中，和示於第 16 圖之習知技術相同的參考數字表示相同的部分，而其說明將適度省略。

類似於示於第 16 圖之傳統半導體裝置 20，示於第 1，第 2 和第 3 圖之半導體裝置 200 包含：在提供以整合方式形成在電路組件形成區 DA 中之電路組件之半導體基板 1 的表面上，所形成之許多的連接墊 2；由氧化矽，氮化矽或類似材料製成，且形成在半導體基板 1 的表面上，以曝露各連接墊 2 的中央之鈍化膜 3；及形成在鈍化膜 3 的上表面上之保護膜 4。

類似於傳統半導體裝置 20，根據第一實施例之半導體裝置 200 包含：形成在保護膜 4 之上且電性連接連接墊 2(第一連接墊)之導電層 5；及形成在導電層 5 之上之焊接柱 6。半導體裝置 200 進一步地包含連接墊 2，其中至少有一個連接到接地電位之接地墊 2A(第二連接墊)，和至少有一個連接到預定電路且接收預定電源之饋入墊 2B(第三連接墊)。半導體裝置 200 進一步地包含：由至少一個導電層 5-1(第一導電層)所形成之接地板 GP，其中其連接到接地墊 2A 且延伸在保護膜 4 上；及至少一個上導電層 8(第二導電層)

五、發明說明（7）

，其中其形成在密封膜 7 之上，因此如此之配置，所以可以透過部分的膜 7 面對導電層 5-1。半導體裝置 200 也具有透過導電層 5-1 而電性連接到接地墊 2A，且也連接到上導電層 8 之焊接柱 6A(第一圓柱狀電極)，及透過導電層 5-1 而電性連接到饋入墊 2B，且也連接到上導電層 8 之焊接柱 6B(第二圓柱狀電極)。

如第 2 圖所示，電性連接到接地墊 2A 之導電層 5-1，和電性連接到接地墊 2A 和饋入墊 2B 之上導電層，它們所配置之位置係經由密封膜 7 而彼此相互面對。導電層 5-1 係當作在接地電位之接地板 GP，而對面之上導電層 8 係當作饋入電極，因此形成一倒 F 形天線。連接墊電性連接到形成在半導體基板上的電路組件形成區 DA 之中之電路組件。

在第一實施例中，所形成之倒 F 形天線係當作天線組件。但是，本發明並不侷限於此，本發明可以形成各種不同的天線組件，如倒 L 形天線，嵌片式天線和微帶式天線。

在第 1 圖和第 2 圖中，在半導體基板上，形成一種天線組件，但是本發明並不侷限於此。例如，許多的天線組件可以配置在一個晶片上，構成一個相陣列式天線，而可以得到想要的方向特性。或者，可以形成許多的天線，然後可以改變它們的方向，以減少天線指向性。第 3 圖圖示一種元件範例，其中的兩個天線組件係由：組合當作接地板 GP 之導電層 5-1 和對面的上導電層 8-1 之第一天線組件，和組合當作接地板 GP 之導電層 5-2 和對面的上導電層

五、發明說明（8）

8-2 之第二天線組件所形成的，而且這些天線組件的方向相差 90° 。

第 4 圖至第 9 圖為根據本發明的第一實施例，說明半導體裝置 200 之製造步驟的橫截面圖。製造步驟將參考第 4 圖至第 9 圖說明。

如第 4 圖所示，在根據第一實施例的製造步驟中，由氧化矽，氮化矽或類似材料所製成之鈍化膜 3，係形成在許多由鋁電極或類似材料所製成之連接墊 2 的上表面上，和形成在晶圓（半導體基板）1 的表面上。基板提供形成在電路組件形成區中之電路組件，且具有許多晶片形成區。鈍化膜 3 如此形成，所以可曝露各連接墊 2 的中央。許多的連接墊包含至少一個接地墊 2A 和至少一個饋入墊 2B。其次，在鈍化膜 3 的上表面上，形成具有各自使曝露連接墊 2 的中央之開口之保護膜 4。保護膜 4 之形成，例如，係藉由應用聚亞醯胺系樹脂到晶圓 1 上之鈍化膜 3 和連接墊 2 的整個上表面之上，固化樹脂，以蝕刻溶液執行光阻圖案製作和保護膜圖案製作，及去除光阻。

保護膜 4 之形成可以採用一種藉由旋佈應用聚亞醯胺系樹脂之方法，使用橡膠滾軸之印刷法，或墨水排放塗佈法。保護膜材料並不侷限於聚亞醯胺系樹脂，也可以是環氧樹脂系樹脂，PBO（苯醯氧系樹脂）或類似之材料。

如第 5 圖所示，在部分透過形成在保護膜 4 和鈍化膜 3 中之開口曝露之連接墊 2 和饋入墊 2B 上，形成導電層 5。在接地墊 2A 之上，形成對應接地板 GP 之導電層 5-1。

五、發明說明（9）

導電層 5 和 5-1 之形成如下。在保護膜 4 的整個表面上，藉由濺鍍或類似之方法，沈積由銅(Cu)，鈦(Ti)或類似材料所製成之 UBM(下撞擊金屬)層(未圖示)。將光阻應用在 UBM 層之上，固化，然後藉由對應具有預定形狀之開口之微影製程製作圖案。藉由光阻所形成之開口，使用 UBM 層當作電流路徑經歷電鍍。

導電層 5 和 5-1 可藉由無電鍍形成。用於這些導電層之材料範例有可以展現良好導電特性之銅，鋁和金，及其合金。

如第 6 圖所示，在導電層 5 和 5-1 上的預定位置，由圓柱狀電極形成焊接柱 6，6A 和 6B。

例如，焊接柱係藉由應用厚度約為 100 到 150 μm 之焊接柱形成光阻，固化光阻，形成曝露導電層 5 和 5-1 預定部分之開口，及藉由使用 UBM 層當作電流路徑，執行開口內部之電鍍。每一個焊接柱都可藉由無電鍍或螺栓衝擊法形成。

焊接柱材料之範例有可以展現良好導電特性之銅，焊料，金，和鎳。當使用焊料當作焊接柱形成材料時，也可以藉由後續的重流製程形成球形電極。當使用焊料形成焊接柱 6 時，除了上述之方法外，也可以採用印刷法。在形成焊接柱 6 之後，蝕刻掉 UBM 層不需要的部分。

如第 7 圖所示，例如，藉由塑造具有樹脂，如聚亞醯胺或環氧樹脂之晶圓的整個表面側，形成密封膜 7，以覆蓋焊接柱，保護膜和導電層。密封膜 7 宜由大致上含有和

五、發明說明（10）

上述保護膜 4 相同主要成份之樹脂製成，以確保抵抗環境變化之可靠度。除了上述之塑造法外，形成密封膜 7 之方法還可以有印刷法，浸泡法，旋佈法或鑄模塗佈法。

在形成密封膜 7 之後，如第 8 圖所示，切割且研磨密封膜 7 的上表面，以曝露焊接柱 6，6A 和 6B 的端面 6a，然後去除在該部分的上表面上之氧化物膜。

藉由在膜 7 上之焊料印刷或類似之方法，製成金屬箔薄片，如銅箔，然後再選擇性蝕刻，而形成電性連接到對應接地墊 2A 之焊接柱 6A 和對應蝕入墊 2B 之焊接柱 6B 之上導電層 8。或者，當作上導電層 8 之導電板，可以用導電黏著物固定到對應接地墊 2A 和蝕入墊 2B 之焊接柱 6A 和 6B。

若有必要，如第 9 圖所示，焊球 B 排列在沒有被上導電層 8 覆蓋之焊接柱 6 之上。

沿著預定切割線 CL，將晶圓 1 切成晶片形成區。結果，形成具有示於第 1 圖之結構之半導體裝置 200。

換言之，被製造之半導體元件 200 具有示於第 1 圖之結構，即，由形成自導電層 5-1 之接地板 GP，和形成在對應接地墊 2A 和蝕入墊 2B 之焊接柱 6A 和 6B 上，以電性連接到焊接柱 6A 和 6B 之上導電層 8 所構成之倒 F 形天線。

第 10 圖和第 11 圖為具有此結構之半導體裝置 200 放置在提供預定導線圖案之導線板上時，適當之放置結構。

在示於第 10 圖的結構中，提供許多導線圖案之導線板

五、發明說明（11）

30 係被放置在電子裝置框架 40 之中。半導體裝置 200 藉由連接形成在導線板 30 上之預定的導線圖案 31，經由形成在焊接柱 6 上之焊球 B，裝載在導線板 30 之上。當作半導體裝置 200 的天線用之上導電層 8 會面對著導線板 30。

若導線圖案存在在面對導線板 30 的上導電層 8 之區域 32 中，則由上導電層 8 輻射之無線電波的輻射效率會減少，或輻射圖案會擾動，而使天線的性能退化。為了防止此種現象，在面對導線板 30 的上導電層 8 之區域 32 中，並不形成導線圖案。因此，可以抑制天線性能退化。

在示於第 11 圖之結構中，面對導線板 30 的上導電層 8 之區域 32 係開口。在此情形中，幾乎沒有構件會受到由上導電層 8 輻射之無線電波的干擾。無線電波之輻射效率的減少和天線性能的退化可以最小化，而可以得到很好的性能。

如上所述，第一實施例藉由形成導電層 5-1 當作接地板 GP，和形成上導電層 8 在電性連接接地墊 2A 和饋入墊 2B 之焊接柱 6A 和 6B 上，建構一倒 F 形天線。天線可以放置在晶片內部，所以可以微小化具有使用此晶片建構的天線之模組。

因為天線係放置在晶片內部，所以與天線位在晶片外部之結構相較，從晶片上之電路到天線之導線長度可以大幅地縮短。建構天線之電極的饋入線損失可以最小化。此有助於改善傳輸通道特性和提供高性能的天線。

五、發明說明（12）

在上述的實施例中，密封膜 7 係插在接地板 GP 和上導電層 8 之間。換言之，如第 12 圖所示，可在接地板 GP 和上導電層 8 之間插入高介電質構件 11。在此情形下，在形成焊接柱 6，6A 和 6B 之後，將介電質構件 11 固定到具有黏著物或類似材料之接地板 GP(導電層 5-1)上。然後，透過上述之封裝步驟陳列上導電層 8。

藉由在接地板 GP 和上導電層 8 之間插入由鈦化鋇或類似材料所製成之高介電質構件，可以調整天線組件之電氣長度。換言之，不用改變上導電層 8 的圖案尺寸，就可以改變天線組件之共振頻率。當天線組件的共振頻率保持固定時，藉由組合高介電質構件，可以減少接地板 GP 和上導電層 8 之面積。

<第二實施例>

第 13A 圖為根據本發明的第二實施例之半導體裝置 200 的結構橫截面圖。在第 13A 圖中，和第一實施例相同之參考數字表示相同的部份，而且將適度省略其說明。

根據第二實施例之半導體裝置 200 包含連接預定連接墊 2C(第二連接墊)之導電層 5-2(第一導電層)，及形成在密封膜 7 上之上導電層 12(第二導電層)。如第 13A 圖所示，導電層 5-2 和上導電層 12 係經由部分的密封膜 7，形成在彼此相互面對之位置。在上導電層 12 之上，藉由金屬化製程，如焊料印刷，形成焊料層 B'。

第 13B 圖為將示於第 13A 圖之半導體裝置 200 放置在導線板 30 上之狀態的橫截面圖。在此情形下，上導電層 12 經

五、發明說明（13）

由焊料層 B'，連接形成在導線板 30 上之連接墊 33。上導電層 12，密封膜 7 和導電層 5-2 形成電容組件 C_p 。

經由導電層 5 電性連接到連接墊 2 之焊接柱 6，係經由焊球 B 連接到導線板 30 之導線圖案 31。

電容組件 C_p 可以形成在導線板 30 上之連接墊 33 和晶片內部之導電層 5-2 之間，而可以建構成示於第 13C 圖之等效電路。在第 13C 圖之中，參考數字 200a 表示事先形成在半導體裝置 200 的半導體基板 1 上之電路部分，如第 13A 圖所示。電容組件 C_p 可連接到該電路部分 200a。

根據第二實施例，可以整合電容組件和晶片，當具有電容組件之模組使用此晶片建構時，與電容組件放在晶片外部之傳統結構相較，可以微小化該模組。

在上述之實施例中，密封膜 7 插在部分的上導電層 12 和導電層 5-2 之間，而形成電容組件。換言之，如第 14 圖所示，介電質層 13 可插在上導電層 12 和電層 5-2 之間，而形成電容組件 C_p 。

在此結構中，電容組件之電容係由插在上導電層 12 和導電層 5-2 之間之介電質層 13 的相對介電質常數，厚度，和面積決定。

使用高相對介電質常數之介電質，不用改變上導電層 12 和導電層 5-2 的面積，就可以增加電容值。當電容值保持固定時，可以減少各導電層之面積。形成介電質層 13 之高相對介電質常數之介電質材料係像鈦化鋇或鈦化鋇之高介電質材料。

五、發明說明（14）

第 15A 圖至第 15C 圖為第二實施例之修正例。第 15A 圖為半導體裝置 200 之修正例和放置在導線板 30 上之半導體裝置 200 之狀態的橫截面圖。第 15B 圖為省略密封膜 7 之半導體裝置 200 的表面平面圖。

如第 15A 圖所示，該修正例包含電性連接到導電層 5-3 和 10(第一導電層)之連接墊 2D(第二連接墊)。再者，該修正例還包含透過介電質層 13，形成在使它們面對導電層 5-3 和 10 之位置之上導電層 12-1 和 12-2(第二導電層)。

在導電層 10 之上，形成圓柱狀電極 6，然後在圓柱狀電極 6 之上，形成焊球 B。圓柱狀電極 6 經由焊球 B，連接到形成在導線板 30 上之連接墊 36。藉由金屬化製程，如焊料印刷，在上導電層 12-1 和 12-2 之上，形成焊料層 B'。上導電層 12-1 和 12-2 經由焊球 B'，連接到形成在導線板 30 上之連接墊 35。

對於此種配置，兩個在結構上與電容組件 C_p 完全相同之電容組件 C1 和 C2，分別形成在上導電層 12-1 和導電層 5-3 之間，與上導電層 12-2 和導電層 10 之間。

如第 15B 圖所示，將導電層 10 製作成正方螺旋圖形，以形成電感組件 L。

藉由組合電容組件 C1 和 C2 及電感組件 L，可以建構各種不同的被動電路。例如，可以形成示於第 15C 圖，且連接到形成在半導體基板 1 上的電路部分 200a 之 π 低通濾波器。由被動組件所形成之濾波器電路可以放置在晶片內部，所以可以微小化具有使用此晶片建構的濾波器電路之

五、發明說明（15）

模 組。

在此修正例中，濾波器電路係藉由組件兩個電容組件和一個電感組件所完成的。但是本發明並不侷限於此，而各種不同的被動電路可以藉由組合許多的電容組件，電感組件和導電層而建構。

此外，本發明並不侷限於電容組件和電感組件，而形成在半導體基板 1 上之導電層可以形成各種不同的薄膜電路組件，如電阻器，薄膜變壓器，薄膜 SAW(表面聲波)濾波器，微帶線，和 MMIC(微波單石積體電路)。或者，可以組合這些構件，建構成各種不同的被動電路。

在此情形下，可以將各種不同的被動電路放置在晶片內部，所以可以微小化使用此晶片所建構之模組。相較於將這些被動電路配置在晶片外部之傳統結構，可以大幅地縮短從晶片上之電路到各動電路之導線長度。可以抑制天線損失，以改善頻率特性，尤其是 RF 電路。

符號說明

1 ... 半導體基板

2 ... 連接墊

2 A ... 接地墊

2 B ... 饋入墊

2 C ... 連接墊

3 ... 鈍化膜

4 ... 保護膜

5, 5-1, 5-2 ... 導電層

五、發明說明（16）

5-3...導電層

6...焊接柱

6A...末端表面

6B...焊接柱

7...密封膜

8, 8-1, 8-2...上導電層

10...導電層

12, 12-1, 12-3...上導電層

13...介電質層

20...半導體裝置

30...導線板

31...導線圖案

32...區域

33...連接墊

35, 36...焊接墊

200...半導體裝置

200a...電路部分

B...焊球

B'...焊料層

四、中文發明摘要（發明之名稱： 半導體裝置）

一種半導體裝置，包含：半導體基板，其中有電路組件形成區和許多連接墊形成在其上；第一圓柱狀電極，其形成在第一連接墊之上，以電性連接到第一連接墊；第一導電層，其形成在第二連接墊之上，以電性連接到第二連接墊；密封膜，其至少繞著該第一圓柱狀電極，在半導體基板之上和在第一導電層之上形成；及第二導電層，其形成在密封膜之上，以面對第一導電層。被動組件係由第一和第二導電層形成。

英文發明摘要（發明之名稱：

SEMICONDUCTOR DEVICE

）

A semiconductor device includes a semiconductor substrate on which a circuit element forming region and a plurality of connection pads are formed, a first columnar electrode which is formed on a first connection pad so as to be electrically connected to the first connection pad, a first conductive layer which is formed on a second connection pad so as to be electrically connected to the second connection pad, an encapsulating film which is formed at least around the first columnar electrode, on the semiconductor substrate and on the first conductive layer, and a second conductive layer which is formed on the encapsulating film so as to face the first conductive layer. A passive element is formed from the first and second conductive layers.

六、申請專利範圍

1. 一種半導體裝置，包含：

半導體基板，其中有電路組件形成區，和許多至少包含一個第一連接墊和一個第二連接墊之連接墊形成在其上；

第一圓柱狀電極，其形成在第一連接墊之上，以電性連接到第一連接墊；

至少一個之第一導電層，其形成在第二連接墊之上，以電性連接到第二連接墊；

密封膜，其至少繞著該第一圓柱狀電極，在半導體基板之上和在第一導電層之上形成；

第二導電層，其形成在密封膜之上，以面對第一導電層；及

至少一個之被動組件，其由第一和第二導電層形成。

2. 如申請專利範圍第 1 項之裝置，其中許多連接墊至少包含一個第三連接墊，而且

其進一步地包含第二圓柱狀電極，其電性連接到第二連接墊和連接到第二導電層，

及第三圓柱狀電極，其電性連接到第三連接墊和連接到第二導電層。

3. 如申請專利範圍第 2 項之裝置，其中

第二連接墊構成接地墊，

第三連接墊構成饋入墊，及

被動組件包含天線組件。

4. 如申請專利範圍第 3 項之裝置，其中天線組件包含倒 F 形天線。

5. 如申請專利範圍第 1 項之裝置，其中被動組件包含電容組

六、申請專利範圍

件，而且其在第二導電層上進一步地包含連接到導線板之連接區。

6. 如申請專利範圍第 1 項之裝置，進一步地包含：

許多被動組件；及

連接該被動組件之第三導電層。

7. 如申請專利範圍第 6 項之裝置，其中

第三導電層至少構成一個薄膜被動組件，及

許多的被動組件和薄膜被動組件形成被動電路。

8. 如申請專利範圍第 7 項之裝置，其中

許多的被動組件至少包含兩個電容組件，

薄膜被動組件包含藉由製作第三導電層圖案，以產生電感構件之電感組件，及

被動電路包含濾波器電路。

9. 如申請專利範圍第 1 項之裝置，其中密封膜具有位在第一和第二導電層之間之介電質部分。

10. 一種電子裝置，包含：

具有半導體基板之半導體裝置，其中在半導體基板上
有電路組件形成區和許多至少包含一個第一連接墊和一個
第二連接墊之連接墊形成，

圓柱狀電極，其電性連接到第一連接墊，

第一導電層，其連接到第二連接墊，

密封膜，其至少繞著該圓柱狀電極，在半導體基板上和
在第一導電層之上形成，

第二導電層，其形成在密封膜之上，以面對第一導電層
，及

六、申請專利範圍

由第一和第二導電層所形成之天線組件；及
有許多導線圖案形成在其上之導線板，
具有經由圓柱狀電極而電性連接到導線板上之導線圖案結構之半導體裝置，

其中在面對半導體元件的第二導電層之導線板區域中，
沒有形成導線圖案。

11. 如申請專利範圍第 10 項之裝置，其中面對半導體裝置的第二導電層之導線板區域包含開口。

12. 一種半導體裝置之製造方法，包含：

在形成電路組件形成區和許多連接墊的上表面之上，製備一半導體基板；

電性連接第一圓柱狀電極到許多連接墊中的至少一個第一連接墊；

至少連接一個第一導電層到許多連接墊中的至少一個第二連接墊；

至少繞著第一圓柱狀電極，在半導體基板之上和在第一導電層之上形成密封膜；及

在密封膜之上至少形成一個第二導電層，以面對第一導電層。

13. 如申請專利範圍第 12 項之方法，還包括：

形成電性連接到第二連接墊，且連接到第二導電層之第二圓柱狀電極；及

形成電性連接到許多連接墊中的至少一個第三連接墊，且連接到第二導電層之第三圓柱狀電極。

14. 如申請專利範圍第 13 項之方法，其中

六、申請專利範圍

第二連接墊構成接地墊，

第三連接墊構成饋入墊，及

第一和第二導電層形成天線組件。

15. 如申請專利範圍第 12 項之方法，進一步地包含：

由第一和第二導電層形成電容組件；及

在第二導電層之上，形成可以連接到導線板之連接結構。

16. 如申請專利範圍第 15 項之方法，進一步地包含：

形成許多電容組件；及

形成至少連接在兩個電容組件之間，且將其製作圖案，使產生電感構件之第三導電層，因此形成電感組件。

17. 如申請專利範圍第 12 項之方法，進一步地包含將介電質材料配置在第一和第二導電層之間。

18. 一種半導體裝置之製造方法，包含：

製備具有許多晶片形成區之半導體晶圓，其中該許多的晶片形成區各自具有電路組件形成區和許多連接墊；

在各晶片形成區之中，形成絕緣膜；

在晶片形成區之中，將第一圓柱狀電極電性連接到許多連接墊中的至少一個第一連接墊；

在晶片形成區之中，至少形成一個第一導電層在絕緣膜之上，而且將該第一導電層連接到許多連接墊中的至少一個第三連接墊；

至少繞著第一圓柱狀電極和在絕緣膜上的第一導電層之上，形成密封膜；

在晶片形成區之中，至少形成一個第二導電層在密封膜之上，以面對第一導電層；及

六、申請專利範圍

將半導體晶圓切割成個別的晶片形成區，因此可以形成許多半導體裝置。

19. 如申請專利範圍第 18 項之方法，進一步地包含：

形成電性連接到晶片形成區中的第二連接墊，且連接到第二導電層之第二圓柱狀電極；及

形成連接到晶片形成區中許多連接墊中的至少一個第三連接墊，

且連接到第二導電層之第三圓柱狀電極。

20. 如申請專利範圍第 19 項之方法，其中

第一連接墊構成接地墊，

第二連接墊構成饋入墊，及

第一和第二導電層形成天線組件。

21. 如申請專利範圍第 18 項之方法，進一步地包含：

由第一和第二導電層形成電容組件；及

在第二導電層之上，形成可以連接到導線板之連接結構。

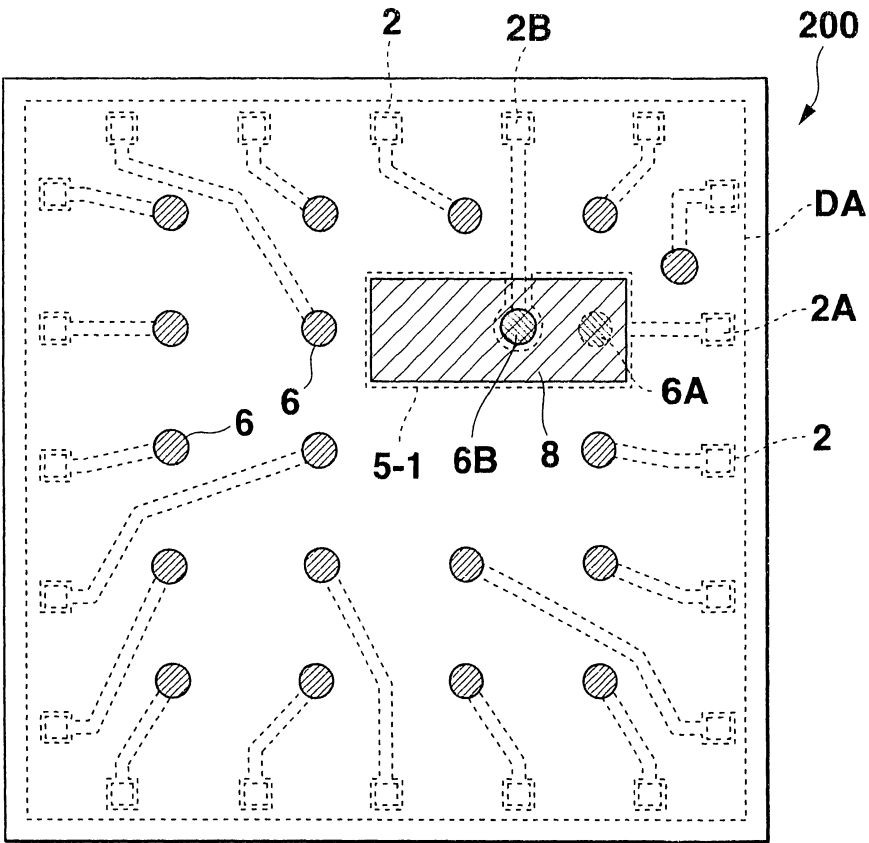
22. 如申請專利範圍第 21 項之方法，進一步地包含：

形成許多電容組件；及

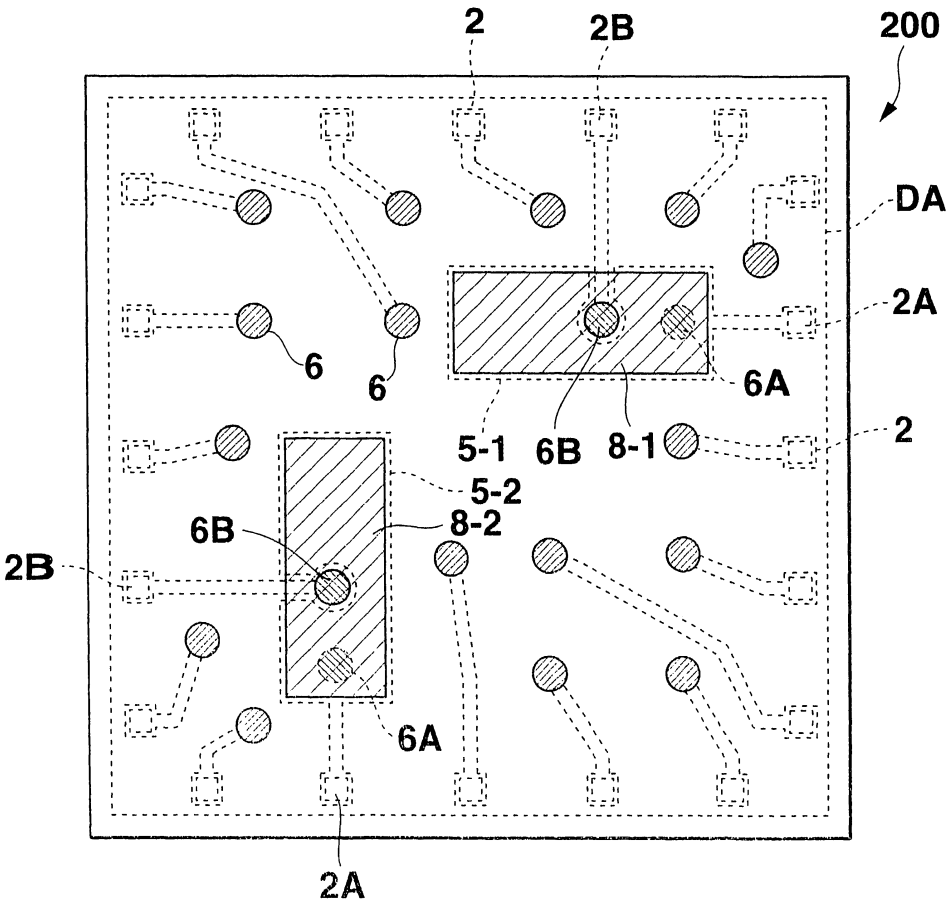
形成至少連接到兩個電容組件之間，且將其製作圖案，使產生電感構件之第三導電層，因此形成電感組件。

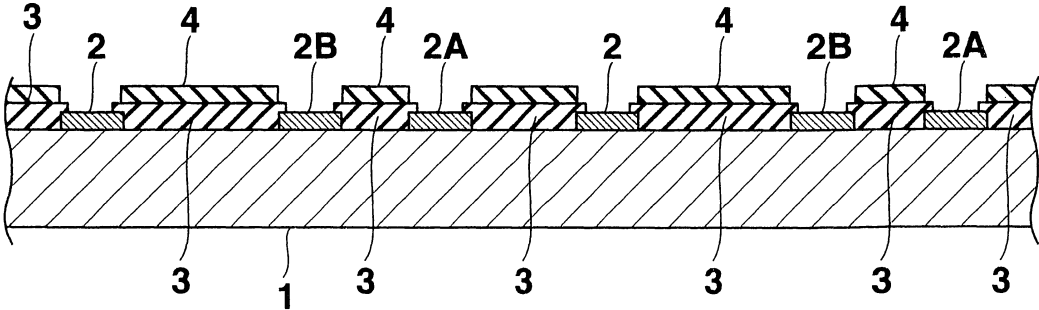
23. 如申請專利範圍第 18 項之方法，進一步地包含將介電質材料配置在第一和第二導電層之間。

第2圖

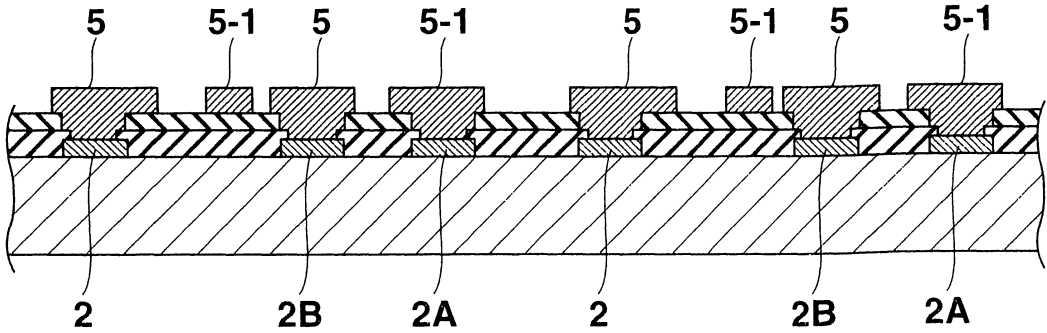


第3圖

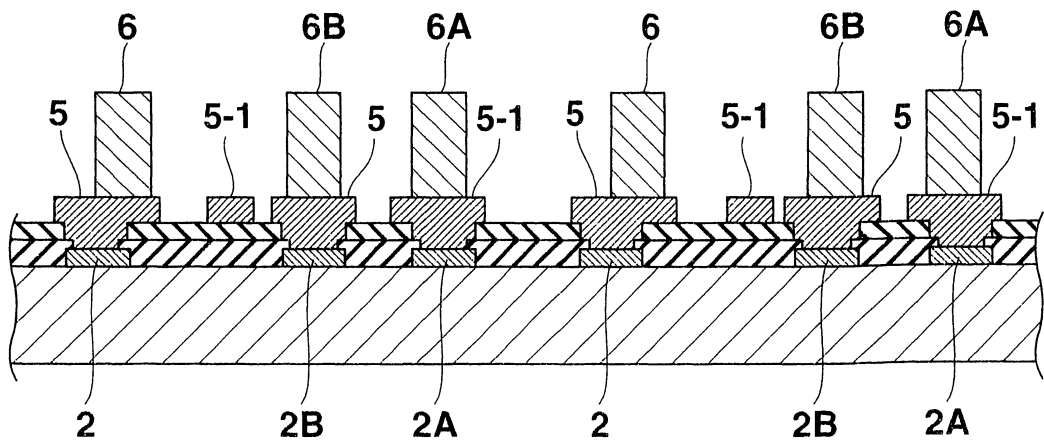




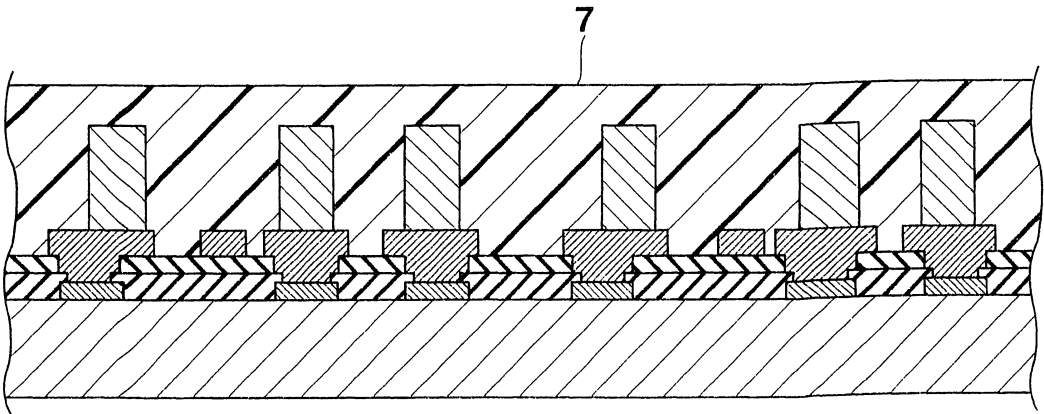
第4圖



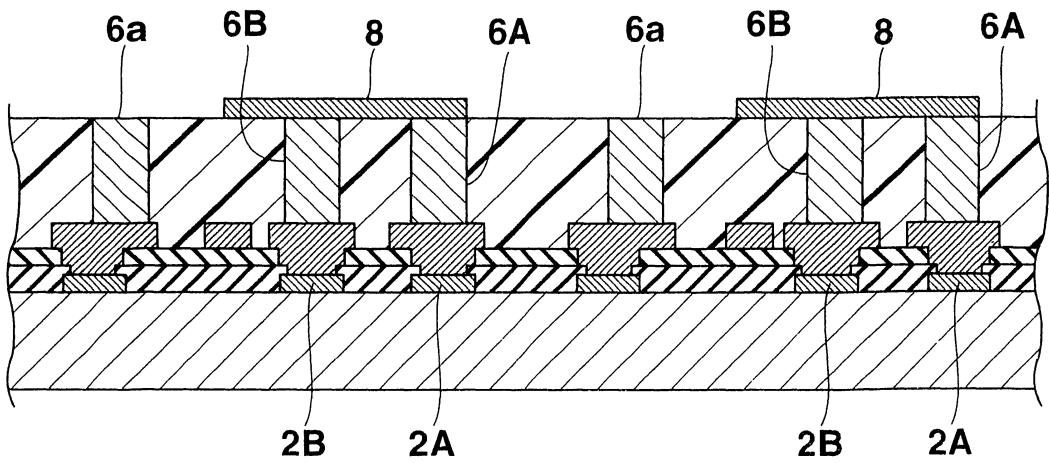
第5圖



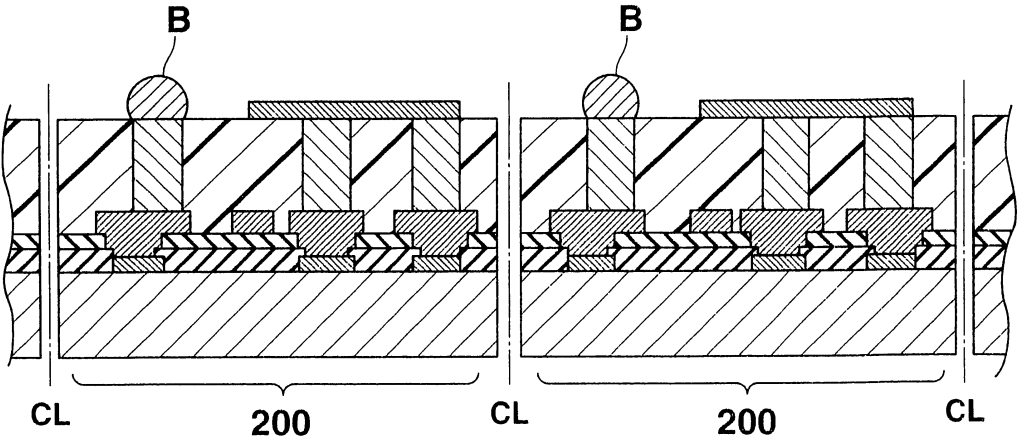
第6圖



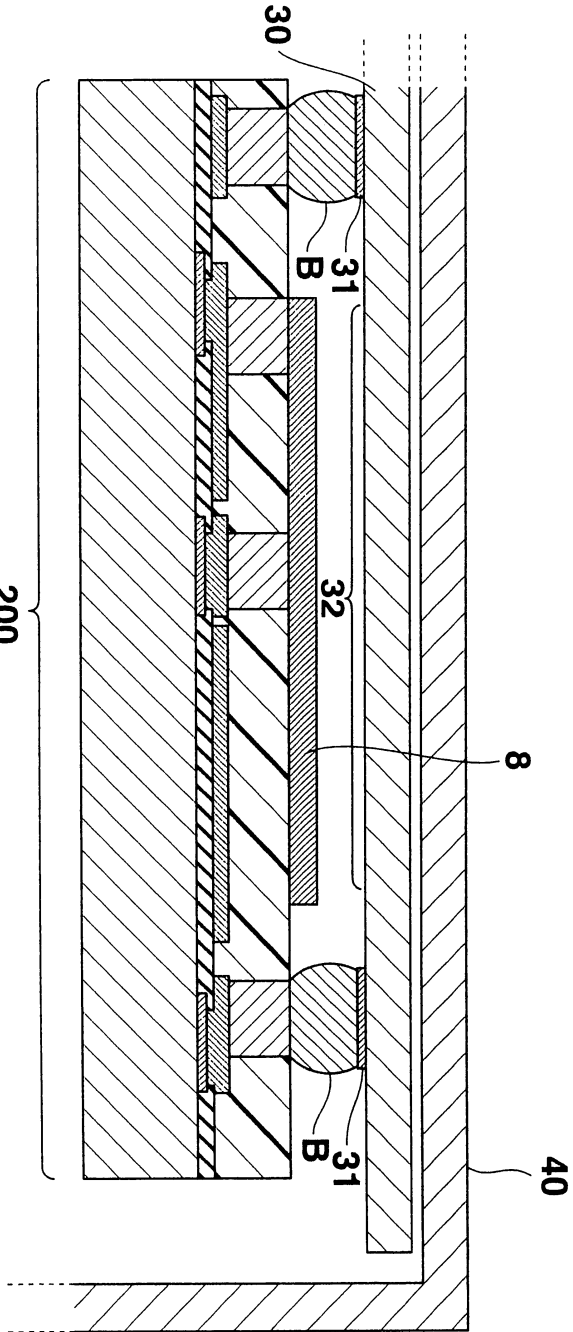
第7圖



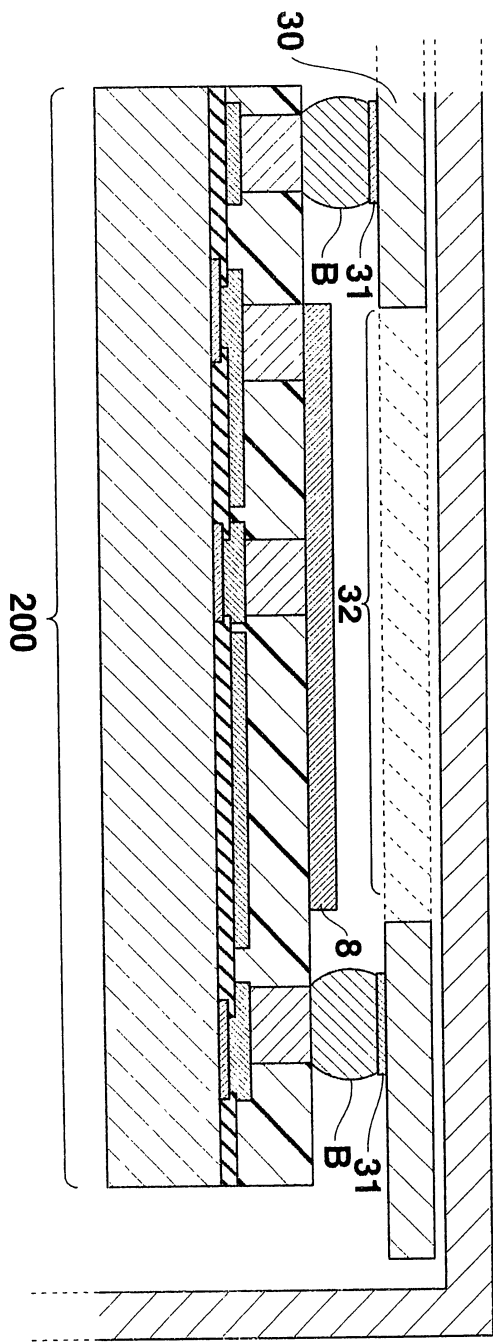
第 3 圖



第9圖



第10圖

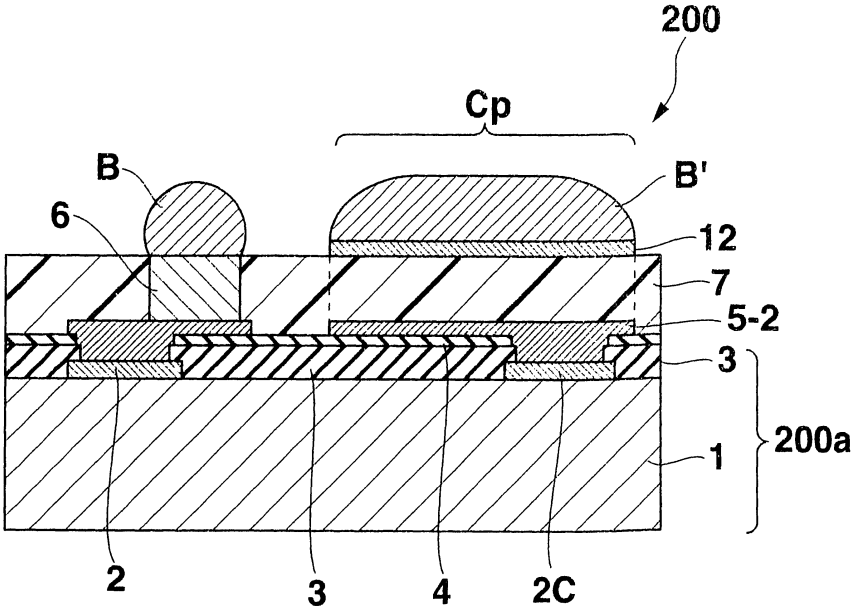


第11圖

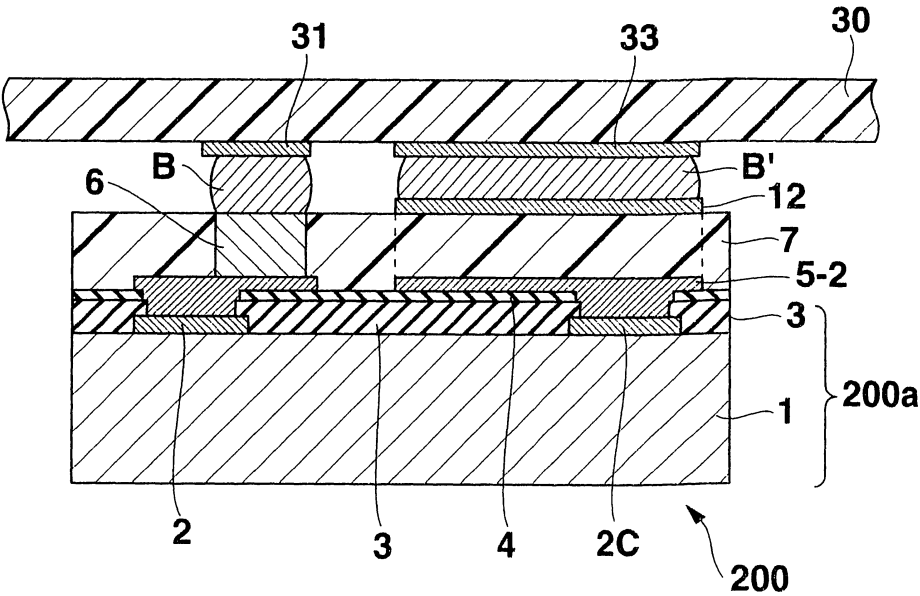


第12圖

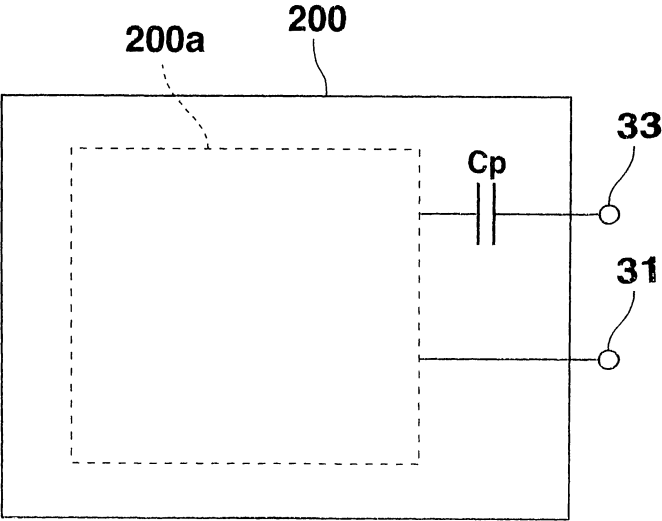
第 13A 圖

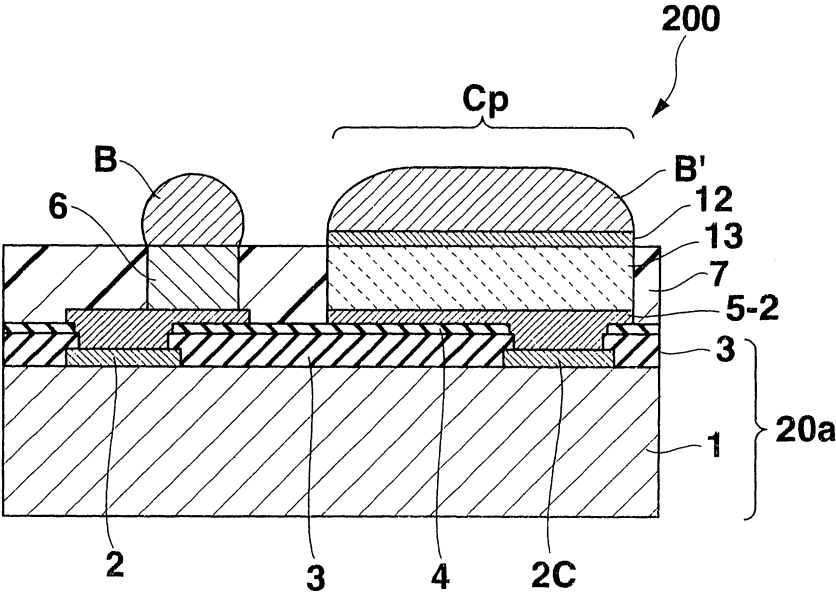


第 13B 圖

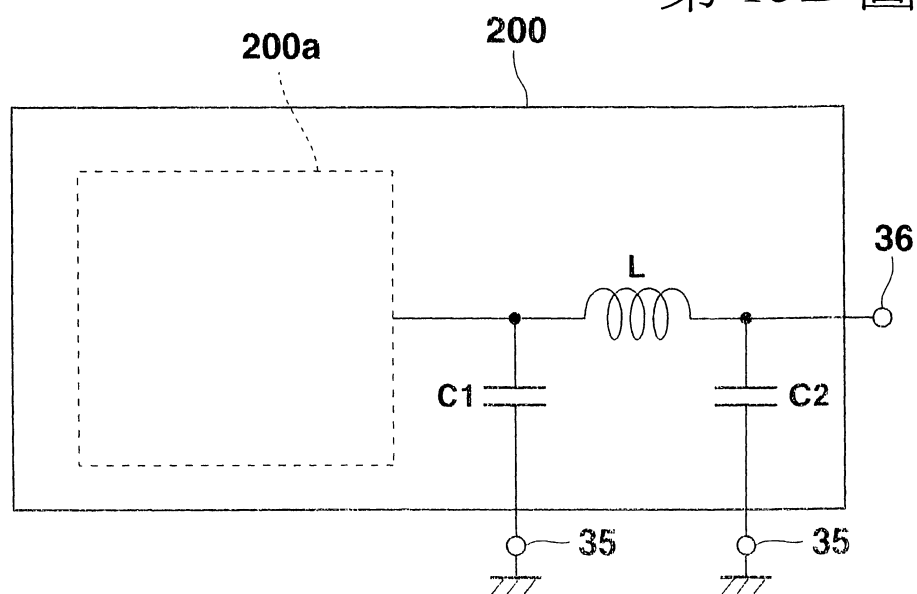
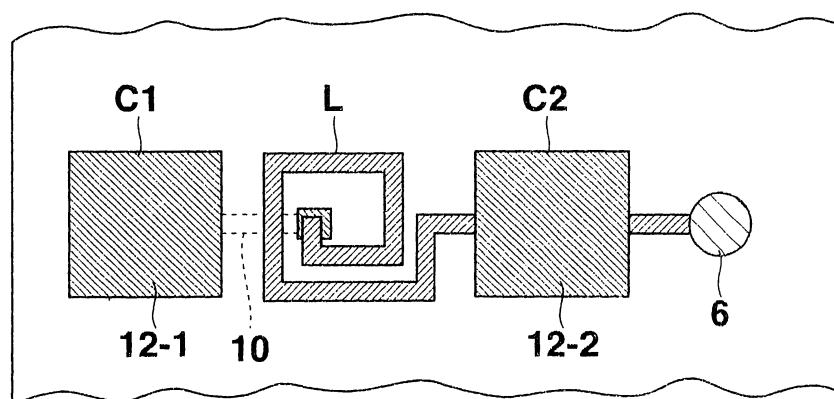
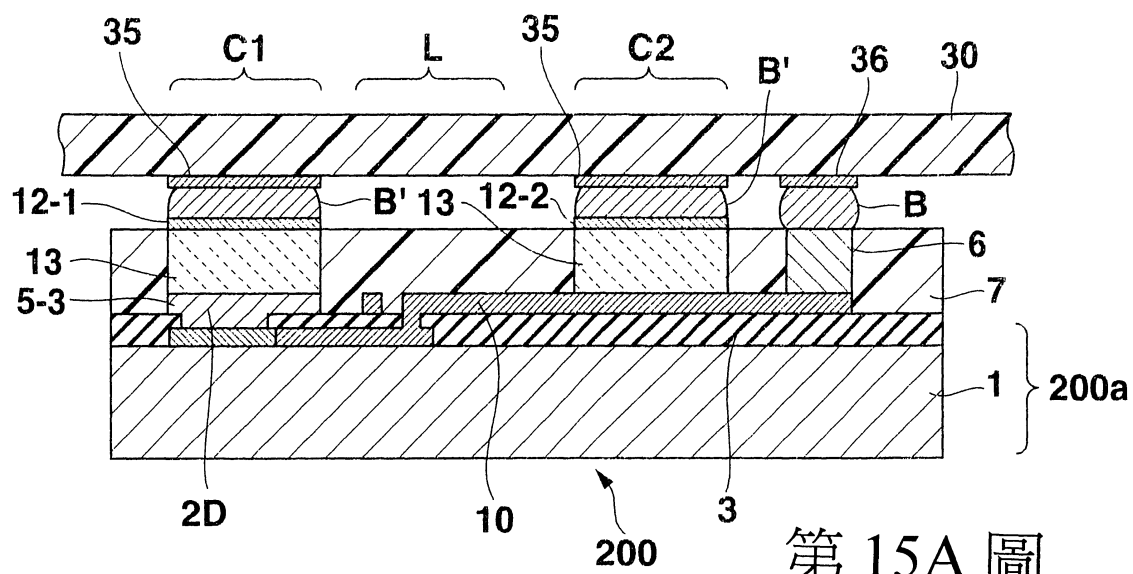


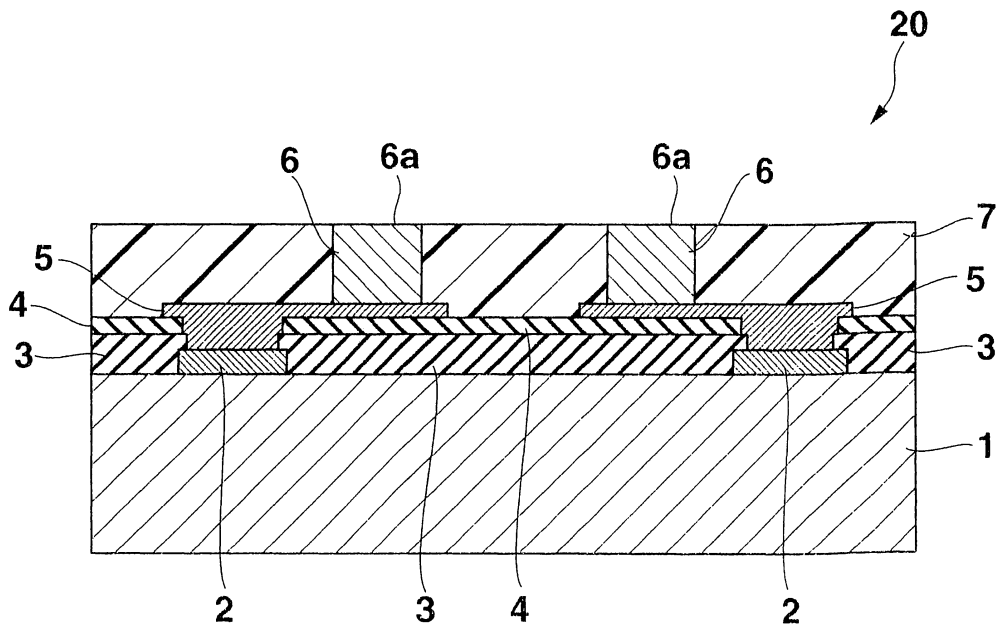
第 13C 圖





第14圖





第16圖