

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 11 月 25 日 (25.11.2004)

PCT

(10) 国際公開番号
WO 2004/102664 A1

(51) 国際特許分類: **H01L 27/04**,
21/82, 21/822, G06F 12/16, G11C 29/00

(21) 国際出願番号: PCT/JP2003/005962

(22) 国際出願日: 2003 年 5 月 13 日 (13.05.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒211-8588 神奈川県 川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).

(KOBAYASHI, Hiroyuki) [JP/JP]; 〒211-8588 神奈川県 川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 内田 敏也 (UCHIDA, Toshiya) [JP/JP]; 〒211-8588 神奈川県 川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).

(74) 代理人: 青木 篤, 外 (AOKI, Atsushi et al.); 〒105-8423 東京都港区虎ノ門三丁目 5 番 1 号 虎ノ門 3 7 森ビル 青和特許法律事務所 Tokyo (JP).

(81) 指定国 (国内): JP, US.

添付公開書類:
— 国際調査報告書

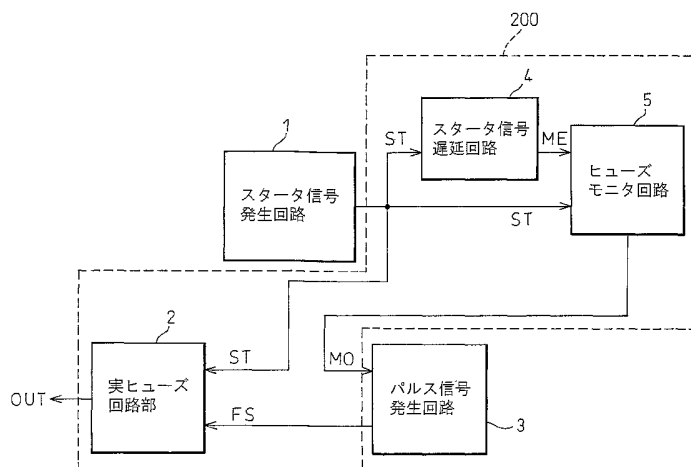
(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 小林 広之

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: FUSE CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(54) 発明の名称: ヒューズ回路および半導体集積回路装置



- 1...STARTER SIGNAL GENERATING CIRCUIT
- 2...ACTUAL FUSE CIRCUIT PART
- 3...PULSE SIGNAL GENERATING CIRCUIT
- 4...STARTER SIGNAL DELAYING CIRCUIT
- 5...FUSE MONITOR CIRCUIT

(57) Abstract: A fuse circuit having an actual fuse circuit part, and a fuse monitor circuit. The actual fuse circuit part stores fuse information, and the fuse monitor circuit monitors the power supply voltage to determine whether it has a level sufficient for taking in the fuse information correctly from the actual fuse circuit part.

(57) 要約: ヒューズ回路は、実ヒューズ回路部と、ヒューズモニター回路とを有する。実ヒューズ回路部は、ヒューズ情報を記憶し、また、ヒューズモニター回路は、電源電圧が実ヒューズ回路部からのヒューズ情報を正しく取り込むことが可能な取り込み可能電圧になったかどうかをモニターする。



WO 2004/102664 A1

明 細 書

ヒューズ回路および半導体集積回路装置

技術の分野

本発明は、ヒューズ回路および半導体集積回路装置に関し、特に、低電圧で使用されるヒューズ回路および半導体集積回路装置に関する。

背景技術

ヒューズ回路は、ヒューズの切断の有無により、例えば、D R A M (Dynamic Random Access Memory) の不良セルの冗長処理を行ったり、或いは、汎用的なD R A Mをユーザの要求に応じたデータ幅やメモリ構成（例えば、 $\times 8$ 、 $\times 16$ 、または、 $\times 32$ ）に設定するといった様々な半導体集積回路装置の内部処理や仕様の設定等を行うために利用されている。そして、このヒューズ回路の情報は、通常、半導体集積回路装置の電源起動時（パワーオン時）に読み込まれるようになっている。

ところで、一般に、ヒューズの特性としては、ヒューズの切断側にリセットするようになっており、ヒューズのセット信号によって、ヒューズが切れていなければ未切断側に情報が反転し、逆に、ヒューズが切れていれば切断側のままとなる特性を示す。

しかしながら、このような特性を有するヒューズ回路においては、低電圧での動作に問題が生じる。すなわち、ヒューズ回路が使用される電圧が低くなればなるほど、ヒューズが切断されていると判断され易く（反転する能力が足りなく）なり、その結果、誤った情報が読み込まれる恐れがある。また、その情報をラッチする回路に

においても、低電圧でのラッチは不安定であるため、正しくラッチされないこともあり得る。

なお、従来、メモリセルのパワーオン時にヒューズセルのデータをセンシングしてラッチするための設定時間をリファレンス回路により決定し、このリファレンス回路が工程の変化によるセンシング時間をトラッキングすることで、メモリセルのパワーオン時にヒューズセルのデータを確実にラッチするようにしたフラッシュメモリのヒューズセルセンシング回路が提案されている（例えば、特許文献 1 参照）。

特許文献 1

特開平 1 1 - 2 8 3 3 8 9 号公報

発明の開示

本発明は上述した従来技術が有する問題点に鑑みてなされたものであり、低い動作電圧でもヒューズによる情報の取り込みを正確に行い、さらに、ラッチ回路によるラッチも確実に行うことのできるヒューズ回路および半導体集積回路装置の提供を目的とする。

本発明の第 1 の形態によれば、ヒューズ情報を記憶する実ヒューズ回路部と、電源電圧が該実ヒューズ回路部からのヒューズ情報を正しく取り込むことが可能な取り込み可能電圧になったかどうかをモニターするヒューズモニター回路とを備えることを特徴とするヒューズ回路が提供される。

本発明の第 2 の形態によれば、ヒューズ情報を記憶する実ヒューズ回路部と、電源投入時に前記ヒューズ情報を取り込むために使用されるスタータ信号を発生するスタータ信号発生回路と、電源電圧が前記実ヒューズ回路部からのヒューズ情報を正しく取り込むことが可能な取り込み可能電圧になったかどうかをモニターするヒューズ

ズモニター回路と、該ヒューズモニター回路の出力信号から取り込み信号を生成するパルス信号発生回路とを備え、前記実ヒューズ回路部は、前記パルス信号発生回路からの取り込み信号および前記スタータ信号を受け取ってヒューズ情報を出力することを特徴とする半導体集積回路装置が提供される。

図面の簡単な説明

本発明を添付の図面を参照しながら以下に説明する。

図 1 は従来の半導体集積回路装置（ヒューズ回路およびその周辺回路）の一例を概略的に示すブロック図、

図 2 は図 1 の半導体集積回路装置におけるスタータ信号発生回路の一例を示す回路図、

図 3 は図 1 の半導体集積回路装置におけるヒューズ回路の一例を示す回路図、

図 4 は図 1 の半導体集積回路装置におけるパルス信号発生回路の一例を示す回路図、

図 5 は図 1 の半導体集積回路装置の動作を説明するための波形図、

図 6 は図 3 のヒューズ回路のヒューズ特性を示す図、

図 7 は従来のヒューズ回路の D C 特性および A C 特性を示す図、

図 8 は本発明に係る半導体集積回路装置（ヒューズ回路およびその周辺回路）の一例を概略的に示すブロック図、

図 9 は図 8 の半導体集積回路装置におけるスタータ信号発生回路の一例を示す回路図、

図 10 は図 8 の半導体集積回路装置における実ヒューズ回路部の一例を示す回路図、

図 11 は図 8 の半導体集積回路装置におけるパルス信号発生回路

の一例を示す回路図、

図 1 2 は図 8 の半導体集積回路装置におけるスタート信号遅延回路の一例を示す回路図、

図 1 3 は図 8 の半導体集積回路装置におけるヒューズモニター回路の一例を示す回路図、

図 1 4 は図 8 の半導体集積回路装置の動作を説明するための波形図、

図 1 5 は図 1 3 のヒューズモニター回路の変形例を示す図、

図 1 6 は本発明に係るヒューズ回路の D C 特性および A C 特性を示す図（その 1）、そして、

図 1 7 は本発明に係るヒューズ回路の D C 特性および A C 特性を示す図（その 2）である。

発明の実施の形態

まず、本発明に係るヒューズ回路および半導体集積回路装置の実施例を説明する前に、従来のヒューズ回路および半導体集積回路装置、並びに、その問題点を、添付図面（図 1 ～ 図 7）を参照して詳述する。

図 1 は従来の半導体集積回路装置（ヒューズ回路およびその周辺回路）の一例を概略的に示すブロック図である。

図 1 に示されるように、従来の半導体集積回路装置（ヒューズ回路およびその周辺回路）は、スタート信号発生回路 1 0 1、ヒューズ回路 1 0 2、および、パルス信号発生回路 1 0 3 を備えている。なお、半導体集積回路装置は、例えば、D R A M であり、ヒューズ回路 1 0 2 は、例えば、D R A M の不良セルの冗長処理を行うための情報（欠陥セルのアドレス情報）を記憶したり、或いは、汎用的な D R A M をユーザの要求に応じたデータ幅やメモリ構成（例えば

、 $\times 8$ 、 $\times 16$ 、または、 $\times 32$) に設定するための情報等を記憶するために使用される。

図2は図1の半導体集積回路装置におけるスタート信号発生回路の一例を示す回路図である。

図2に示されるように、スタート信号発生回路101は、抵抗1011、1012、nチャネル型MOSトランジスタ(nMOSトランジスタ)1013、および、インバータ1014、1015を備えて構成される。このスタート信号発生回路101は、例えば、半導体集積回路装置の電源がオンされて、実際の電源電圧PVが低電位電源電圧Vss(0V)から次第に上昇して高電圧電源電圧(定常時の電源電圧)Vddになる過程において、まず、低電位電源電圧Vssの信号stを出力している状態から、実際の電源電圧PVがnMOSトランジスタ1013のゲートに印加される抵抗1011、1012により分圧された電圧よりも該トランジスタ1013の閾値電圧(V_{th})以上になると、トランジスタ1013がオンして上昇過程の電源電圧波形を含んだスタート信号st(図5参照)を出力する。

図3は図1の半導体集積回路装置におけるヒューズ回路の一例を示す回路図である。

図3に示されるように、ヒューズ回路102は、pチャネル型MOSトランジスタ(pMOSトランジスタ)1021、1022、nMOSトランジスタ1023、1024、1025、ヒューズ1026、および、インバータ1027、1028を備えて構成される。ここで、pMOSトランジスタ1021およびnMOSトランジスタ1023、1024、並びに、pMOSトランジスタ1022、nMOSトランジスタ1025およびヒューズ1026は、それぞれ電源電圧PVが印加された高電位電源線(Vdd)と低電位

電源線（ V_{ss} ）との間に直列に接続されている。

pMOSトランジスタ1022およびnMOSトランジスタ1023のゲートには、スタート信号 s_t が供給され、また、nMOSトランジスタ1025のゲートには、取り込み信号 f_s が供給されている。さらに、pMOSトランジスタ1022とnMOSトランジスタ1025との接続個所、および、pMOSトランジスタ1021とnMOSトランジスタ1023との接続個所の共通接続ノードN01からの信号はインバータ1027を介してトランジスタ1021および1024のゲートに供給されると共に、さらに、インバータ1028を介して出力信号 out として出力される。

図4は図1の半導体集積回路装置におけるパルス信号発生回路の一例を示す回路図である。

図4に示されるように、パルス信号発生回路103は、複数（偶数個）のインバータ1031-1～1031-n、複数（奇数個）のインバータ1032-1～1032-m、NANDゲート1033、および、インバータ1034を備えて構成されている。ここで、インバータ1031-1～1031-nは、後述する図5における遅延時間 d_{t1} を与え、また、インバータ1032-1～1032-mは、取り込み信号 f_s のパルス幅 d_{t2} を与えるためのものである。

図5は図1の半導体集積回路装置の動作を説明するための波形図である。

図5および図3に示されるように、まず、半導体集積回路装置の電源をオンすると、実際の電源電圧 PV は V_{ss} （0V）から次第に上昇して定常時の電源電圧 V_{dd} になって安定するが、この過程において、前述したスタート信号 s_t （または、スタート信号に準ずる信号）が低レベル『L』から高レベル『H』に変化する。すな

わち、スタータ信号 s_t は、トランジスタ 1022 および 1023 のゲートに供給されており、最初は低レベル『L』（ V_{ss} ）になっている。そして、上述したように、実際の電源電圧 PV が抵抗 1011, 1012 により分圧された電圧よりもトランジスタ 1013 の閾値電圧（ V_{th} ）以上になると、スタータ信号 s_t は高レベル『H』（上昇過程の電源電圧波形も多少含むが実質的には V_{dd} ）になり、トランジスタ 1023 がオンしてトランジスタ 1022 がオフする。

これにより、出力信号 $o_u t$ は高レベル『H』（ V_{dd} ）になる。この状態は、ヒューズ 1026 の切断状態と同じである。その後、取り込み信号 f_s の高レベル『H』のパルスにより、トランジスタ 1025 がオンし、ヒューズ 1026 が切れていなければ、出力信号 $o_u t$ を低レベル『L』（ V_{ss} ）へ反転（未切断状態）させてその状態を保持し、逆に、ヒューズ 1026 が切れていれば、出力信号 $o_u t$ は高レベル『H』の状態（切断状態）をそのまま保持する。

このように、従来のヒューズ回路は、通常、切断状態にリセットしておき、未切断状態に反転させることで、ヒューズ情報の取り込みを行っている。

図 6 は図 3 のヒューズ回路のヒューズ特性を示す図であり、縦軸はヒューズの抵抗値 [$K\Omega$] を示し、横軸は電圧（動作電圧） [V] を示している。

図 6 から明らかなように、従来のヒューズ回路において、ヒューズが切断されていると判断される切断判断エリアとヒューズが切断されていない（未切断である）と判断される未切断判断エリアとの境界曲線は、動作電圧が低く（例えば、1.2V 程度）になると急激に高いヒューズ抵抗値となるような特性を有している。ここで、ヒ

ューズ回路の出力 out は、ヒューズが切断されていれば変化せず、逆に、ヒューズが未切断であれば変化するようになっており、ヒューズの動作方向は、図 6 中の矢印の方向になる。

このように、従来のヒューズ回路は、動作電圧が低くなればなるほど、ヒューズが未切断であると判断され易くなる。そのため、ヒューズの切断が不十分であったり、或いは、ヒューズのグローバック (Growback: ヒューズが切断しているにも関わらず、ヒューズ部分の抵抗値が下がってくる現象) 等により、ヒューズ情報を誤って読み込む恐れが生じ易くなる。そして、近年、半導体集積回路装置は低消費電力および高速動作等の要求に伴って、その電源電圧は益々低くなる方向にあり、より一層大きな問題となって来ている。

図 7 は従来のヒューズ回路の DC 特性および AC 特性を示す図であり、図 7 (a) は、ヒューズが切断された状態で、しかも、例えば、上述したヒューズのグローバックによりヒューズの抵抗値が $100\text{ K}\Omega$ になっているときの電源電圧 (動作電圧 V_P) とヒューズ回路の出力電圧との関係 (直流的に見た実際のヒューズ特性の DC 特性) を示し、図 7 (b) は、同様に、ヒューズが切断された状態でヒューズの抵抗値が $100\text{ K}\Omega$ になっている場合の電源をオンして動作電圧 V_P が 0 V から V_{dd} まで上昇しているときの取り込み信号 s_t の電圧と時間との関係 (交流的に見た実際のヒューズ特性の AC 特性) を示している。なお、図 7 は、動作電圧が 1.2 V でヒューズの抵抗値が $100\text{ K}\Omega$ のときに、切断判断エリアと未切断範囲エリアとの境界になる場合を説明する。

すなわち、図 7 (a) に示されるように、ヒューズ回路の DC 特性は、実際の電源電圧 (動作電圧) PV が 1.2 V を境として、ヒューズの切断か未切断かが判断される。すなわち、たとえヒューズを切断したとしても、グローバック等によりヒューズの抵抗値が 10

0 K Ω になっていると、実際の電源電圧 P V が 1.2 V よりも低い場合には、ヒューズ回路はヒューズが未切断であると判断して低レベル『L』を出力する。

そして、図 7 (b) に示されるように、ヒューズ回路の A C 特性は、例えば、ヒューズ回路が設けられている半導体集積回路装置の電源がオンして実際の電源電圧 P V が低電位電源電圧 V s s (0 V) から次第に上昇して高電圧電源電圧 (定常時の電源電圧) V d d になる過程において、ヒューズ情報の取り込みを実際の電源電圧 P V が 1.2 V よりも高くなる前 (例えば、P V = 1.1 V) のタイミング f t 1 で行うと、たとえヒューズを切断していたとしても、グローバック等によりヒューズの抵抗値が 100 K Ω になっている場合には、ヒューズは未切断であると判断して誤ったヒューズ情報を取り込んでしまう (ヒューズ回路は低レベル『L』を出力してしまう)。すなわち、例えば、切断したヒューズの抵抗が 100 K Ω になっている場合、ヒューズ情報を正しく取り込むには、実際の電源電圧 P V が 1.2 V よりも高くなった後 (例えば、P V = 1.3 V) のタイミング f t 2 で行わなければならないことが分かる。

以下、本発明に係るヒューズ回路および半導体集積回路装置の実施例を、添付図面を参照して詳述する。

図 8 は本発明に係る半導体集積回路装置 (ヒューズ回路およびその周辺回路) の一例を概略的に示すブロック図である。

図 8 に示されるように、本発明に係る半導体集積回路装置 (ヒューズ回路およびその周辺回路) は、スタータ信号発生回路 1、ヒューズ回路 200、および、パルス信号発生回路 3 を備えている。ここで、図 8 と前述した図 1 との比較から明らかなように、本発明に係るヒューズ回路 200 は、従来のヒューズ回路 102 に対応するものであり、実際に情報を格納する実ヒューズ回路部 2、スタータ

信号遅延回路 4、および、ヒューズモニター回路 5 を備えている。
なお、実ヒューズ回路部 2 は、従来のヒューズ回路 102 と同様の回路構成となっている。また、半導体集積回路装置は、例えば、DRAM であり、ヒューズ回路 200 は、例えば、DRAM の不良セルの冗長処理を行うための情報を記憶したり、或いは、汎用的な DRAM をユーザの要求に応じたデータ幅やメモリ構成（例えば、 $\times 8$ 、 $\times 16$ 、または、 $\times 32$ ）に設定するための情報等を記憶するために使用されるのは、従来と同様である。

図 9 は図 8 の半導体集積回路装置におけるスタータ信号発生回路の一例を示す回路図である。この図 9 に示す本実施例のスタータ信号発生回路 1 は、前述した図 2 に示す従来のスタータ信号発生回路 101 と同様の回路構成となっている。

すなわち、図 9 に示されるように、スタータ信号発生回路 1 は、抵抗 11、12、nMOS トランジスタ 13、および、インバータ 14、15 を備え、半導体集積回路装置の電源がオンされて、実際の電源電圧 PV が低電位電源電圧 V_{ss} から高電圧電源電圧 V_{dd} になる過程において、所定の波形（従来のスタータ信号 s_t と同様の波形）を有するスタータ信号 ST （図 14 参照）を出力する。

図 10 は図 8 の半導体集積回路装置における実ヒューズ回路部の一例を示す回路図である。

図 10 と前述した図 3 との比較から明らかなように、本実施例の実ヒューズ回路部 2 は、従来のヒューズ回路 102 と同様の回路構成とされており、pMOS トランジスタ 21、22、nMOS トランジスタ 23、24、25、ヒューズ 26、および、インバータ 27、28 を備えて構成される。すなわち、本実施例の実ヒューズ回路部 2 においては、図 3 の従来のヒューズ回路 102 に入力される取り込み信号 f_s が、新たな回路（スタータ信号遅延回路 4 および

ヒューズモニター回路 5) を介して処理された信号 (MO) をパルス信号発生回路 3 に供給して得られた信号 (取り込み信号 FS) となっている。なお、本実施例の実ヒューズ回路部 2 自身の動作は、従来のヒューズ回路 102 の動作と同様である。

図 11 は図 8 の半導体集積回路装置におけるパルス信号発生回路の一例を示す回路図である。この図 11 に示す本実施例のパルス信号発生回路 3 も、前述した図 4 に示す従来のパルス信号発生回路 103 と同様の回路構成となっている。

すなわち、図 11 に示されるように、パルス信号発生回路 3 は、複数 (偶数個) のインバータ 31-1 ~ 31-n、複数 (奇数個) のインバータ 32-1 ~ 32-m、NAND ゲート 33、および、インバータ 34 を備えて構成されている。ここで、インバータ 31-1 ~ 31-n は、後述する図 14 における遅延時間 DT1 を与え、また、インバータ 32-1 ~ 32-m は、取り込み信号 FS のパルス幅 DT2 を与えるためのものである。

図 12 は図 8 の半導体集積回路装置におけるスタータ信号遅延回路の一例を示す回路図である。

図 12 から明らかなように、本実施例のスタータ信号遅延回路 4 は、複数 (奇数個) のインバータ 41-1 ~ 41-k を備えて構成され、これらインバータ 41-1 ~ 41-k は、後述する図 14 における遅延時間 DT3 を与えるためのものである。

図 13 は図 8 の半導体集積回路装置におけるヒューズモニター回路の一例を示す回路図である。

図 13 に示されるように、本実施例のヒューズモニター回路 5 は、pMOS トランジスタ 51, 52、nMOS トランジスタ 53 ~ 55, 57、抵抗 56、NAND ゲート 58, 59、NOR ゲート 60、および、インバータ 61 ~ 64 を備えている。ここで、NA

N D ゲート 5 8 および 5 9 はラッチを構成し、また、抵抗 5 6 は、実ヒューズ回路部 2 におけるヒューズ 2 6 のレプリカとしての機能を持たせるために所定の抵抗値とされている。この抵抗 5 6 の抵抗値は、実際のヒューズ（実ヒューズ）の特性に合わせるようになっていて、具体的に、電源電圧が 1. 2 V、実ヒューズが 1 0 0 K Ω よりも大きな抵抗値で反転するような場合、抵抗 5 6 の抵抗値は、例えば、1 0 0 K Ω に設定される。すなわち、ヒューズモニター回路 5 における抵抗 5 6 の抵抗値は、実ヒューズ回路部 2 における切断されたヒューズ（2 6）の抵抗値の最小値（例えば、グローバック等の影響で最も抵抗値が小さくなっている切断状態のヒューズの抵抗値）よりも余裕を持ってさらに小さい抵抗値としている。

まず、図 1 3 と図 1 0 との比較から明らかなように、本実施例のヒューズモニター回路 5 における p M O S トランジスタ 5 1, 5 2、n M O S トランジスタ 5 3 ~ 5 5、および、インバータ 6 1, 6 2 は、実質的に、それぞれ図 1 0 に示す実ヒューズ回路部 2 における p M O S トランジスタ 2 1, 2 2、n M O S トランジスタ 2 3 ~ 2 5、および、インバータ 2 7, 2 8 に相当している。ただし、本ヒューズモニター回路 5 において、p M O S トランジスタ 5 2 のゲートは高電位電源線（V d d）に接続され、また、n M O S トランジスタ 5 3 のゲートは低電位電源線（V s s）に接続され、さらに、n M O S トランジスタ 5 5 のゲートには、一方の入力に出力信号 M O が供給され他方の入力にスタータ信号遅延回路 4 の出力信号（ヒューズモニター回路イネーブル信号）M E が供給された N O R ゲート 6 0 の出力信号が供給されている。

また、N O R ゲート 6 0 の出力信号は、N A N D ゲート 5 8 および 5 9 で構成されるラッチに対してインバータ 6 4 を介してスタータ信号 S T と共に入力され、このラッチの出力は p M O S トランジ

スタ 5 1 のゲートに供給されている。なお、トランジスタ 5 1 と 5 3 の接続ノードには、ゲートにスタータ信号 S T をインバータ 6 3 で反転した信号が供給された n M O S トランジスタ 5 7 のドレインが接続されている。このトランジスタ 5 7 のソースは、低電位電源線 (V s s) に接続されている。ここで、p M O S トランジスタ 5 2 および n M O S トランジスタ 5 3, 5 4 は、ヒューズモニター回路 5 の動作には直接関与しないが、ヒューズモニター回路 5 に実ヒューズ回路部 2 と同様の構成を持たせることにより、ヒューズモニター回路における寄生容量等の影響を実ヒューズ回路部に合わせるようになっている。

図 1 4 は図 8 の半導体集積回路装置の動作を説明するための波形図である。

図 1 4 および図 1 3 に示されるように、まず、半導体集積回路装置の電源をオンすると、実際の電源電圧 P V は V s s (0 V) から次第に上昇して定常時の電源電圧 V d d になって安定するが、この過程において、スタータ信号 S T が低レベル『L』から高レベル『H』に変化する。ヒューズモニター回路 5 においては、まず、スタータ信号 S T が低レベル『L』のとき、n M O S トランジスタ 5 7 は電源電圧 P V の上昇によりオンしてノード N 1 の電位を低レベル『L』(V s s) にリセット (初期化) する。そして、スタータ信号 S T が高レベル『H』に変化してインバータ 6 3 の出力が低レベル『L』になると、トランジスタ 5 7 はオフする。なお、ゲートに低電位電源電圧 (V s s) が印加された n M O S トランジスタ 5 3 およびゲートに高電位電源電圧 (V d d) が印加された p M O S トランジスタ 5 3 は、常にオフ状態を維持しており、n M O S トランジスタ 5 4 と共に、ヒューズモニター回路 5 の動作には直接関与しないが、前述したように、これらトランジスタのゲート容量等によ

りヒューズモニター回路 5 に実ヒューズ回路部 2 の動作を再現させるようになっている。

ところで、スタータ信号遅延回路 4 は、複数（奇数個）のインバータ $41-1 \sim 41-k$ で構成され、その出力信号 ME は、スタータ信号 ST を反転した信号であって、スタータ信号 ST が立ち上がるタイミングから遅延時間 DT3 だけ遅れて立ち下がる信号となっている。この信号（ヒューズモニター回路イネーブル信号）ME は、NOR ゲート 60 の一方の入力に供給されており、この時点で出力信号 MO は低レベル『L』（ V_{ss} ）となっているので、信号 ME が立ち下がると、NOR ゲート 60 の出力は高レベル『H』（ V_{dd} ）となり、トランジスタ 55 がオンする。さらに、NOR ゲート 60 の出力は、インバータ 64 を介して NAND ゲート 58 の一方の入力に供給され、また、NAND ゲート 59 の一方の入力に供給されているスタータ信号 ST は高レベル『H』となっているので、ラッチ（58, 59）の出力は低レベル『L』に保持されてトランジスタ 51 はオン状態を保持する。

これにより、オン状態のトランジスタ 51 を介して高電位電源線（ V_{dd} ）から電流が流れ込み、また、オン状態のトランジスタ 55 および抵抗 56 を介して低電位電源線（ V_{ss} ）に電流が流れる。そして、実際の電源電圧 VP の上昇、並びに、pMOS トランジスタ 51 の駆動能力（オン抵抗）および抵抗 56 の抵抗値の相関関係により、次第にノード N1 の電位が高レベル『H』（ V_{dd} ）になって、インバータ 61, 62 を介して出力される出力信号 MO が高レベル『H』（ V_{dd} ）になる。すなわち、実ヒューズ回路部 2 においてヒューズ 26 の切断状態を再現（例えば、グローバック等により切断したヒューズ 26 の抵抗値が $100\text{K}\Omega$ となっているのを再現）したとき、実際の電源電圧 VP が、そのヒューズ 26 が正

しく切断状態であると判断できる電圧まで上昇したときに、ノード N 1 の電位が高レベル『H』になる。これにより、NORゲート 60 の出力が低レベル『L』になってトランジスタ 55 がオフし、以後、出力信号 MO は高レベル『H』を保持する。

従って、ヒューズモニター回路 5 の出力信号 MO は、実際の電源電圧 VP が、グローバック等を考慮した実ヒューズ回路部 2 における切断状態のヒューズ 26 を正しく切断状態であると判断できる電圧になった後に直ちに低レベル『L』から高レベル『H』に変化する信号になる。

そして、ヒューズモニター回路 5 の出力信号 MO は、パルス信号発生回路 3 に供給され、パルス信号発生回路 3 から取り込み信号 FS が出力される。ここで、本実施例において、パルス信号発生回路 3 に供給されるヒューズモニター回路 5 の出力信号 MO は、例えば、図 1 に示す従来の半導体集積回路装置において、パルス信号発生回路 103 に供給されるスタート信号 st に相当する。従って、本実施例の取り込み信号 FS は、実ヒューズ回路部 2 におけるヒューズ 26 の切断／未切断を正しく判断できるタイミングで出力されることになる。

以上において、ヒューズモニター回路 5 における設定値（例えば、グローバック等により切断したヒューズ 26 の抵抗値を 100 K Ω と設定）を変えるには、抵抗 56 の抵抗値を変化させる以外に、例えば、pMOS トランジスタ 57 の駆動能力を変えるためにそのゲート幅／ゲート長を変化させることもできる。

図 15 は図 13 のヒューズモニター回路の変形例を示す図であり、図 13 のヒューズモニター回路における pMOS トランジスタ 51 を、駆動能力の異なる複数の pMOS トランジスタ 511～514 から選択して使用するものである。

図 15 に示されるように、本変形例のヒューズモニター回路 5 は、pMOS トランジスタ 552, 511 ~ 514、nMOS トランジスタ 555, 557、抵抗 556、NAND ゲート 521 ~ 524、および、インバータ 563 を備えている。ここで、pMOS トランジスタ 511 ~ 514 は、それぞれ駆動能力（トランジスタサイズ）が異なっており、例えば、pMOS トランジスタ 511 のゲート幅を W にすると共にゲート長を L にしたとき、pMOS トランジスタ 512 はゲート幅が W でゲート長が $1.5 \times L$ とされ、また、pMOS トランジスタ 513 はゲート幅が $1.5 \times W$ でゲート長が L とされ、そして、pMOS トランジスタ 514 はゲート幅が $1.5 \times W$ でゲート長が $1.5 \times L$ とされている。

pMOS トランジスタ 511 ~ 514 の選択は、例えば、テストモードを設定しておき、そのテストモードにおいて、各トランジスタ 511 ~ 514 に対応する NAND ゲート 521 ~ 524 の一方の入力に供給される選択信号 $SS1 \sim SS4$ を順に切り換えて、最も好ましい状態を規定する。なお、各 NAND ゲート 521 ~ 524 の他方の入力には、ヒューズモニター回路イネーブル信号（スタータ信号遅延回路 4 の出力信号） ME が供給されている。なお、pMOS トランジスタ 511 ~ 514 の選択は、1 つのトランジスタの選択に限定されるものではなく、複数のトランジスタ（例えば、pMOS トランジスタ 511 および 512）を選択してもよいのはもちろんである。

図 16 は本発明に係るヒューズ回路の DC 特性および AC 特性を示す図（その 1）であり、図 16 (a) および図 16 (b) は、ヒューズモニター回路 5 の特性（抵抗 56 の抵抗値）を実ヒューズ回路部 2 の特性（切断されたヒューズ 26 の抵抗値）に合わせた場合のヒューズ回路の DC 特性および AC 特性を示すものである。なお

、図 1 6 (a) において、実ヒューズ回路部の特性曲線 L 1 1 とヒューズモニター回路の特性曲線 L 1 2 はほぼ一致している。

図 1 6 (a) および図 1 6 (b) に示されるように、ヒューズモニター回路 5 の D C 特性 (L 1 2) は実ヒューズ回路部 2 の D C 特性 (L 1 1) と同じであるが、ヒューズモニター回路の A C 特性 (L 2 2) は、リセット状態が未切断なので異なっている。なお、図 1 6 (b) において、曲線 L 2 1 は図 7 (b) の特性曲線に相当する。

もし、ヒューズモニター回路 5 が、反転電圧 (例えば、1.2 V) よりも低い電圧でスタートしても、出力状態は変化せず、モニターは終了しない。すなわち、ヒューズモニター回路 5 は、半導体集積回路装置の電源がオンされて、実際の電源電圧 (V P) が上昇して反転電圧を超え、ヒューズモニター回路 5 の出力信号 M O が反転してからモニター完了になる。

この完了動作 (例えば、図 1 3 および図 1 4 に示されるヒューズモニター回路 5 の出力信号 M O が低レベル『L』から高レベル『H』への立ち上がり) を受けて、実ヒューズ回路部 2 におけるヒューズ情報の取り込み動作が開始される。これにより、半導体集積回路装置の電源がオンして実際の電源電圧 P V が上昇するとき、電源オンから短い時間の間でヒューズ情報を正しく取り込むことができる。

図 1 7 は本発明に係るヒューズ回路の D C 特性および A C 特性を示す図 (その 2) であり、図 1 7 (a) および図 1 7 (b) は、モニター特性を悪く (例えば、ヒューズモニター回路 5 における抵抗 5 6 の抵抗値を実ヒューズ回路部 2 の切断されたヒューズ 2 6 の抵抗値よりも小さく (例えば、50 K Ω)) した場合のヒューズ回路の D C 特性および A C 特性を示すものである。

図 1 7 (a) および図 1 7 (b) に示されるように、ヒューズモニター回路 5 の D C 特性 (L 3 2) は実ヒューズ回路部 2 の D C 特性 (L 3 1) よりも右側 (高電圧側) となっており、また、ヒューズモニター回路の A C 特性 (L 4 2) は、反転電圧 (例えば、 1 . 2 5 V) よりも電圧が高くなると切断状態になる。なお、図 1 7 (b) において、曲線 L 4 1 は図 7 (b) の特性曲線に相当する。

すなわち、図 1 7 (a) および図 1 7 (b) は、ヒューズモニター回路のモニター特性を悪くすることにより、反転電圧を上昇 (例えば、 1 . 2 V から 1 . 2 5 V へ上昇) させ、より一層、実ヒューズ (2 6) の取り込み動作にマージンを持たせた場合を示している。なお、上記のモニター特性の設定は、前述したようなヒューズモニター回路 5 における抵抗 5 6 の抵抗値を小さくしたり、或いは、 p M O S トランジスタ 5 1 のゲート長 L を長く (または、ゲート幅 W を小さく) することにより行う。

すなわち、ヒューズモニター回路 5 のモニターの反転電圧は 1 . 2 V から 1 . 2 5 V まで上昇し (実ヒューズ 2 6 は、 1 . 2 V が反転電圧) 、ヒューズモニター回路 5 が、それよりも低い電圧でスタートしても、反転電圧 (1 . 2 5 V) まで電圧上昇を待つことになる。そして、ヒューズモニター回路 5 の出力信号 M O は、実際の電源電圧 (P V) が反転電圧 (1 . 2 5 V) を超えてから低レベル『 L 』から高レベル『 H 』へ立ち上がるため、実ヒューズ回路部 2 によるヒューズ情報の取り込みの誤りは生じ難くなる。

以上、詳述したように、本発明によれば、低い動作電圧でもヒューズによる情報の取り込みを正確に行い、さらに、ラッチ回路によるラッチも確実に行うことのできるヒューズ回路および半導体集積回路装置を提供することができる。

請 求 の 範 囲

1. ヒューズ情報を記憶する実ヒューズ回路部と、

電源電圧が該実ヒューズ回路部からのヒューズ情報を正しく取り込むことが可能な取り込み可能電圧になったかどうかをモニターするヒューズモニター回路とを備えることを特徴とするヒューズ回路。

2. 請求項1に記載のヒューズ回路において、前記実ヒューズ回路部による前記ヒューズ情報の取り込みを、前記ヒューズモニター回路により前記電源電圧が前記取り込み可能電圧になったと判断された後に行うことを特徴とするヒューズ回路。

3. 請求項1に記載のヒューズ回路において、前記電源電圧に対する前記ヒューズモニター回路のヒューズ特性を、ヒューズの状態に対する前記実ヒューズ回路部のヒューズ特性と逆にしたことを特徴とするヒューズ回路。

4. 請求項3に記載のヒューズ回路において、

前記実ヒューズ回路部は、前記ヒューズが切れていなければ未切断側に情報が反転し、逆に、前記ヒューズが切れていれば切断側のままとなるヒューズ特性を有し、且つ、

前記ヒューズモニター回路は、前記電源電圧が前記取り込み可能電圧以上であれば切断側に情報が反転し、逆に、前記電源電圧が前記取り込み可能電圧よりも低ければ未切断側のままとなるヒューズ特性を有することを特徴とするヒューズ回路。

5. 請求項1に記載のヒューズ回路において、

前記ヒューズモニター回路は、前記実ヒューズ回路部に対応する回路構成を有し、該実ヒューズ回路部の前記ヒューズとして抵抗を使用することを特徴とするヒューズ回路。

6. 請求項5に記載のヒューズ回路において、

前記ヒューズモニター回路における前記抵抗を、前記実ヒューズ回路部における切断されたヒューズの抵抗値を考慮して設定することを特徴とするヒューズ回路。

7. 請求項6に記載のヒューズ回路において、

前記ヒューズモニター回路における前記抵抗を、前記実ヒューズ回路部における切断されたヒューズの抵抗値の最小値よりもさらに小さい抵抗値としたことを特徴とするヒューズ回路。

8. 請求項5に記載のヒューズ回路において、

前記ヒューズモニター回路は、該ヒューズモニター回路のヒューズとして使用する前記抵抗の抵抗値を調整して、前記取り込み可能電圧の設定を行うことを特徴とするヒューズ回路。

9. 請求項5に記載のヒューズ回路において、

前記ヒューズモニター回路は、前記実ヒューズ回路部において前記ヒューズに電流を流すためのトランジスタに対応するトランジスタのサイズを調整して、前記取り込み可能電圧の設定を行うことを特徴とするヒューズ回路。

10. 請求項9に記載のヒューズ回路において、

前記ヒューズモニター回路においてサイズ調整を行うトランジスタとして、異なるサイズの複数のトランジスタを設け、該複数のトランジスタにおける少なくとも1つのトランジスタをテストモードで選択することを特徴とするヒューズ回路。

11. 請求項1に記載のヒューズ回路において、

前記ヒューズモニター回路は、前記ヒューズ回路が設けられた半導体集積回路装置の電源投入時に前記実ヒューズ回路部からのヒューズ情報を取り込むために使用されることを特徴とするヒューズ回路。

12. 請求項1に記載のヒューズ回路において、

前記ヒューズモニター回路は、スタータ信号が切れるポイントで出力信号を出力することを特徴とするヒューズ回路。

13. 請求項12に記載のヒューズ回路において、

前記実ヒューズ回路部は、前記ヒューズモニター回路の出力信号を取り込み信号として使用することを特徴とするヒューズ回路。

14. 請求項1に記載のヒューズ回路において、

前記ヒューズモニター回路は、モニター動作が完了した後、モニター動作を開始した信号を止める機能を備えることを特徴とするヒューズ回路。

15. ヒューズ情報を記憶する実ヒューズ回路部と、

電源投入時に前記ヒューズ情報を取り込むために使用されるスタータ信号を発生するスタータ信号発生回路と、

電源電圧が前記実ヒューズ回路部からのヒューズ情報を正しく取り込むことが可能な取り込み可能電圧になったかどうかをモニターするヒューズモニター回路と、

該ヒューズモニター回路の出力信号から取り込み信号を生成するパルス信号発生回路とを備え、前記実ヒューズ回路部は、前記パルス信号発生回路からの取り込み信号および前記スタータ信号を受け取ってヒューズ情報を出力することを特徴とする半導体集積回路装置。

16. 請求項15に記載の半導体集積回路装置において、前記実ヒューズ回路部による前記ヒューズ情報の取り込みを、前記ヒューズモニター回路により前記電源電圧が前記取り込み可能電圧になったと判断された後に行うことを特徴とする半導体集積回路装置。

17. 請求項15に記載の半導体集積回路装置において、前記電源電圧に対する前記ヒューズモニター回路のヒューズ特性を、ヒューズ

ーズの状態に対する前記実ヒューズ回路部のヒューズ特性と逆にしたことを特徴とする半導体集積回路装置。

18. 請求項17に記載の半導体集積回路装置において、

前記実ヒューズ回路部は、前記ヒューズが切れていなければ未切断側に情報が反転し、逆に、前記ヒューズが切れていれば切断側のままとなるヒューズ特性を有し、且つ、

前記ヒューズモニター回路は、前記電源電圧が前記取り込み可能電圧以上であれば切断側に情報が反転し、逆に、前記電源電圧が前記取り込み可能電圧よりも低ければ未切断側のままとなるヒューズ特性を有することを特徴とする半導体集積回路装置。

19. 請求項15に記載の半導体集積回路装置において、

前記ヒューズモニター回路は、前記実ヒューズ回路部に対応する回路構成を有し、該実ヒューズ回路部の前記ヒューズとして抵抗を使用することを特徴とする半導体集積回路装置。

20. 請求項19に記載の半導体集積回路装置において、

前記ヒューズモニター回路における前記抵抗を、前記実ヒューズ回路部における切断されたヒューズの抵抗値を考慮して設定することを特徴とする半導体集積回路装置。

21. 請求項20に記載の半導体集積回路装置において、

前記ヒューズモニター回路における前記抵抗を、前記実ヒューズ回路部における切断されたヒューズの抵抗値の最小値よりもさらに小さい抵抗値としたことを特徴とする半導体集積回路装置。

22. 請求項19に記載の半導体集積回路装置において、

前記ヒューズモニター回路は、該ヒューズモニター回路のヒューズとして使用する前記抵抗の抵抗値を調整して、前記取り込み可能電圧の設定を行うことを特徴とする半導体集積回路装置。

23. 請求項19に記載の半導体集積回路装置において、

前記ヒューズモニター回路は、前記実ヒューズ回路部において前記ヒューズに電流を流すためのトランジスタに対応するトランジスタのサイズを調整して、前記取り込み可能電圧の設定を行うことを特徴とする半導体集積回路装置。

24. 請求項23に記載の半導体集積回路装置において、

前記ヒューズモニター回路においてサイズ調整を行うトランジスタとして、異なるサイズの複数のトランジスタを設け、該複数のトランジスタにおける少なくとも1つのトランジスタをテストモードで選択することを特徴とする半導体集積回路装置。

25. 請求項15に記載の半導体集積回路装置において、

前記ヒューズモニター回路は、スタータ信号が切れるポイントで出力信号を出力することを特徴とする半導体集積回路装置。

26. 請求項25に記載の半導体集積回路装置において、

前記実ヒューズ回路部は、前記ヒューズモニター回路の出力信号を取り込み信号として使用することを特徴とする半導体集積回路装置。

27. 請求項15に記載の半導体集積回路装置において、

前記ヒューズモニター回路は、モニター動作が完了した後、モニター動作を開始した信号を止める機能を備えることを特徴とする半導体集積回路装置。

Fig.1

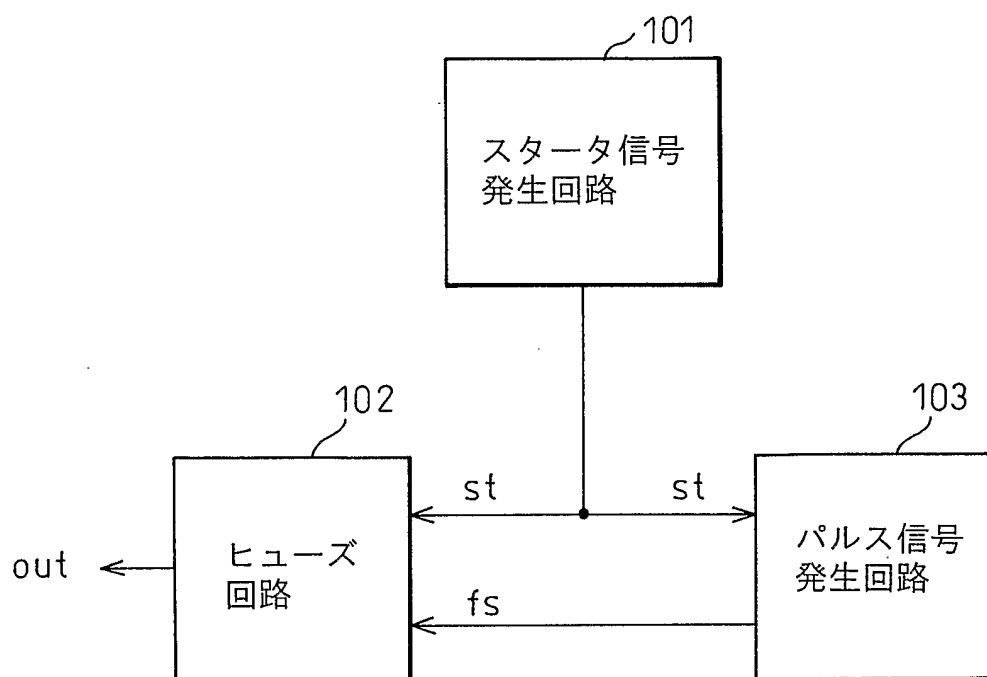


Fig.2

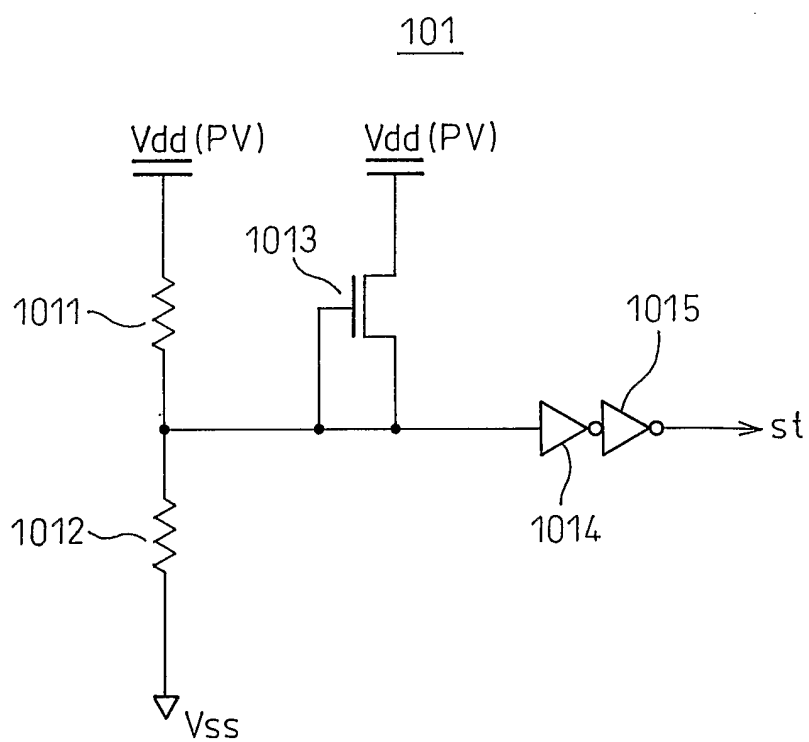


Fig.3

102

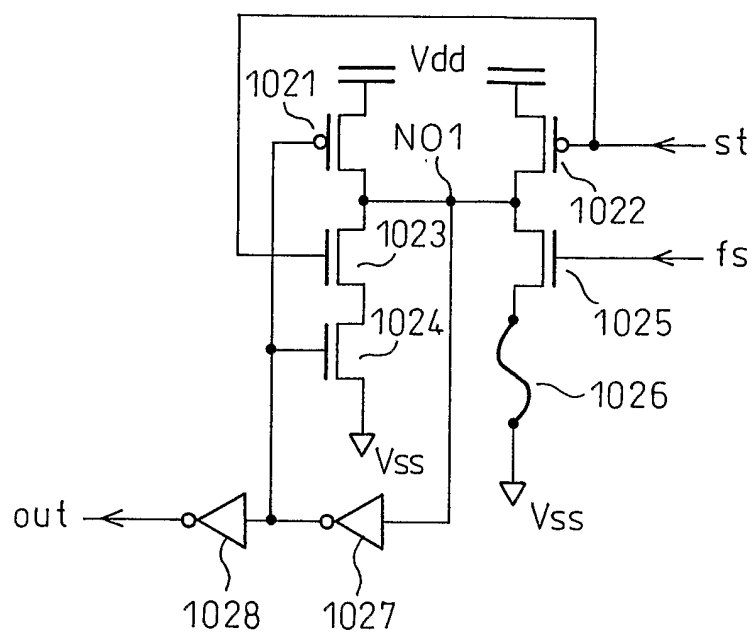


Fig.4

103

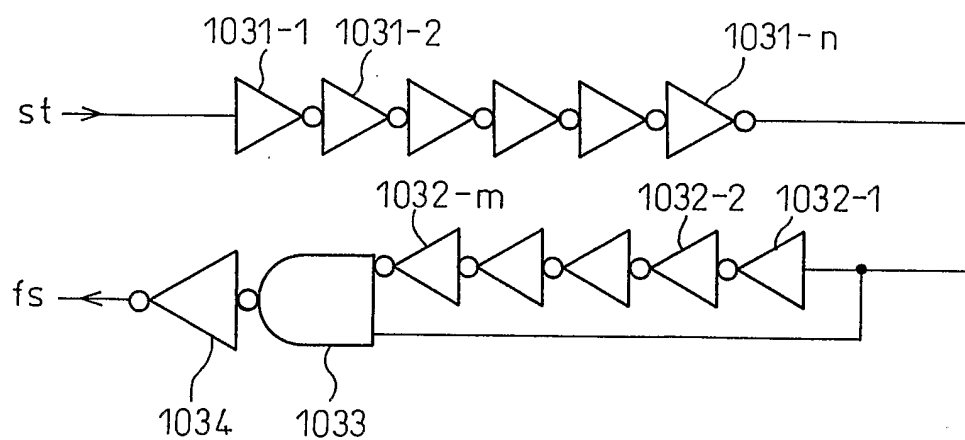


Fig.5

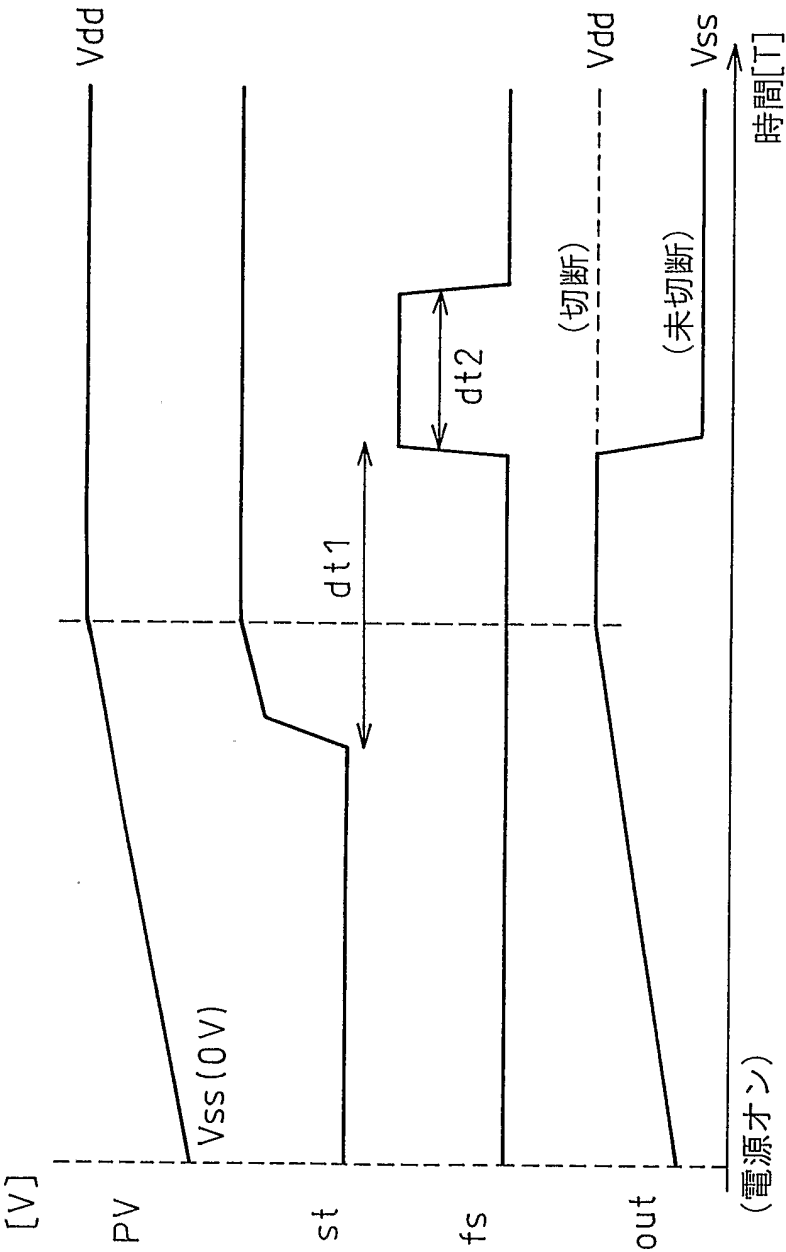


Fig.6

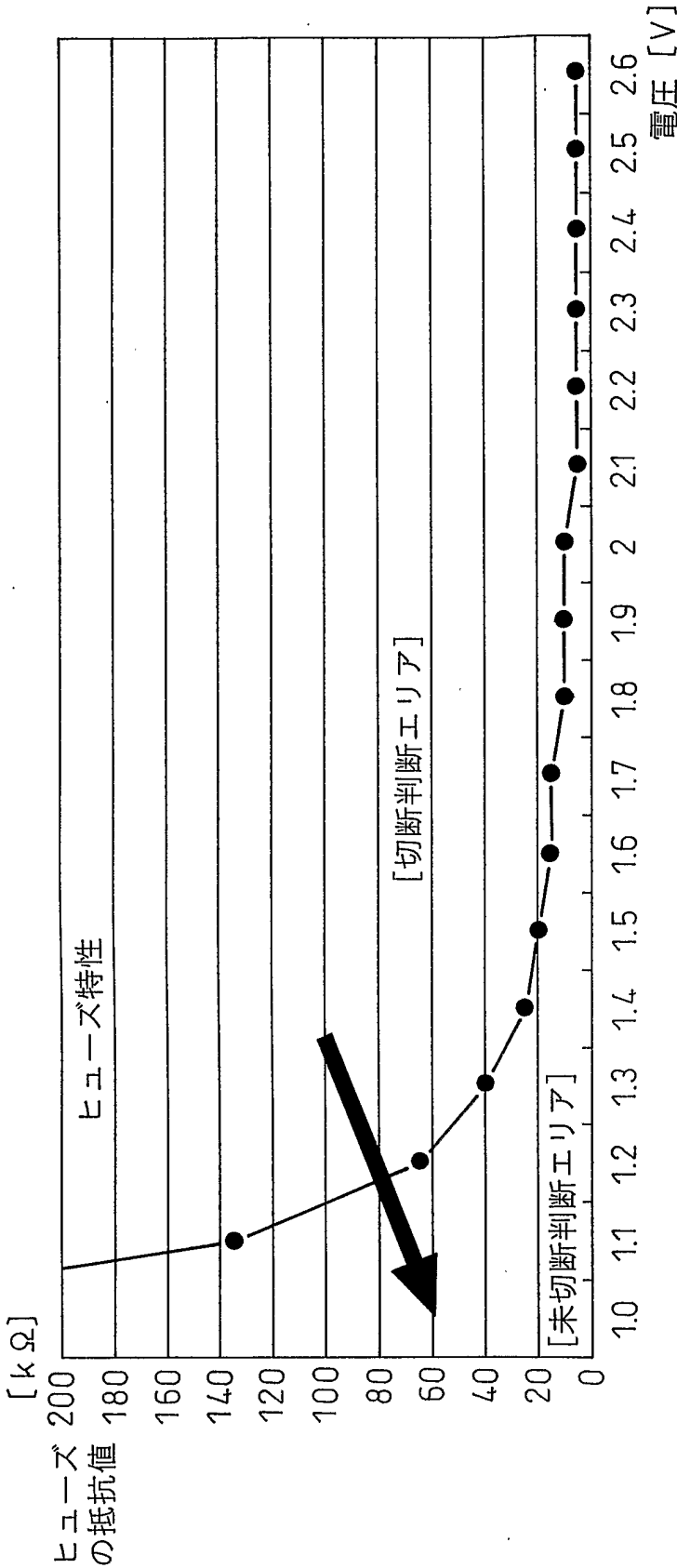


Fig.7

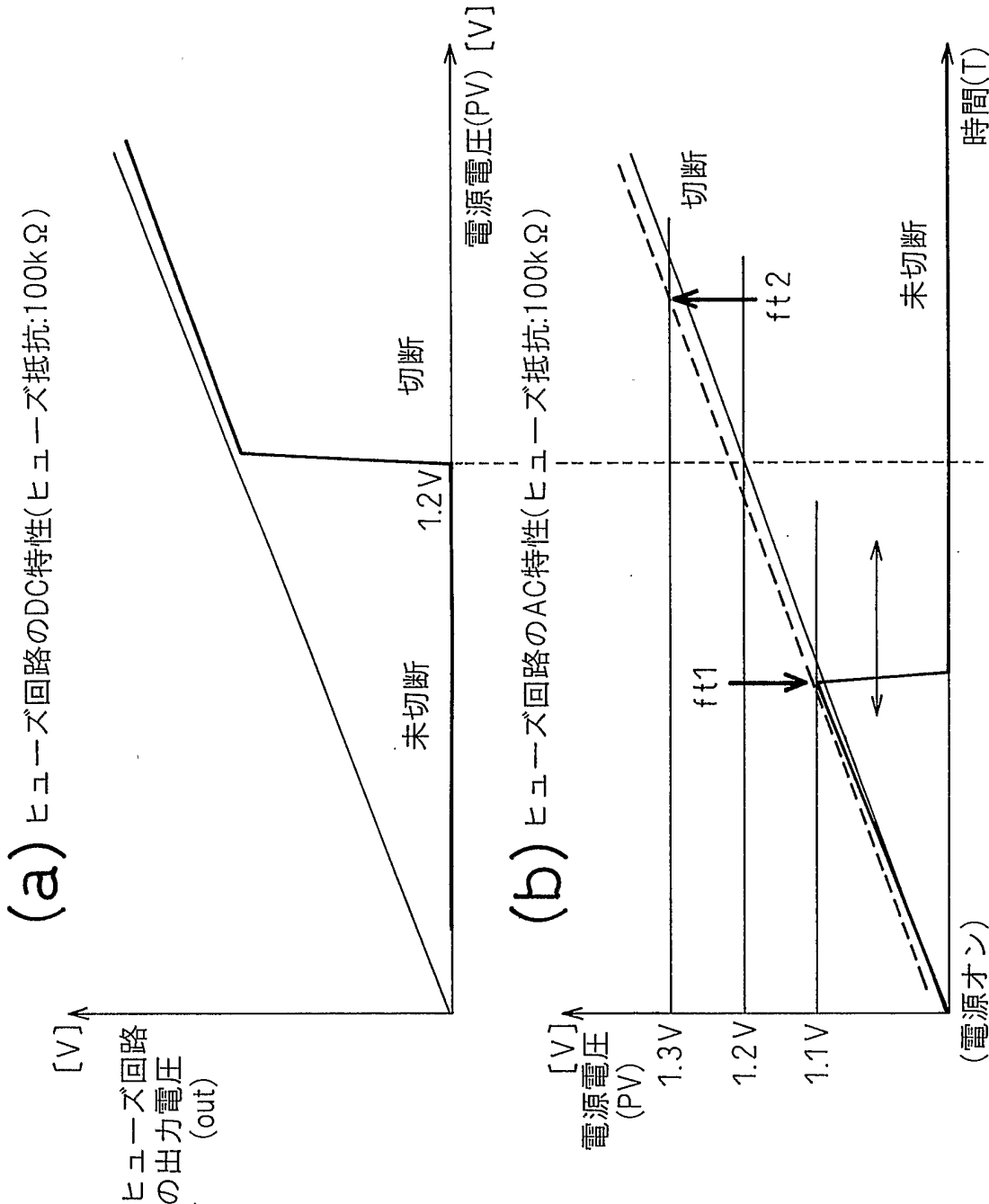


Fig.8

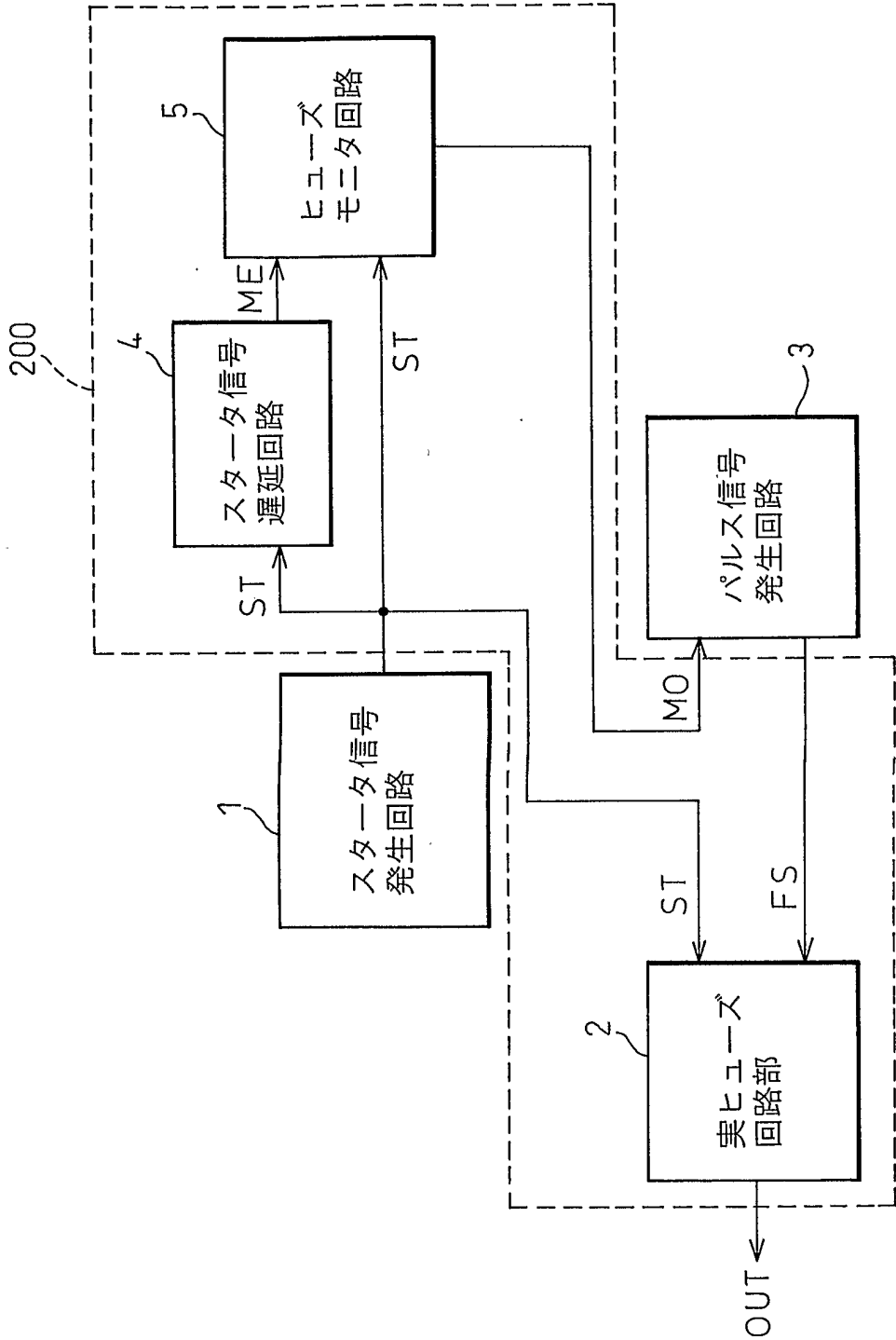


Fig.11

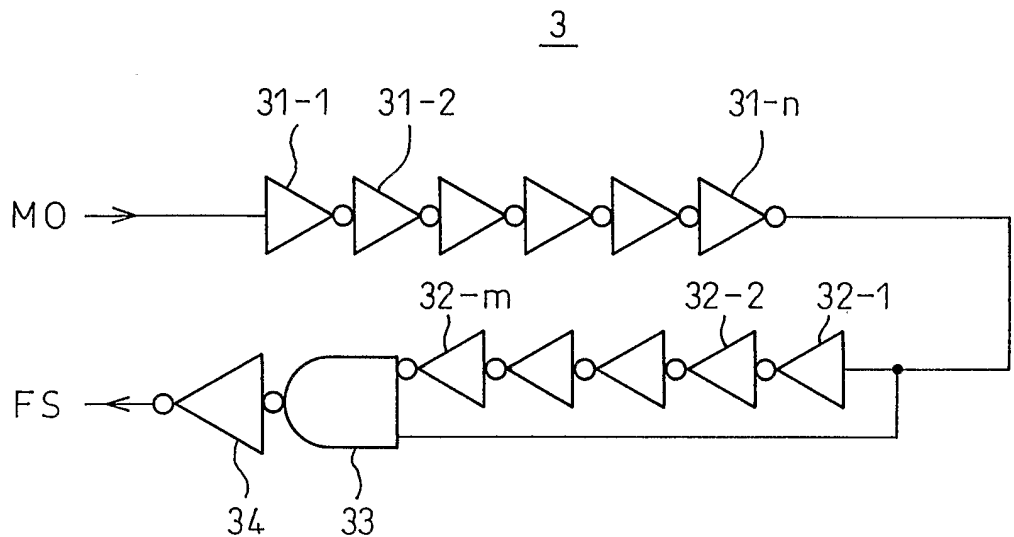


Fig.12

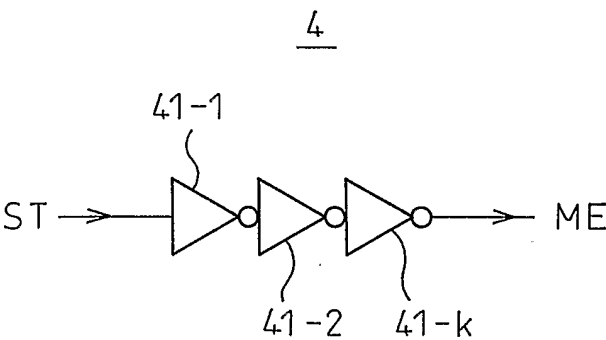


Fig.13

5

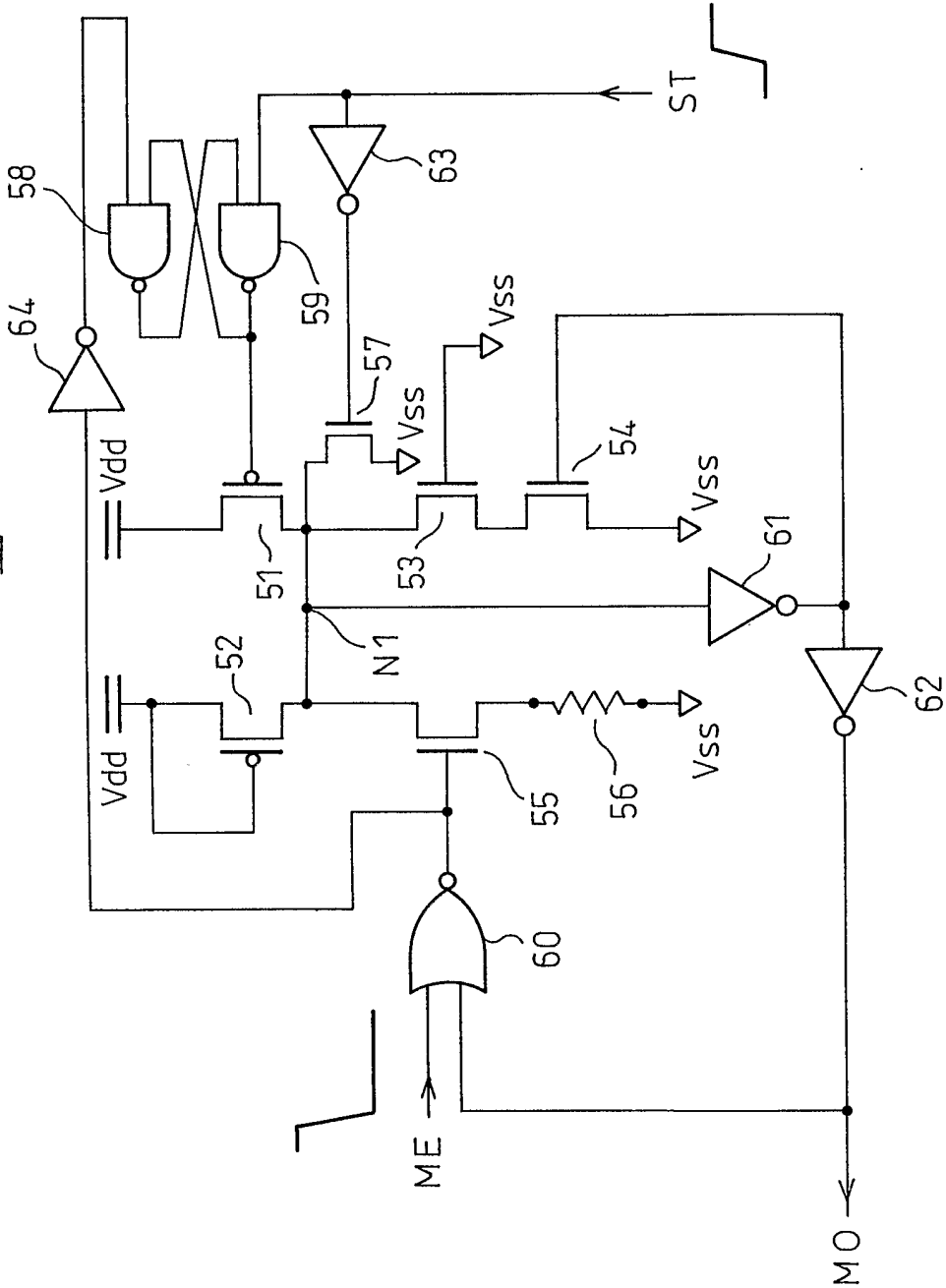


Fig.14

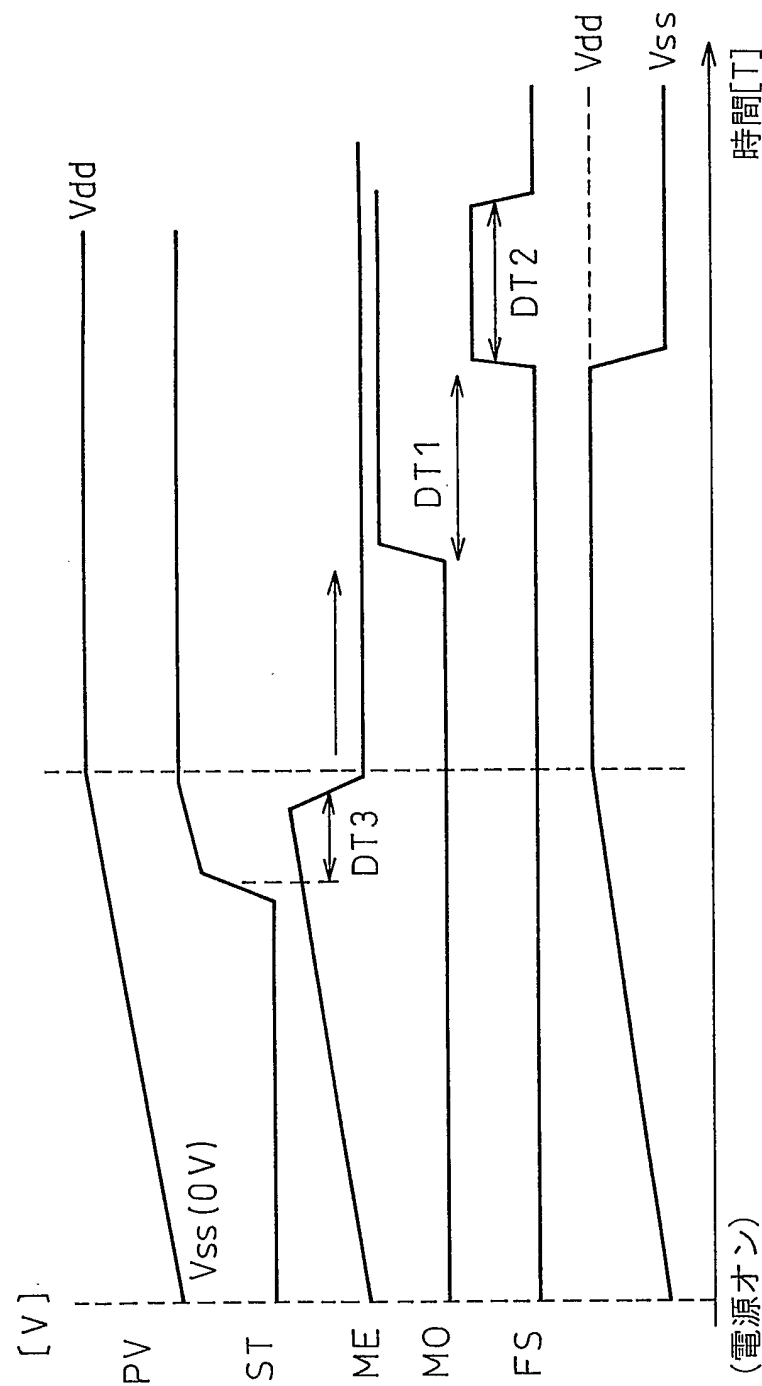


Fig.16

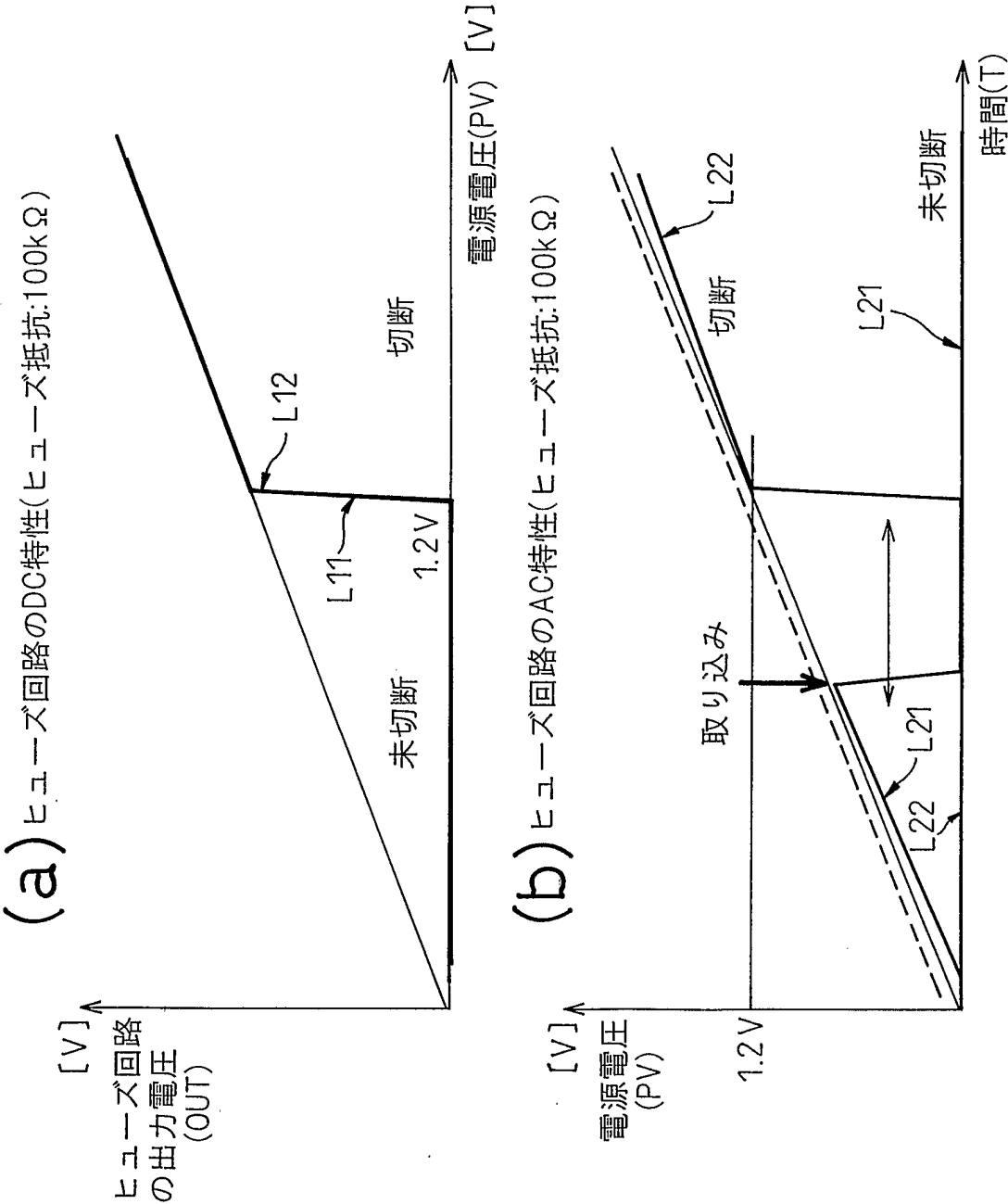
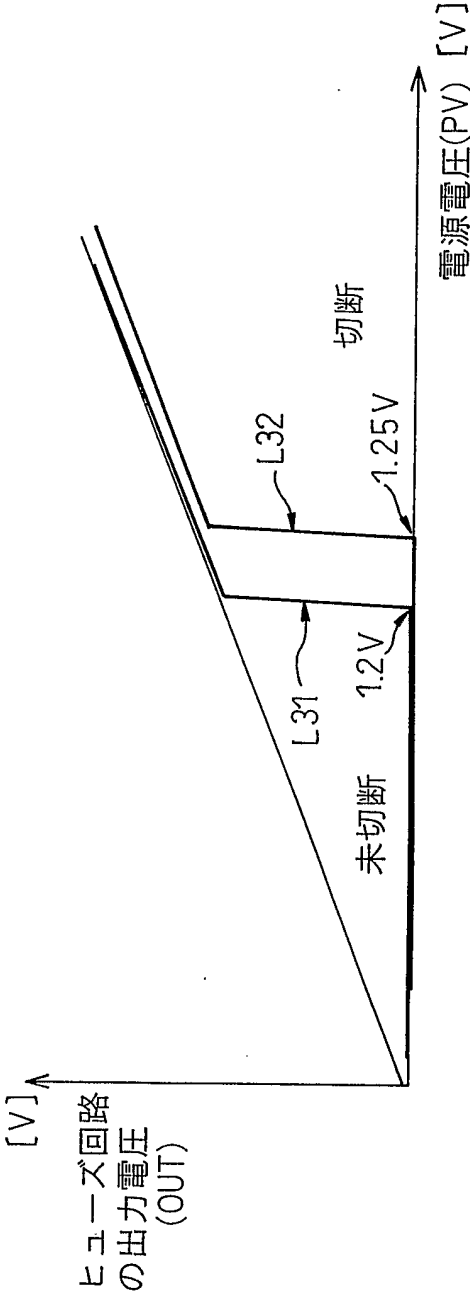
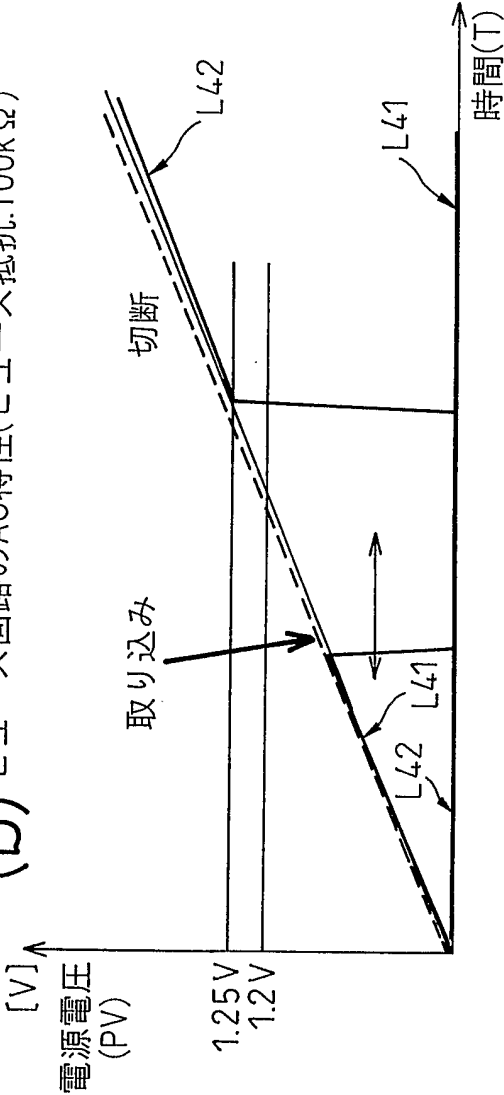


Fig.17

(a) ヒューズ回路のDC特性(ヒューズ抵抗:100kΩ)



(b) ヒューズ回路のAC特性(ヒューズ抵抗:100kΩ)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/05962

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L27/04, H01L21/82, H01L21/822, G06F12/16, G11C29/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L27/04, H01L21/82, H01L21/822, G06F12/16, G11C29/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 05-326714 A (Toshiba Corp.), 10 December, 1993 (10.12.93), Par. Nos. [0021] to [0025]; Fig. 5 (Family: none)	1-2, 11-13 3-10, 14-27
X A	JP 02-168500 A (NEC Corp.), 28 June, 1990 (28.06.90), Page 2, upper right column, line 18 to page 3, upper right column, line 4; Fig. 1 (Family: none)	1-2, 11-13, 15-17, 23-24 3-10, 14, 18-22
X A	JP 63-217600 A (NEC Corp.), 09 September, 1988 (09.09.88), Page 2, lower left column, line 2 to page 3, upper left column, line 19 (Family: none)	1-2, 11-13, 15-17, 23-24 3-10, 14, 18-22

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 18 July, 2003 (18.07.03)	Date of mailing of the international search report 12 August, 2003 (12.08.03)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/05962

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 03-272098 A (Fujitsu VLSI Ltd.), 03 December, 1991 (03.12.91), Page 3, lower left column, line 17 to page 4, upper left column, line 11 (Family: none)	1-4, 11-13 5-10 14-27
Y A	JP 56-033853 A (NEC Corp.), 04 April, 1981 (04.04.81), Page 1, lower left column, lines 5 to 13 (Family: none)	5-10 1-4, 11-27
Y A	JP 01-184861 A (Toshiba Corp.), 24 July, 1989 (24.07.89), Page 1, lower left column, lines 5 to 10 (Family: none)	5-10 1-4, 11-27
A	JP 60-182219 A (Fujitsu Ltd.), 17 September, 1985 (17.09.85), Page 2, lower left column, line 10 to page 3, upper right column, line 13 (Family: none)	1-27

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl ⁷ H01L27/04 H01L21/82 H01L21/822 G06F12/16 G11C29/00		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl ⁷ H01L27/04 H01L21/82 H01L21/822 G06F12/16 G11C29/00		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1926-1996年 日本国公開実用新案公報 1971-2003年 日本国登録実用新案公報 1994-2003年 日本国実用新案登録公報 1996-2003年		
国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 05-326714 A (株式会社東芝) 1993. 12. 10, 段落番号【0021】-【0025】, 図5 (ファミリーなし)	1-2, 11-13 3-10, 14-27
X A	JP 02-168500 A (日本電気株式会社) 1990. 06. 28, 第2頁右上欄第18行~第3頁右上欄第4 行, 第1図 (ファミリーなし)	1-2, 11-13, 15 -17, 23-24 3-10, 14, 18-22
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 18. 07. 03	国際調査報告の発送日 12.08.03	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 棚田 一也  4L 9361 電話番号 03-3581-1101 内線 3498	

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 63-217600 A (日本電気株式会社) 1988. 09. 09, 第2頁左下欄第2行~第3頁左上欄第19行 (ファミリーなし)	1-2, 11-13, 15-17, 23-24 3-10, 14, 18-22
X Y A	JP 03-272098 A (富士通ヴィエルエスアイ株式会社) 1991. 12. 03, 第3頁左下欄第17行~第4頁左上欄第11行 (ファミリーなし)	1-4, 11-13 5-10 14-27
Y A	JP 56-033853 A (日本電気株式会社) 1981. 04. 04, 第1頁左下欄第5~13行 (ファミリーなし)	5-10 1-4, 11-27
Y A	JP 01-184861 A (株式会社東芝) 1989. 07. 24, 第1頁左下欄第5~10行 (ファミリーなし)	5-10 1-4, 11-27
A	JP 60-182219 A (富士通株式会社) 1985. 09. 17, 第2頁左下欄第10行~第3頁右上欄第13行 (ファミリーなし)	1-27