



(12) 发明专利

(10) 授权公告号 CN 113609035 B

(45) 授权公告日 2023. 07. 14

(21) 申请号 202110730344.8

G06F 13/42 (2006.01)

(22) 申请日 2021.06.29

G06F 11/32 (2006.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 113609035 A

(56) 对比文件

CN 111475385 A, 2020.07.31

CN 112463667 A, 2021.03.09

(43) 申请公布日 2021.11.05

CN 104077424 A, 2014.10.01

(73) 专利权人 苏州浪潮智能科技有限公司

CN 107943730 A, 2018.04.20

地址 215100 江苏省苏州市吴中区吴中经

CN 108491039 A, 2018.09.04

济开发区郭巷街道官浦路1号9幢

审查员 邱德洁

(72) 发明人 邹志鑫

(74) 专利代理机构 济南诚智商标专利事务所有

限公司 37105

专利代理师 黄晓燕

(51) Int. Cl.

G06F 13/16 (2006.01)

G06F 13/38 (2006.01)

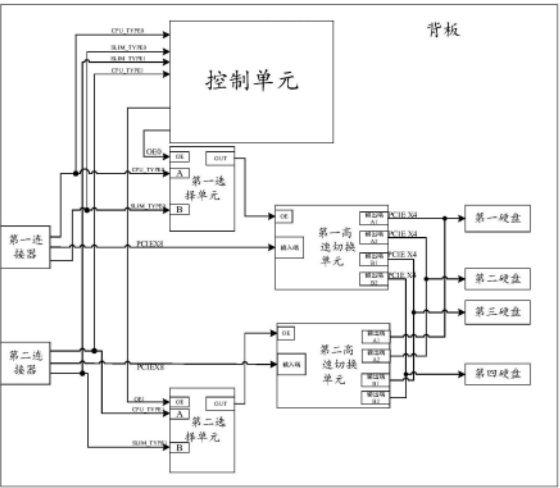
权利要求书2页 说明书8页 附图5页

(54) 发明名称

一种实现硬盘背板线缆防呆的装置及方法

(57) 摘要

本申请涉及的实现硬盘背板线缆防呆的装置及方法。其中装置包括：主板，主板配置连接第三连接器和第四连接器的第一CPU，连接第五连接器和第六连接器的第二CPU，第三连接器、第四连接器、第五连接器和第六连接器连接识别信号电路；硬盘背板，硬盘背板配置连接第一连接器和第二连接器的控制单元；连接第一连接器和控制单元的第一选择单元，连接第一连接器和第一选择单元的第一高速切换单元；连接第二连接器和控制单元的第二选择单元，连接第二连接器和第二选择单元的第二高速切换单元；第一高速切换单元的输出端与第二高速切换单元的对应输出端分别连接第一硬盘、第二硬盘、第三硬盘和第四硬盘。本申请能够实现硬盘背板与主板之间连接的防呆设计。



1. 一种实现硬盘背板线缆防呆的装置,其特征在于,包括:

主板,主板设置至少一组第一CPU和第二CPU,所述第一CPU连接第三连接器和第四连接器,所述第二CPU连接第五连接器和第六连接器,所述第三连接器、第四连接器、第五连接器和第六连接器连接识别信号电路;

硬盘背板,硬盘背板设置连接所述主板的第一连接器和第二连接器,连接识别信号电路的所述第一连接器和第二连接器针脚连接控制单元,所述控制单元控制连接第一选择单元和第二选择单元;连接识别信号电路的所述第一连接器针脚连接所述第一选择单元,连接识别信号电路的所述第二连接器针脚连接所述第二选择单元,所述第一选择单元控制连接第一高速切换单元,所述第二选择单元控制连接第二高速切换单元;

所述第一连接器连接第一高速切换单元的输入端,所述第二连接器连接第二高速切换单元的输入端;所述第一高速切换单元的四个输出端分别连接第一硬盘、第二硬盘、第三硬盘和第四硬盘,所述第二高速切换单元的四个输出端分别连接第一硬盘、第二硬盘、第三硬盘和第四硬盘。

2. 根据权利要求1所述实现硬盘背板线缆防呆的装置,其特征在于,所述第一连接器和所述第二连接器分别包括第三识别针脚和第四识别针脚,所述第三识别针脚和第四识别针脚连接识别信号电路。

3. 根据权利要求2所述实现硬盘背板线缆防呆的装置,其特征在于,所述第三连接器、第四连接器、第五连接器和第六连接器分别包含第一识别针脚和第二识别针脚;所述第一识别针脚和所述第二识别针脚分别对应所述第三识别针脚和所述第四识别针脚。

4. 根据权利要求3所述实现硬盘背板线缆防呆的装置,其特征在于,所述识别信号电路包括低电平电路和高电平电路;

所述第三连接器和所述第四连接器的第一识别针脚连接低电平电路;

所述第五连接器和所述第六连接器的第一识别针脚连接高电平电路;

所述第三连接器和所述第五连接器的第二识别针脚连接低电平电路;

所述第四连接器和所述第六连接器的第二识别针脚连接高电平电路。

5. 根据权利要求1所述实现硬盘背板线缆防呆的装置,其特征在于,所述第三连接器连接于所述第一CPU的低位输出,所述第四连接器连接于所述第一CPU的高位输出,所述第五连接器连接于所述第二CPU的低位输出,所述第六连接器连接于所述第二CPU的高位输出。

6. 根据权利要求2所述实现硬盘背板线缆防呆的装置,其特征在于,所述第一选择单元和所述第二选择单元均包括两个信号输入端口、一个信号输出端口和一个控制端口;根据控制端口的输入信号控制信号输出端口选择其中一个信号输入端口的信号输出;

所述第一选择单元的两个信号输入端口分别连接所述第一连接器的第三识别针脚和第四识别针脚;所述第二选择单元的两个信号输入端分别连接所述第二连接器的第三识别针脚和第四识别针脚;

所述第一选择单元和所述第二选择单元的控制端口分别连接所述控制单元;

所述第一选择单元和所述第二选择单元的信号输出端口分别连接第一高速切换单元和第二高速切换单元。

7. 根据权利要求6所述实现硬盘背板线缆防呆的装置,其特征在于,所述第一高速切换单元和所述第二高速切换单元均包括一个高带宽的输入端、四个低带宽的输出端和一个控

制信号端口,其中,四个输出端包括输出端A1、输出端A2、输出端B1和输出端B2;根据控制信号端口的信号控制输出端A1和输出端A2组合输出输入端信号或者输出端B1和输出端B2组合输出输入端信号;

所述第一高速切换单元的输入端连接第一连接器,所述第二高速切换单元的输入端连接第二连接器;

所述第一高速切换单元的控制信号端连接所述第一选择单元的信号输出端口;所述第二高速切换单元的控制信号端连接所述第二选择单元的信号输出端口;

所述第一高速切换单元和所述第二高速切换单元的输出端A1均连接所述第一硬盘;

所述第一高速切换单元和所述第二高速切换单元的输出端A2均连接所述第二硬盘;

所述第一高速切换单元和所述第二高速切换单元的输出端B1均连接所述第三硬盘;

所述第一高速切换单元和所述第二高速切换单元的输出端B2均连接所述第四硬盘。

8. 根据权利要求1所述实现硬盘背板线缆防呆的装置,其特征在于,所述控制单元电性连接若干指示灯,所述控制单元根据接收的识别信号控制所述指示灯。

9. 一种实现硬盘背板线缆防呆的方法,应用于权利要求1-8任一所述的实现硬盘背板线缆防呆的装置,其特征在于,

第一高速切换单元和第二切换单元的输入端的信号源自同一个CPU时,该CPU的低位输出对应第一硬盘和第二硬盘,高位输出对应第三硬盘和第四硬盘;

第一高速切换单元和第二切换单元的输入端的信号分别源自第一CPU和第二CPU时,第一CPU的输出对应第一硬盘和第二硬盘,第二CPU的输出对应第三硬盘和第四硬盘。

10. 根据权利要求9所述实现硬盘背板线缆防呆的方法,其特征在于,控制单元检测第一连接器的第三识别针脚的信号和第二连接器的第三识别针脚信号是否相同,

相同则向第一选择单元和第二选择单元发送第一信号,使得所述第一选择单元向所述第一高速切换单元发送第一连接器的第四识别针脚的信号,使得所述第二选择单元向所述第二高速切换单元发送第二连接器的第四识别针脚的信号;

不同则向第一选择单元和第二选择单元发送第二信号,使得所述第一选择单元向所述第一高速切换单元发送第一连接器的第三识别针脚的信号,使得所述第二选择单元向所述第二高速切换单元发送第二连接器的第三识别针脚的信号。

一种实现硬盘背板线缆防呆的装置及方法

技术领域

[0001] 本申请涉及硬盘背板连接设计领域,尤其涉及一种实现硬盘背板线缆防呆的装置及方法。

背景技术

[0002] 在服务器中,一个服务器CPU能挂载多个硬盘。服务器为了保证存储容量往往设计成挂载多个硬盘,为了方便对服务器中硬盘进行维护和管理,往往将若干硬盘集中在硬盘背板上,再将若干硬盘背板与服务器主板连接。

[0003] 硬盘背板和服务器主板采用互联接口本身在设计上对称,在将硬盘背板连接到服务器主板时容易产生连接错误的问题,一旦硬盘背板与主板之间接口接错,会引起硬盘盘序混乱,对服务器运行以及后期硬盘维护和管理均会造成不利影响。现有技术中,通过标签表明硬盘接口与主板接口通过指示灯指示连接错误的方式均不能彻底解决接口接错的问题,一旦接错仍会引起硬盘盘序混乱。

发明内容

[0004] 为了解决上述技术问题或者至少部分地解决上述技术问题,本申请提供的实现硬盘背板线缆防呆的装置及方法。

[0005] 第一方面本申请提供一种实现硬盘背板线缆防呆的装置,包括:

[0006] 主板,主板设置至少一组第一CPU和第二CPU,所述第一CPU连接第三连接器和第四连接器,所述第二CPU连接第五连接器和第六连接器,所述第三连接器、第四连接器、第五连接器和第六连接器连接识别信号电路;

[0007] 硬盘背板,硬盘背板设置连接所述主板的第一连接器和第二连接器,连接识别信号电路的所述第一连接器和第二连接器针脚连接控制单元,所述控制单元控制连接第一选择单元和第二选择单元;连接识别信号电路的所述第一连接器针脚连接所述第一选择单元,连接识别信号电路的所述第二连接器针脚连接所述第二选择单元,所述第一选择单元控制连接第一高速切换单元,所述第二选择单元控制连接第二高速切换单元;

[0008] 所述第一连接器连接第一高速切换单元的输入端,所述第二连接器连接第二高速切换单元的输入端;所述第一高速切换单元的四个输出端分别连接第一硬盘、第二硬盘、第三硬盘和第四硬盘,所述第二高速切换单元的四个输出端分别连接第一硬盘、第二硬盘、第三硬盘和第四硬盘。

[0009] 更进一步地,所述第一连接器和所述第二连接器分别包括第三识别针脚和第四识别针脚,所述第三识别针脚和第四识别针脚连接识别信号电路。

[0010] 更进一步地,所述第三连接器、第四连接器、第五连接器和第六连接器分别包含第一识别针脚和第二识别针脚;所述第一识别针脚和所述第二识别针脚分别对应所述第三识别针脚和所述第四识别针脚。

[0011] 更进一步地,所述识别信号电路包括低电平电路和高电平电路;

- [0012] 所述第三连接器和所述第四连接器的第一识别针脚连接低电平电路；
- [0013] 所述第五连接器和所述第六连接器的第一识别针脚连接高电平电路；
- [0014] 所述第三连接器和所述第五连接器的第二识别针脚连接低电平电路；
- [0015] 所述第四连接器和所述第六连接器的第二识别针脚连接高电平电路。
- [0016] 更进一步地,所述第三连接器连接于所述第一CPU的低位输出,所述第四连接器连接于所述第一CPU的高位输出,所述第五连接器连接于所述第二CPU的低位输出,所述第六连接器连接于所述第二CPU的高位输出。
- [0017] 更进一步地,所述第一选择单元和所述第二选择单元均包括两个信号输入端口、一个信号输出端口和一个控制端口;根据控制端口的输入信号控制信号输出端口选择其中一个信号输入端口的信号输出;
- [0018] 所述第一选择单元的两个信号输入端口分别连接所述第一连接器的第三识别针脚和第四识别针脚;所述第二选择单元的两个信号输入端分别连接所述第二连接器的第三识别针脚和第四识别针脚;
- [0019] 所述第一选择单元和所述第二选择单元的控制端口分别连接所述控制单元;
- [0020] 所述第一选择单元和所述第二选择单元的信号输出端口分别连接第一高速切换单元和第二高速切换单元。
- [0021] 更进一步地,所述第一高速切换单元和所述第二高速切换单元均包括一个高带宽的输入端、四个低带宽的输出端和一个控制信号端口,其中,四个输出端包括输出端A1、输出端A2、输出端B1和输出端B2;根据控制信号端口的信号控制输出端A1和输出端A2组合输出输入端信号或者输出端B1和输出端B2组合输出输入端信号;
- [0022] 所述第一高速切换单元的输入端连接第一连接器,所述第二高速切换单元的输入端连接第二连接器;
- [0023] 所述第一高速切换单元的控制信号端连接所述第一选择单元的信号输出端口;所述第二高速切换单元的控制信号端连接所述第二选择单元的信号输出端口;
- [0024] 所述第一高速切换单元和所述第二高速切换单元的输出端A1均连接所述第一硬盘;
- [0025] 所述第一高速切换单元和所述第二高速切换单元的输出端A2均连接所述第二硬盘;
- [0026] 所述第一高速切换单元和所述第二高速切换单元的输出端B1均连接所述第三硬盘;
- [0027] 所述第一高速切换单元和所述第二高速切换单元的输出端B2均连接所述第四硬盘。
- [0028] 更进一步地,所述控制单元电性连接若干指示灯,所述控制单元根据接收的识别信号控制所述指示灯。
- [0029] 第二方面,本申请提供一种实现硬盘背板线缆防呆的方法,应用于所述的实现硬盘背板线缆防呆的装置,包括:
- [0030] 第一高速切换单元和第二切换单元的输入端的信号源自同一个CPU时,该CPU的低位输出对应第一硬盘和第二硬盘,高位输出对应第三硬盘和第四硬盘;
- [0031] 第一高速切换单元和第二切换单元的输入端的信号源自第一CPU和第二CPU时,第

一CPU的输出对应第一硬盘和第二硬盘,第二CPU的输出对应第三硬盘和第四硬盘。

[0032] 更进一步地,控制单元检测第一连接器的第三识别针脚的信号和第二连接器的第三识别针脚信号是否相同,

[0033] 相同则向第一选择单元和第二选择单元发送第一信号,使得所述第一选择单元向所述第一高速切换单元发送第一连接器的第四识别针脚的信号,使得所述第二选择单元向所述第二高速切换单元发送第二连接器的第四识别针脚的信号;

[0034] 不同则向第一选择单元和第二选择单元发送第二信号,使得所述第一选择单元向所述第一高速切换单元发送第一连接器的第三识别针脚的信号,使得所述第二选择单元向所述第二高速切换单元发送第二连接器的第三识别针脚的信号。

[0035] 本申请实施例提供的上述技术方案与现有技术相比具有如下优点:

[0036] 本申请通过识别信号电路将主板上与第一CPU和第二CPU连接的第三连接器、第四连接器、第五连接器和第六连接器标识;识别信号电路分别经第三连接器、第四连接器、第五连接器和第六连接器向硬盘背板上的控制单元传递四种不同的识别信号。

[0037] 硬盘背板上的第一连接器和第二连接器连接到主板时,所述控制单元接收四种识别信号中的两种,所述控制单元根据识别信号控制第一选择单元和第二选择单元,所述第一选择单元和第二选择单元继而分别控制第一高速切换单元和第二高速切换单元实现硬盘背板与主板之间连接的防呆设计,使得背板硬盘在接反的情况下仍能保证硬盘盘序不变。

附图说明

[0038] 此处的附图被并入说明书中并构成本说明书的一部分,示出了符合本发明的实施例,并与说明书一起用于解释本发明的原理。

[0039] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,对于本领域普通技术人员而言,在不付出创造性劳动性的前提下,还可以根据这些附图获得其他的附图。

[0040] 图1为本申请实施例中硬盘背板的架构示意图;

[0041] 图2为本申请实施例中第一硬盘、第二硬盘、第三硬盘以及第四硬盘的信号来源表;

[0042] 图3为本申请实施例中主板的架构示意图;

[0043] 图4为本申请实施例中第一识别针脚和第二识别针脚电平信号含义表;

[0044] 图5为硬盘背板连接到主板上同一个CPU的正确连接示意图;

[0045] 图6为硬盘背板连接到主板上同一个CPU的错误连接示意图;

[0046] 图7为硬盘背板连接到主板上不同CPU的正确连接示意图;

[0047] 图8为硬盘背板连接到主板上不同CPU的错误连接示意图。

具体实施方式

[0048] 为使本申请实施例的目的、技术方案和优点更加清楚,下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本申请的一部分实施例,而不是全部的实施例。基于本申请中的实施例,本领域普通技术人

员在没有做出创造性劳动的前提下所获得的所有其他实施例,都属于本申请保护的范围。

[0049] 需要说明的是,在本文中,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下,由语句“包括一个……”限定的要素,并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

[0050] 实施例1

[0051] 本实施例提供一种实现硬盘背板线缆防呆的装置,包括:

[0052] 主板,参阅图3所示,所述主板设置至少一组第一CPU和第二CPU,所述第一CPU的低位输出通过x8的PCIE总线连接第三连接器的PCIE数据针脚,所述第一CPU的高位输出通过x8的PCIE总线连接第四连接器的PCIE数据针脚,所述第二CPU低位输出通过x8的PCIE总线连接第五连接器的PCIE数据针脚,所述第二CPU高位输出通过x8的PCIE总线连接第六连接器的PCIE数据针脚。

[0053] 所述第三连接器、第四连接器、第五连接器和第六连接器针脚中还分别包含第一识别针脚和第二识别针脚;所述第一识别针脚和所述第二识别针脚用于连接识别信号电路;所述识别信号电路包括低电平电路和高电平电路,具体的,所述低电平电路通过下拉电阻接地实现,所述高电平电路通过上拉电阻接3.3V的标准电源实现;

[0054] 所述第三连接器的第一识别针脚连接低电平电路,所述第三连接器的第二识别针脚连接低电平电路。

[0055] 所述第四连接器的第一识别针脚连接低电平电路,所述第四连接器的第二识别针脚连接高电平电路。

[0056] 所述第五连接器的第一识别针脚连接高电平电路,所述第五连接器的第二识别针脚连接低电平电路。

[0057] 所述第六连接器的第一识别针脚连接高电平电路,所述第六连接器的第二识别针脚连接高电平电路。

[0058] 参阅图4所示,在本申请实施例中,第一识别针脚的低电平表示连接在第一CPU,第一识别针脚的高电平表示连接在第二CPU。在本申请实施例中,第二识别针脚的低电平表示连接在低位输出,第二识别针脚的高电平表示连接在高位输出。

[0059] 硬盘背板,参阅图1所示,所述硬盘背板设置连接所述主板的第一连接器和第二连接器,具体的,所述第一连接器连接所述主板上的第三连接、第四连接器、第五连接器以及第六连接器中的任意一个,所述第二连接器连接所述主板上的第三连接、第四连接器、第五连接器以及第六连接器中的任意一个。所述第一连接器和所述第二连接器分别包括第三识别针脚和第四识别针脚,所述第三识别针脚对应第一识别针脚,所述第四识别针脚对应第二识别针脚;所述第一连接器和第二连接器分别设置PCIE数据针脚。

[0060] 所述第一连接器的第三识别针脚和第四识别针脚电性连接控制单元的两个输入I0口;所述第一连接器的第三识别针脚和第四识别针脚还电性连接第一选择单元;所述第一连接器的PCIE数据针脚经x8的PCIE总线连接第一高速切换单元。

[0061] 所述第二连接器的第三识别针脚和第四识别针脚电性连接控制单元的另外两个输入I0口;所述第二连接器的第三识别针脚和第四识别针脚还电性连接第二选择单元;所

述第二连接器的PCIE数据针脚经x8的PCIE总线连接第二高速切换单元。

[0062] 具体实施过程中,所述第一选择单元和所述第二选择单元均包括两个信号输入端口、一个信号输出端口和一个控制端口;所述第一选择单元和第二选择单元的功能是:根据控制端口的输入信号控制信号输出端口选择其中一个信号输入端口的信号输出。

[0063] 所述第一选择单元和所述第二选择单元的连接方式如下:

[0064] 所述第一选择单元的两个信号输入端口分别连接所述第一连接器的第三识别针脚和第四识别针脚;所述第二选择单元的两个信号输入端分别连接所述第二连接器的第三识别针脚和第四识别针脚;

[0065] 所述第一选择单元的控制端口连接所述控制单元的一个输出I/O口,所述第二选择单元的控制端口连接所述控制单元的另一个输出I/O口;

[0066] 所述第一选择单元的信号输出端口连接第一高速切换单元的控制信号端口,所述第二选择单元的信号输出端口连接第二高速切换单元的控制信号端口。

[0067] 具体实施过程中,所述第一高速切换单元和所述第二高速切换单元均包括一个高带宽的输入端、四个低带宽的输出端和一个控制信号端口,其中,四个输出端包括输出端A1、输出端A2、输出端B1和输出端B2;所述第一高速切换单元和所述第二高速切换单元功能是:根据控制信号端口的信号控制输出端A1和输出端A2组合输出输入端信号或者输出端B1和输出端B2组合输出输入端信号。在本申请实施例中,输入端带宽为x8,输出端A1、输出端A2、输出端B1和输出端B2的带宽均为x4。

[0068] 所述第一高速切换单元和所述第二高速切换单元的具体连接方式如下:

[0069] 所述第一高速切换单元的输入端经x8的PCIE总线连接第一连接器的PCIE数据针脚,所述第二高速切换单元的输入端经x8的PCIE总线连接第二连接器的PCIE数据针脚;

[0070] 所述第一高速切换单元的控制信号端连接所述第一选择单元的信号输出端口;所述第二高速切换单元的控制信号端连接所述第二选择单元的信号输出端口;

[0071] 所述第一高速切换单元的输出端A1和所述第二高速切换单元的输出端A1均连接所述第一硬盘;

[0072] 所述第一高速切换单元的输出端A2和所述第二高速切换单元的输出端A2均连接所述第二硬盘;

[0073] 所述第一高速切换单元的输出端B1和所述第二高速切换单元的输出端B1均连接所述第三硬盘;

[0074] 所述第一高速切换单元的输出端B2和所述第二高速切换单元的输出端B2均连接所述第四硬盘。

[0075] 参阅图4所示,所述第一硬盘、第二硬盘、第三硬盘和第四硬盘均设置两个信号源,所述控制单元根据第一连接器和第二连接器的第三识别针脚和第四识别针脚信号控制所述第一高速切换单元和第二高速切换单元进行切换,保证硬盘盘序在正确。

[0076] 具体实施过程中,所述控制单元电性连接四个指示灯,四个指示灯指示第一连接器第三识别针脚、第一连接器第四识别针脚、第二连接器第三识别针脚、第二连接器第四识别针脚的信号。所述控制单元根据接收的识别信号控制四个所述指示灯亮灭。

[0077] 实施例2

[0078] 本实施例提供一种实现硬盘背板线缆防呆的方法。

[0079] 实现硬盘背板线缆防呆的方法包括如下硬盘盘序设定规则：

[0080] 第一高速切换单元和第二切换单元的输入端的信号源自同一个CPU时，该CPU的低位输出对应第一硬盘和第二硬盘，高位输出对应第三硬盘和第四硬盘；

[0081] 第一高速切换单元和第二切换单元的输入端的信号分别源自第一CPU和第二CPU时，第一CPU的输出对应第一硬盘和第二硬盘，第二CPU的输出对应第三硬盘和第四硬盘。

[0082] 本申请实施例中，应用于所述的实现硬盘背板线缆防呆的装置，实现硬盘背板线缆防呆的方法包括：

[0083] 控制单元检测第一连接器的第三识别针脚的信号和第二连接器的第三识别针脚信号是否相同，

[0084] 相同则向第一选择单元和第二选择单元发送第一信号，使得所述第一选择单元向所述第一高速切换单元发送第一连接器的第四识别针脚的信号，使得所述第二选择单元向所述第二高速切换单元发送第二连接器的第四识别针脚的信号；

[0085] 不同则向第一选择单元和第二选择单元发送第二信号，使得所述第一选择单元向所述第一高速切换单元发送第一连接器的第三识别针脚的信号，使得所述第二选择单元向所述第二高速切换单元发送第二连接器的第三识别针脚的信号。

[0086] 本申请提供的实现硬盘背板线缆防呆的装置及方法原理如下：

[0087] 参阅图5和图6，在硬盘背板的第一连接器和第二连接器连接到一个CPU的情况下，假定设图5为正确连接，图6为错误连接；

[0088] 图5中控制单元采集的来自第一连接器第三识别针脚、第一连接器第四识别针脚、第二连接器第三识别针脚、第二连接器第四识别针脚的信号为0001。

[0089] 所述控制单元第一连接器第三识别针脚（对应第一识别针脚）和第二连接器第三识别针脚（对应第一识别针脚）的信号相同，所述控制单元控制两个输出IO口均输出高电平的第一信号；使得所述第一选择单元向所述第一高速切换单元发送第一连接器的第四识别针脚的信号0，使得所述第二选择单元向所述第二高速切换单元发送第二连接器的第四识别针脚的信号1。所述第一高速切换单元的控制信号端输入0，所述第二高速切换单元的控制信号端输入1，使得所述第一高速切换单元的输出端A1和输出端A2输出信号，且所述第二高速切换单元的输出端B1和输出端B2输出信号。

[0090] 图6中控制单元采集的来自第一连接器第三识别针脚、第一连接器第四识别针脚、第二连接器第三识别针脚、第二连接器第四识别针脚的信号为0100。

[0091] 所述控制单元第一连接器第三识别针脚（对应第一识别针脚）和第二连接器第三识别针脚（对应第一识别针脚）的信号相同，所述控制单元控制两个输出IO口均输出高电平的第一信号；使得所述第一选择单元向所述第一高速切换单元发送第一连接器的第四识别针脚的信号1，使得所述第二选择单元向所述第二高速切换单元发送第二连接器的第四识别针脚的信号0。所述第一高速切换单元的控制信号端输入1，所述第二高速切换单元的控制信号端输入0，使得所述第一高速切换单元的输出端B1和输出端B2输出信号，且所述第二高速切换单元的输出端A1和输出端A2输出信号。

[0092] 无论是正确连接还是错误连接，第一硬盘和第二硬盘始终接第一CPU的低位输出，第三硬盘和第四硬盘始终接第一CPU的高位输出。

[0093] 因此在硬盘背板的第一连接器和第二连接器连接到一个CPU的情况下，即使接错，

本申请能够保证硬盘盘序不变。

[0094] 参阅图7和图8,在硬盘背板的第一连接器和第二连接器连接到不同CPU的情况下,假定设图7为正确连接,图8为错误连接;

[0095] 图7中控制单元采集的来自第一连接器第三识别针脚、第一连接器第四识别针脚、第二连接器第三识别针脚、第二连接器第四识别针脚的信号为0010。

[0096] 所述控制单元第一连接器第三识别针脚(对应第一识别针脚)和第二连接器第三识别针脚(对应第一识别针脚)的信号不相同,所述控制单元控制两个输出IO口均输出低电平的第二信号;使得所述第一选择单元向所述第一高速切换单元发送第一连接器的第三识别针脚的信号0,使得所述第二选择单元向所述第二高速切换单元发送第二连接器的第三识别针脚的信号1。所述第一高速切换单元的控制信号端输入0,所述第二高速切换单元的控制信号端输入1,使得所述第一高速切换单元的输出端A1和输出端A2输出信号,且所述第二高速切换单元的输出端B1和输出端B2输出信号。

[0097] 图8中控制单元采集的来自第一连接器第三识别针脚、第一连接器第四识别针脚、第二连接器第三识别针脚、第二连接器第四识别针脚的信号为1000。

[0098] 所述控制单元第一连接器第三识别针脚(对应第一识别针脚)和第二连接器第三识别针脚(对应第一识别针脚)的信号不相同,所述控制单元控制两个输出IO口均输出低电平的第二信号;使得所述第一选择单元向所述第一高速切换单元发送第一连接器的第三识别针脚的信号1,使得所述第二选择单元向所述第二高速切换单元发送第二连接器的第三识别针脚的信号0。所述第一高速切换单元的控制信号端输入1,所述第二高速切换单元的控制信号端输入0,使得所述第一高速切换单元的输出端B1和输出端B2输出信号,且所述第二高速切换单元的输出端A1和输出端A2输出信号。

[0099] 无论是正确连接还是错误连接,第一硬盘和第二硬盘始终接第一CPU,第三硬盘和第四硬盘始终接第二CPU。

[0100] 因此在硬盘背板的第一连接器和第二连接器连接到不同CPU的情况下,即使接错,本申请能够保证硬盘盘序不变。

[0101] 在本发明所提供的实施例中,应该理解到,所揭露的装置和方法,可以通过其它的方式实现。例如,以上所描述的装置实施例仅仅是示意性的,例如,所述单元的划分,仅仅为一种逻辑功能划分,实际实现时可以有另外的划分方式,例如多个单元或组件可以结合或者可以集成到另一个系统,或一些特征可以忽略,或不执行。另一点,所显示或讨论的相互之间的耦合或直接耦合或通信连接可以是通过一些接口,装置或单元的间接耦合或通信连接,可以是电性,机械或其它的形式。

[0102] 所述作为分离部件说明的单元可以是或者也可以不是物理上分开的,作为单元显示的部件可以是或者也可以不是物理单元,即可以位于一个地方,或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部单元来实现本实施例方案的目的。

[0103] 另外,在本发明各个实施例中的各功能单元可以集成在一个处理单元中,也可以是各个单元单独物理存在,也可以两个或两个以上单元集成在一个单元中。上述集成的单元既可以采用硬件的形式实现,也可以采用软件功能单元的形式实现。

[0104] 以上所述仅是本发明的具体实施方式,使本领域技术人员能够理解或实现本发

明。对这些实施例的多种修改对本领域的技术人员来说将是显而易见的,本文中所定义的一般原理可以在不脱离本发明的精神或范围的情况下,在其它实施例中实现。因此,本发明将不会被限制于本文所示的这些实施例,而是要符合与本文所申请的原理和新颖特点相一致的最宽的范围。

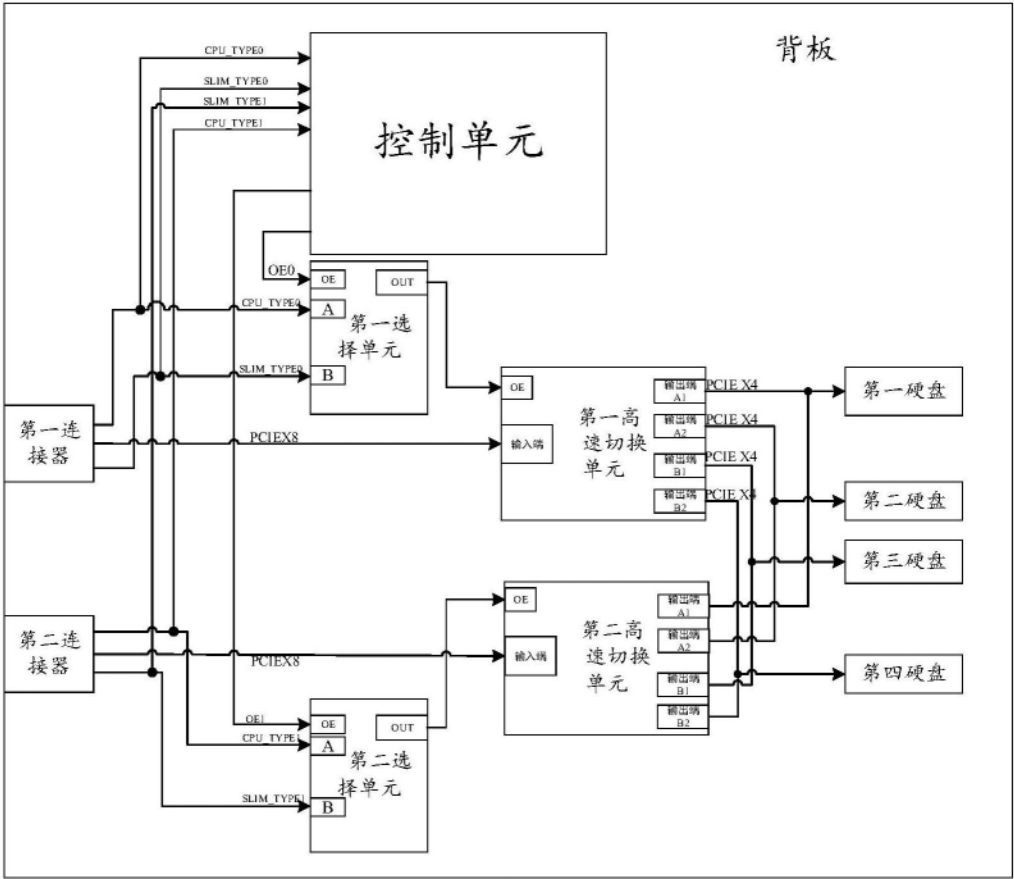


图1

硬盘	信号来源一	信号来源二
第一硬盘	第一高速切换单元 输出端A1 (x4)	第二高速切换单元 输出端A1 (x4)
第二硬盘	第一高速切换单元 输出端A2 (x4)	第二高速切换单元 输出端A2 (x4)
第三硬盘	第一高速切换单元 输出端B1 (x4)	第二高速切换单元 输出端B1 (x4)
第四硬盘	第一高速切换单元 输出端B2 (x4)	第二高速切换单元 输出端B2 (x4)

图2

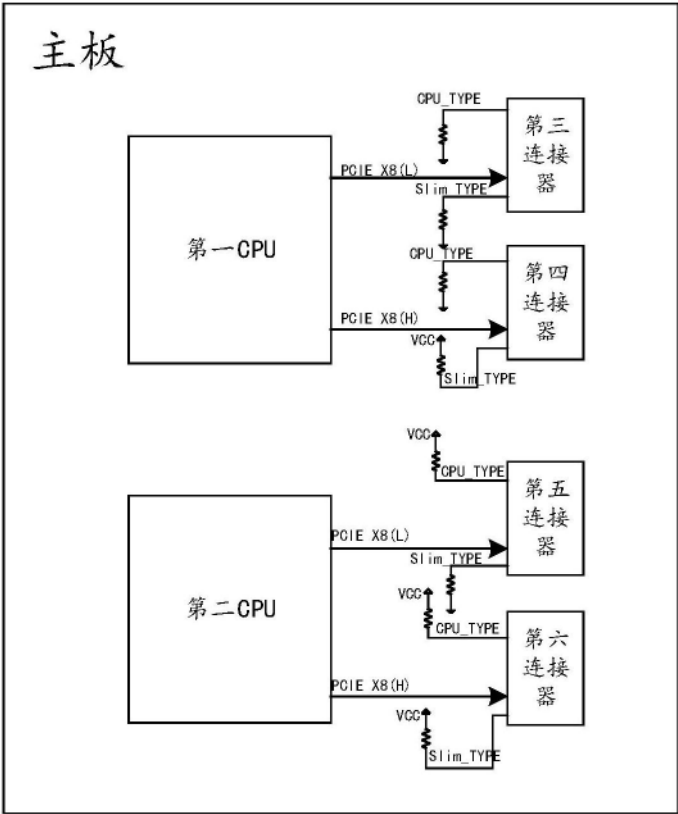


图3

连接	第一识别针脚	第二识别针脚
第一CPU 低位输出	0	0
第一CPU 高位输出	0	1
第二CPU 低位输出	1	0
第二CPU 高位输出	1	1

图4

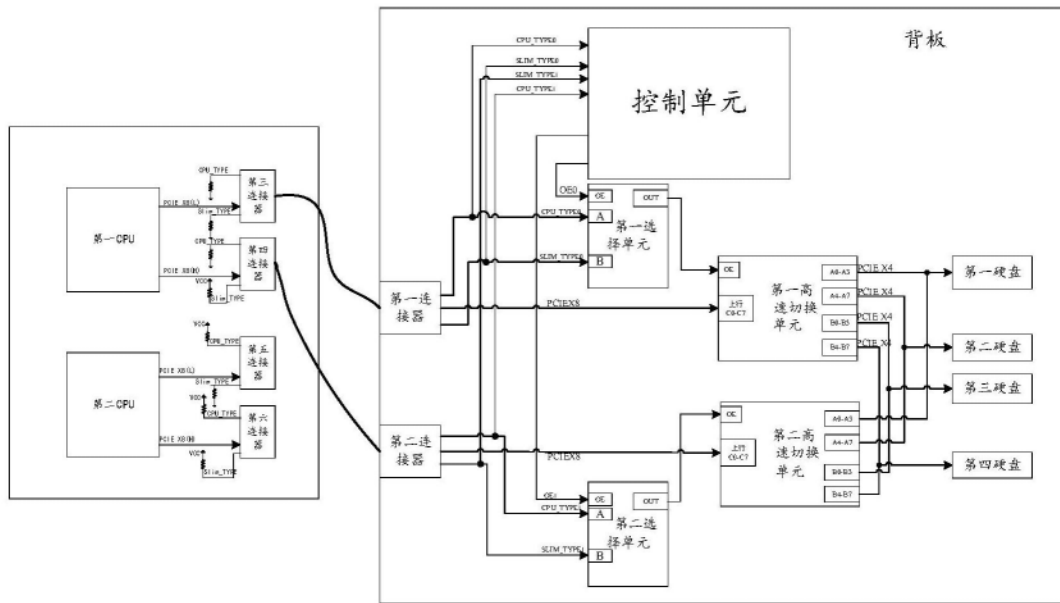


图5

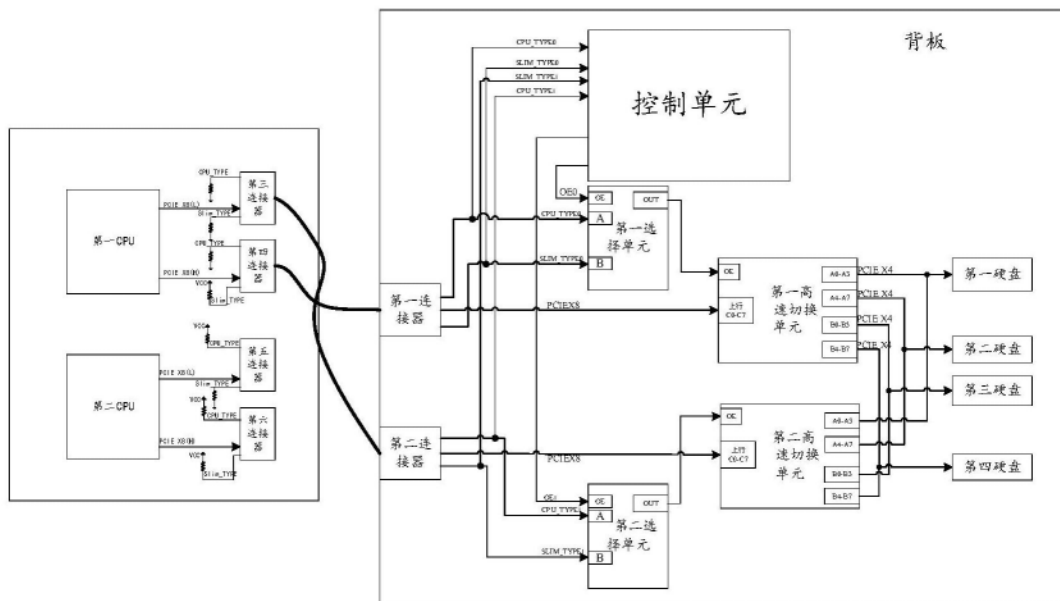


图6

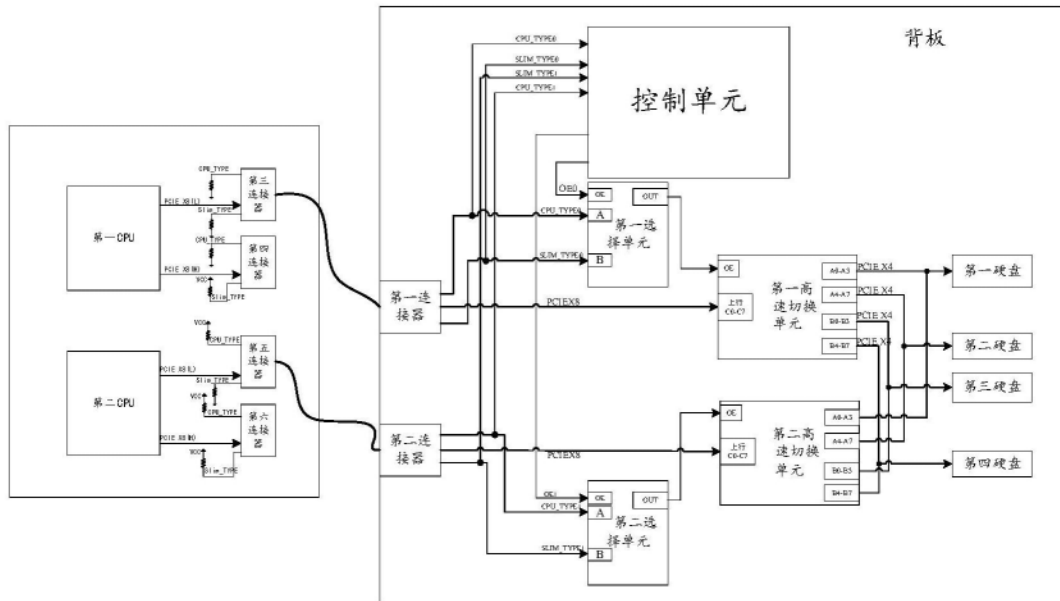


图7

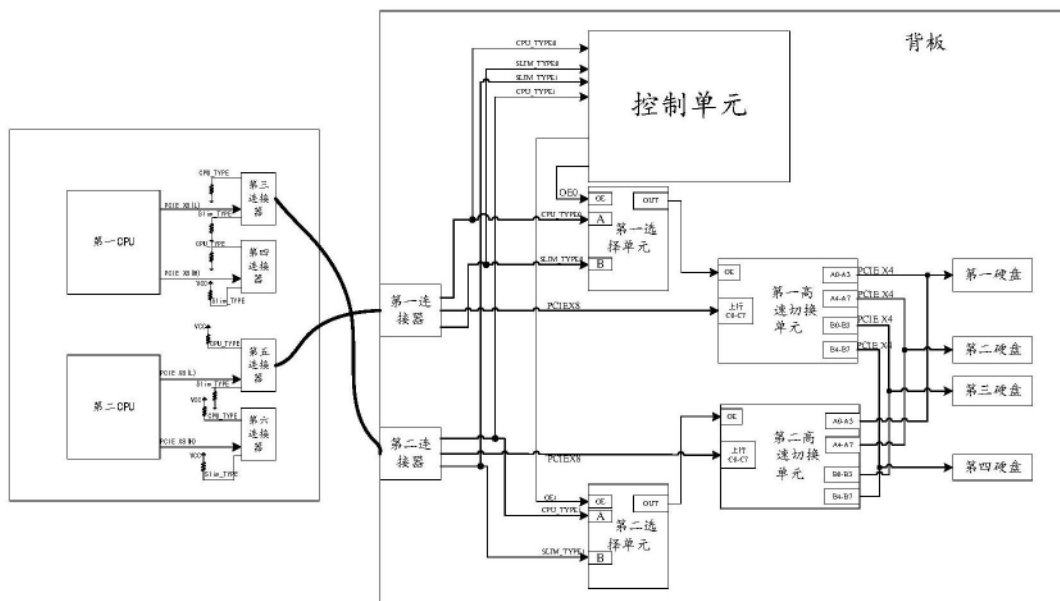


图8