

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 95142632

※ 申請日期： 95.11.17

※IPC 分類：

G11C 7/18 (2006.01)

一、發明名稱：(中文/英文)

每埠具有一時脈之偽雙埠記憶體

PSEUDO-DUAL PORT MEMORY HAVING A CLOCK FOR EACH PORT

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商高通公司

QUALCOMM INCORPORATED

代表人：(中文/英文)

喬治 A 懷坦

WHITTEN, GEORGE A.

住居所或營業所地址：(中文/英文)

美國加州聖地牙哥市摩豪斯大道 5775 號

5775 MOREHOUSE DRIVE SAN DIEGO, CA 92121-1714, U. S. A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 1 人)

姓 名：(中文/英文)

鄭昌鎬

JUNG, CHANG HO

國 籍：(中文/英文)

韓國 REPUBLIC OF KOREA

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2005年11月17日；11/282,345

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明所揭示實施例一般而言係關於偽雙埠記憶體。

【先前技術】

偽雙埠記憶體通常具有兩個埠及一記憶體單元陣列。只要自一個埠存取之記憶體單元與自另一埠存取之記憶體單元不同，則可自該兩個埠同時存取該記憶體陣列。一種用於該偽雙埠記憶體中之普通類型之記憶體單元包括八個場效電晶體(FET)。該等電晶體之其中四個互相連接以形成兩個交叉耦接之反相器。該記憶體單元之第一資料節點D係位於第一反相器之輸出引線與第二反相器之輸入引線處之節點。該記憶體單元之第二資料節點DN係位於該第二反相器之輸出引線與該第一反相器之輸入引線處之節點。存在兩個耦接至第一資料節點D之存取電晶體。提供第一存取電晶體旨在一第一位元線B1可有選擇地耦接至第一資料節點D。提供第二存取電晶體旨在一第二位元線B2可有選擇地耦接至第一資料節點D。類似地，存在兩個耦接至第二資料節點DN之存取電晶體。提供第一存取電晶體旨在一第一位元線條B1N可耦接至第二節點DN。提供第二存取電晶體旨在一第二位元線條B2N可耦接至第二節點DN。第一位元線B1及第一位元線條B1N構成一位元線對且用於將一經定址記憶體單元耦接至該雙埠記憶體兩個埠之第一埠。第二位元線B2及第二位元線條B2N構成一位元線對且用於將一經定址記憶體單元耦接至該雙埠記憶體之兩個埠之第二埠。

一單一埠記憶體內之記憶體單元通常僅包括六個電晶體。如該八電晶體單元之情形中，該等電晶體中之四個形成一交叉耦接之反相器結構。並非如該八電晶體單元中存在兩對存取電晶體，相反該六電晶體單元僅具有一對存取電晶體。提供一第一存取電晶體旨在將該等交叉耦接反相器之第一資料節點D有選擇地耦接至一位元線B。提供一第二存取電晶體旨在將該等交叉耦接反相器之第二資料節點DN耦接至一位元線條BN。當使用該同一製程來製造該兩種類型之記憶體單元時，該6-電晶體記憶體單元較該8-電晶體單元通常僅約佔用積體電路面積的一半。

為利用該6-電晶體記憶體單元較小的尺寸，通常使用一稱為偽雙埠記憶體之記憶體裝置。於一實例中，一偽雙埠記憶體具有一單一記憶體陣列，其中該陣列之每一記憶體單元皆係一可有選擇地耦接至一單一位元線對(例如，位元線B及位元線條BN)之6-電晶體記憶單元。該記憶體陣列運作為一單一埠記憶體，此乃因一次僅可實施一個記憶體存取。

然而，該偽雙埠記憶體由於其具有兩個埠故可模擬一雙埠記憶體。於一個實例中，該偽雙埠記憶體具有有時被稱為時間延遲多工器(TDM)之電路系統。一單輸入時脈信號被接收於該偽雙埠記憶體上且使用該單輸入時脈信號來鎖存一輸入讀取位址、一輸入寫入位址及一輸入資料值。該輸入時脈信號之上升緣係用以使用該輸入讀取位址來起始一讀取作業。該讀取作業完成。此後，該輸入時脈信號之

下降緣發生。該TDM使用該輸入時脈信號之下降緣來起始一寫入作業。該輸入寫入位址係用來於該寫入作業期間對該記憶體陣列進行定址且寫入該記憶體陣列之資料係該輸入資料值。儘管在該輸入時脈信號之單一循環內實施兩個記憶體作業，但實際上該兩個記憶體作業係相繼地實施。然而，自該偽雙埠記憶體以外來看，該偽雙埠記憶體似乎能夠同時或大致同時地實施對該記憶體陣列之兩次存取。

本發明者已認識到：實施該第一讀取記憶體作業所需之時間量可不等於實施該第二寫入記憶體作業所需之時間量。使用一傳統之TDM方法會減慢總記憶體存取時間，此乃因該兩個作業可用之相對時間量係由該時脈循環之上升緣發生之時間與該時脈循環之下降緣發生之時間來決定。若(舉例而言)於一時脈循環(亦即，該時脈信號具有一50/50工作循環)內該時脈信號為低的時間與該時脈信號為高的時間同樣長，則必須備有相同之時間量供實施較快讀取作業及該較慢寫入作業。該結果係開始於該讀取作業完成之後且結束於該時脈信號下降緣之浪費時間量。

傳統TDM方法不僅有時會在其中實施兩個記憶體存取所需的相對時間量不匹配時脈信號工作循環之情形下減慢總記憶體存取時間，並且該傳統TDM方法還可因使用時脈信號之下降緣來起始作業而導致總體記憶體存取時間慢於原本必需之總體記憶體存取時間。其可在該時脈信號之工作循環內抖動以使該時脈信號之下降緣自一個循環改變至另一循環。若該電路系統可經最佳化以用於在一個時脈信號

工作循環條件下之作業，則其通常不會經最佳化以用於另一時脈信號工作循環條件下之作業。通常，將一時間邊際建立於該電路系統中以便該偽雙埠記憶體之電路系統將在所有時脈信號工作循環條件下皆正確地運作。在某些其中適當作業並不需要時間邊際之運作條件下，該時間邊際會轉換成浪費的時間。因此，該偽雙埠記憶體之最大時脈頻率被規定為低於假若沒有該時間邊際之可能最大時脈頻率。

鑒於上述偽雙埠記憶體具有一單一時脈信號，在某些應用中合意之情形係：一偽雙埠記憶體具有一藉由一第一輸入時脈信號計時之第一埠及一藉由一第二輸入時脈信號計時之第二埠。藉由提供兩個單獨的輸入時脈，可使一個埠之使用在很大程度上不依賴於另一埠之使用。可藉由使兩個埠更為獨立來簡化該偽雙埠記憶體之使用。

鑒於以上所述，需要一種並非使用同一輸入時脈信號之上升及下降緣兩者來控制兩個記憶體作業之排序而且具有兩個獨立埠(其中每一埠皆具有其自己的輸入時脈)之改良型偽雙埠記憶體。

【發明內容】

一偽雙埠記憶體具有一第一埠、一第二埠及一6-電晶體記憶單元陣列。該第一埠(例如，一唯讀埠)包括一用於接收一第一時脈信號之時脈輸入引線。該第二埠(例如，一唯寫埠)包括一用於接收一第二時脈信號之時脈輸入引線。

該陣列之第一記憶體存取(例如，一讀取記憶體之存取作

業)係由接收於第一埠之時脈輸入引線上之第一時脈信號之上升緣來起始。該陣列之第二記憶體存取(例如，一寫入記憶體之存取作業)係響應接收於第二埠時脈輸入引線上之第二時脈信號之上升緣來起始。若該第二時脈信號上升緣發生於一第一時間週期內(例如，當第一時脈循環轉變為高時或在接下來的第一時脈循環為高的時間量期間)，則該第二記憶體存取係在第一記憶體存取完成之後大致立即起始。若另一方面該第二時脈信號之上升緣緊接地發生於一第二時間週期內(例如，在該第一時脈信號為低之稍後時間週期期間)，則第二記憶體存取之起始並非立即後跟第一記憶體存取之完成，而是延遲直至該第一時脈信號之第二上升緣之後。若第一時脈信號之第二上升緣起始一經由該第一埠之第三記憶體存取作業，則該第二記憶體存取作業在該第三記憶體存取作業之後發生。

下文將在說明書部分中闡述一個電路系統之實例，該電路系統偵測何時該第二時脈信號之上升緣相對於第一時脈信號發生且導致第二記憶體存取之起始延遲(若該延遲係適當)。該電路系統包括一時間延遲多工器，該時間延遲多工器接收一用於第一記憶體存取(一讀取作業)之讀取時脈信號及一用於第二記憶體存取(一寫入作業)之寫入時脈信號。該時間延遲多工器輸出一控制信號，該控制信號決定是為該第一記憶體存取定址該記憶體單元陣列還是為第二記憶體存取定址該記憶體單元陣列。該電路系統進一步包含一寫入時脈抑制器電路。若第二時脈信號之上升緣發生

元行。該記法中之後綴「N」係指示「非」或指示具有同一信號名而沒有後綴「N」之信號的互補。字線對WL0與WL1沿該水平尺度延伸穿過該陣列。字線WL0耦接至該陣列上部記憶單元列之各個記憶體單元之存取電晶體之閘極。字線WL1耦接至該陣列下部記憶單元列之各個記憶體單元之存取電晶體之閘極。

圖3係圖1之八個行多工器/解多工器3-10之更為詳細的圖示。每一行多工器/解多工器皆具有兩對位元線引線。行多工器/解多工器3(例如)具有耦接至第一對位元線B0與B0N之引線，且具有耦接至第二對位元線B1與B1N之引線。圖3中圖解闡釋該對位元線自該頂部向下延伸至行多工器/解多工器3內。

每一行多工器/解多工器接收一讀取行位址RCA0及其互補RCA0N。在一讀取作業期間，該兩對位元線之其中一對由多工器24多工至一感測放大器25之一對差動輸入引線上。值RCA0及RCA0N決定係該兩對位元線之哪一對。感測放大器25包含一鎖存器，該鎖存器鎖存輸出至該行多工器/解多工器之資料輸出引線上的值。當一輸入信號SENS為低時該鎖存器係透明，該鎖存器在該信號SENS之低至高轉變時進行鎖存。記憶體裝置1之資料輸出引線DOUT[0:7]分別係該八個行多工器/解多工器3-10之資料輸出引線。

每一行多工器/解多工器亦接收一內部時脈信號ICLK。該信號ICLK係一當ICLK為低時使該等位元線預充電之預充電信號。下文將進一步闡述該ICLK信號。

每一行多工器/解多工器亦接收一寫入行位址 WCA0 及其互補 WCA0N。每一行多工器/解多工器亦接收一鎖存資料輸入值及其互補。第一行多工器/解多工器 3(例如)接收鎖存輸入資料值 DIN[0] 及其互補 DINN[0]。在一寫入作業期間，輸入資料值 DIN[0] 及 DINN[0] 由一解多工器 26 解多工至該兩對位元線之其中一對，該兩對位元線耦接至行多工器/解多工器 3。寫入行位址 WCA0 及其互補 WCA0N 決定該特定之位元線對。相應地，在一讀取作業期間，資料自一選定之位元線對傳遞通過多工器 24、通過感測放大器 25、並傳遞至行多工器/解多工器 3 之資料輸出引線 DOUT[0] 上。在一寫入作業期間，資料自該等資料輸出引線 DIN[0] 及 DINN[0] 傳遞通過多工器 26、並傳遞至一選定之位元線對 B0 與 B0N 或 B1 與 B1N 上。

圖 4 係圖 1 方塊 11 之位址輸入鎖存器及讀取/寫入多工器部分之更為詳細的圖示。圖 4 之電路鎖存一輸入之 2-位元讀取位址 RADR[1:0] 且亦鎖存一輸入之 2-位元寫入位址 WADR[1:0]。圖 4 之電路係輸出字線值 WL1 及 WL0、讀取行位址值 RCA0 和 RCA0N、及寫入行位址值 WCA0 及 WCA0N。

圖 5 係圖 1 方塊 11 之資料輸入鎖存器部分之更為詳細的圖示。如顯示，存在八個相同的並聯組織之資料輸入鎖存器 27-34，以便其鎖存一 8-位元輸入資料值 DATAIN[7:0] 並輸出一 8-位元鎖存資料值 DIN[7:0] 及其互補 DINN[7:0]。一寫入時脈信號 WCLK 係用來將輸入之輸入資料值 DATAIN[7:0] 鎖存至該八個資料輸入鎖存器內。當該寫入時

脈信號 WCLK 為低時，每一資料輸入鎖存器係透明，並在該寫入時脈信號 WCLK 轉變為低至高時進行鎖存。於該資料輸入鎖存器 27 中，組成通閘 35 之電晶體及交叉耦接之反相器 36 和 37 一同形成一透明鎖存器 38。當讀取/寫入時脈信號 RWDCLK 確立 (assert) 為高時，將儲存於資料輸入鎖存器內之數位值以及所儲存之該數位值的互補供應至該資料輸入鎖存器之資料引線 DIN[0] 及 DINN[0] 上。若另一方面該信號 RWDCLK 為低，則迫使 DIN[0] 及 DINN[0] 輸出引線兩者上之該兩個信號為高。

圖 6(圖 6A 及 6B 之組合)係圖 1 之讀取時脈產生器電路 12、寫入時脈產生器電路 13、時間延遲多工器 14、單觸發電路 105 及寫入時脈抑制器電路 16 之更為詳細的圖示。圖 6 之電路系統輸出一讀取時脈信號 RCLK、一寫入時脈信號 WCLK、內部時脈信號 ICLK、及讀取/寫入解碼時脈信號 RWDCLK。

下文將結合圖 7 至圖 9 之波形圖來闡述偽雙埠記憶體裝置 1 之作業。圖 7 係一第一情景(情形 #1)之波形圖，其中該第一埠之輸入時脈信號 ACLK 與該第二埠之輸入時脈信號 BCLK 之上升緣係同時發生。圖 8 係一第二情景(情形 #2)之波形圖，其中該第一埠之輸入時脈信號 ACLK 之上升緣先於該第二埠之輸入時脈信號 BCLK 之上升緣。圖 9 係一第三情景(情形 #3)之波形圖，其中該第二埠之輸入時脈信號 BCLK 之上升緣先於該第一埠之輸入時脈信號。圖 7 至圖 9 中排列靠前之具有星號之信號名稱係外部供應之輸入信號，該等外部

器中。若CSAN為低，則將鎖存器節點69上之電壓拉至接地並由交叉耦接之反相器70-71鎖存。若CSAN為高，則節點69上之電壓將保持其先前鎖存之狀態。如圖7之波形圖顯示，在當前所述之運作實例中，CSAN為低。因此，將一數位低鎖存至節點69上。因此，將一數位高鎖存至節點72上。節點72上之數位值係讀取時脈信號RCLK的值。因此，如圖7中所示，該讀取時脈信號RCLK轉變為高。

以一類似方式，將該寫入時脈選擇信號CSBN鎖存至圖6之寫入時脈產生器13之鎖存器內。若CSBN為低，則節點73上之電壓被拉低至接地並由交叉耦接之反相器74-75鎖存。若CSBN為高，則節點73上之電壓保持其先前之鎖存狀態。如圖7之波形圖所示，在當前所述之運作實例中，CSBN為低。因此，將一數位低鎖存至節點73上，且將一數位高鎖存至節點76上。節點76之數位值係寫入時脈信號WCLK的值。因此，如圖7中所示，寫入時脈信號WCLK轉變為高。

於圖7之波形圖中，ACLK及BCLK兩者起始皆為數位低。由於ACLK為低，故圖6之抑制時脈產生器17內之節點200上存在一數位高。因此，P-通道電晶體201係非導電。由於BCLK為低，故圖6之抑制時脈產生器17內之節點202上存在一數位低。因此，N-通道電晶體203係非導電。因此，節點204保持鎖存狀態以維持其先前的數位值。當如圖7中所示ACLK轉變為高時，反相器205會將一數位低確立於節點200上，由此使P-通道電晶體201導電而使N-通道電晶體206非導電。因此，將節點204向上拉至一數位高。對於交叉耦接

之反相器 207 及 208 進行鎖存以使節點 209 上之電壓為一數位低。節點 209 上之電壓係抑制時脈信號 SCLK。只要 ACLK 係一數位高，則無論 BCLK 的值如何，抑制時脈產生器 17 之鎖存皆會維持於該狀態。請於圖 7 中注意，信號 SCLK 在時間 T1 處係一數位低且此後將保持為一數位低。

圖 4 之位址輸入鎖存器包含一對鎖存器 77 及 78 以分別鎖存該兩個讀取位址位元值 RADR[0] 及 RADR[1]。當信號 RCLK 為低時，鎖存器 77 及 78 係透明且在 RCLK 之上升緣時進行鎖存。因此，在 RCLK 的上升緣時，將 RADR[0] 的值鎖存至鎖存器 77 內之節點 79 上。因此，在 RCLK 的上升緣時，將 RADR[1] 的值鎖存至鎖存器 78 內之節點 80 上。

於圖 7 波形圖中之時間 T1 處，RCLK 為低且尚未轉變為高。因此，鎖存器 77 係透明。因此，RADR[0] 存在於節點 79 上。由於 RCLK 為低，故反及閘 81 輸出一數位高。因此，閘控電路 82 將 RCA0 及 RCA0N 確立為高。由於 RCA0 及 RCA0N 為高且正驅動圖 3 之行多工器/解多工器內之寫入解多工器之 P-通道電晶體，故該等寫入解多工器被禁用且該等位元線並不耦接至行多工器/解多工器之感測放大器之輸入引線。該等寫入解多工器被禁用，此乃因接下來實施之作業係一讀取作業。

於圖 7 波形圖中之時間 T1 處，RCLK 為低且鎖存器 78 係透明。因此，RADR[1] 存在於節點 80 上。由於如圖 7 中所示 RWDCLK 係一數位低，故經由多工器 83 將節點 80 (見圖 4) 上之鎖存值 RADR[1] 供應至節點 84 上。然而，由於 ICLK 為低，

中之電晶體39-44導電。每一位元線對之位元線皆耦接在一起並耦接至供應電壓VCC。因此，可認為該等位元線經預充電。

接下來，外部供應之第一輸入時脈信號ACLK及外部供應之第二輸入時脈信號BCLK轉變為高。該兩個時脈信號ACLK與BCLK同時轉變為高。

在信號ACLK轉變之前，該信號ACLK係一數位低。如圖7之波形所示，CSAN係一數位低。因此，圖6之反或閘94正將一數位高信號供應至N-通道電晶體95之閘極上。當ACLK轉變為高時，一高信號存在於N-通道電晶體96之閘極上。因此，N-通道電晶體96及95兩者皆導電達一短的時間量直至該數位高ACLK信號傳播穿過反相器97和98及反或閘94以迫使N-通道電晶體95的閘極上之電壓為低。因此，節點69上之電壓經由電晶體96及95即刻被拉至接地。由此，將節點69上之電壓鎖存至一數位低，且將節點72上之電壓鎖存至一數位高。此於圖7之波形中由信號RCLK之低至高轉變來圖解闡釋。

WCLK產生器13中發生一類似之情況。如圖7之波形所示，在該信號BCLK之低至高轉變之前，CSAB係一數位低。因此，圖6之反或閘99正將一數位高信號供應至N-通道電晶體100之閘極上。當BCLK轉變為高時，一高信號存在於N-通道電晶體101之閘極上。因此，N-通道電晶體101及100兩者導電達一短的時間量直至該數位高BCLK信號傳播穿過反相器102和103及反或閘99以迫使N-通道電晶體100的

開極上之電壓為低。因此，節點73上之電壓經由電晶體101及100即刻被拉至接地。由此，將節點73上之電壓鎖存至一數位低，且將節點76上之電壓鎖存至一數位高。此於圖7之波形中由信號WCLK之低至高轉變來圖解闡釋。

當RCLK轉變為高時，圖4之鎖存器77及78分別將讀取位址值RADR[0]及RADR[1]鎖存至節點79及80上。此於圖7之標為LATCHED AADR[1:0]之波形中由該垂直虛線圖解闡釋。由於RCLK為高且RWDCLK為低，故反及開81輸出一數位低信號。因此，開控電路82並不會如以前那樣迫使RCA0及RCA0N為高。節點79上之鎖存RADR[0]值輸出為RCA0且其互補輸出為RCA0N。該等讀取行位址值供應至行多工器/解多工器3-10以準備即將到來之讀取作業。此於圖7中由標為COLUMN ADR TO COL MUX之波形來代表。如圖3中所見，讀取行位址RCA0及RCA0N使讀取多工器24選擇該等位元線對之其中一對並將該選擇對耦接至感測放大器25之輸入引線。

當WCLK轉變為高時，圖4之鎖存器88及89分別將寫入位址值WADR[0]及WADR[1]鎖存至節點90及91上。此於圖7中標為LATCHED BADR[1:0]之波形中由該垂直虛線來圖解闡釋。然而，由於信號RWDCLK係一數位低，故圖4之反及開92繼續輸出一數位高，且開控電路93繼續迫使寫入行位址值WCA0及WCA0N兩者低至其非現用狀態。鎖存至節點91上之WADR[1]位址值被阻擋以免輸出至字線WL上，此乃因RWDCLK係一數位低且正選擇多工器83之上部輸入引

線。

返回至圖6，將節點69上之低至高轉變供應至反及閘104之下部輸入引線。因此，反及閘104將該內部時脈信號ICLK確立為高。此於圖7中由信號ICLK之低至高轉變來代表。當ICLK轉變為高時，則陣列2之位元線的預充電會停止。圖3之預充電電晶體39-44變為非導電以準備即將到來的讀取作業。

當ICLK轉變為高時，圖4之閘控電路85不再將數位邏輯位準低信號迫使至該兩個字線上。因此，節點80上之鎖存讀取位址值RADR[1]被輸出至字線字線WL1之輸出引線86上。該讀取位址值的互補被輸出至字線WL0之輸出引線87上。因此，一數位高存在於字線WL0及WL1其中之一上。此於圖7之波形中由標為WL(WL0及WL1其中之一)的波形之低至高轉變來代表。如圖2中所見，一字線上之高值會使由十六個相關記憶體單元列之所有記憶體單元之所有存取電晶體導電。一完整的16-位元值會自陣列2輸出至該八個行多工器/解多工器。該八個行多工器3-10基於讀取位址值RCA0及RCA0N的值選擇一8-位元值以將其輸出至該記憶體之資料輸出引線上。所選位元線對上之差分電壓耦接穿過該等行多工器/解多工器之多工器，且耦接至該等行多工器/解多工器之感測放大器之輸入引線上。所獲得之8-位元值會輸出至記憶體裝置1之輸出引線60-67。圖7中圖解闡釋該8-位元資料值係於標為DOUT[7:0](讀取)之波形中的時間T2處輸出。

返回至圖6，一單觸發電路105偵測該信號ICLK之低至高轉變。在一延遲之後，單觸發電路105輸出一RESET信號之高脈衝。此於圖7中由標為RESET之波形中之第一高脈衝來圖解闡釋。於圖7中，該標為A之虛線箭頭代表由一個單觸發電路105所引入之延遲。

RESET脈動為高會使RCLK轉變為低，此乃因該RESET高值會存在於圖6之反及閘106之上部輸入引線上。RDWCLK係一數位低，因此一數位高亦存在於反及閘106之下部輸入引線上。因此，反及閘106輸出一數位低信號，由此使P-通道電晶體107變為導電。節點69被拉高，此乃因節點69經由電晶體107耦接至VCC。因此，節點72上之信號RCLK轉變為低。此於圖7中由RCLK波形之高至低轉變來圖解闡釋。因此可看出，時間延遲多工器14及單觸發電路105一同運作以在該讀取作業之末端處清除該RCLK信號低。

一數位高存在於圖6中之反及閘104之上部輸入引線上。因此，ICLK為低。當節點86上之電壓轉變為高時，一數位高信號亦存在於反及閘104之下部輸入引線上。因此，反及閘104會輸出一數位低信號。此於圖7中由信號ICLK之高至低轉變來圖解闡釋。因此，行多工器/解多工器內之預充電電晶體39-44會再次變為導電以為即將到來之寫入作業開始一預充電作業。

在自該記憶體裝置輸出之資料可由於該預充電而改變之前，將一感測信號SENS供應至行多工器/解多工器內之感測放大器中之鎖存器。該信號SENS之低至高轉變會使該等行

多工器/解多工器內之鎖存器鎖存並保持於記憶體裝置1之輸出引線60-67上讀取出之資料值。一單觸發電路(未顯示)產生該SENS信號並當RWDCLK為低時在信號ICLK之下降緣上使該SENS信號脈動為高。可將輸出資料之鎖存視為該讀取作業之結束。

當WCLK係一數位高時，RCLK轉變為低會使圖6之時間延遲多工器內之反或閘108的兩個輸入引線上存在一數位低信號。因此，反或閘108輸出一數位高信號。該信號傳播通過反相器109及110。因此，如圖7中由標為RWDCLK之波形中之低至高轉變所示，RWDCLK轉變為高。

返回至圖4，信號RWDCLK中之低至高轉變使該等寫入位址值自圖4之位址輸入鎖存器輸出。RWDCLK為高會使一數位低存在於反及閘81之上部輸入引線上。因此，反及閘81輸出一數位高。此使閘控電路82將RCA0及RCA0N迫使至數位高值。迫使RCA0及RCA0N兩者為高導致圖3行多工器/解多工器內之讀取多工器24不將任何位元線耦接至該等感測放大器。

返回至圖4，RWDCLK為高會使反及閘92輸出一數位高信號。因此，閘控電路93不再阻擋鎖存於鎖存器88內之寫入位址值WADR[0]輸出至WCA0及WCA0N上。因此，寫入行位址值WADR[0]會經由閘控電路93傳輸至圖3之行多工器/解多工器內之寫入解多工器26。因此，DIN[7:0]及DINN[7:0]上之資料輸入值會經由該等行多工器/解多工器之寫入解多工器傳輸至一選定之由八個位元線對構成的位元線對

組。選定哪一個由八個對構成的組由 WCA0 及 WCA0N 來決定。於圖 3 中，係將該等資料值傳輸穿過該寫入解多工器並向上傳輸至記憶體陣列 2 內，以便可將該等資料值寫入由字線位址值 WL0 及 WL1 所識別之記憶體單元列。

返回至圖 6，RWDCLK 之低至高轉變繼續傳播穿過反相器 111 及 112 並傳播至反及閘 113 之上部輸入引線上。由於 SCLK 已係一數位低，故抑制器電路 18 內之反相器 210 已將一數位高輸出至反及閘 211 之下部輸入引線上。由於 WCLK 係一數位高，故反及閘 211 輸出一數位低，且反相器 212 將信號 SWCLK 確立為高。相應地，當 SCLK 為低時，寫入時脈 WCLK 經閘控而穿過抑制器電路 18 並輸出為 SWCLK。

由於數位高信號 SWCLK 已存在於時間延遲多工器 14 內之反及閘 113 之下部輸入引線上，故反及閘 113 之上部輸入引線上之低至高轉變使反及閘 113 輸出一由反相器 114 反向之數位低信號。因此，將一數位高信號確立於反及閘 115 之上部輸入引線上。由於信號 RESET 之低值使 WCLK 產生器電路 13 之反及閘 116 輸出一數位高信號，故一數位高信號已存在於反及閘 115 之下部輸入引線上。因此，反及閘 115 輸出一數位低信號，由此使反及閘 104 將 ICLK 確立為高。圖 7 中，標為 B 的虛線箭頭顯示自 RWDCLK 之上升緣至 ICLK 之上升緣之該傳播延遲。信號 ICLK 之上升緣終止該寫入作業之預充電。

返回至圖 4，ICLK 之上升緣被供應至閘控電路 85。因此，閘控電路 85 不再迫使 WL0 及 WL1 兩者為低，相反允許節點

84上之寫入位址值 WADR[1]輸出至字線 WL1之輸入引線 86 上。由於在該寫入作業期間 RWDCLK 的值係一數位高，故鎖存至節點 91 內之寫入位址值被多工至節點 84 上。該結果係：寫入位址值 WADR[1]輸出至 WL 輸出引線 86 上而其互補輸出至 WL0 輸出引線 87 上。此於圖 7 中由標為 WL(WL0 及 WL1 其中之一)之波形內的轉變來圖解闡釋。

因此，在該寫入作業期間，使用該等寫入位址值 WADR[0] 及 WADR[1] 來定址記憶體陣列 2。此於圖 7 中由標為 COLUMN ADR TO COL MUX 之波形中出現的標記 WCA 來代表。如圖 7 中所示，該八個經定址之記憶體單元內之資料可於時間 T3 處轉換。

返回至圖 6，單觸發電路 105 再次偵測到 ICLK 之低至高轉變。在圖 7 中由標為 C 之虛線箭頭所代表之延遲之後，單觸發電路 105 輸出信號 RESET 之高脈衝。將信號 RESET 之高脈衝確立於反及閘 116 之上部輸入引線上。由於現在 RWDCLK 為高，故數位高信號存在於反及閘 116 之兩個輸入引線上。反及閘 116 將一數位低信號驅動於 P-通道電晶體 117 之閘極上，由此將一數位高信號鎖存至 WCLK 產生器電路 13 內之節點 73 上。因此，節點 76 上之信號 WCLK 轉變為低。此於圖 7 中由波形 WCLK 之高至低轉變來圖解闡釋。因此，時間延遲多工器 14 與單觸發電路 105 於該寫入作業之端部處一同使信號 WCLK 重設為低。

WCLK 轉變為低會使抑制器電路 18 內之反及閘 211 輸出一信號高。因此，反相器 212 迫使 SWCLK 為低。因此，WCLK

起始輸出一數位高至N-通道電晶體216之閘極上。因此，電晶體216起始係導電而節點204並非耦接至接地，此乃因N-通道電晶體203不導電。當BCLK轉變為高時，節點202上之電壓轉變為高，由此使得N-通道電晶體203導電。然而，節點202上之高信號傳播通過反相器213-215，以迫使N-通道電晶體216之閘極為低並關斷電晶體216係需要時間。因此，對於BCLK上升緣後之一短週期，所有三個N-通道拉低電晶體203、216及206皆導電而節點204即刻耦接至接地電位。即刻耦接至接地電位可將一數位低鎖存至節點204上。因此，將節點209上之抑制時脈SCLK確立為高。此於圖9中由標為SCLK之波形的上升緣來圖解闡釋。

即使WCLK在時間T1B後立即上升，抑制時脈SCLK的高值亦會抑制供應至時間延遲多工器14之寫入時脈信號SWCLK。該狀態會持續直至該讀取埠之輸入時脈信號ACLK轉變為高。當ACLK轉變為高時，反相器205將一數位低輸出至節點200上。P-通道拉高電晶體201變為導電，且節點204被鎖存並保持為高。因此，SCLK被鎖存並保持為低，由此結束抑制時脈SCLK被確立之起始時間週期。因此，可大致同時將RCLK及SWCLK之上升緣提交至時間延遲多工器14。

圖9A係情形#3之一簡化波形圖。BCLK之上升緣先於ACLK之上升緣。當ACLK為低時，BCLK之上升緣使圖6之抑制時脈產生器17內之鎖存器將一數位低鎖存至節點204上，由此將抑制時脈信號SCLK鎖存為高。因此，圖6之抑

於該情形中，當BCLK之上升緣試圖將節點204即刻拉至接地時，ACLK為高且保持節點204拉高至VCC。由於N-通道電晶體206非導電，故不會將節點204拉至接地且SCLK不會被鎖存為高。因此，在一起始週期期間不抑制SWCLK。因此，圖中圖解闡釋SWCLK在BCLK轉變為高之後立即變為高。此使一寫入作業在該第二讀取作業之後立即發生。圖12波形中之第二讀取作業由於ACLK之第二上升緣的緣故係該讀取作業。

可在一記憶體裝置的設計期間增加或減少延遲A、延遲B及延遲C的時間量以改變分配給該讀取作業與該寫入作業之相對時間比例。該讀取作業的結束在時間上可重疊該寫入作業之開始。於一記憶體裝置之某些實施方案中，該讀取作業較該寫入作業可分配到更多的時間。於其他實施方案中，該寫入作業較該讀取作業可分配到更多的時間。由於一外部供應時脈信號的下降緣並非用來終止該第一讀取作業及/或起始該第二寫入作業，故可避免與使用一外部時脈信號的下降緣(其中該下降緣具有大量的非合意抖動)來起始該寫入作業相關聯之問題。

儘管上文出於說明目的對某些特定實施例進行了闡述，但本發明並非侷限於此。可在以下實施例中使用該偽雙埠記憶體之控制電路系統：其中該第一記憶體存取作業係一寫入作業而該第二記憶體存取作業係一讀取作業之實施例；其中該第一記憶體存取作業係一寫入作業而該第二記憶體存取作業係一寫入作業之實施例；及其中該第一記憶

體存取作業係一讀取作業而該第二記憶體存取作業係一讀取作業之實施例。因此，可在不違背申請專利範圍中所闡述的本發明範圍之前提下實踐該等所述特定實施例各種特徵之各種修改、變型及組合。

【圖式簡單說明】

圖1係一根據一實施例之偽雙埠記憶體裝置1之高階方塊圖。

圖2係圖1之記憶體陣列2之更為詳細的圖示。

圖3係圖1之八個行多工器/解多工器3-10之更為詳細的圖示。

圖4係圖1方塊11之位址輸入鎖存器及讀取/寫入多工器部分之更為詳細的圖示。

圖5係圖1方塊11之資料輸入鎖存器部分之更為詳細的圖示。

圖6(圖6A及6B之組合)係圖1之讀取時脈產生器電路12、寫入時脈產生器電路13、時間延遲多工器電路14、寫入時脈抑制器電路16及單觸發電路105之更為詳細的圖示。

圖7係一波形圖，其圖解闡釋圖1-6之偽雙埠記憶體裝置1之作業之第一情景(情形#1)。

圖8係一波形圖，其圖解闡釋圖1-6之偽雙埠記憶體裝置1之作業之第二情景(情形#2)。

圖9係一波形圖，其圖解闡釋圖1-6之偽雙埠記憶體裝置1之作業之第三情景(情形#3)。

圖7A係一第一情景(情形1)之簡化波形圖。

88	鎖存器
89	鎖存器
90	節點
91	節點
92	反及閘
93	閘控電路
94	反或閘
95	N-通道電晶體
96	N-通道電晶體
97	反相器
98	反相器
99	反或閘
100	N-通道電晶體
101	N-通道電晶體
102	反相器
103	反相器
104	反及閘
✓105	單觸發電路
106	反及閘
107	P-通道電晶體
108	反或閘
109	反相器
110	反相器
111	反相器

112	反相器
113	反及閘
114	反相器
115	反及閘
116	反及閘
117	P-通道電晶體
200	節點
201	P-通道電晶體
202	節點
203	N-通道電晶體
204	節點
205	反相器
206	N-通道電晶體
207	反相器
208	反相器
209	節點
210	反相器
211	反及閘
212	反相器
213	反相器
214	反相器
215	反相器
216	電晶體

五、中文發明摘要：

本發明揭示一種偽雙埠記憶體，其具有一第一埠、一第二埠及一6-電晶體記憶體單元陣列。一第一記憶體存取係在一接收於該第一埠上之第一時脈信號之上升緣上起始。一第二記憶體存取係響應接收於該第二埠上之第二時脈信號之上升緣而起始。若該第二時脈信號上升緣發生於一第一時間週期內，則在該第一記憶體存取完成之後立即以偽雙埠方式起始該第二記憶體存取。若該第二時脈信號之上升緣稍後發生於第二時間週期內，則使該第二記憶體存取延遲直至該第一時脈信號第二上升緣之後。該等第一及第二記憶體存取之持續時間並不依賴於該等時脈信號之工作循環。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件符號簡單說明：

2	陣列
19	記憶體單元
20	反相器
21	反相器
22	第一存取電晶體
23	第二存取電晶體

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

過晚(當該第一時脈信號為低時)以致該時間延遲多工器無法在已起始第一記憶體存取作業之後立即正確起始第二記憶體存取作業之工作,則該寫入時脈抑制器電路會抑制寫入時脈信號供應至該時間延遲多工器,由此延遲第二記憶體存取作業之起始直至第一時脈信號之第二上升緣。

對比於其中一輸入時脈之下降緣係用來定時何時開始一第二記憶體存取之傳統偽雙埠記憶體,本專利文件中所揭示之新穎偽雙埠記憶體中之第一及第二記憶體存取之持續時間並不依賴於一時脈信號之下降緣何時發生。相反,該第一記憶體存取之持續時間很大程度上取決於一傳播延遲(例如,由一單觸發電路所引入之延遲)。該第二記憶體存取之持續時間很大程度上取決於一傳播延遲(例如,經由隨機邏輯之傳播延遲或由一單觸發電路所引入之延遲)。可在偽雙埠記憶體之設計階段期間藉由調節該等傳播延遲之比率及大小來調節分配至第一記憶體存取之時間量與分配至第二記憶體存取之時間量的比率。分配至第一記憶體存取之時間量與分配至第二記憶體存取之時間量的比率大致不依賴於第一時脈信號或第二時脈信號之工作循環。

將於下文說明書中闡述另外的硬體實施例、另外的方法及另外的細節。該發明內容並非意欲界定本發明。本發明由申請專利範圍界定。

【實施方式】

圖1係一根據一實施例之偽雙埠記憶體裝置1之高階方塊圖。記憶體裝置1包含一由靜態隨機存取記憶體單元構成之

陣列2。於該所示實例中，陣列2包括兩個記憶體單元列，其中每一列皆包含十六個記憶體單元。除陣列2之外，記憶體裝置1還包含一由八個行多工器/解多工器3-10構成之行多工器/解多工器組。圖中僅圖解闡釋第一及第八行多工器/解多工器3及10。記憶體裝置1亦包含一位址輸入鎖存器、讀取/寫入多工器、及資料輸入鎖存電路11、一讀取時脈產生器電路12、一寫入時脈產生器電路13、一時間延遲多工器電路14、一單觸發電路105、以及一寫入時脈抑制器電路16。寫入時脈抑制器電路16包含一抑制時脈產生器電路17及一抑制器電路18。方塊3-15中之電路系統係控制存取陣列2之控制電路系統。

圖2係記憶體陣列2之一更為詳細的圖示。該等記憶體單元之每一者皆係一6-電晶體記憶體單元。參考編號19係識別陣列中左上角處之記憶體單元。記憶體單元19之該等電晶體之其中四個互相連接以形成一對交叉耦接之反相器20及21。記憶體單元19之第一資料節點D耦接至反相器20之輸出引線且耦接至反相器21之輸入引線。記憶體單元19之第二資料節點DN耦接至反相器21之輸出引線且耦接至反相器20之輸入引線。提供第一存取電晶體22旨在資料節點D可有選擇地耦接至一垂直延伸的位元線B0。提供第二存取電晶體23旨在資料節點DN可有選擇地耦接至一垂直延伸的位元線B0N。如顯示，位元線對B0與B0N、B1與B1N...B15與B15N係沿垂直尺度延伸穿過該陣列。舉例而言，位元線對B0與B0N垂直向上延伸穿過最左之記憶體單

供應之輸入信號係供應至偽雙埠記憶體裝置1。

如圖7中所示，起初，時脈信號ICLK為低。如圖3中所示，係將ICLK供應至行多工器/解多工器3-10。當ICLK為低時，該等行多工器/解多工器之每一者內之P-通道電晶體39-41及42-44係導電。因此，所有位元線對皆經預充電以供應電壓VCC。該等位元線之預充電係一起始條件。

由於擬實施一讀取作業，故將一2-位元讀取位址RADR[1:0]置放於偽雙埠記憶體1之兩個讀取位址輸入引線45及46上，且將讀取選擇信號CSAN確立於偽雙埠記憶體1之輸入引線47上。由於擬實施一寫入作業，故將一2-位元寫入位址WADR[1:0]置放於偽雙埠記憶體1之兩個寫入位址輸入引線48及49上，且將寫入選擇信號CSBN確立於偽雙埠記憶體1之輸入引線50上。將擬在該寫入作業期間寫入之8-位元資料值DATAIN[7:0]供應至偽雙埠記憶體1之八個資料輸入引線51-58上。讀取位址輸入引線45及46、一讀取時脈輸入引線59、及資料輸出引線60-67構成偽雙埠記憶體1之第一埠(一唯讀埠)。寫入位址輸入引線48及49、一寫入時脈輸入引線68、及資料輸出引線51-58構成偽雙埠記憶體1之第二埠(一唯寫埠)。

輸入引線45-58及68上之資訊經建立達一定時間週期之後，輸入引線59上之第一輸入時脈信號ACLK及輸入引線68上之第二輸入時脈信號BCLK於時間T1處同時轉變為高(見圖7)。當第一輸入時脈信號ACLK轉變為高時，則將讀取選擇信號CSAN的值鎖存至圖6之RCLK產生器電路12之鎖存

故開控電路85阻擋節點84上之信號輸出至字線輸出引線86及87上。數位低信號存在於字線輸出引線86及87上。由於圖4之記憶體單元之存取電晶體係N-通道電晶體，故WL0及WL1上之低信號可防止陣列2中之任何存取電晶體導電。

圖4之位址輸入鎖存器進一步包含一第二對鎖存器88及89以分別鎖存該兩個寫入位址位元值WADR[0]及WADR[1]。當信號WCLK為低時，鎖存器88及89係透明且在WCLK之上升緣時進行鎖存。因此，在WCLK的上升緣時，將WADR[0]的值鎖存於鎖存器88之節點90上。因此，在WCLK之上升緣時，將WADR[1]的值鎖存於鎖存器89內之節點91上。

於圖7之波形圖中的時間T1處，WCLK為低且尚未轉變為高。因此，鎖存器88係透明。因此，WADR[0]存在於節點90上。由於WCLK為低，故反及開92輸出一數位高。因此，開控電路93迫使WCA0及WCA0N為低。由於WCA0及WCA0N為低且正驅動圖3之行多工器/解多工器內之多工器之N-通道電晶體，故該等解多工器被禁用且該等位元線並不耦接至行多工器/解多工器之資料輸入引線DIN[7:0]及DINN[7:0]。

於圖7波形圖中之時間T1處，WCLK為低且鎖存器89係透明。因此，WADR[1]存在於節點91上。由於如圖7中所示RWDCLK係一數位低，故節點91上的值經由多工器83被供應至節點84上。

於時間T1處，ICLK為低。因此，行多工器/解多工器3-10

經開控而穿過抑制器電路18，此乃因抑制信號SCLK為低。

SWCLK轉變為低會使時間延遲多工器14內之反及閘113輸出一數位高。反相器114輸出一數位低，由此使反及閘115輸出一數位高。由於RCLK係一數位低，故RCLK產生器電路12內之節點69上之電壓係一數位高。反及閘104之兩個輸入引線上存在數位高信號，由此使反及閘104將ICLK確立為低。此於圖7中由信號ICLK之高至低轉變來圖解闡釋。

SWCLK轉變為低亦使一數位高信號存在於圖6之反或閘108之下部輸入引線上。反或閘108輸出一傳播穿過反相器109及110之數位低信號，由此使RWDCLK在該寫入作業之端部處轉變為低。此於圖7中由標為RWDCLK之波形中之高至低轉變來圖解闡釋。在該點處，起始記憶體陣列2之位元線之預充電以準備一隨後之記憶體存取作業。

因此可看出，偽雙埠記憶體裝置1在一寫入作業之後繼而實施一讀取作業。該讀取作業之結束與該寫入作業之開始並不依賴於一輸入時脈信號之下降緣。相反，使用經由邏輯電路系統之異步傳播延遲及一單觸發電路來對實施該第一讀取作業、預充電用於一第二作業之記憶體位元線及實施該第二寫入作業所必需之控制信號進行定時。在設計一記憶體裝置期間，可增加或減少如圖7所標示的延遲A、延遲B及延遲C之時間量以改變分配給讀取作業與寫入作業之相對時間量。

圖7A係情形#1之一簡化波形圖。ACLK與BCLK之上升緣同時發生。SCLK保持為低而從不轉變為高。因此，圖6之抑制器電路18始終使WCLK的值通過以成為SWCLK的值。

將信號 SWCLK 供應至時間延遲多工器 14 以取代 WCLK。因此，時間延遲多工器 14 接收 RCLK 及 SWCLK (其具有與 WCLK 相同之定時) 並產生時間延遲信號 RWDCLK 以在該讀取作業之後繼而實施該讀取作業。

於上述之情景中，存在一待實施之讀取作業及一寫入作業。於一其中僅擬實施一讀取作業之情景中，則將 RCLK 鎖存為高，為該讀取作業將 RWDCLK 迫使為低，然後單觸發電路 105 將 RCLK 清除為低，但 WCLK 並未被鎖存為高。因而，於該讀取作業之結束時不會迫使 RWDCLK 為高，且不會有任何第二寫入作業。

類似地，於一其中僅擬實施一寫入作業之情景中，則將 WCLK 鎖存為高，但不將 RCLK 鎖存為高。因此，為一寫入作業將 RWDCLK 迫使為高，然後單觸發電路 105 於該讀取作業端部處將 WCLK 重設為低，但不會有任何第二記憶體作業。

考量一種其中當 RCLK 尚未鎖存為高時 WCLK 被鎖存為高之情形。時間延遲多工器 14 將為一寫入作業將 RWDCLK 確立為高，且如上所述該寫入作業將在一其中擬實施一寫入作業但不實施任何讀取作業之條件下起始。若 (如情形 #3 中) RCLK 然後由於自該第一埠之嘗試性讀取而被鎖存為高，則時間延遲多工器 14 內之反或閘 108 將輸出一數位低，該低信號將傳播穿過反相器 109 及 110，且 RWDCLK 將被確立為低。然而，在該寫入作業完成之前將 RWDCLK 確立為低可導致該偽雙埠記憶體之故障。抑制時脈產生器 17 及抑

制器電路18可藉由當將WCLK提交至時間延遲多工器14(如SWCLK那樣將WCLK提交至時間延遲多工器14)時抑制將WCLK確立為高來防止此一情形的發生直至該RCLK信號已轉變為高。以此方式抑制WCLK可防止原本在一寫入作業起始之後立即確立RCLK所發生之故障。

圖8係一波形圖，其圖解闡釋為雙埠記憶體1在情形#2下之作業。於情形#2中，供應至該記憶體第一埠之第一輸入時脈信號ACLK係於時間T1A處確立為高。因此，在時間T1A後立即將CSAN及AADR[1:0]的值鎖存至該記憶體內。在稍後時間T1B時，確立供應至該記憶體第二埠之第二輸入時脈信號BCLK。因此，在時間T1B後立即將CSBN及BADR[1:0]與DATAIN[7:0]的值鎖存至該記憶體內。

由於該讀取作業係擬在該寫入作業之前發生，故較早的上升ACLK會導致RCLK得到確立。RCLK亦在BCLK上升緣之前起始該讀取作業。當該讀取作業完成時(其由傳播延遲A及RCLK之隨後下降緣所決定)，則圖6之時間延遲多工器14確立RWDCLK以起始該寫入作業。該寫入時脈信號WCLK(其已於彼時間處確立)經閘控而穿過抑制器電路18並以SWCLK的形式供應至時間延遲多工器14。當該讀取作業完成時，因此時間延遲多工器14能夠起始該寫入作業。

圖8A係情形#2之一簡化波形圖。ACLK之上升緣先於BCLK之上升緣。SCLK保持低且從不轉變為高。因此，圖6之抑制器電路18從不抑制WCLK。WCLK經閘控而穿過抑制器電路18且被供應至時間延遲多工器14，如同SWCLK。由

於在該讀取作業完成時時間延遲多工器14處會存在該寫入信號SWCLK，故時間延遲多工器14能夠以情形#1中之相同方式來起始該寫入作業。

圖9係一波形圖，其圖解闡釋偽雙埠記憶體1在情形#3中之作業。於情形#3中，係於T1B處首先確立供應至該記憶體第二埠之第二輸入時脈信號BCLK。因此，在T1B後立即將用於該寫入作業之CSBN及BADR[1:0]與DATAIN[7:0]的值鎖存於該記憶體內。在稍後時間T1A時，確立供應至該記憶體第一埠之第一輸入時脈信號ACLK。因此，在時間T1A後立即將用於讀取作業之CSAN及AADR[1:0]的值鎖存至該記憶體內。

由於該寫入作業係在該讀取作業之後發生，故較早的上升BCLK無法允許將SWCLK確立為高以起始該寫入作業。因此，該抑制時脈SCLK係在一起始週期(大約在時間T1B與時間T1A之間)期間確立為高直至該讀取時脈ACLK轉變為高。在該起始週期期間，SCLK抑制正被供應至時間延遲多工器14之寫入時脈(該寫入時脈WCLK被供應至時間延遲多工器14，如同SWCLK)。在該起始週期期間抑制SWCLK可防止時間延遲多工器14在該讀取作業之前起始該寫入作業。

下文將結合圖6來解釋抑制時脈SCLK之產生。此時，ACLK為低。因此，反相器205將一數位高輸出至節點200上。因此，P-通道電晶體201不導電而N-通道電晶體206導電。BCLK起始為低，且然後轉變為高。因此，反相器213-215

制器電路18抑制SWCLK並在SCLK為高之時間期間使SWCLK保持為低。當ACLK轉變為高時，將一數位高鎖存至抑制時脈產生器17內之節點204上，由此將SCLK鎖存為低。因此，抑制器電路18不再將SWCLK保持為低。對於剩餘之讀取及寫入作業，寫入時脈WCLK的值係SWCLK的值。時間延遲多工器14及單觸發電路105起始該讀取作業並然後如情形#1及#2中那樣起始該寫入作業。

圖10係一簡化波形圖，其圖解闡釋偽雙埠記憶體1在一其中ACLK較BCLK具有一更高頻率之情形中之作業。ACLK之第一上升緣與BCLK之第一上升緣同時發生。此係圖7之情形。該第一寫入作業緊跟該第一讀取作業。於圖10之情景中，ACLK第二上升緣的時間周圍不存在任何BCLK之上升緣。因此，圖10中BCLK之第二上升緣使一第二讀取作業發生。於該實例中，ACLK之第三上升緣與BCLK之第二上升緣同時發生。此係圖7之狀態。因此，該第二寫入作業緊跟該第三讀取作業。

圖11係一簡化波形圖，其圖解闡釋偽雙埠記憶體1在一其中BCLK之上升緣係發生於ACLK下部部分期間的較早時間處之情形中的作業。BCLK之上升緣可使SCLK得到確立，由此抑制SWCLK直至ACLK之第三上升緣。因此，該寫入作業被延遲直至該第三讀取作業之後。

圖12係一簡化波形圖，其圖解闡釋偽雙埠記憶體1在其中BCLK上升緣比ACLK下降緣提早三個以上閘控延遲發生之情形中的作業。因此，BCLK在ACLK為高之時間期間上升。

圖 8A 係一第二情景(情形 2)之簡化波形圖。

圖 9A 係一第三情景(情形 3)之簡化波形圖。

圖 10 係一第一實例之簡化波形圖，其中 ACLK 之頻率高於 BCLK 之頻率，但 BCLK 係在 ACLK 上升之同一時間上升。

圖 11 係一第二實例之簡化波形圖，其中 BCLK 在 ACLK 為低時之期間上升。

圖 12 係一第三實例之簡化波形圖，其中 BCLK 在 ACLK 為高時之期間上升。

【主要元件符號說明】

- | | |
|----|-----------|
| 1 | 偽雙埠記憶體裝置 |
| 2 | 陣列 |
| 3 | 行多工器/解多工器 |
| 10 | 行多工器/解多工器 |
| 11 | 資料輸入鎖存電路 |
| 12 | 讀取時脈產生器電路 |
| 13 | 寫入時脈產生器電路 |
| 14 | 時間延遲多工器電路 |
| 16 | 寫入時脈抑制器電路 |
| 17 | 抑制時脈產生器電路 |
| 18 | 抑制器電路 |
| 19 | 記憶體單元 |
| 20 | 反相器 |
| 21 | 反相器 |

- 22 第一存取電晶體
- 23 第二存取電晶體
- 24 讀取多工器
- 25 感測放大器
- 26 寫入解多工器
- 27 資料輸入鎖存器
- 34 資料輸入鎖存器
- 35 通閘
- 36 反相器
- 37 反相器
- 38 透明鎖存器
- 39 P-通道電晶體
- 40 P-通道電晶體
- 41 P-通道電晶體
- 42 P-通道電晶體
- 43 P-通道電晶體
- 44 P-通道電晶體
- 45 讀取位址輸入引線
- 46 讀取位址輸入引線
- 47 讀取選擇信號之輸入引線
- 48 寫入位址輸入引線
- 49 寫入位址輸入引線
- 50 寫入選擇信號之輸入引線
- 51 資料輸入引線

- 58 資料輸入引線
- 59 讀取時脈輸入引線
- 60 資料輸出引線
- 67 資料輸出引線
- 68 寫入時脈輸入引線
- 69 鎖存器節點
- 70 反相器
- 71 反相器
- 72 節點
- 73 節點
- 74 反相器
- 75 反相器
- 76 節點
- 77 鎖存器
- 78 鎖存器
- 79 節點
- 80 節點
- 81 反及閘
- 82 閘控電路
- 83 多工器
- 84 節點
- 85 閘控電路
- 86 WL1輸出引線(對讀取而言)或
WL1輸入引線(對寫入動作而言)
- 87 WL0輸出引線

十、申請專利範圍：

1. 一種偽雙埠記憶體，其包括：

一記憶體單元陣列，其中該陣列內之每一記憶體單元係一6-電晶體記憶體單元；

一第一埠，其包括複數個第一位址輸入引線及一時脈輸入引線，其中該第一埠之該時脈輸入引線上之一第一時脈輸入信號之一第一低至高轉變致使該複數個第一位址輸入引線上之一位址被鎖存至該偽雙埠記憶體內並起始該記憶體單元陣列之一第一記憶體存取；及

一第二埠，其包括複數個第二位址輸入引線及一時脈輸入引線，其中：

於一第一情形中：該第二埠之該時脈輸入引線上之一第二時脈輸入信號在一第一時間週期期間之一低至高轉變會致使該複數個第二位址輸入引線上之一位址被鎖存至該偽雙埠記憶體內，且會致使在該第一記憶體存取完成之後且在該第一時脈輸入信號之一第二低至高轉變之前起始該記憶體單元陣列之一第二記憶體存取，且

於一第二情形中：該第二埠之該時脈輸入引線上之該第二時脈輸入信號在一第二時間週期期間之一低至高轉變會致使該記憶體單元陣列之該第二記憶體存取被延遲直至該第一時脈輸入信號之該第二低至高轉變之後，其中該第一時間週期之一結束與該第二時間週期之一開始相合。

2. 如請求項1之偽雙埠記憶體，其中該第一時脈輸入信號於該第一低至高轉變處轉變為高，然後保持為高達一時間量，然後轉變為低，然後保持為低達一時間量，且然後於該第二低至高轉變處轉變為高，其中該第一時脈輸入信號之該第一低至高轉變大致與該第一時間週期之一開始相合，且其中該第一時間週期與該第一時脈輸入信號保持為高之該時間量大致相合。
3. 如請求項1之偽雙埠記憶體，其中該第一時脈輸入信號具有一工作循環，且其中該第一記憶體存取具有一持續時間，該第一記憶體存取之該持續時間大致不依賴於該第一時脈輸入信號之該工作循環。
4. 如請求項1之偽雙埠記憶體，其中該第一埠係一唯讀埠且其中該第二埠係一唯寫埠。
5. 如請求項1之偽雙埠記憶體，其中於該第一情形中大致上在該第一記憶體存取之完成後立即起始該第二記憶體存取。
6. 如請求項1之偽雙埠記憶體，其中該第二記憶體存取包括一初始預充電週期及一隨後週期，在該隨後週期期間資訊被寫入至該陣列之記憶體單元內。
7. 如請求項1之偽雙埠記憶體，其進一步包括：
一時間延遲多工器，其具有一讀取時脈信號輸入引線、一抑制寫入時脈信號輸入引線及一控制信號輸出引線，其中該時間延遲多工器之該控制信號輸出引線載送一控制信號，該控制信號決定是為該第一記憶體存取定

址該記憶體單元陣列還是為該第二記憶體存取定址該記憶體單元陣列；

一讀取時脈產生器，其具有一輸入引線及一輸出引線，該第一時脈輸入信號存在於該輸入引線上，該輸出引線耦接至該時間延遲多工器之該讀取時脈信號輸入引線；

一寫入時脈產生器，其具有一輸入引線及一輸出引線，該第二時脈輸入信號存在於該輸入引線上；及

一寫入時脈抑制器電路，其具有一第一輸入引線、一第二輸入引線、一第三輸入引線、及一輸出引線；該第一時脈輸入信號存在於該第一輸入引線上，該第二時脈輸入信號存在於該第二輸入引線上，該第三輸入引線耦接至該寫入時脈產生器之該輸出引線，該輸出引線耦接至該時間延遲多工器之該抑制時脈信號輸入引線，其中該寫入時脈抑制器電路或將該第三輸入引線上之一信號傳遞至該輸出引線或抑制該第三輸入引線上之該信號被傳遞至該輸出引線，且其中在該第二情形中該寫入時脈抑制器電路於一開始於該第二時脈輸入信號之該低至高轉變並結束於該第一時脈輸入信號之該第二低至高轉變之時間週期期間抑制該第三輸入引線上之該信號被傳遞至該輸出引線。

8. 一種存取一偽雙埠記憶體之方法，其包括：

於一偽雙埠記憶體之一第一埠之一時脈信號輸入引線上接收一第一時脈信號，其中該第一時脈輸入信號於一

第一低至高轉變處轉變為高，然後保持為高達一時間量，然後於一高至低轉變處轉變為低，然後保持為低達一時間量，且然後於一第二低至高轉變處轉變為高；

於該偽雙埠記憶體之一第二埠之一時脈信號輸入引線上接收一第二時脈信號；

響應於該第一時脈信號之該第一低至高轉變，實施一第一記憶體存取作業，該第一記憶體存取作業係在該第一時脈信號保持為高之該時間量期間起始，其中該第一記憶體存取作業係該偽雙埠記憶體之一記憶體單元陣列之存取，其中該等記憶體單元之每一者皆係一6-電晶體記憶體單元，且其中該第一記憶體存取作業具有一持續時間，該持續時間大致不依賴於該第一時脈信號保持為高之該時間量；及

響應於該第二時脈信號之一低至高轉變，實施一第二記憶體存取作業，其中該第二記憶體存取作業係該偽雙埠記憶體之該記憶體單元陣列之存取，其中若該第二時脈信號之該低至高轉變發生於一第一時間週期內，則該第二記憶體存取作業大致在該第一記憶體存取作業完成之後立即起始，且其中若該第二時脈信號之該低至高轉變發生於一第二時間週期內，則該第二記憶體存取作業並非在該第一記憶體存取完成之後立即起始，反而係在該第一時脈信號之該第二低至高轉變之後起始，其中該第一時間週期之一結束與該第二時間週期之一開始相合。

9. 如請求項8之方法，其中該第一時間週期與該第一時脈信號保持為高之該時間量大致相同，且其中該第二時間週期與該第一時脈信號保持為低之該時間量大致相同。
10. 如請求項8之方法，其中該第一埠係一唯讀埠，且其中該第二埠係一唯寫埠。
11. 如請求項8之方法，其中該第一時脈信號之該高至低轉變非用於控制何時完成該第一記憶體存取作業，且其中該第一時脈信號之該高至低轉變非用於控制何時起始該第二記憶體存取作業。
12. 如請求項8之方法，其中該第二記憶體存取作業包括一初始預充電週期及一隨後週期，在該隨後週期期間資訊被寫入至該陣列之記憶體單元內。
- 13 如請求項8之方法，其進一步包括：

在該第一時脈信號之該第一低至高轉變時設定一讀取時脈產生器中之一鎖存器，該鎖存器輸出一讀取時脈信號；

在該第二時脈信號之該低至高轉變時設定一寫入時脈產生器中之一鎖存器，該鎖存器輸出一寫入時脈信號；

使該寫入時脈信號運行穿過一抑制器電路，該抑制器電路輸出一經抑制寫入時脈信號，其中若一抑制時脈輸入信號未被確立，則該經抑制寫入時脈信號大致相同於該寫入時脈信號，且其中若該抑制時脈輸入信號被確立，則抑制該經抑制寫入時脈信號；

當該第一時脈信號為高時設定一抑制時脈產生器內之

一鎖存器，且若當該第一時脈信號為低時該第二時脈信號轉變為高，則清除該抑制時脈產生器內之該鎖存器，其中抑制時脈產生器將該抑制時脈輸入信號輸出至該抑制電路，若該抑制時脈產生器內之該鎖存器經設定，則該抑制時脈輸入信號為高，若該抑制時脈產生器內之該鎖存器經清除，則該抑制時脈輸入信號為低；

將該讀取時脈信號及該經抑制寫入時脈信號接收至一時間延遲多工器上，該時間延遲多工器輸出一控制信號，該控制信號決定是為該第一記憶體存取作業定址該記憶體單元陣列還是為該第二記憶體存取作業定址該記憶體單元陣列。

14. 如請求項13之方法，其進一步包括：

自該時間延遲多工器輸出一預充電信號，該預充電信號在該第一記憶體存取作業期間具有一第一轉變，該預充電信號在該第二記憶體存取作業期間具有一第二轉變；

使用一單觸發電路以響應該預充電信號之該第一轉變產生一第一重設脈衝，該第一重設脈衝清除該讀取時脈產生器中之該鎖存器；及

使用該單觸發電路以響應該預充電信號之該第二轉變產生一第二重設脈衝，該第二重設脈衝清除該寫入時脈產生器中之該鎖存器。

15. 一種記憶體，其包括：

一記憶體單元陣列，其中該陣列中之每一記憶體單元

係一6-電晶體記憶體單元；

一第一埠，其包括複數個第一位址輸入引線及一時脈輸入引線，一第一時脈信號存在於該第一埠之該時脈輸入引線上，其中該第一時脈輸入信號於一第一低至高轉變處轉變為高，然後保持為高達一時間量，然後於一高至低轉變處轉變為低，然後保持為低達一時間量，且然後於一第二低至高轉變處轉變為高；

一第二埠，其包括複數個第二位址輸入引線及一時脈輸入引線，一第二時脈信號存在於該第二埠之該時脈輸入引線上；及

起始構件，其用於響應於該第一埠之該時脈輸入引線上之一第一時脈信號之該第一低至高轉變起始該陣列之一第一記憶體存取，其中該第一記憶體存取具有一持續時間，該持續時間大致不依賴於該第一時脈信號保持為高之該時間量，該構件亦用於：

於一第一情形中：若該構件在一第一時間週期期間偵測到該第二時脈信號之一低至高轉變，則大致在該第一記憶體存取完成之後立即起始該陣列之一第二記憶體存取，且

於一第二情形中：若該構件在一第二時間週期期間偵測到該第二時脈信號之該低至高轉變，則在該第一時脈信號之該第二低至高轉變之後起始該第二記憶體存取，其中該第一時間週期之一結束與該第二時間週期之一開始相合。

16. 如請求項15之記憶體，其中該第一時間週期大約與該第一時脈週期保持為高之該時間量相合。
17. 如請求項15之記憶體，其中於該第二情形中，該第一記憶體存取完成，然後發生一延遲，且然後該構件起始該第二記憶體存取。
18. 如請求項15之記憶體，其中該第一埠係一唯讀埠，且其中該第二埠係一唯寫埠。
19. 如請求項15之記憶體，其中該記憶體係一偽雙埠記憶體。
20. 如請求項15之記憶體，其中該第二記憶體存取包括一初始預充電週期及一隨後週期，在該隨後週期期間資訊被寫入至該陣列記憶體單元內。
21. 一種偽雙埠記憶體，其包括：
 - 一記憶體單元陣列，其中該陣列內之每一記憶體單元包括複數個電晶體；
 - 一第一埠，其包括複數個第一位址輸入引線及一時脈輸入引線，其中該第一埠之該時脈輸入引線上之一第一時脈輸入信號之一第一低至高轉變致使該複數個第一位址輸入引線上之一位址被鎖存至該偽雙埠記憶體內並起始該記憶體單元陣列之一第一記憶體存取；及
 - 一第二埠，其包括複數個第二位址輸入引線及一時脈輸入引線，其中：
 - 於一第一情形中：該第二埠之該時脈輸入引線上之一第二時脈輸入信號在一第一時間週期期間之一低至高轉變會致使該複數個第二位址輸入引線上之一位址

被鎖存至該偽雙埠記憶體內，且會致使在該第一記憶體存取完成之後且在該第一時脈輸入信號之一第二低至高轉變之前起始該記憶體單元陣列之一第二記憶體存取，且

於一第二情形中：該第二埠之該時脈輸入引線上之該第二時脈輸入信號在一第二時間週期期間之一低至高轉變會致使該記憶體單元陣列之該第二記憶體存取被延遲直至該第一時脈輸入信號之該第二低至高轉變之後，其中該第一時間週期之一結束與該第二時間週期之一開始相合。

22. 一種存取一偽雙埠記憶體之方法，其包括：

於一偽雙埠記憶體之一第一埠之一時脈信號輸入引線上接收一第一時脈信號，其中該第一時脈輸入信號於一第一低至高轉變處轉變為高，然後保持為高達一時間量，然後於一高至低轉變處轉變為低，然後保持為低達一時間量，且然後於一第二低至高轉變處轉變為高；

於該偽雙埠記憶體之一第二埠之一時脈信號輸入引線上接收一第二時脈信號；

響應於該第一時脈信號之該第一低至高轉變，實施一第一記憶體存取作業，該第一記憶體存取作業係在該第一時脈信號保持為高之該時間量期間起始，其中該第一記憶體存取作業係該偽雙埠記憶體之一記憶體單元陣列之存取，其中該等記憶體單元之每一者皆包括複數個電晶體，且其中該第一記憶體存取作業具有一持續時間，

該持續時間大致不依賴於該第一時脈信號保持為高之該時間量；及

響應於該第二時脈信號之一低至高轉變，實施一第二記憶體存取作業，其中該第二記憶體存取作業係該偽雙埠記憶體之該記憶體單元陣列之存取，其中若該第二時脈信號之該低至高轉變發生於一第一時間週期內，則該第二記憶體存取作業大致在該第一記憶體存取作業完成之後立即起始，且其中若該第二時脈信號之該低至高轉變發生於一第二時間週期內，則該第二記憶體存取作業不在該第一記憶體存取完成之後立即起始，反而係在該第一時脈信號之該第二低至高轉變之後起始，其中該第一時間週期之一結束與該第二時間週期之一開始相合。

98年6月6日修正替換頁

十一、圖式：

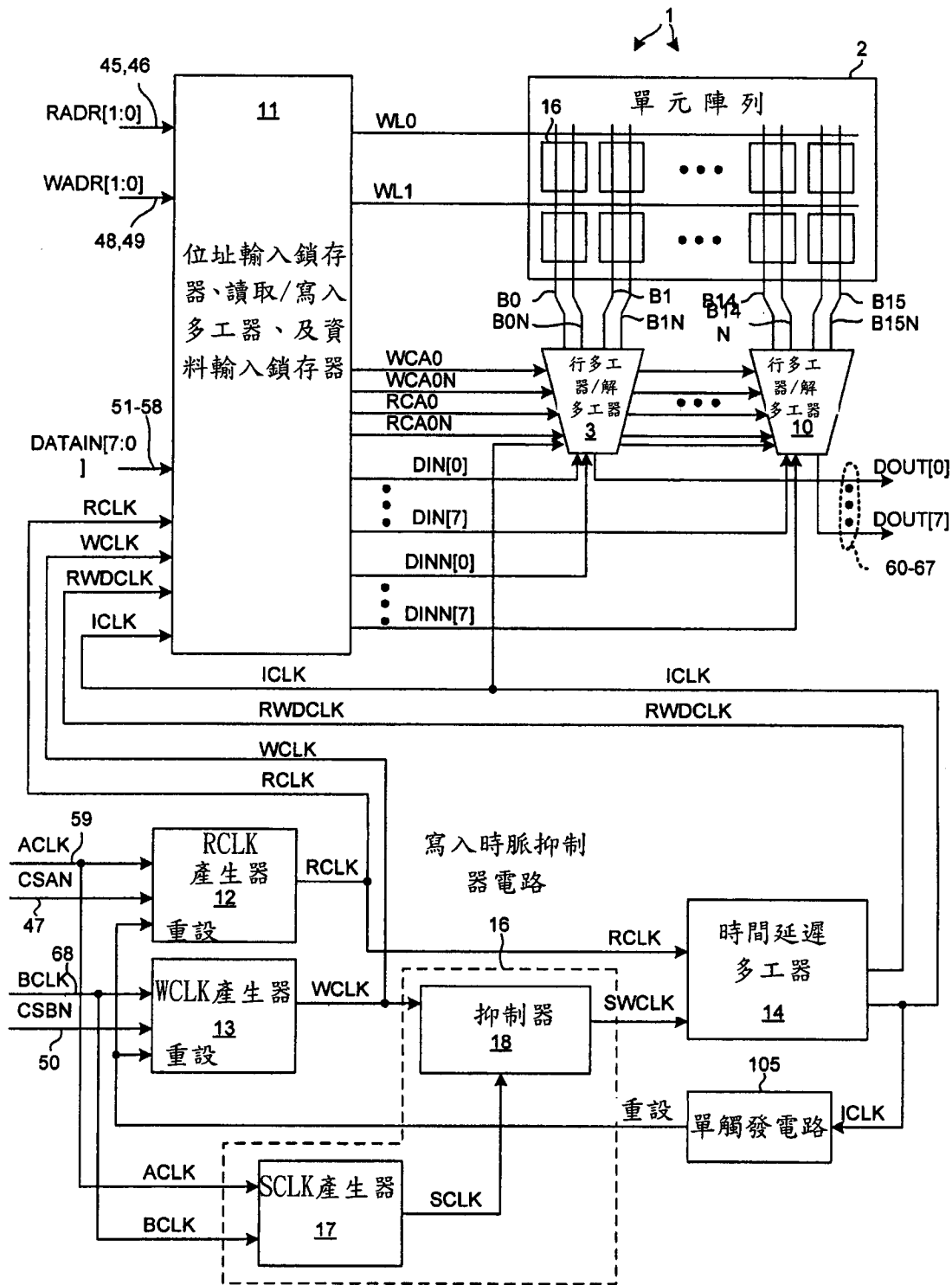
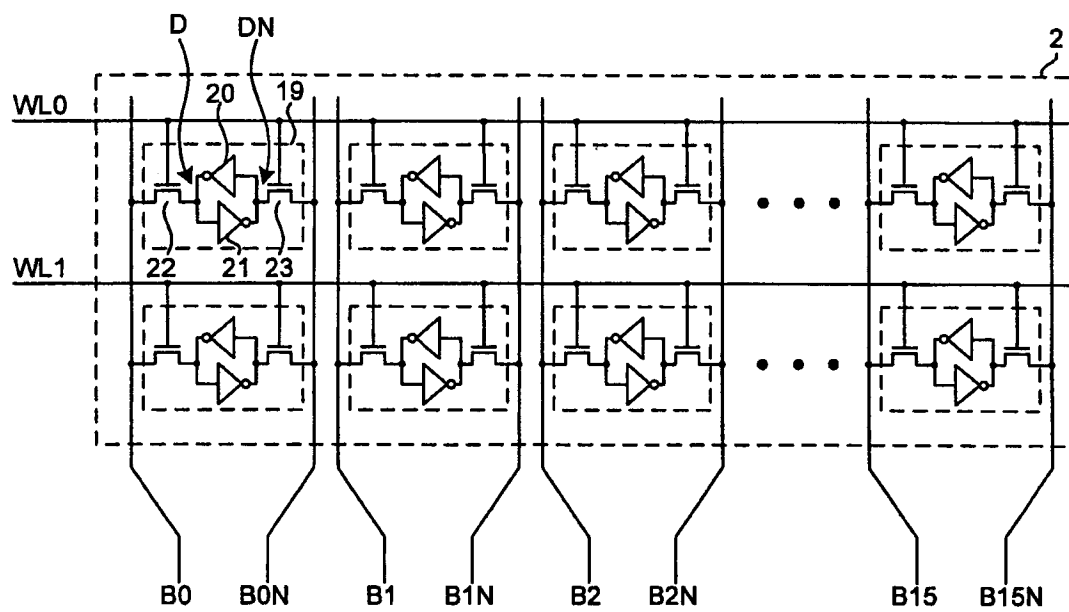
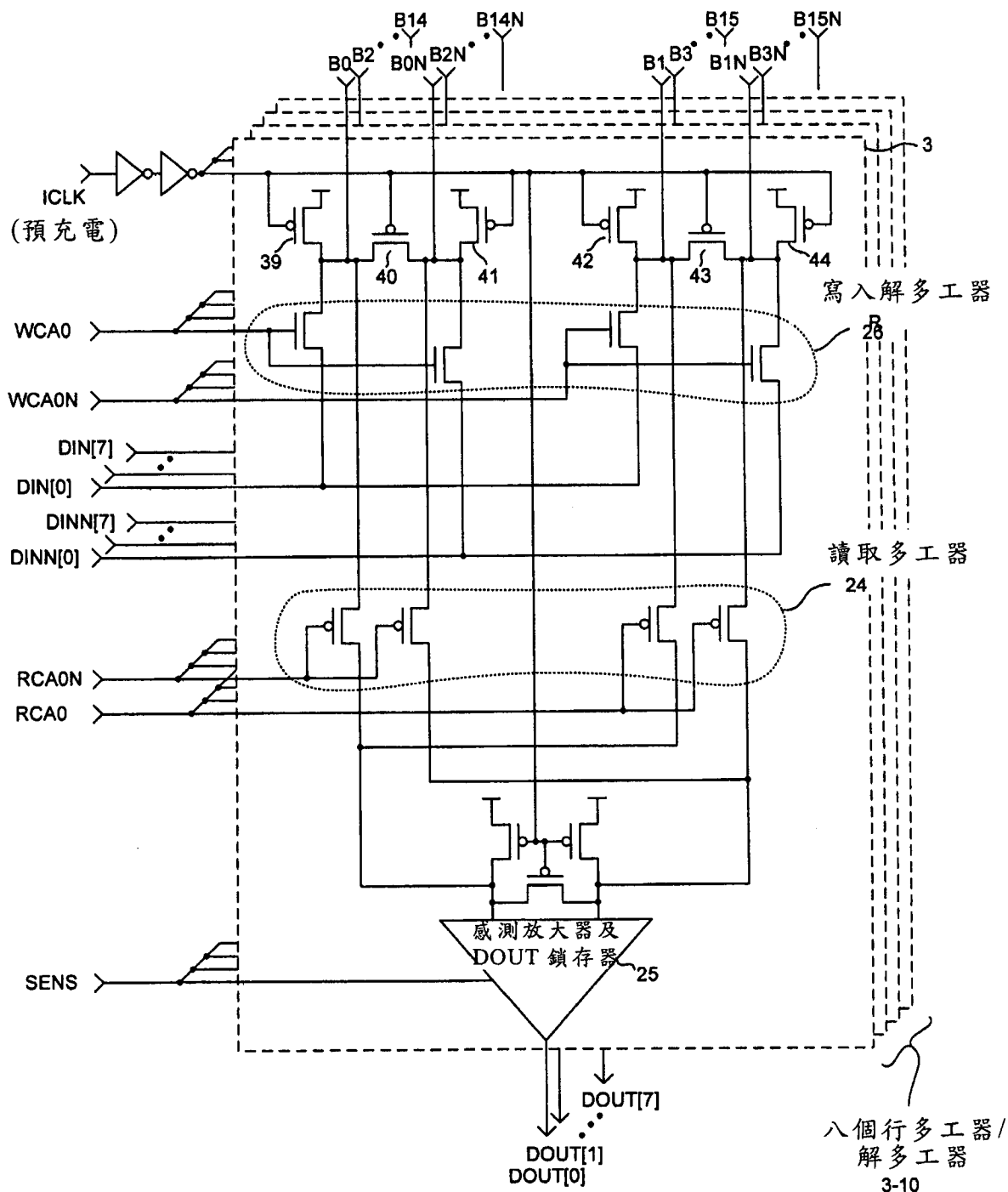


圖 1



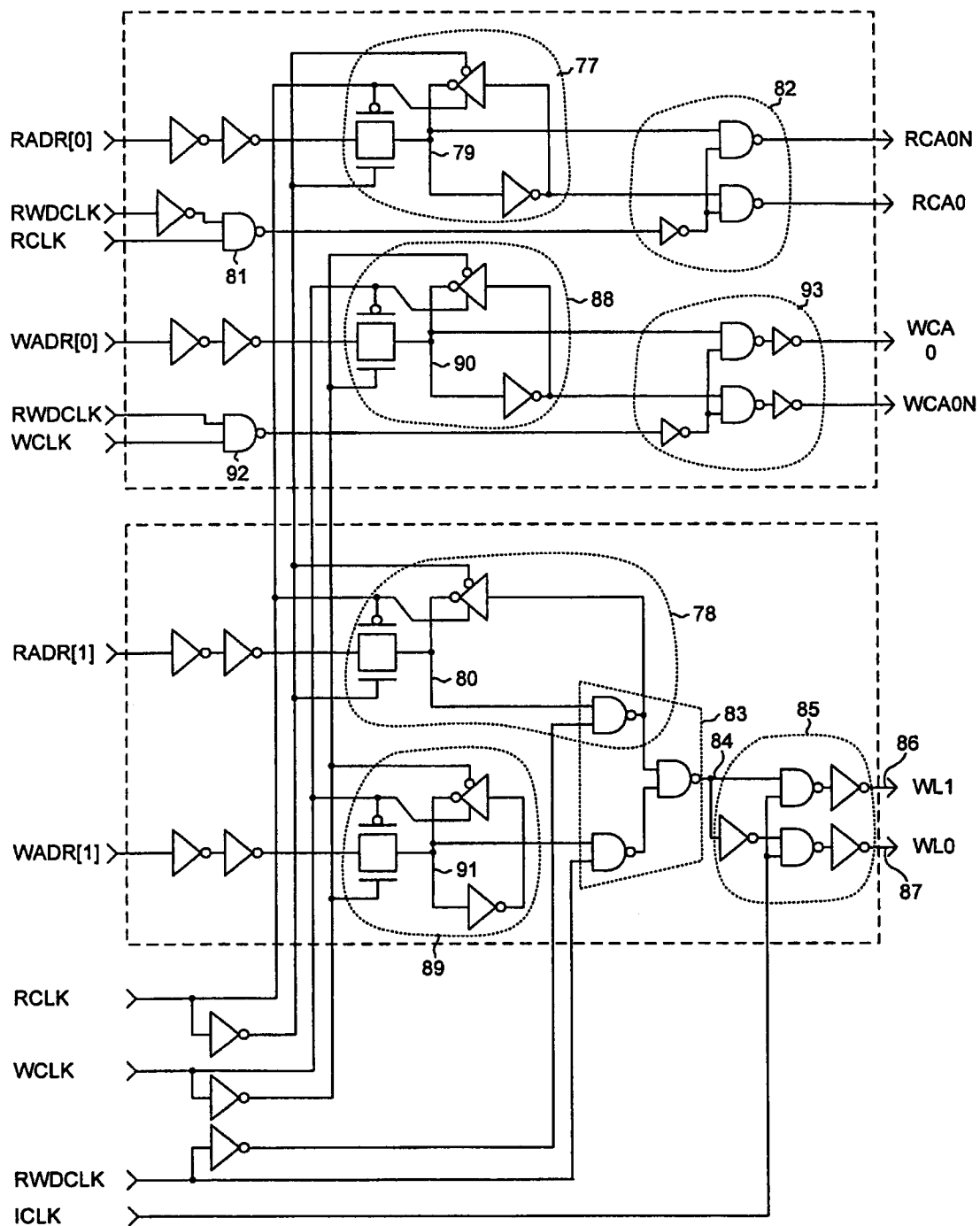
單元陣列

圖 2



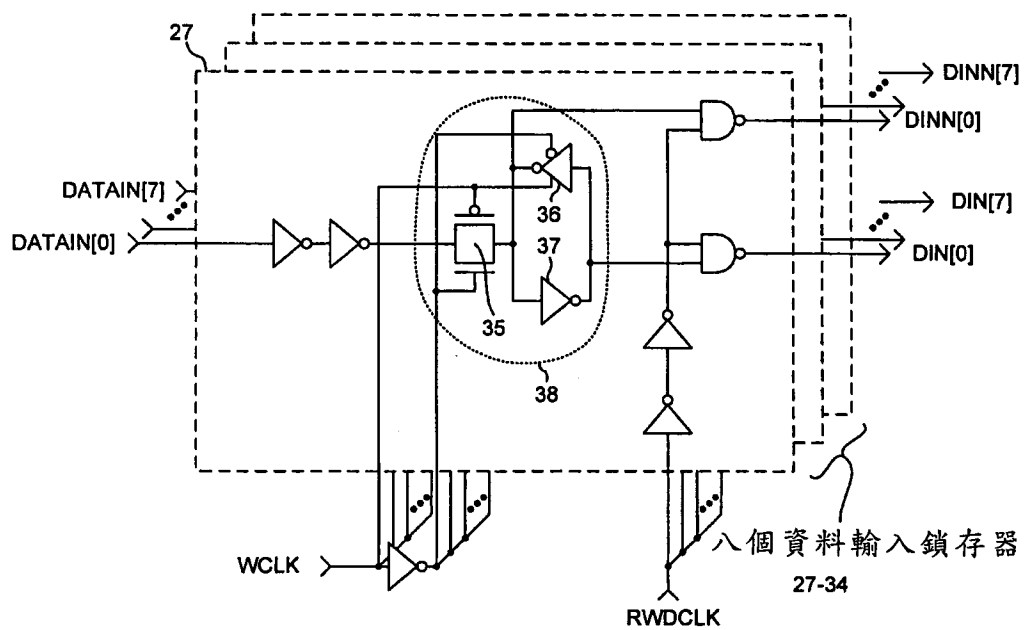
行多工器/解多工器

圖 3



位址輸入鎖存器及讀取/寫入多工器

圖 4



資料輸入鎖存器及 DIN 資料控制

圖 5

98年6月6日修正替換頁

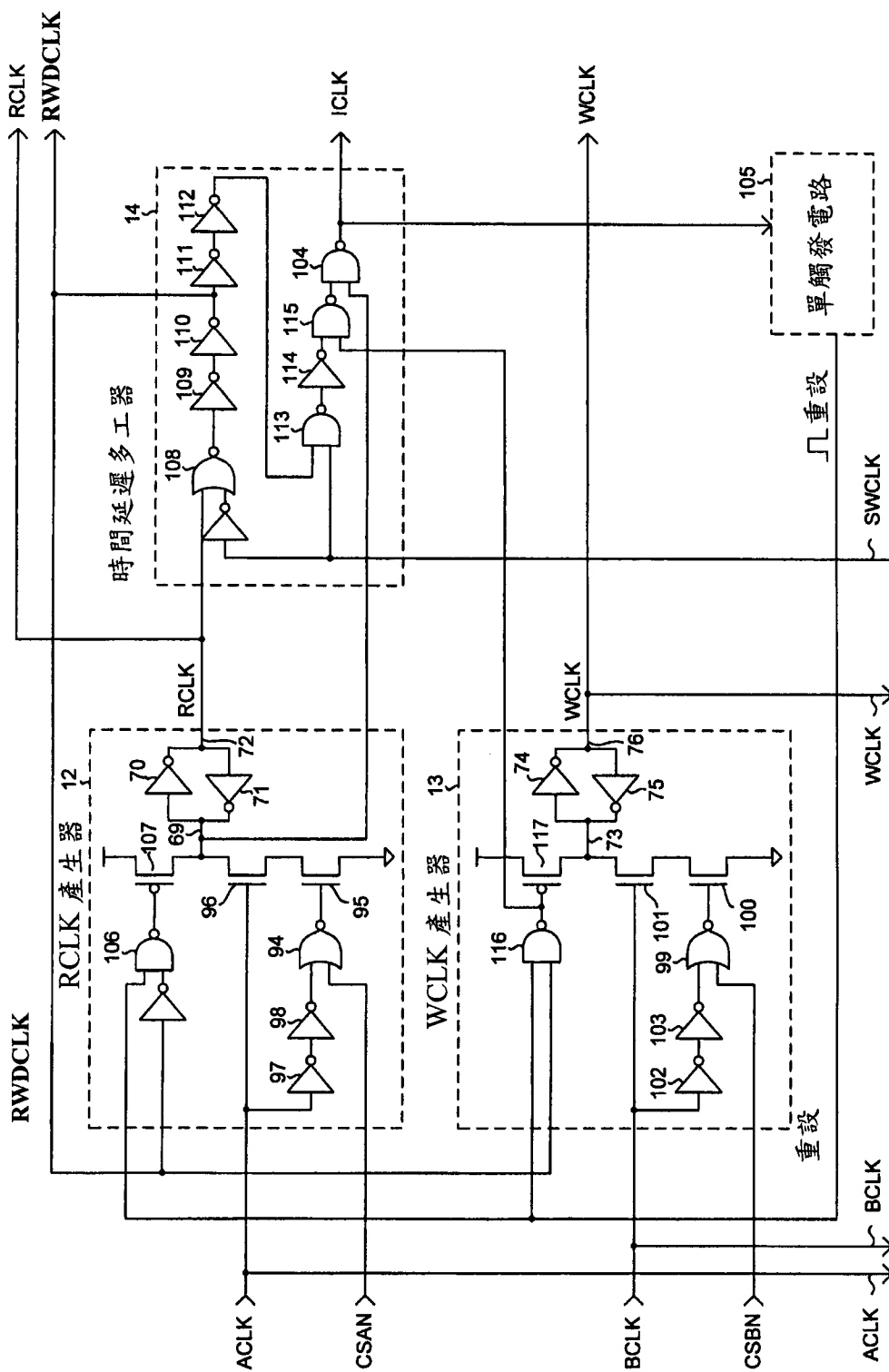


圖 6A

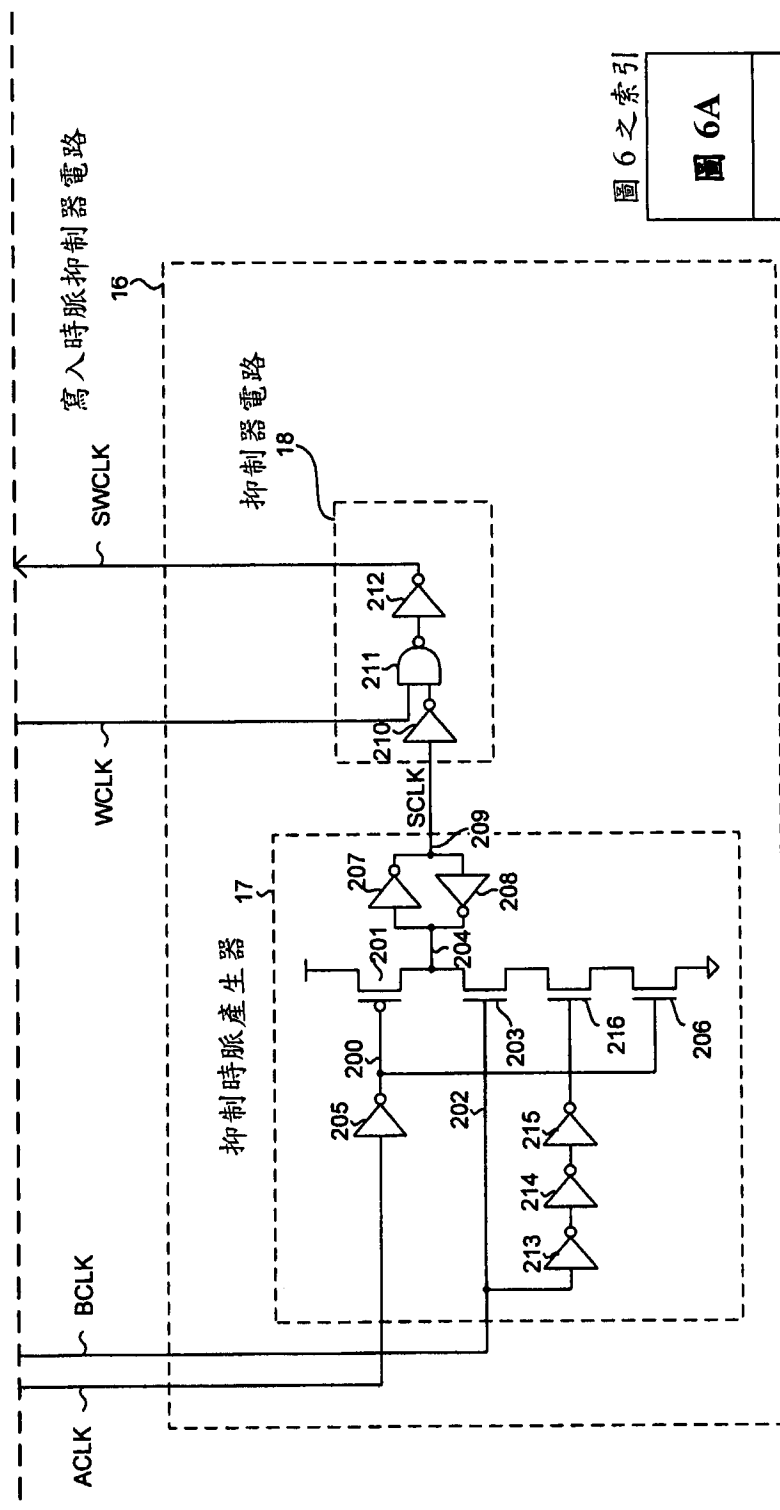


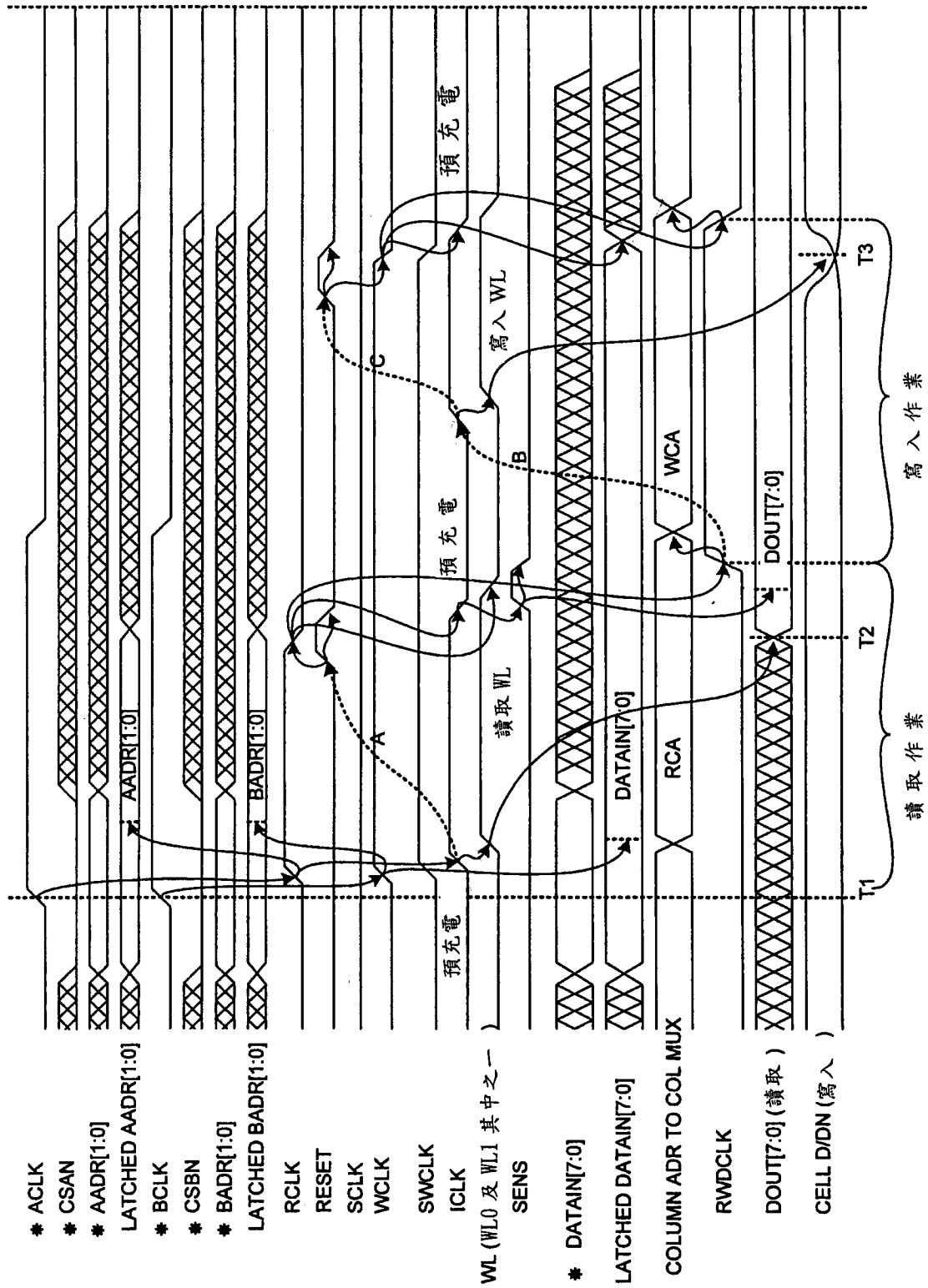
圖 6 之索引

圖 6A

圖 6B

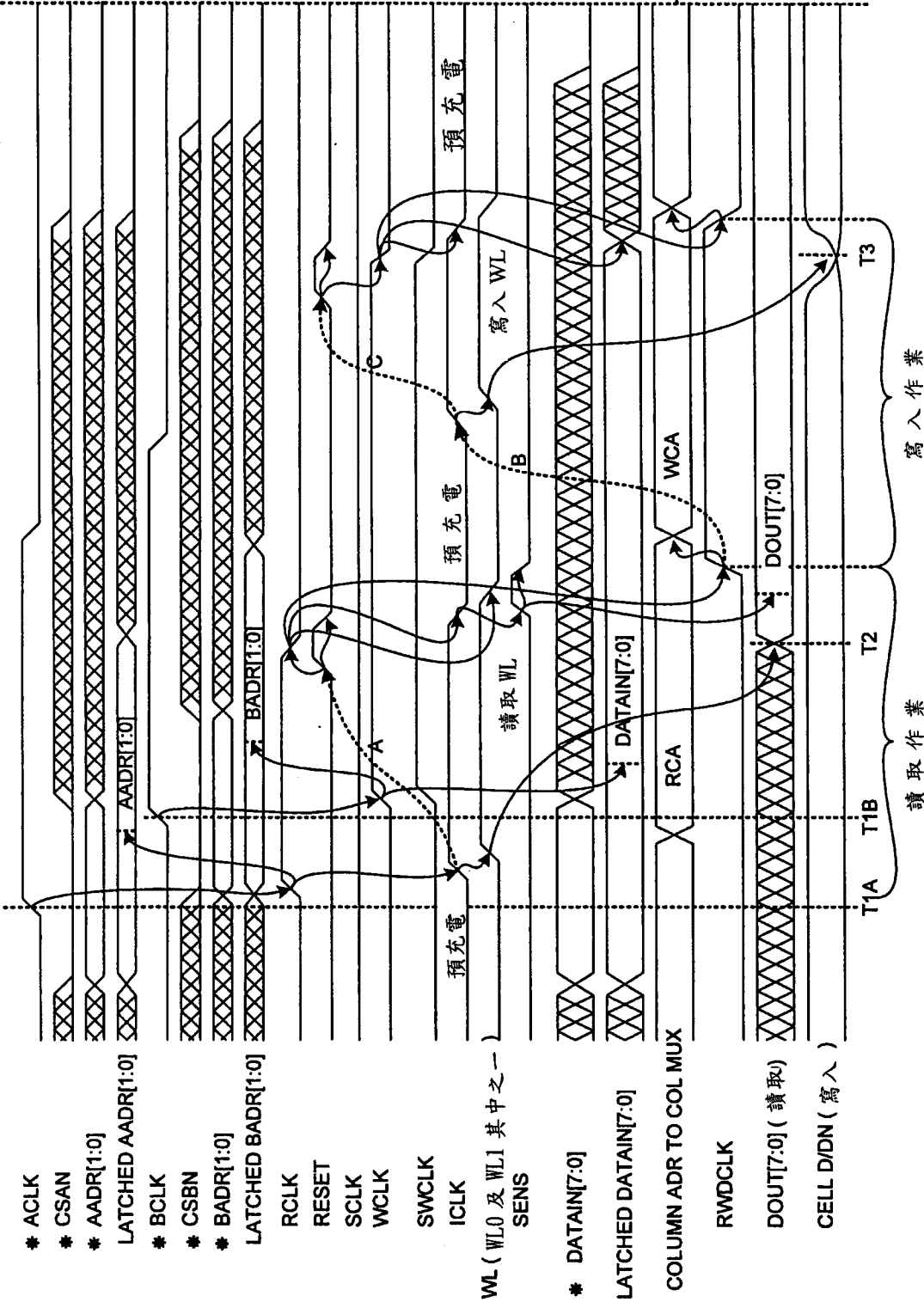
圖 6

圖 6B



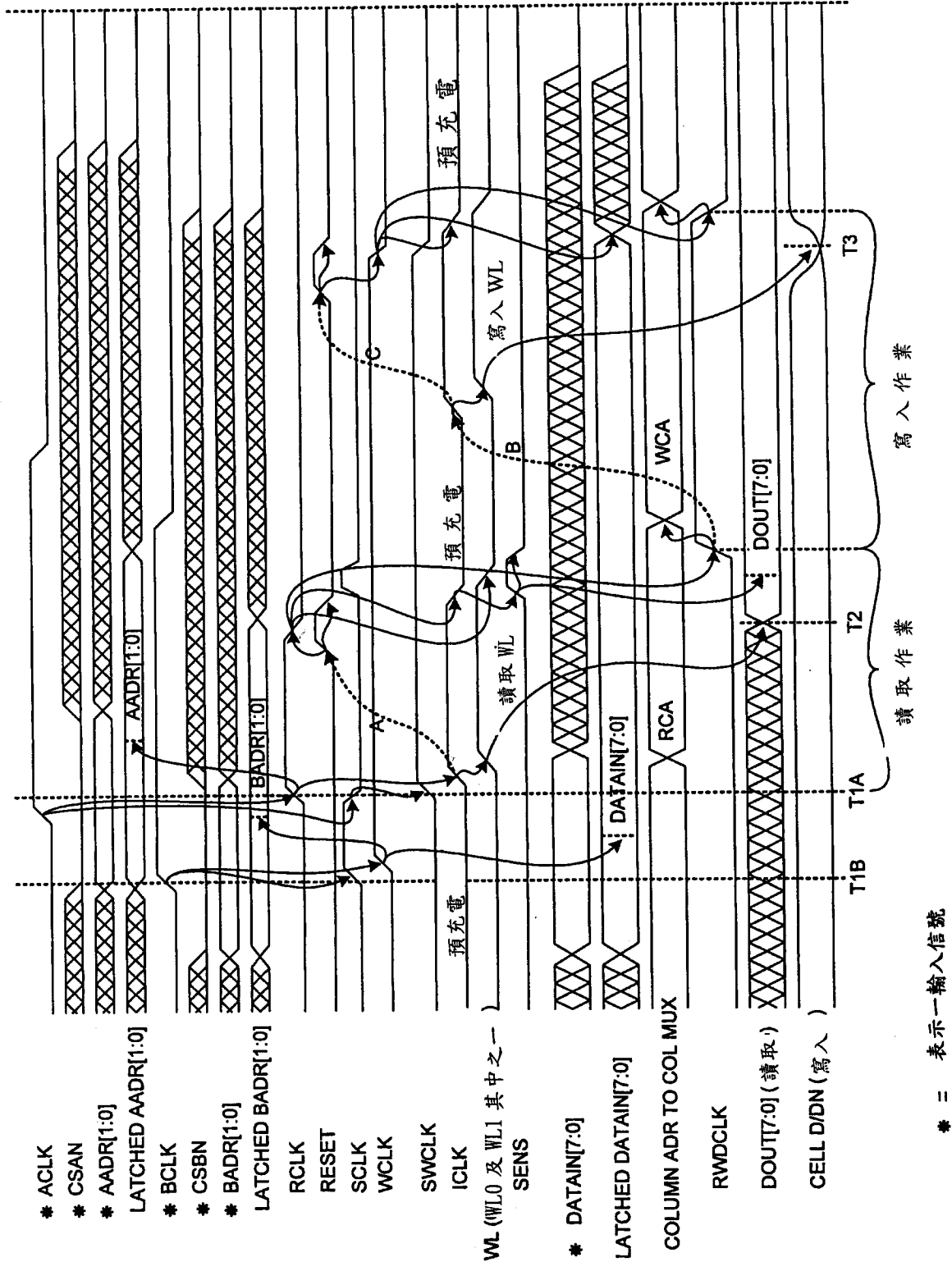
* = 表示一輸入信號

圖 7 (情形 #1)



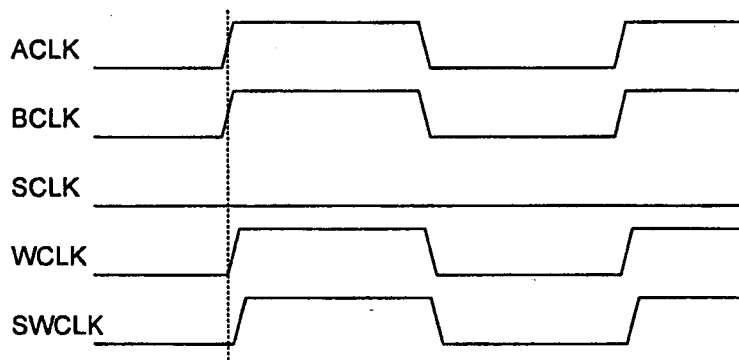
* 二表示一輸入信號

圖 8 (情形 #2)



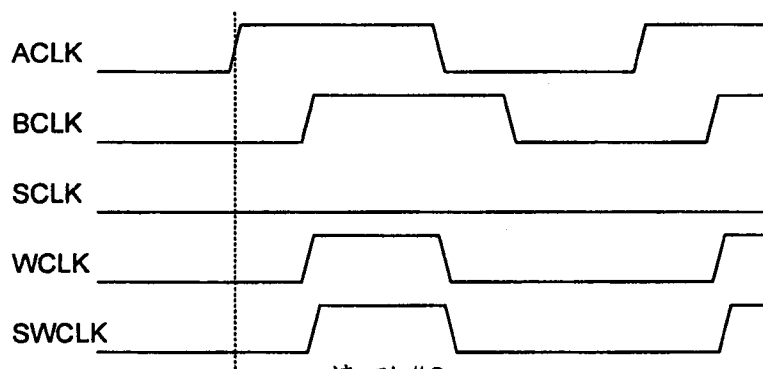
* = 表示一輸入信號

圖 9 (情形 #3)



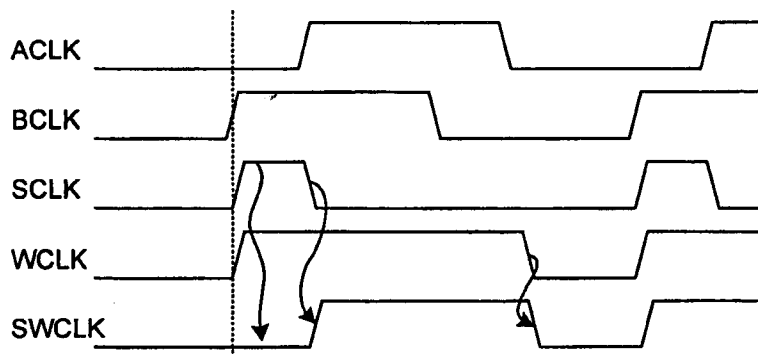
情形 #1
(ACLK 與 BCLK 同時)

圖 7A



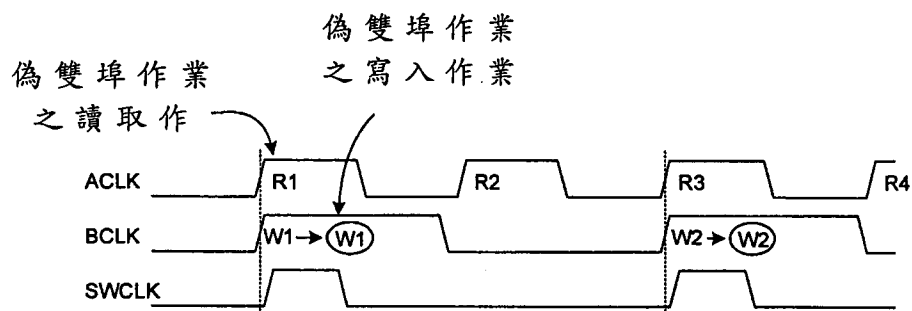
情形 #2
(ACLK 在 BCLK 之前)

圖 8A



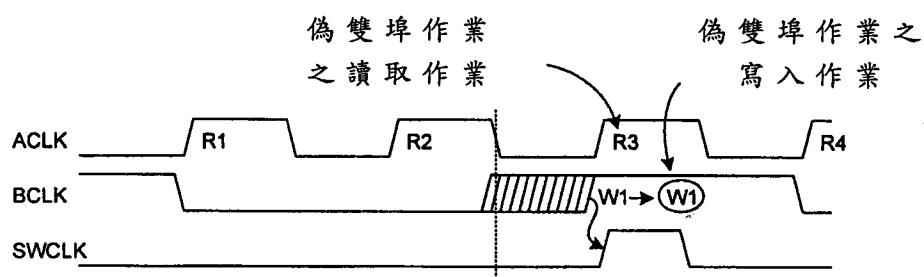
情形 #3
(BCLK 在 ACLK 之前)

圖 9A



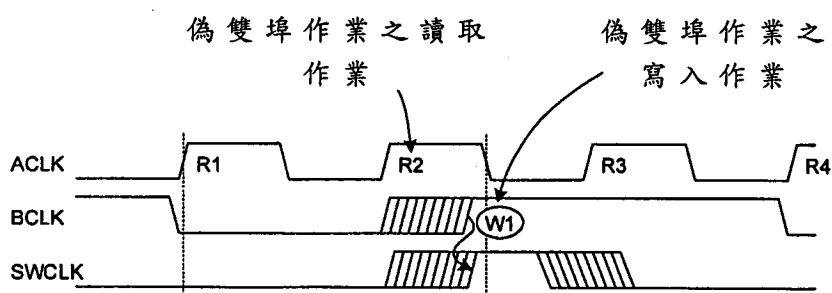
(ACLK 頻率比 BCLK 頻率高兩倍
且 BCLK 在 ACLK 上升的同時上升)

圖 10



(若 BCLK 上升緣比 ACLK 下降緣早少於三個開控延遲，則當 ACLK 為低時 SCLK 於 BCLK 上升緣處變為高-寫入作業 W1 被延遲直至下一個讀取作業 R3 之後)

圖 11



(若 BCLK 上升緣比 ACLK 下降緣提早多於三個開控延遲，則當 SCLK 保持為低且寫入作業 W1 將正好在前一個讀取作業 R2 之後開始)

圖 12