



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0052024
(43) 공개일자 2009년05월25일

(51) Int. Cl.

H01L 21/3213 (2006.01)

(21) 출원번호 10-2007-0118528

(22) 출원일자 2007년11월20일

심사청구일자 없음

(71) 출원인

삼성전기주식회사

경기도 수원시 영통구 매탄동 314

(72) 발명자

정현구

경기 용인시 기흥구 동백동 C2-1블럭 백현마을 서해그랑블아파트2607-2301

강석진

경기 수원시 장안구 정자3동 SK한화아파트 625-1804

이진호

경기 수원시 영통구 영통동 살구골7단지 현대아파트 729-102

(74) 대리인

리엔특허법인

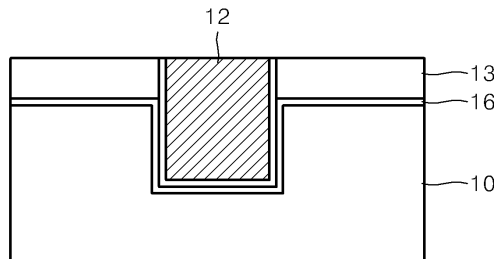
전체 청구항 수 : 총 10 항

(54) 절연층의 손상 없는 금속 패턴 형성 방법

(57) 요약

웨이퍼 상에 트렌치 구조로 금속 패턴을 형성할 때 평탄화 과정에서 웨이퍼와 금속 패턴 사이의 절연층이 파손되는 것을 방지할 수 있는 금속 패턴 형성 방법을 개시한다. 본 발명의 한 유형에 따른 금속 패턴 형성 방법은, 웨이퍼의 표면에 제 1 절연층을 형성하는 단계; 상기 웨이퍼의 표면 및 제 1 절연층을 선택적으로 에칭하여 다수의 트렌치를 형성하는 단계; 열산화법을 이용하여 상기 트렌치의 바닥 및 측벽에 제 2 절연층을 형성하는 단계; 상기 트렌치 내에 금속을 채우는 단계; 및 상기 트렌치 외부로 증착된 금속을 제거하여 평탄화하는 평탄화 단계;를 포함하는 것을 특징으로 한다.

대표도 - 도2e



특허청구의 범위

청구항 1

웨이퍼의 표면에 제 1 절연층을 형성하는 단계;

상기 웨이퍼의 표면 및 제 1 절연층을 선택적으로 에칭하여 다수의 트렌치를 형성하는 단계;

열산화법을 이용하여 상기 트렌치의 바닥 및 측벽에 제 2 절연층을 형성하는 단계;

상기 트렌치 내에 금속을 채우는 단계; 및

상기 트렌치 외부로 증착된 금속을 제거하여 평탄화하는 평탄화 단계;를 포함하는 것을 특징으로 하는 금속 패턴 형성 방법.

청구항 2

제 1 항에 있어서,

상기 제 1 절연층은 TEOS를 사용하여 균일한 두께로 형성되는 것을 특징으로 하는 금속 패턴 형성 방법.

청구항 3

제 1 항에 있어서,

상기 트렌치를 형성하는 단계는:

제 1 절연층 위에 포토레지스트를 도포하는 단계;

상기 포토레지스트를 패터닝하여 상기 트렌치가 형성될 위치의 포토레지스트를 제거하는 단계; 및

상기 포토레지스트를 마스크로 하여 제 1 절연층 및 웨이퍼를 각각 에칭하는 단계;를 포함하는 것을 특징으로 하는 금속 패턴 형성 방법.

청구항 4

제 1 항에 있어서,

상기 제 2 절연층은 1000℃ 내지 1200℃의 온도로 웨이퍼를 가열하여 상기 트렌치 내부를 산화시켜 형성되는 것을 특징으로 하는 금속 패턴 형성 방법.

청구항 5

제 4 항에 있어서,

상기 제 2 절연층은 상기 제 1 절연층의 외부 표면 및 상기 제 1 절연층과 웨이퍼 사이의 계면에도 형성되는 것을 특징으로 하는 금속 패턴 형성 방법.

청구항 6

제 5 항에 있어서,

상기 평탄화 단계는 제 1 절연층 위에 형성된 제 2 절연층이 제거될 때까지 수행되는 것을 특징으로 하는 금속 패턴 형성 방법.

청구항 7

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 제 1 및 제 2 절연층은 실리콘 산화막인 것을 특징으로 하는 금속 패턴 형성 방법.

청구항 8

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 금속은 구리(Cu)인 것을 특징으로 하는 금속 패턴 형성 방법.

청구항 9

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 웨이퍼는 실리콘 웨이퍼인 것을 특징으로 하는 금속 패턴 형성 방법.

청구항 10

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 웨이퍼는 SOI 웨이퍼인 것을 특징으로 하는 금속 패턴 형성 방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 절연층의 손상 없이 금속 패턴을 형성하는 방법에 관한 것으로, 보다 상세하게는, 웨이퍼 상에 트렌치(trench) 구조로 금속 패턴을 형성할 때 평탄화 과정에서 웨이퍼와 금속 패턴 사이의 절연층이 파손되는 것을 방지할 수 있는 금속 패턴 형성 방법에 관한 것이다.

배경기술

<2> 예컨대, 마이크로 액츄에이터 또는 마이크로 스캐너와 같은 MEMS(micro-electro-mechanical systems) 소자는 일반적으로 SOI(silicon-on-insulator) 웨이퍼의 상하부 실리콘 웨이퍼를 각각 패터닝하여 형성할 수 있다. 이 때 마이크로 액츄에이터 또는 마이크로 스캐너의 동작을 피드백 센싱(feedback sensing)하기 위하여 웨이퍼 상에 코일과 같은 미세한 금속 패턴을 형성할 필요가 있다.

<3> 이러한 금속 패턴은, 예컨대, 다마신(damascene) 공정을 이용하여 트렌치 구조로 형성하는 것이 일반적이다. 웨이퍼 상에 금속 패턴을 형성하기 위한 다마신 공정은 통상적으로, 웨이퍼의 상면을 에칭하여 트렌치를 형성한 후, 웨이퍼 표면과 트렌치 내부에 절연층을 형성하고, 트렌치 내에 금속을 채운 다음 돌출된 부분을 평탄화하는 과정을 포함한다. 여기서 절연층을 형성하는 방법에는 다양한 기술이 알려져 있다. 예컨대, 플라즈마 화학 기상 증착법(PECVD)를 이용하여 직접 SiO₂층을 증착할 수도 있으며, 웨이퍼 위에서 약 450℃의 온도로 SiH₄와 O₂를 반응시키거나, 또는 웨이퍼 위에서 약 900℃의 온도로 SiCl₂H₂와 N₂O를 반응시켜 형성할 수도 있다. 또 다른 방법으로, TEOS(tetraethyl orthosilicate; Si(C₂H₅O)₄) 가스를 이용하여 웨이퍼 상에 실리콘 산화막을 형성하는 방법도 알려져 있으며, 또는 실리콘 웨이퍼를 가열하여 열산화(thermal oxidation)시킴으로써 웨이퍼 표면에 SiO₂층을 형성하는 열산화 방법도 알려져 있다.

<4> 그 중에서 특히, 웨이퍼 표면과 트렌치 내부에 모두 균일한 두께의 절연층을 형성할 수 있고, 트렌치 내의 폭을 좁아지게 만들지 않는 열산화 방법이 많이 사용된다. 그러나 열산화 방법의 경우, 절연층의 증착 시간이 비교적 오래 걸리고, 절연층의 증착 과정에서 고열 및 절연층의 확산으로 인한 스트레스 등으로 인해 웨이퍼의 표면이 휘거나 굴곡이 생길 수 있다. 이로 인해, 금속 패턴을 형성한 후, 상기 금속 패턴을 평탄화하는 과정에서 절연층이 손상되는 일이 발생할 수 있다.

발명의 내용

해결하고자하는 과제

<5> 본 발명은 웨이퍼 상에 금속 패턴을 형성할 때 웨이퍼와 금속 패턴 사이의 절연층이 파손되는 것을 방지할 수 있는 금속 패턴 형성 방법을 제공한다.

과제 해결수단

<6> 본 발명의 예시적인 유형에 따른 금속 패턴 형성 방법은, 웨이퍼의 표면에 제 1 절연층을 형성하는 단계; 상기

웨이퍼의 표면 및 제 1 절연층을 선택적으로 에칭하여 다수의 트렌치를 형성하는 단계; 열산화법을 이용하여 상기 트렌치의 바닥 및 측벽에 제 2 절연층을 형성하는 단계; 상기 트렌치 내에 금속을 채우는 단계; 및 상기 트렌치 외부로 증착된 금속을 제거하여 평탄화하는 평탄화 단계;를 포함하는 것을 특징으로 한다.

- <7> 예컨대, 상기 제 1 절연층은 TEOS를 사용하여 균일한 두께로 형성될 수 있다.
- <8> 여기서, 상기 트렌치를 형성하는 단계는: 제 1 절연층 위에 포토레지스트를 도포하는 단계; 상기 포토레지스트를 패터닝하여 상기 트렌치가 형성될 위치의 포토레지스트를 제거하는 단계; 및 상기 포토레지스트를 마스크로 하여 제 1 절연층 및 웨이퍼를 각각 에칭하는 단계;를 포함할 수 있다.
- <9> 예컨대, 상기 제 2 절연층은 1000℃ 내지 1200℃의 온도로 웨이퍼를 가열하여 상기 트렌치 내부를 산화시켜 형성될 수도 있다.
- <10> 이 과정에서, 상기 제 2 절연층은 상기 제 1 절연층의 외부 표면 및 상기 제 1 절연층과 웨이퍼 사이의 계면에도 형성될 수 있다.
- <11> 본 발명에 따르면, 상기 평탄화 단계는 제 1 절연층 위에 형성된 제 2 절연층이 제거될 때까지 수행될 수 있다.
- <12> 예컨대, 상기 제 1 및 제 2 절연층은실리콘 산화막일 수 있다.
- <13> 또한, 상기 금속은 예컨대 구리(Cu)일 수 있다.
- <14> 또한, 상기 웨이퍼는 실리콘 웨이퍼일 수 있다.
- <15> 대신에, 상기 웨이퍼는 SOI 웨이퍼일 수도 있다.

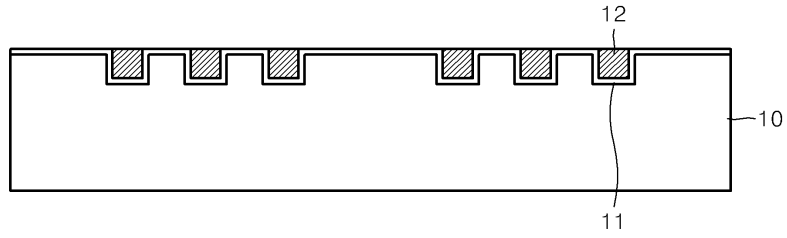
발명의 실시를 위한 구체적인 내용

- <16> 이하, 첨부된 도면들을 참조하여, 본 발명의 바람직한 실시예에 따른 금속 패턴 형성 방법에 대해 상세하게 설명한다.
- <17> 도 1은 웨이퍼(10) 상에 미세한 금속 패턴(12)이 형성되어 있는 모습을 나타내는 단면도이다. 위에서 볼 때 이러한 금속 패턴(12)은, 예컨대, 나선형으로 권선된 코일의 형태를 가질 수도 있으며, 또는 필요에 따라 다른 다양한 형태로 형성될 수 있다. 웨이퍼(10)는 통상적으로 실리콘 웨이퍼와 같은 저저항 웨이퍼를 사용할 수 있다. 또한, 비록 도시되지는 않았지만, 예컨대 MEMS 스캐너 또는 액츄에이터를 제조하고자 하는 경우에는, 상기 웨이퍼(10)는 절연층의 양쪽면에 각각 실리콘층이 형성되어 있는 SOI(silicon-on-insulator) 웨이퍼일 수도 있다. 이렇게 저항이 작은 웨이퍼(10) 상에 금속 패턴(12)을 형성할 경우, 웨이퍼(10)와 금속 패턴(12) 사이에 절연층(11)을 형성할 필요가 있다. 앞서 설명한 바와 같이, 절연층(11)을 형성하는 방법은 다양한 기술이 이미 알려져 있다. 그러나 웨이퍼(10)의 변형을 방지하면서 균일한 두께로 웨이퍼(10)와 금속 패턴(12) 사이에 절연층(11)을 형성할 수 있는 기술은 아직까지 개발되지 않고 있다.
- <18> 도 2a 내지 도 2e는 본 발명에 따라 웨이퍼 위에 손상 없이 균일한 두께로 절연층을 형성하고, 최종적으로 금속 패턴을 형성하는 방법을 예시적으로 보이기 위한 단면도이다.
- <19> 먼저, 도 2a를 참조하면, 웨이퍼(10) 위에 균일한 두께로 제 1 절연층(13)을 형성하고, 그 위에 포토레지스트(14)를 도포한다. 여기서, 제 1 절연층(13)은 예컨대 PECVD법과 같이 앞서 설명한 다양한 공지 기술에 따라 형성될 수도 있지만, 그 중에서 특히 TEOS(tetraethyl orthosilicate; $\text{Si}(\text{C}_2\text{H}_5\text{O})_4$) 가스를 웨이퍼(10) 위로 흘려 웨이퍼(10) 위에 실리콘 산화막을 형성하는 방법이 적당하다. 보다 구체적으로, 증착 챔버 내에서 TEOS 가스와 오존(O_3) 또는 산소(O_2) 가스를 약 450℃의 온도로 반응시킴으로써 웨이퍼(10) 위에 실리콘 산화막을 형성할 수 있다. TEOS를 이용하여 제 1 절연층(13)을 형성할 경우, 반응 온도가 비교적 낮기 때문에 웨이퍼(10)의 변형이 거의 발생하지 않는다. 특히, TEOS를 이용하여 형성된 실리콘 산화막은, 이미 공지된 바와 같이, 전체적인 두께를 매우 균일하게 제어할 수 있다는 장점이 있다. 이러한 방법으로 제 1 절연층(13)의 두께를 균일하게 함으로써, 이후에 설명할 금속 패턴 형성 후의 평탄화 과정에서 금속 패턴 및 제 1 절연층(13)이 부분적으로 손상되는 것을 막을 수 있다.
- <20> 한편, 상기 제 1 절연층(13) 위에 포토레지스트(14)를 도포한 후에는, 이후에 형성될 금속 패턴의 형태에 따라 상기 포토레지스트(14)를 패터닝한다. 도 2a에 도시된 바와 같이, 이러한 패터닝을 통해 트렌치(trench)(15)(도 2b 참조)가 형성될 위치의 포토레지스트(14)가 제거된다.

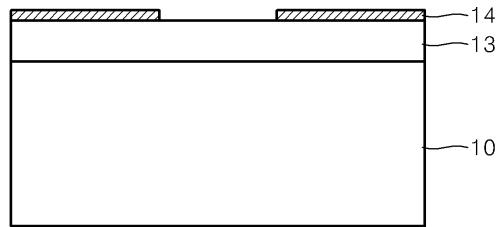
<33> 16.....제 2 절연층

도면

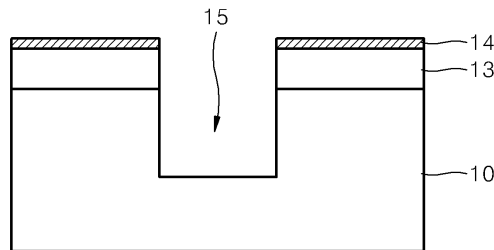
도면1



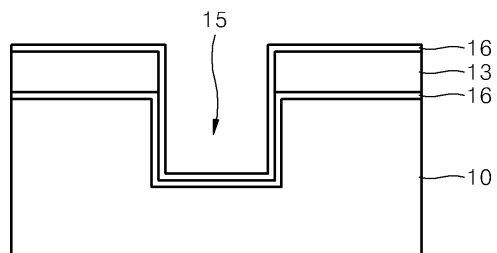
도면2a



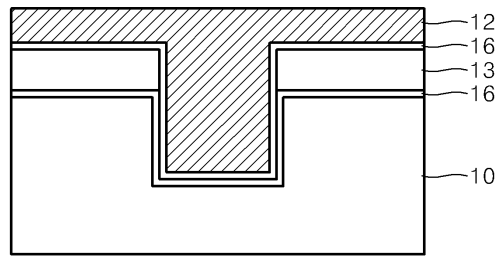
도면2b



도면2c



도면2d



도면2e

