



(12) 发明专利申请

(10) 申请公布号 CN 103608900 A

(43) 申请公布日 2014. 02. 26

(21) 申请号 201280028768. 9

(74) 专利代理机构 上海专利商标事务所有限公司 31100

(22) 申请日 2012. 05. 23

代理人 张欣

(30) 优先权数据

13/160, 973 2011. 06. 15 US

(51) Int. Cl.

H01L 21/301 (2006. 01)

(85) PCT国际申请进入国家阶段日

2013. 12. 11

(86) PCT国际申请的申请数据

PCT/US2012/039207 2012. 05. 23

(87) PCT国际申请的公布数据

W02012/173759 EN 2012. 12. 20

(71) 申请人 应用材料公司

地址 美国加利福尼亚州

(72) 发明人 M·R·亚拉曼希里 类维生

B·伊顿 S·辛格 A·库玛 B·吴

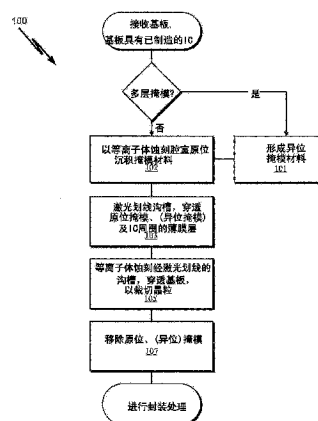
权利要求书2页 说明书12页 附图11页

(54) 发明名称

用于使用激光划线和等离子体蚀刻的器件裁切的原位沉积掩模层

(57) 摘要

藉由激光划线及等离子体蚀刻二者来分割基板的方法。一种方法包括下列步骤：利用等离子体蚀刻腔室，藉由累积一厚度的经等离子体沉积聚合物以形成原位掩模，以保护 IC 凸块表面不受后续等离子体蚀刻。可与经等离子体沉积聚合物一起应用第二掩模材料，诸如水溶性的掩模材料。以飞秒激光划线工艺图案化所述掩模的至少某些部分，以提供具有沟槽的经图案化掩模。图案化暴露出介于 IC 之间的基板区域，在所述区域中，所述基板受到等离子体蚀刻以裁切 IC，且水溶性的材料层被洗掉。



1. 一种分割基板的方法,所述基板包括多个 IC,所述方法包括:
将掩模形成于所述基板上,所述掩模覆盖并保护所述 IC;
以激光划线工艺图案化所述掩模厚度的至少一部分,以提供带有多个沟槽的经图案化掩模,暴露出介于所述 IC 之间的所述基板的区域;以及
通过所述经图案化掩模中的所述沟槽,等离子体蚀刻所述基板,以裁切所述 IC,其中形成该遮罩的步骤进一步包含下列步骤:将一聚合物等离子体沉积于该基板上。
2. 如权利要求 1 所述的方法,其中所述等离子体蚀刻的步骤进一步包括深沟槽蚀刻工艺,所述深沟槽蚀刻工艺包括多个连续的蚀刻及沉积循环,各沉积循环沉积附加量的所述聚合物。
3. 如权利要求 2 所述的方法,其中等离子体沉积所述掩模及等离子体蚀刻所述基板的步骤是由相同的等离子体腔室进行的。
4. 如权利要求 1 所述的方法,其中等离子体沉积所述掩模的步骤进一步包括下列步骤:在所述 IC 上的铜凸块的顶表面上建立所述聚合物的层。
5. 如权利要求 4 所述的方法,其中等离子体沉积所述聚合物层的步骤进一步包括下列步骤:将所述基板暴露于来源气体的等离子体,所述来源气体包括 C_4F_8 、 C_4F_6 及 CH_2F_2 中的至少一个。
6. 如权利要求 5 所述的方法,其中等离子体沉积所述聚合物层的步骤进一步包括下列步骤:沉积所述聚合物层达至少 1 微米的厚度。
7. 如权利要求 1 所述的方法,其中形成所述掩模的步骤进一步包括下列步骤:在等离子体沉积所述聚合物层之前或之后施加第二掩模材料层,其中以激光划线工艺图案化所述掩模的至少一部分的步骤进一步包括下列步骤:剥蚀所述第二掩模材料以形成所述沟槽。
8. 如权利要求 7 所述之方法,其中所述第二掩模材料层是水溶性的聚合物,且其中蚀刻所述基板的步骤包括下列步骤:以蚀刻工艺蚀刻所述等沟槽,在所述蚀刻工艺期间所述水溶性的聚合物掩模材料层维持在 100°C 以下。
9. 如权利要求 8 所述的方法,其中形成第二掩模材料的步骤进一步包括:形成聚(乙烯醇)、聚(丙烯酸)、聚(甲基丙烯酸)、聚(丙烯酰胺)或聚(氧化乙烯)中之至少一者接触所述 IC 的钝化层的所述顶表面。
10. 如权利要求 8 所述的方法,其中藉由在等离子体沉积所述聚合物层之前旋转涂布所述第二掩模材料以形成所述第二掩模材料层,所述第二掩模材料层的所述旋转涂布步骤在所述 IC 上的铜凸块的顶表面留下掩模厚度,所述掩模厚度不足以在整个所述等离子体蚀刻步骤期间保护所述凸块。
11. 如权利要求 10 所述的方法,其中以激光划线工艺图案化所述掩模的至少一部分的步骤包括下列步骤:将沟槽剥蚀进入所述第二掩模材料内,且其中在将所述沟槽剥蚀进入所述第二掩模材料内的步骤后进行所述聚合物层的所述等离子体沉积步骤。
12. 如权利要求 11 所述的方法,其中所述等离子体蚀刻步骤进一步包括穿透蚀刻,所述穿透蚀刻足以清除在剥蚀进入所述第二掩模材料内的所述沟槽内所形成的经等离子体沉积的聚合物层,所述穿透蚀刻不足以清除在所述沟槽外所形成的经等离子体沉积的聚合物层。
13. 如权利要求 8 所述的方法,其中在等离子体沉积所述聚合物层之后接续藉由旋转

涂布所述第二掩模材料来形成所述第二掩模材料层,所述第二掩模材料层的所述旋转涂布提供位于 IC 上的铜凸块的顶表面上的第二掩模材料层厚度,在缺乏所述经等离子体沉积的聚合物层的情况下,所述第二掩模材料层厚度不足以在整个所述等离子体蚀刻步骤期间保护下方的经沉积聚合物层。

14. 一种用以分割半导体基板的系统,所述半导体基板包括多个 IC,所述系统包括:

激光划线模块,所述激光划线模块用以图案化掩模并暴露出介于所述 IC 之间的所述基板的区域,所述掩模包括水溶性材料层;

等离子体蚀刻模块,所述等离子体蚀刻模块物理性耦接所述激光划线模块,所述等离子体蚀刻模块用以于所述基板上等离子体沉积聚合物掩模,并用以藉由等离子体蚀刻所述基板来裁切所述 IC;以及

机器人臂移送腔室,用以在所述激光划线模块与所述等离子体蚀刻模块之间移送经激光划线基板。

15. 如权利要求 14 所述的系统,其中所述激光划线模块包括飞秒激光,所述飞秒激光具有小于或等于 540 纳米的波长,以及小于或等于 400 飞秒的脉冲宽度。

用于使用激光划线和等离子体蚀刻的器件裁切的原位沉积掩模层

技术领域

[0001] 本发明的实施例关于半导体处理的领域,特别地,关于供分割(dicing)基板所用的遮蔽方法,各基板上具有集成电路(IC)。

[0002] 相关背景技术的描述

[0003] 在半导体基板处理中,在典型由硅或其他半导体材料组成的基板(也被称作品圆)上形成IC。通常,利用半导体、导电或绝缘的不同材料薄膜层来形成IC。可使用各种熟知工艺来掺杂、沉积及蚀刻所述材料,以在相同的基板上同步形成多个平行的IC,如存储器件、逻辑器件、光伏器件等。

[0004] 在器件形成工艺之后,将基板安置在支撑构件(如跨越膜框架而展开的粘着膜)上,并“分割(dice)”基板以将每一个别的器件或“晶粒(die)”彼此分离,以进行封装等工艺。目前,最普及的两种分割技术为划线和锯切(sawing)。就划线而言,沿着预形成的划割线越过基板表面移动钻石尖头划线器。在诸如以滚轴施加压力之后,基板沿着所述划割线分开。就锯切而言,钻石尖头锯沿着切割道(street)切割基板。就薄基板裁切而言,诸如50至150微米(μm)厚的主体硅裁切,常规的方式仅能产生不佳的工艺品质。自薄基板裁切晶粒时可能会面对的某些挑战可包括:在不同层之间形成微裂或分层、切削无机介电层、保持严格的锯口宽度控制或精确的剥蚀深度控制。

[0005] 尽管也曾考虑过等离子体分割,但用于图案化光阻的标准光刻操作可能使实施成本过高。可能阻碍实施等离子体分割的另一局限为,在沿切割道分割时的常见金属(如,铜)的等离子体处理可造成生产问题或产量限制。最后,等离子体分割工艺的遮蔽也可能有问题,尤其是取决于基板的厚度及顶表面的表面形貌、等离子体蚀刻的选择性及存在于基板的顶表面上的材料等问题。

发明内容

[0006] 本发明的实施例包括遮蔽半导体基板的方法,用于包括激光划线及等离子体蚀刻二者的混合式分割工艺。

[0007] 在一实施例中,一种分割具有多个IC的半导体基板的方法包括下列步骤:于半导体基板上形成掩模,所述掩模包括覆盖并保护IC的经等离子体沉积材料。以激光划线工艺将切割道中的至少一部分掩模厚度图案化,以提供具间隙或沟槽的经图案化掩模,暴露出介于IC之间的基板区域。接着透过经图案化掩模中的间隙等离子体蚀刻所述基板,以裁切IC成为晶片。

[0008] 在另一实施例中,一种用以分割半导体基板的系统包括飞秒激光(Femtosecond laser)及等离子体蚀刻腔室,飞秒激光及等离子体蚀刻腔室耦接相同的平台。可将所述等离子体蚀刻腔室利用于基板的等离子体蚀刻及用于聚合物遮蔽材料的原位沉积二者。

[0009] 在另一实施例中,一种分割具有多个IC的基板的方法包括下列步骤:形成水溶性的掩模层于硅基板的前侧上。所述水溶性的掩模层覆盖并保护设置于基板前侧上的多数

IC 表面。所述 IC 包括铜凸块化的顶表面,所述顶表面具有凸块,所述凸块被诸如聚亚酰胺 (polyimide ;PI) 的钝化层所围绕。所述凸块及钝化层下的次表面薄膜 (subsurface thin film) 包括低- κ 层间电介质 (interlayer dielectric ;ILD) 层及铜互连层。以飞秒激光划线工艺将所述水溶性的材料、钝化层及次表面薄膜图案化,以暴露出介于 IC 之间的硅基板区域。在以进行基板蚀刻的蚀刻腔室进行原位等离子体蚀刻之前,利用经等离子体沉积的聚合物遮罩材料来增加水可溶解的材料之厚度。以深硅等离子体蚀刻工艺蚀穿硅基板,以裁切 IC。接着在水中或在适于移除蚀刻聚合物残留物的其他溶剂中,洗掉所述水溶性层及原位沉积的聚合物掩模材料。

[0010] 附图简要说明

[0011] 本发明的实施例以示例而非限制的方式例示于附图中,其中:

[0012] 图 1A 为根据本发明的实施例,以经等离子体沉积的掩模材料进行的混合式激光剥蚀-等离子体蚀刻裁切方法的流程图,其中经等离子体沉积的掩模材料是在激光划线之前形成的;

[0013] 图 1B 为根据本发明的实施例,以经等离子体沉积的掩模材料进行的混合式激光剥蚀-等离子体蚀刻裁切方法的流程图,其中经等离子体沉积的掩模材料是在激光划线之后形成的;

[0014] 图 1C 为根据本发明的实施例,以经等离子体沉积的掩模材料进行的混合式激光剥蚀-等离子体蚀刻裁切方法的流程图,其中经等离子体沉积的掩模材料是动态地伴随着基板的蚀刻而形成的;

[0015] 图 2 为根据本发明的实施例,施加水溶性的掩模层作为异位掩模的方法的流程图;

[0016] 图 3 为根据本发明的实施例,施加水溶性的掩模层至基板的方法的流程图,所述基板将在晶圆薄化之前被切割;

[0017] 图 4A 例示根据本发明的实施例,对应图 1A 所例示的分割方法的操作 102 的半导体基板的剖面图,所述半导体基板包括多个 IC;

[0018] 图 4B 例示根据本发明的实施例,对应图 1A 所例示的分割方法的操作 103 的半导体基板的剖面图,所述半导体基板包括多个 IC;

[0019] 图 4C 例示根据本发明的实施例,对应图 1A 所例示的分割方法的操作 105 的半导体基板的剖面图,所述半导体基板包括多个 IC;

[0020] 图 4D 例示根据本发明的实施例,对应图 1A 所例示的分割方法的操作 107 的半导体基板的剖面图,所述半导体基板包括多个 IC;

[0021] 图 5A 例示根据本发明的数个实施例,在激光划线之前施加于水溶性的掩模上的经等离子体沉积聚合物掩模的剖面图;

[0022] 图 5B 例示根据本发明的数个实施例,在激光划线之后施加于水溶性的掩模上的经等离子体沉积聚合物掩模的剖面图;

[0023] 图 6 例示根据本发明的实施例,用于激光及等离子体分割基板的整合平台布局的方块图,所述整合平台布局具有整合的湿润站用于掩模移除;以及

[0024] 图 7 例示根据本发明的实施例,示例性计算机系统的方块图,所述示例性计算机系统控制本文所述的遮蔽、激光划线、等离子体分割方法中的一个或多个的操作的自动的

性能。

[0025] 详细说明

[0026] 现在描述分割基板的方法,各基板上具有多个 IC。在以下的描述中,为了描述本发明的示例性实施例,提出了诸多特定细节,诸如飞秒激光划线及深硅等离子体蚀刻条件。然而,对于本领域技术人员而言明显的是,在没有所述特定细节时,也能实施本发明的实施例。在其他示例中,未详细描述已知的方面,如 IC 制造、基板薄化、卷粘 (taping) 等,以避免对本发明的实施例造成不必要的混淆。在本说明书中提及“实施例 (an embodiment)”时表示参照所述实施例所述的特定的特征、结构、材料或特性被包括在本发明的至少一个实施例中。因此,在本说明书的各处中出现词语“在实施例中”时,并不必然参照到本发明的相同实施例。进一步,可在一个或多个的实施例中以任何适当的方式结合特定的特征、结构、材料或特性。并且,应理解到附图中所显示的多个示例性实施例仅为了说明而呈现,并不一定依照比例绘制。

[0027] 术语“耦接 (coupled)”与“连接 (connected)”和所述术语的衍生词可在本文中用来描述组件间的结构关系。应理解所述术语彼此非同义词。更确切而言,在特定实施例中,“连接”可用以指示两个或两个以上器件彼此为直接物理接触或电气接触。“耦接”可用以指示两个或两个以上器件彼此为直接或间接 (二者间有其他插入器件) 物理或电气接触,及 / 或两个或两个以上器件为互相合作或相互作用 (例如,呈因果关系)。

[0028] 本文使用的术语“之上 (over)”、“之下 (under)”、“之间 (between)”与“上 (on)”表示一个材料层相对于其他材料层的相对位置。因此,例如,设置在另一层之上或之下的一个层可以直接地接触其他层或可以具有一个或多个中间层。再者,设置在两个层之间的一个层可以直接地接触所述两个层或可以具有一个或多个中间层。相对地,位在第二层“上”的第一层是和所述第二层相接触的。此外,一个层相对于其他层的相对位置是在假设相对于基板来执行操作的前提下所给出的,而不需考量基板的绝对方位。

[0029] 通常,本文所描述的是混合式基板或基板分割工艺,基板分割工艺涉及初始激光划线及用于晶粒裁切的后续等离子体蚀刻,所述基板分割工艺以蚀刻掩模实施,所述蚀刻掩模包括经等离子体沉积的材料层。就掩模层的等离子体沉积及用于裁切的基板的等离子体蚀刻由相同的等离子体腔室执行或发生于相同的等离子体腔室中的某些实施例而言,掩模层的等离子体沉积在本文中称为“原位 (in-situ)”,而非由等离子体蚀刻腔室形成的掩模材料则称为“异位 (ex-situ)”。激光划线工艺可被用来干净地移除至少部份厚度的未图案化 (即,披覆 (blanket)) 掩模层、钝化层及次表面薄膜器件层。接着可在基板的暴露或部份剥蚀之时终止激光蚀刻工艺。接着可利用混合式分割工艺的等离子体蚀刻部分来蚀刻穿透基板的主体,例如穿透主体单晶硅,以进行晶片的裁切或分割。

[0030] 根据本发明的实施例,飞秒激光划线及等离子体蚀刻的结合可用来将半导体基板分割为个别的或经裁切的 IC。在一个实施例中,飞秒激光划线为实质上 (若非完全是的话) 不平衡的工艺 (non-equilibrium process)。举例而言,基于飞秒的 (femtosecond-based) 激光划线的定位处可伴随着可忽略的热破坏区。在实施例中,激光划线可用来裁切具有超低 κ 膜 (即,具有低于 3.0 的介电常数) 的 IC。在一个实施例中,以激光直写可免除光刻图案化操作,容许非光敏性的遮蔽材料,且实施基于等离子体蚀刻的分割处理仅需非常低的成本来划分基板。在一个实施例中,可于等离子体蚀刻腔室中使用直通硅穿孔 (through

silicon via;TSV)-型蚀刻来完成分割工艺;TSV-型蚀刻将与等离子体沉积在IC的顶侧上的实质上相同的材料沉积于沟槽的侧壁上,以作为蚀刻掩模。

[0031] 图 1A 为例示根据本发明的实施例,以经等离子体沉积掩模材料进行混合式激光剥蚀-等离子体蚀刻裁切方法的流程图,所述经等离子体沉积掩模材料在激光划线之前形成。图 4A 至 4D 例示根据本发明的实施例,对应方法 100 中的操作的基板 406 的剖面图,基板 406 包括第一及第二 IC425、426。

[0032] 方法 100 开始于接收基板,基板具有 IC 形成于该基板上。请参见图 4A,基板 406 可由适于承受形成于该基板上的薄膜器件层的制造工艺的任何材料所组成。举例而言,在一个实施例中,基板 406 为 IV 族材料,例如,但不限于,单晶硅、锗或硅/锗。在另一实施例中,基板 406 为 III-V 族材料,如,在发光二极管(LED)制造中所使用的 III-V 族材料基板。在器件制造期间,基板 406 典型为 600 μm 至 800 μm 厚,但如图 4A 所示,将基板 406 薄化成 50 μm 至 100 μm ,并现由载体 411 支撑薄化后的基板,载体 411 可以是,例如,支撑带(backing tape)410,支撑带 410 伸展跨越框架(未例示)并藉由晶粒附着膜(die attach film;DAF)408 粘附至基板的背侧。

[0033] 在数个实施例中,第一及第二 IC425、426 包括在硅基板 406 中制造且包装于介电堆迭中的存储器件或互补金氧半导体(complimentary metal-oxide-semiconductor;CMOS)晶体管。在所述器件或晶体管上方及周围介电层中可形成多个金属互连,且金属互连可用来电气耦接所述器件或晶体管以形成 IC425、426。组成切割道 427 的材料可与用于形成 IC425、426 的那些材料相似或相同。举例而言,切割道 427 可包括介电材料、半导体材料及金属化的薄膜层。在一个实施例中,切割道 427 包括与 IC425、426 类似的测试器件。切割道 427 的宽度可为 10 μm 至 100 μm 之间的任何宽度。

[0034] 在操作 102,包括经等离子体沉积层的掩模 402 形成于基板 406 上,覆盖着 IC425、426 及介于 IC425、426 之间的切割道 427。在实施例中,形成掩模 402 的步骤包括下列步骤:将聚合物等离子体沉积于基板上。就某些原位实施例而言,其中等离子体蚀刻应是具有多个连续的蚀刻及沉积循环的深沟槽蚀刻工艺,在蚀刻操作 105 期间的各沉积循环沉积附加量的聚合物,所述聚合物与遮蔽操作 102 期间所形成的聚合物实质上相同。然而,不同于典型的深沟槽蚀刻工艺是以光刻方式界定的光阻掩模所进行的,且在蚀刻期间不会于非垂直(如,水平)表面上动态地累积聚合物,操作 102 的等离子体沉积是要取代光阻掩模,且因此在基板蚀刻开始之前持续进行足够的时间,以将聚合物保护层累积于 IC425、426 的水平表面(如,顶表面)上。

[0035] 取决于实施例,掩模 402 可仅由操作 102 中形成的经等离子体沉积聚合物层所构成,或者,如图 4A 中的虚线所示,掩模 402 包括多个可区别的材料层 402A 及 402B,其中至少一个材料层为操作 102 中所形成的经等离子体沉积聚合物层,而另一个材料层为操作 101(图 1A)中所形成的异位掩模材料。就所述的多层的实施例而言,经等离子体沉积的聚合物层可与 IC425、426 的顶表面接触(即,经沉积聚合物层为 402A),或设置于下方掩模材料上(即,经沉积聚合物层为 402B)。不像其他常规的遮蔽材料(如光阻剂、诸如二氧化硅或半硅氧烷(silsesquioxane)等无机电介质硬掩模),包括经等离子体沉积聚合物的掩模可容易地移除而不会损坏下方钝化层(通常为聚亚酰胺(PI))及/或凸块(通常为铜)。因此,掩模 402 具有足够的厚度以在等离子体蚀刻工艺后幸存(尽管可能非常接近耗尽),

保护平整的铜凸块免于受损、氧化或受污染（若铜凸块暴露于基板蚀刻等离子体的话）。

[0036] 在一个多层的掩模的实施例中，方法 100 包括异位掩模形成操作 101，掩模 402 包括设置于 IC425、426 上的水溶性的材料。对这样的实施例而言，可在等离子体沉积聚合物材料之前或之后施加水溶性的材料，以分别使水溶性的材料设置在操作 102 中所形成的经等离子体沉积聚合物层的下方或上方。因此，对照图 4A，在第一实施例中，掩模层 402A 为水溶性的材料，而掩模层 402B 为原位经等离子体沉积聚合物掩模材料。对这样的实施例而言，水溶性层的存在可于后续激光划线期间为 IC425、426 的顶表面提供保护，及 / 或与掩模一起协助移除工艺。在第二实施例中，掩模层 402A 为原位经等离子体沉积聚合物掩模材料，而掩模层 402B 为水溶性的材料。

[0037] 在实施例中，水溶性的掩模层在至少 60℃ 下为热稳定的，较佳是在 100℃ 下为稳定的，且理想是在 120℃ 下为稳定的，以避免在材料温度将升高之后续的等离子体蚀刻工艺期间过度交联。通常，过度交联会不利地影响材料的溶解度，使后 - 蚀刻移除更难进行。取决于实施例，可以湿式施加水溶性层，或以干膜层迭方式施加水溶性层。就任一施加模式来说，示例性材料包括以下至少一者：聚（乙烯醇）、聚（丙烯酸）、聚（甲基丙烯酸）、聚（丙烯酸酰胺）或聚（氧化乙烯），以及同样易于获得的许多其他水溶性的材料。用于层迭的干膜可仅包括水溶性的材料，或可进一步包括粘着层，粘着层也可是水溶性的或是非水溶性的。在特定的实施例中，干膜包括在 UV 照射后会减少粘着键结强度的 UV 敏感性粘着层。这样的 UV 曝光可于后续的等离子体切割道蚀刻期间发生。

[0038] 图 2 为例示根据本发明的实施例，在操作 101 进行的，用于将水溶性的异位掩模层旋转涂布至待切割基板上的方法 200 的流程图。方法 200 起始于将基板载入旋转涂布系统上，或移送进入整合平台的旋转涂布模块。在操作 204，将水溶性的聚合物的水性溶液旋涂于基板 406 之上。就本发明而言，水性溶液的设计受限于最大膜厚度，且需考量热稳定性。在切割道中，掩模 402，且特别是水溶性层的最大厚度受限于激光藉由剥蚀来透过掩模进行图案化的能力。掩模 402 可比 IC425、426 厚的多，及 / 或在不需藉由剥蚀形成切割道图案时，掩模 402 可比切割道 427 的边缘厚的多。

[0039] 图 5A 例示根据本发明的数个实施例，经等离子体沉积聚合物掩模层 402B 的放大剖面图 500，其中所述经等离子体沉积聚合物掩模层 402B 施加于水溶性的掩模层 402A 上，且水溶性的掩模层 402A 接触 IC426 的顶表面及切割道 427。如图 5A 所示，基板 406 具有顶表面 503，薄膜器件层形成在顶表面 503 上，且顶表面 503 与底表面 502 相对，底表面 502 作为与 DAF408（图 4A）的界面。通常，薄膜器件层材料可包括，但不限于，有机材料（如，聚合物）、金属，或诸如二氧化硅及氮化硅的无机电介质。图 5 所例示的示例性薄膜器件层包括二氧化硅层 504、氮化硅层 505、铜互连层 508，加上设置于这些层之间的低 - κ （如，低于 3.5）或超低 - κ （如，低于 3.0）的层间电介质层（ILD），如，碳掺杂的氧化物（carbon doped oxide；CDO）。IC426 的顶表面包括典型为铜的凸块 512，典型为聚亚酰胺（PI）或类似聚合物的钝化层 511 围绕凸块 512。因此凸块 512 及钝化层 511 构成 IC 的顶表面，而薄膜器件层形成次表面 IC 层。凸块 512 自钝化层 511 的顶表面延伸达凸块高度 H_b ，在示例性实施例中，凸块高度 H_b 介于 10 μm 与 50 μm 之间。

[0040] 切割道中的掩模 402 的最大厚度， $T_{\max}$ ，通常为激光功率及光学转换效率的函数，光学转换效率与激光波长有关。由于 $T_{\max}$ 与切割道 427 有关，可设计切割道特征表面形貌、切

割道宽度及施加水溶性层的方法以达到期望的 $T_{\max}$ 。在特定实施例中,由于较厚的蚀刻掩模需要多次激光通过,掩模 402 具有小于 $30\ \mu\text{m}$ 的切割道厚度 $T_{\max}$,且有利地小于 $20\ \mu\text{m}$ 。

[0041] 掩模 402 的最小厚度为后续等离子体蚀刻(如,图 1 中的操作 105)可达成的选择性的函数。用于旋转涂布操作 204 的旋转及分配参数可仅具有小的工艺窗,其中切割道处的 $T_{\max}$ 维持在 $20\ \mu\text{m}$ 以下,同时以最小掩模厚度 $T_{\min}$ 覆盖凸块(在实施例中,凸块具有至少 $50\ \mu\text{m}$ 的高度 H_b) 的顶表面,厚度 $T_{\min}$ 为水溶性的掩模材料层的蚀刻选择性的函数。举例而言,已发现就本文他处所述的示例性硅等离子体蚀刻工艺而言,聚(乙烯醇)(PVA)可对将近 1:20(PVA:硅)的蚀刻速率选择性提供介于 $1\ \mu\text{m}/\text{min}$ 与 $1.5\ \mu\text{m}/\text{min}$ 之间的蚀刻速率。因此,可藉由等离子体蚀刻深度 D_E 来决定 IC 的顶部凸块表面上的最小厚度(如,图 5 中的 $T_{\min}$),等离子体蚀刻深度 D_E 同时为基板厚度 T_{Sub} 和激光划线深度 D_L 二者的函数。举例而言,在 D_E 为至少 $50\ \mu\text{m}$ 的示例性实例中, $T_{\min}$ 为至少 $3\ \mu\text{m}$,且可有利地为至少 $6\ \mu\text{m}$,以为 D_E 提供至少 $100\ \mu\text{m}$ 的足够安全边际。这样的 $T_{\min}$ 值可能不会与 $T_{\max}$ 限制一致。

[0042] 就水溶性层的旋转涂布(图 2,操作 204)至低于 $T_{\max}$ 的厚度而在铜凸块 512 的顶表面留下 $T_{\min}$ 掩模厚度的实施例而言, $T_{\min}$ 掩模厚度不足以保护凸块 512 度过整个后续等离子体蚀刻期间(或甚至如图 5A 所示无法覆盖整个凸块 512),而原位经等离子体沉积聚合物掩模层 402B 被沉积至足以达到保护凸块 512 所必需的 $T_{\min}$ 的厚度。

[0043] 继续进行旋转涂布方法 200,在操作 208,可例如于热盘上干燥水性溶液。应选择干燥温度及时间,以避免过度交联,过度交联可能使后续掩模移除变得困难。示例性的干燥温度范围取决于材料而介于 60°C 至 150°C 之间。举例而言,已发现 PVA 在 60°C 仍可保持可溶性,而当温度接近范围上限的 150°C 时,变得更不可溶解。完成旋转涂布方法 200 后,卸载基板,或于真空中(in-vacuo)移送基板至等离子体蚀刻腔室进行第二掩模材料的原位等离子体沉积,或至激光划线模块(分别回到图 1A 所例示的方法 100,或图 1B 所例示的方法 150)。在特定实施例中,在水溶性层具吸湿性时,真空中移送特别有利于避免掩模在基板蚀刻期间分层。

[0044] 回到图 1A,就掩模 402 仅包括经等离子体沉积材料(略过操作 101)或包括第二掩模材料(如,在操作 101 形成的水溶性的材料层)的实施例而言,可以本技术领域已知的方式进行聚合物材料的等离子体沉积。就一个原位沉积的实施例而言,进行操作 102 的等离子体沉积工艺所使用的来源气体及等离子体条件,实质上相同于后续基板蚀刻工艺期间所利用的沉积循环期间所使用的来源气体及等离子体条件。示例性来源气体包括氟碳化物,例如,但不限于, C_4F_8 及 C_4F_6 ,以于基板表面上沉积 C_xF_y 聚合物。或者,来源气体可为氟化碳氢化合物(CH_xF_y),其中 x 及 y 可变化,且示例性实施例为 CH_2F_2 ,以于基板表面上沉积 $\text{C}_x\text{H}_y\text{F}_z$ 聚合物。取决于设计选择,工艺压力及等离子体功率二者皆可根据来源气体而变化,而较高的压力可增加沉积率。示例性工艺压力范围介于 20mTorr 与 200mTorr 之间。等离子体功率可介于 2kW 与 6kW 之间的源(顶部)功率,且典型地不施加偏压(底部)功率。

[0045] 由于聚合物沉积是在蚀刻腔室内进行,所以基板温度,且更特别地设置于基板上的任何水溶性层,可维持在够低的温度以保持水溶性材料的水溶解度。在示例性实施例中,在操作 102 的聚合物等离子体沉积期间,可通过冷却至负 10°C 至负 15°C 的静电夹具(electrostatic chuck;ESC)施加冷却功率,以在整个等离子体沉积工艺期间将水溶性的掩模材料层维持在 100°C 以下的温度,较佳地介于 70°C 与 80°C 之间。

[0046] 通常,经等离子体沉积聚合物将可提供介于 1:20 与 1:30 (聚合物:基板) 之间的蚀刻选择性。相较之下,为了以光阻剂达到相似的抗蚀刻性,可能需要,例如,在超过 150°C 的温度下进行硬烤 (hard bake),且这样高的烘烤温度对利用水溶性层接触 IC425、426 的实施例而言可能是不利的 (如,造成过度交联)。因此,可藉由等离子体蚀刻深度 D_E 来决定 IC 的顶部凸块表面上的最小厚度 (如,图 5 中的 T_{min}),等离子体蚀刻深度 D_E 同时为基板厚度 T_{sub} 和激光划线深度 D_L 二者的函数。在 D_E 为至少 50 μm 的示例性示例中, T_{min} 为至少 2 μm ,且可有利地为至少 4 μm ,以为 D_E 提供至少 100 μm 的足够安全边际。取决于待进行的等离子体蚀刻的持续时间 (即,蚀刻深度 D_E),遮蔽聚合物可经等离子体沉积至 10 μm 或更高的厚度 (T_{min})。理想而言,经等离子体沉积聚合物的厚度可使所述经等离子体沉积聚合物在后续基板蚀刻工艺期间几乎完全耗尽,以简化蚀刻后掩模移除。

[0047] 就方法 100 而言,在以激光划线进行激光划线操作 103 之前,掩模 402 (包括经等离子体沉积层) 未经图案化,其中以激光划线进行激光划线操作 103 藉由剥蚀设置于切割道 427 上的掩模 402 (如,水溶性层 402A 及经等离子体沉积层 402B) 的部分来直接写入划线。在方法 100 的操作 103,并对应图 4B,以激光划线工艺进行剥蚀来图案化掩模 402,激光划线工艺形成沟槽 412、延伸次表面薄膜器件层,并暴露介于 IC425、426 间的基板 406 的区域。因此,激光划线工艺用来剥蚀最初形成于 IC425、426 之间的切割道 427 的薄膜材料。根据本发明的实施例,如图 4B 所描绘,以基于激光的划线工艺来图案化掩模 402 的步骤包括下列步骤:形成沟槽 414,沟槽 414 部分地进入 IC425、426 间的基板 406 的区域。

[0048] 在图 5 所例示的示例性实施例中,依据钝化层 511 与次表面薄膜器件层的厚度 T_F 及经等离子体沉积聚合物掩模材料与作为部分掩模 402 (如,水溶性层) 的任何附加材料层的厚度 T_{max} ,激光划线深度 D_L 将近处于 5 μm 至 50 μm 深的范围内,且有利地处于 10 μm 至 20 μm 深的范围内。

[0049] 在实施例中,以具有飞秒范围 (即, 10^{-15} 秒) 内的脉冲宽度 (持续期间) 的激光 (本文称作飞秒激光) 来图案化掩模 402。激光参数选择,如脉冲宽度,可为研发成功的激光划线及分割工艺的关键,所述成功的激光划线及分割工艺最小化碎屑、微裂及分层,以达到干净的激光划线切割。飞秒范围内的激光脉冲宽度有利地减缓与较长脉冲宽度 (如,皮秒或纳秒) 有关的热损坏问题。尽管不受限于理论,但就目前了解,飞秒能量源可避免因皮秒源而存在的低能量再耦合机制 (low energy recoupling mechanism),且相较于纳秒源可提供更大的热不平衡性。在使用纳秒或皮秒激光源的情况下,存在于切割道 427 中的多种薄膜器件层材料在光吸收性及剥蚀机制方面表现相当不同。举例而言,诸如二氧化硅的介电层在正常情况下对所有市售的激光波长均为基本透明。相反地,金属、有机物 (如,低- κ 材料) 及硅能够非常容易地耦合光子,尤其是基于纳秒或基于皮秒的激光照射。若选择非最佳激光参数,则在涉及无机电介质、有机电介质、半导体或金属中的两个或两个以上的堆迭结构中,切割道 427 的激光照射可能不利地造成分层。举例而言,穿透高带隙能量电介质 (诸如具有约 9eV 带隙的二氧化硅) 而无可量测的吸收的激光可能在下方的金属层或硅层中被吸收,从而引起所述金属层或硅层的显著汽化。汽化可产生高压,而高压可能会造成严重的层间分层及微裂化。已证明基于飞秒的激光照射工艺可避免或减缓所述材料堆迭的这种微裂化或分层。

[0050] 用于基于飞秒激光的工艺的参数可经选择,使得对无机及有机电介质、金属及半

导体而言,具有实质上相同的剥蚀特性。举例而言,二氧化硅的吸收性/吸收率为非线性的,且可使二氧化硅的吸收性/吸收率与有机电介质、半导体及金属的吸收性/吸收率更为一致。在一个实施例中,可使用高强度且具短脉冲宽度的基于飞秒的激光工艺来剥蚀薄膜层堆迭(包括二氧化硅层,及有机电介质、半导体或金属中的一个或多个)。根据本发明的实施例,合适的基于飞秒的激光工艺的特性为:高峰值强度(照射度),高峰值强度通常在不同材料中导致非线性交互作用。在一个这样的实施例中,飞秒激光源具有将近在 50 飞秒至 500 飞秒的范围内的脉冲宽度,而较佳地是在 100 飞秒至 400 飞秒的范围内的。

[0051] 在某些实施例中,为了获得宽带或窄带光发射光谱,激光发射跨越可见光谱、紫外光(UV),及/或红外线(IR)光谱的任何组合。即便是就飞秒激光剥蚀而言,某些波长可提供较其他波长更佳的性能。举例而言,在一个实施例中,相较于具有较靠近或在 IR 范围内的波长的基于飞秒的激光工艺而言,具有较靠近或在 UV 范围内的波长的基于飞秒的激光工艺可提供更干净的剥蚀工艺。在具体的实施例中,适用于半导体基板或基板划线的飞秒激光是基于具有将近 1570 至 200 纳米的波长的激光,尽管较佳是在 540 纳米至 250 纳米的范围内。在特定的实施例中,就具有小于或等于 540 纳米的波长的激光而言,脉冲宽度小于或等于 500 飞秒。然而,在替代的实施例中,可使用双激光波长(如,IR 激光与 UV 激光的组合)。

[0052] 在一个实施例中,尽管焦点较有利地是在 $5\mu\text{m}$ 至 $10\mu\text{m}$ 的范围内,但激光及相关联光学路径在工作表面处提供将近 $3\mu\text{m}$ 至 $15\mu\text{m}$ 的范围内的焦点。在工作表面处的空间光束轮廓可为单一模式(高斯)或具有光束形状的顶帽轮廓(top-hat profile)。在实施例中,尽管脉冲重复率较佳接近 500kHz 至 5MHz 的范围内,但激光源具有接近 200kHz 至 10MHz 范围内的脉冲重复率。在实施例中,尽管脉冲能量较佳在接近 $1\mu\text{J}$ 至 $5\mu\text{J}$ 的范围内,但激光源在工作表面处传递接近 $0.5\mu\text{J}$ 至 $100\mu\text{J}$ 的范围内的脉冲能量。在实施例中,尽管速度较佳接近 600mm/sec 至 2m/sec 的范围内,但激光划线工艺以接近 300mm/sec 至 5m/sec 的范围内的速度沿工件表面执行。

[0053] 划线工艺可仅单程执行或多程执行,但较有利地不超过 2 程。激光可以给定的脉冲重复率施加于一系列单一脉冲中,或一系列脉冲串中。在实施例中,尽管在硅基板划线/分割中在器件/硅界面处所量测的切口宽度较佳大约在 $6\mu\text{m}$ 至 $10\mu\text{m}$ 的范围内,但所产生激光光束的切口宽度大约在 $2\mu\text{m}$ 至 $15\mu\text{m}$ 的范围内。

[0054] 继续进行图 1 及图 4C,将基板 406 暴露至等离子体 416,以在操作 105 中蚀刻穿透掩模 402 中的沟槽 412 来裁切 IC426。在示例性原位掩模沉积实施例中,在进行过等离子体掩模沉积操作 102 的相同腔室中蚀刻基板。根据本发明的实施例,如图 4C 所描绘,在操作 105 蚀刻基板 406 的步骤包括下列步骤:蚀刻以基于飞秒的激光划线工艺所形成的沟槽 412,以最终蚀刻穿透整个基板 406。

[0055] 在一个实施例中,蚀刻操作 105 需要直通穿孔蚀刻工艺。举例而言,在特定实施例中,基板 406 的材料的蚀刻速率大于每分钟 $25\mu\text{m}$ 。可为等离子体蚀刻操作 105 使用在高功率下操作的高密度等离子体源。示例性功率范围介于 3kW 与 6kW 之间,或更高。

[0056] 在示例性实施例中,使用深度硅蚀刻(即,诸如直通硅穿孔(TSV)蚀刻),在大于约 40% 的常规硅蚀刻速率的蚀刻速率下,蚀刻单晶硅基板或基板 406,同时维持基本精确的剖面控制及实质上无扇形的侧壁。通过施加冷却功率来控制存在于掩模 402 中的任何水溶性

的材料层上的高功率的效应,冷却功率经由冷却至负 10°C 至负 15°C 的静电夹具 (ESC) 来施加,以在整个等离子体蚀刻工艺期间将水溶性的掩模材料层维持在 100°C 以下的温度,较佳地介于 70°C 与 80°C 之间。在这样的温度下可有利地维持水溶性。

[0057] 在特定实施例中,等离子体蚀刻操作 105 进一步需要多个保护性聚合物沉积循环随着时间插入多个蚀刻循环之间。沉积时间对蚀刻时间的比例典型为 1:1 至 1:1.4。举例而言,蚀刻工艺可具有持续时间达 250ms 至 750ms 之间的沉积循环及持续时间达 250ms 至 750ms 之间的蚀刻循环。如图 4C 所例示,利用这样的沉积时间对蚀刻时间比例,聚合物将仅累积在诸如沟槽侧壁等垂直表面上,而在操作 102 沉积于水平表面上的聚合物掩模材料会在基板蚀刻操作 105 期间消耗或侵蚀。在沉积与蚀刻循环之间,可用沉积工艺化学物质替换用于示例性硅蚀刻实施例的蚀刻工艺化学物质(所述蚀刻工艺化学物质例如利用 SF_6),沉积工艺化学物质利用聚合物化的氟碳化合物 (C_xF_y) 气体,例如,但不限于, C_4F_6 或 C_4F_8 或氟化碳氢化合物 (CH_xF_y , 其中 $x>1$)。在一个这样的实施例中,聚合物化的气体化学物质与用于遮蔽操作 102 的聚合物化的气体化学物质相同。举例而言,如图 4C 所例示,当于操作 102 将聚合物掩模层 402B 形成在 IC 的顶部水平表面上时,蚀刻操作 105 将相同的聚合物掩模层 402B 形成在经蚀刻沟槽的侧壁上,并且也蚀刻掉聚合物掩模层 402B(如图所例示较图 4A 中的聚合物掩模层 402B 更薄)。如本技术领域中所知,可进一步改变蚀刻及沉积循环之间的工艺压力,以有助于各特定的循环。

[0058] 在操作 107,藉由移除掩模 402(包括经原位沉积的层)来完成方法 300。在实施例中,以水洗掉水溶性的掩模层,例如以加压喷射的去离子水或透过浸入周围温度或加热过的水浴中。在替代的实施例中,可以本技术领域已知对移除蚀刻聚合物有效的水性溶剂溶液洗掉掩模 402。如进一步例示于图 4D,等离子体裁切操作 105 或操作 107 的掩模移除工艺可进一步图案化晶粒附着膜 408,暴露出支撑带 410 的顶部。图 1B 为根据本发明的实施例,以在操作 102 形成的经等离子体沉积的掩模材料进行的混合式激光剥蚀-等离子体蚀刻裁切方法 150 的流程图,操作 102 接续于激光划线操作 103 之后。图 5B 例示根据本发明的实施例,在激光划线之后施加于水溶性的掩模上的经等离子体沉积聚合物掩模的剖面图 550。就实行方法 150 的实施例而言,异位掩模材料层(如,图 5B 的层 402A)作为污染保护层,还作为具有足够高的纵横比 (AR) 的经剥蚀沟槽的基础,足够高的纵横比 (AR) 使 IC 的顶表面与暴露出基板的经激光划线沟槽的底表面之间的经等离子体沉积聚合物厚度有显著差异。经等离子体沉积聚合物的此差异接着使切断蚀刻能自沟槽底部清除沉积聚合物,同时留下足够的沉积聚合物来遮蔽 IC。

[0059] 在图 1B 所例示的示例性实施例中,在操作 101,可藉由先前描述的任何技术形成异位掩模(如,水溶性的材料或本文他处所描述的任何材料)。在特定的实施例中,将 PVA 旋转涂布于基板之上达到介于 $2\mu\text{m}$ 与 $12\mu\text{m}$ 之间的厚度。在操作 103,如先前在图 1A 的上下文中所描述地,藉由激光随着切割道 427 中的薄膜器件层 504、505、506、507、508 及 511 一起剥蚀异位遮罩层。

[0060] 经划线沟槽的纵横比 (aspect ratio ;AR) 为经激光划线的深度 D_L 除以沟槽 412 宽度。就沟槽宽度介于 $6\mu\text{m}$ 至 $10\mu\text{m}$ 的示例性实施例而言,AR 可为 1.5:1 与 5:1 之间的任意比例。继续进行图 1B,在操作 102,将基板载入蚀刻腔室,且实质上如本文他处所述般进行聚合物的原位等离子体沉积。参见图 5B,划线后沟槽的 AR 使凸块 512 的顶表面处的经

等离子体沉积聚合物的厚度 ($T_{\min}$) 与经激光划线沟槽 412 的底表面处的经等离子体沉积聚合物的厚度 (T_{barrier}) 之间有显著的差异。经等离子体沉积聚合物的此差异 ($T_{\min}-T_{\text{barrier}}$) 接着使切断蚀刻能自沟槽底部清除沉积聚合物, 同时在沟槽外保留足够的沉积聚合物来遮蔽 IC。在等离子体沉积操作 102 沉积 $3\mu\text{m}$ 的 $T_{\min}$ 的示例性实施例中, T_{barrier} 小于 $0.5\mu\text{m}$ 。

[0061] 继续进行方法 150, 在操作 105, 等离子体蚀刻基板 (如, 在与进行过掩模沉积操作 102 的相同腔室中), 首先以聚合物穿透来清除沉积于划线后沟槽中的聚合物 (不清除沉积于沟槽外的较厚聚合物层), 接着进行基板蚀刻, 基板蚀刻可利用本文他处就方法 100 所描述的任何技术及条件。在实施例中, 聚合物穿透步骤所需要的偏压功率高于主要蚀刻 / 沉积依序化各向异性蚀刻工艺期间所应用的偏压功率。

[0062] 图 1C 为例示根据本发明的实施例, 具有经等离子体沉积的掩模材料的混合式激光剥蚀 - 等离子体蚀刻裁切方法 190 的流程图, 所述经等离子体沉积的掩模材料随着基板的蚀刻而动态地形成。在操作 101, 可藉由先前所述的任何技术形成异位掩模 (如, 水溶性的材料或本文他处所述的任何材料)。在特定的实施例中, 将 PVA 旋转涂布于基板的上达到介于 $2\mu\text{m}$ 与 $12\mu\text{m}$ 之间的厚度。在操作 103, 如先前于图 1A 的文字叙述所描述般, 藉由激光随着切割道 427 中的薄膜器件层 504、505、506、507、508 及 511 一起剥蚀异位掩模。

[0063] 继续进行图 1C, 在操作 105, 将基板载入蚀刻腔室并等离子体蚀刻基板。作为图 1A 至图 1B 所例示的蚀刻前聚合物沉积技术 (如, 激光划线前掩模沉积及激光划线后掩模沉积二者) 的替代方案, 随着操作 105 期间的基板蚀刻进行而动态地沉积聚合物掩模 (如, 图 4C 中的层 402B)。这种即刻原位沉积的掩模可以些微降低基板蚀刻速率的代价, 达成高纵横沟槽蚀刻, 且对下方掩模层 402A (如, 水溶性的掩模材料) 具有非常高的选择性。然而, 因为不需要使基板多次进出蚀刻腔室, 所以相较于方法 100 及 150 仍可增进产量。

[0064] 基板蚀刻操作 105 通常利用类似于方法 100 及 150 的文字叙述所描述的反复的或循环的沉积 / 蚀刻工艺 (如, 相同的来源气体)。然而, 在方法 190 的一个实施例中, 以沉积循环 (而不是蚀刻循环) 开始操作 105。在进一步的实施例中, 沉积时间对蚀刻时间的比例相对较高 (如, 沉积时间 : 蚀刻时间的比例大于 1 : 1 且特别介于 1.2 : 1 与 2 : 1 之间)。举例而言, 在沉积时间为 400 至 500ms 且蚀刻时间为 300ms 的一个示例性实施例中, 在铜凸块 512 上仅有 $2\mu\text{m}$ 的 $T_{\min}$ 的水溶性的掩模可在 $100\mu\text{m}$ 深度 D_E (如, 50 : 1 的选择性) 的蚀刻后幸存。并且, 在循环的沉积 / 蚀刻工艺中, 各蚀刻步骤典型分为两个子步骤, 其中第一子蚀刻步骤为指向性蚀刻 (directional etch), 以藉由施加 100 至 200W 的偏压功率来蚀刻沟槽底部上的沉积聚合物及硅, 且第二子蚀刻步骤为各向同性蚀刻 (isotropic etch), 以在不施加偏压功率的情况下等向地蚀刻聚合物及硅。在固定的沉积对蚀刻时间比例下, 也可调整第一子蚀刻步骤时间对第二子蚀刻步骤时间的比例, 以更好控制晶圆的顶部表面的掩模层的消耗。

[0065] 还应注意的是, 就包括水溶性层的掩模实施例而言, 旋转涂布方法 200 可在背侧研磨 (backside grind; BSG) 之前或之后进行。由于一般对具有 $750\mu\text{m}$ 的常规厚度的基板而言, 旋转涂布为成熟的技术, 所以旋转涂布方法 200 可有利地在背侧研磨之前进行。然而, 在替代的方式中, 旋转涂布方法 200 在背侧研磨之后进行, 例如, 藉由将薄基板及带状框架二者支撑于可旋转夹具上。

[0066] 图 3 为例示方法 300 的流程图, 方法 300 用以在晶圆薄化之前将水溶性层施加至

待分割基板。方法 300 起始于接收经凸块化并钝化的基板。在操作 304, 形成水溶性的掩模层 (如, 掩模层 402A)。操作 304 可能因此需要进行如本文他处所述的旋转涂布方法 200。在操作 360, 将前侧带形成于水溶性的掩模层之上。可将任何常规的前侧带, 例如但不限于, UV- 带, 施加于水溶性的掩模层之上。在操作 370, 可例如, 藉由研磨图 5 所例示的基板 406 的底表面 501, 以自背侧薄化基板。在操作 375, 将背侧支撑件 411 加到经薄化的基板。举例而言, 可施加背侧带 410 并接着移除前侧带, 以暴露出水溶性的掩模层。根据本发明的实施例, 方法 300 接着回到操作 103 (图 1), 以完成方法 100。

[0067] 可配置单一工艺工具 600 来执行混合式激光剥蚀-等离子体蚀刻裁切工艺 100 中的多个或全部操作。举例而言, 图 6 例示根据本发明的实施例的丛集工具 606 的方块图, 丛集工具 606 耦接激光划线装置 610, 激光划线装置 610 用于基板的激光及等离子体分割。请参见图 6, 丛集工具 606 耦接工厂界面 602 (factory interface; FI), 工厂界面 602 具有多个负载锁定室 604。工厂界面 602 可为合适的大气埠 (atmospheric port), 以作为外部制造设施与激光划线装置 610 及丛集工具 606 之间的界面。工厂界面 602 可包括机器人, 机器人具有手臂或刃以自储存单元 (如, 前开式传送盒 (front opening unified pod)) 移送基板 (或基板载体) 进入丛集工具 606 或激光划线装置 610 或二者。

[0068] 激光划线装置 610 还耦接 FI602。在实施例中, 激光划线装置 610 包括飞秒激光。飞秒激光可用以进行混合式激光及蚀刻裁切工艺 100 的激光剥蚀部分。在一个实施例中, 激光划线装置 610 也包括可移动的台座, 可移动的台座经配置以相对于基于飞秒的激光移动基板或基板 (或基板载体)。在特定实施例中, 飞秒激光也可移动。

[0069] 丛集工具 606 包括一个或多个等离子体蚀刻腔室 608, 等离子体蚀刻腔室 608 藉由机器手臂移送腔室 650 耦接至 FI, 机器手臂移送腔室 650 罩住用于真空中移送基板的机器手臂。等离子体蚀刻腔室 608 适于进行混合式激光及蚀刻裁切工艺 100 的等离子体蚀刻部分也适于沉积聚合物掩模于基板上。在一个示例性实施例中, 等离子体蚀刻腔室 608 进一步耦接至 SF_6 气体源及 C_4F_8 、 C_4F_6 或 CH_2F_2 源中的至少一个。尽管可购得其他合适的蚀刻系统, 但在特定实施例中, 一个或多个等离子体蚀刻腔室 608 为可自美国加州桑尼维尔市 (Sunnyvale, VA, USA) 的应用材料股份有限公司获得的 Applied Centura® SilviTM 蚀刻系统。在实施例中, 一个以上的等离子体蚀刻腔室 608 包括在整合平台 600 的丛集工具 606 部分中, 以达到裁切或分割工艺的高制造产量。

[0070] 丛集工具 606 可包括适于执行混合式激光剥蚀-等离子体蚀刻裁切工艺 100 中的功能的其他腔室。在图 6 所例示的示例性实施例中, 湿式工艺模块 614 耦接至机器手臂移送模块 650, 以在等离子体蚀刻基板之后洗掉水溶性的掩模及 / 或经等离子体沉积聚合物的残留物。举例而言, 湿式工艺模块 614 可包括加压水雾喷射器或其他溶剂分配器。

[0071] 在其他实施例中, 沉积模块 612 为旋转涂布模块, 用以施加本文所述的水溶性的掩模层。作为旋转涂布模块, 沉积模块 612 可包括可旋转夹具, 适于藉由真空夹持, 或者, 经薄化的基板固定在载体 (例如, 安装在框架上的支撑带) 上。

[0072] 图 7 例示计算机系统 700, 在计算机系统 700 中可执行一组指令, 所述指令可使机器执行本文所述的一种或多种划线方法, 例如分析来自标签的反射光, 以辨识至少一个微机器伪像 (micromachine artifact)。示例性计算机系统 700 包括处理器 702、主存储器 704 (如, 只读存储器 (ROM)、闪存器、动态随机存储器 (DRAM) (如同步 DRAM (SDRAM) 或 Rambus

DRAM(RDRAM) 等等)、静态存储器 706(如,闪存器、静态随机存储器(SRAM) 等等),及辅助存储器 718(如,数据储存设备),前述器件经由总线 730 彼此通讯。

[0073] 处理器 702 表示一个或多个通用处理设备,诸如微处理器、中央处理单元等等。更特定言之,处理器 702 可为复杂指令集计算(complex instruction set computing;CISC)微处理器、精简指令集计算(reduced instruction set computing;RISC)微处理器、超长指令字集(very long instruction word;VLIW)微处理器等等。处理器 702 还可为一个或多个专用处理设备,诸如专用集成电路(application specific integrated circuit;ASIC)、现场可编程门阵列(field programmable gate array;FPGA)、数字信号处理器(digital signal processor;DSP)、网络处理器等等。处理器 702 经配置以执行处理逻辑 726,处理逻辑 726 用于进行本文所述的操作及步骤。

[0074] 计算机系统 700 可进一步包括网络接口设备 708。计算机系统 700 还可包括视频显示单元 710(如,液晶显示器(LCD)或阴极射线管(CRT))、字母数字输入设备 712(如,键盘)、光标控制设备 714(如,滑鼠),及信号产生设备 716(如,扬声器)。

[0075] 辅助存储器 718 可包括机器可存取储存媒介(或更具体而言,计算机可读取储存媒介)731,机器可存取储存媒介 731 上可储存一组或多组指令(如,软件 722),所述指令可实施本文所述方法或功能中的任何一个或多个。在计算机系统 700、主存储器 704 及也构成机器可读取储存媒介的处理器 702 执行软件 722 期间,软件 722 也可完全或至少部分地常驻于主存储器 704 及/或处理器 702 内部。可进一步经由网络接口设备 708 透过网络 720 发送或接收软件 722。

[0076] 机器可存取储存媒介 731 也可用来储存图案识别演算法、伪像形状数据、伪像定位数据或粒子闪光(particle sparkle)数据。尽管在示例性实施例中将机器可存取储存媒介 731 图示为单个媒介,但术语“机器可读取储存媒介(machine-readable storage medium)”应被视为包括储存一组或多组指令的单个媒介或多个媒介(例如集中式或分散式数据库,及/或相关联的快取记忆体及伺服器)。术语“机器可读取储存媒介”亦应被视为包括能够储存或编码由机器执行且使机器执行本发明的方法中任何一个或多个的一组指令的任何媒介。因此,术语“机器可读取储存媒介”应被视为包括(但不限于)固态存储器,及光学及磁性媒介。

[0077] 因此,本文已公开分割半导体基板的方法,各基板具有多个 IC。以上对本发明的解说性实施例的描述,包括在摘要中所描述的内容,并不意图使此描述是穷尽的或会限制本发明于精确形式。尽管出于说明的目的本文描述了本发明的特定实施方式及示例,但如本领域技术人员所认知的,在本发明的范畴内可能有各种等效修改。因此本发明的范畴完全由所附的权利要求所决定,可根据已建立的权利要求解读理论来理解所附权利要求。

100
↘

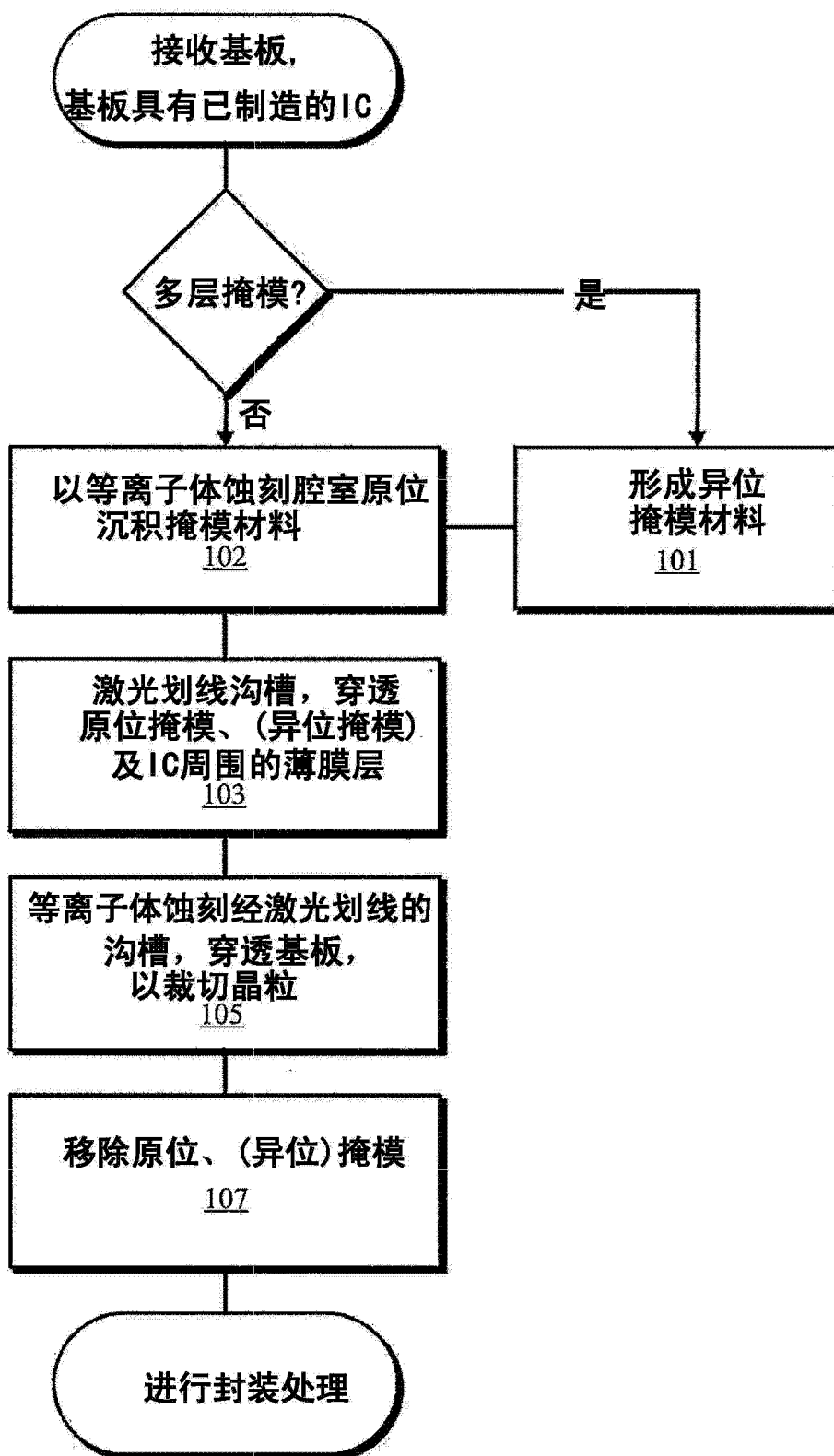


图 1A

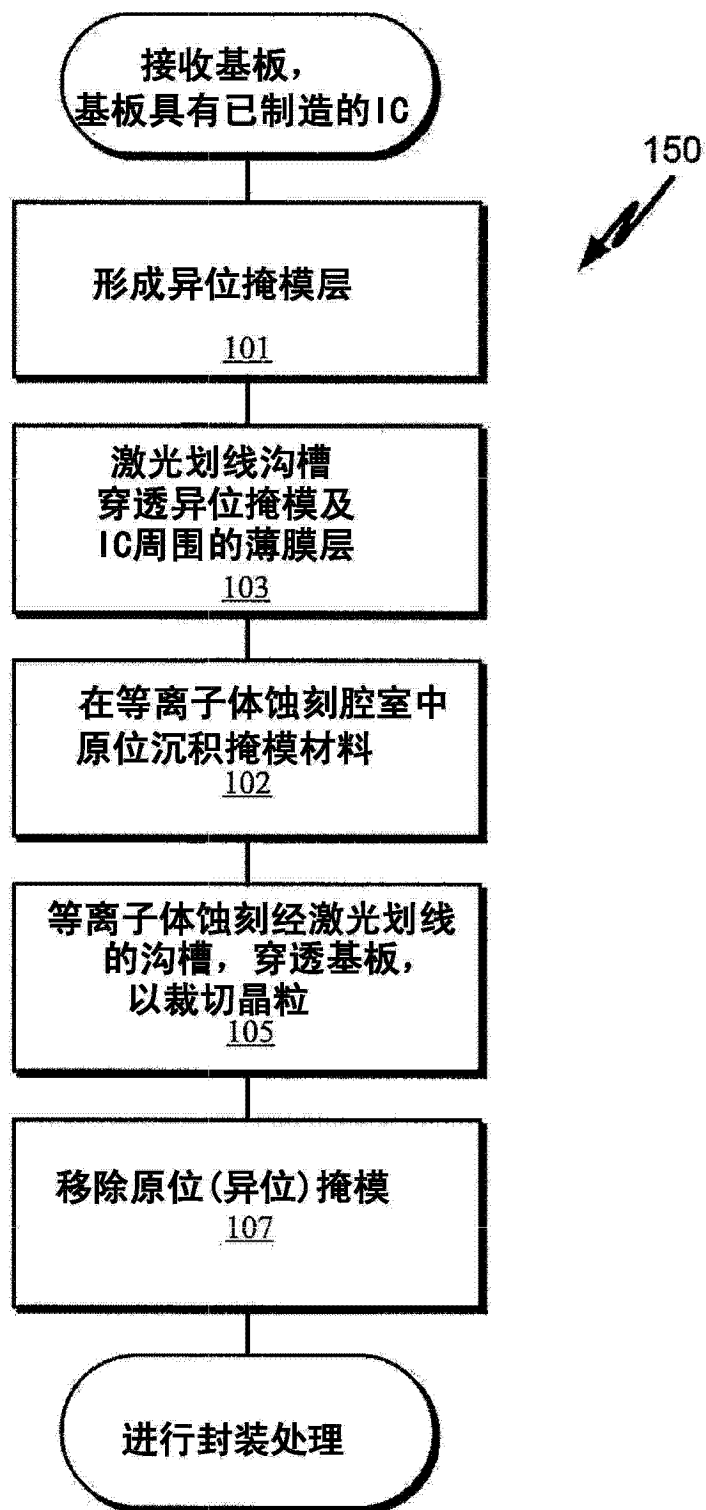


图 1B

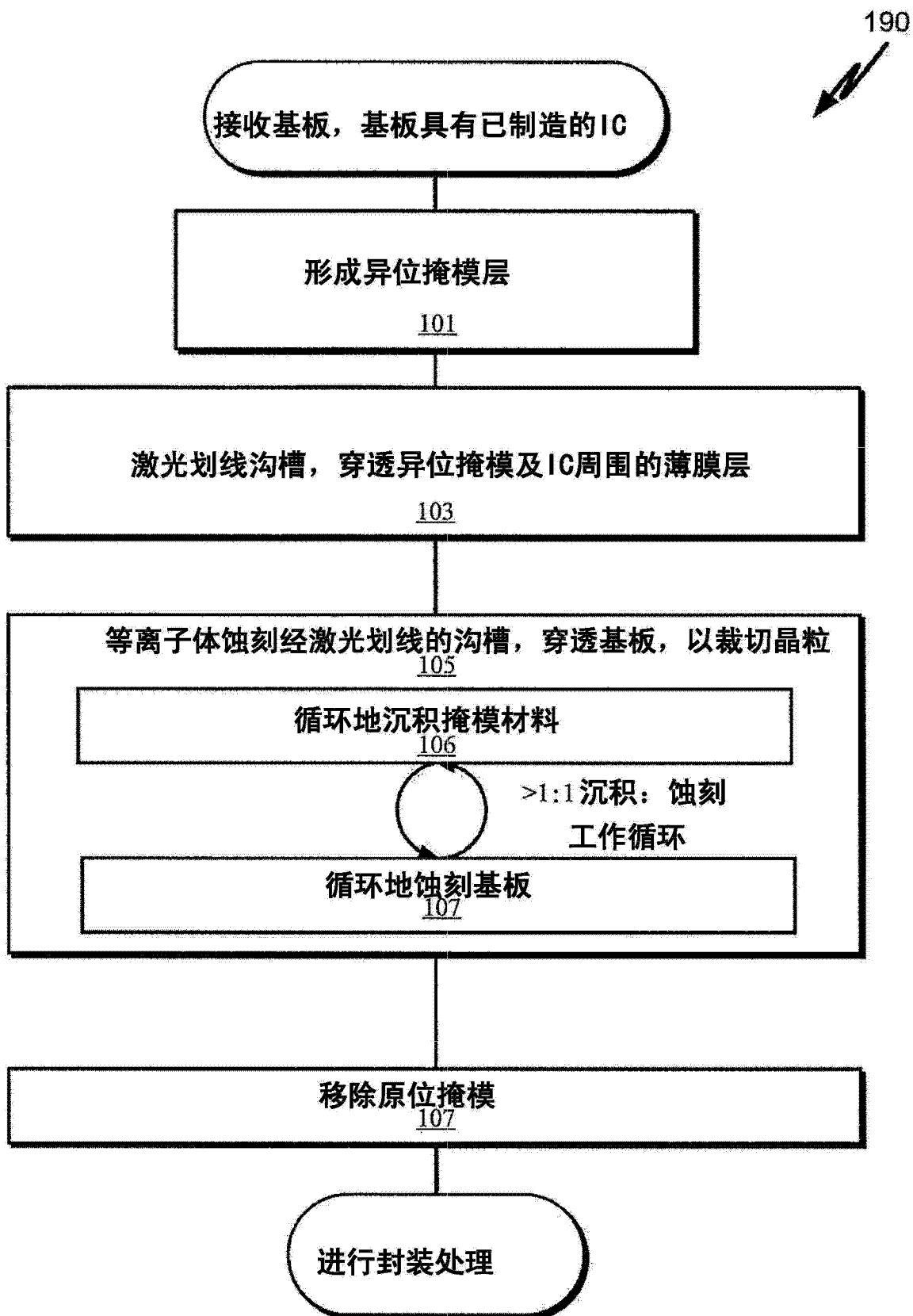


图 1C

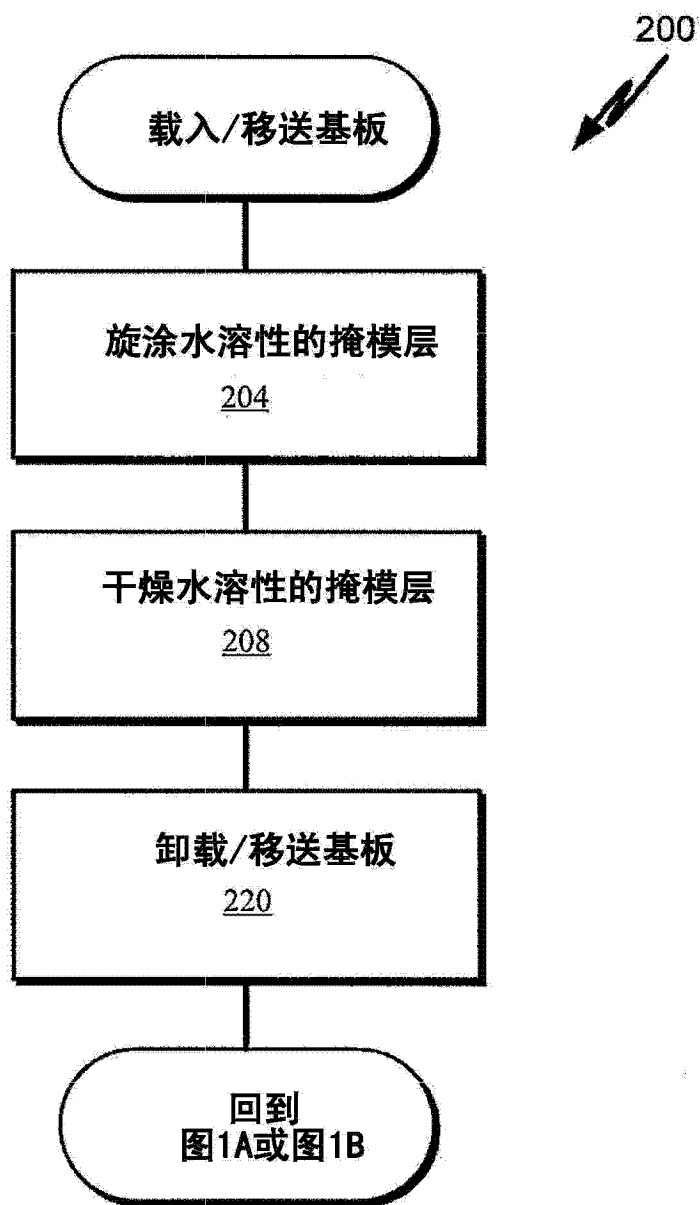


图 2

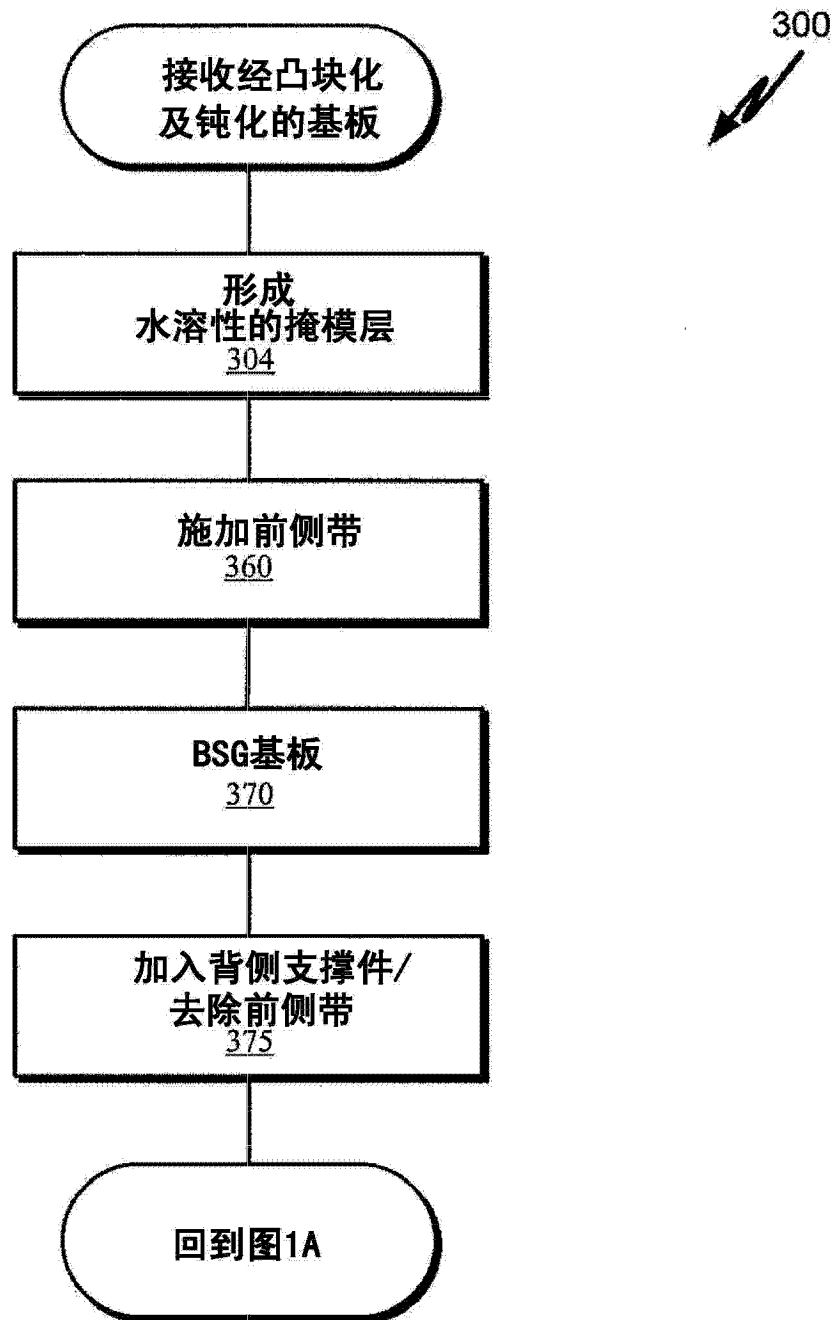


图 3

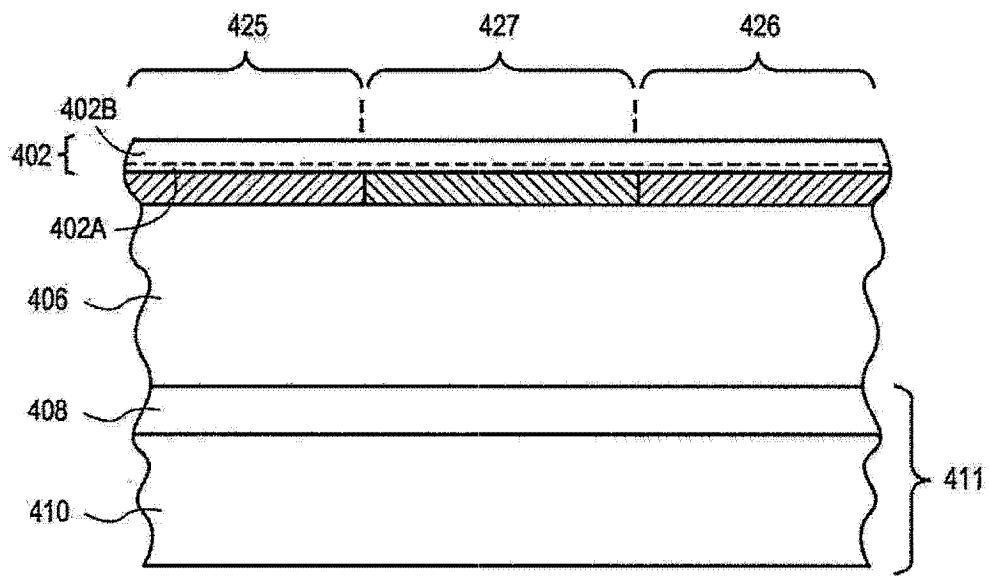


图 4A

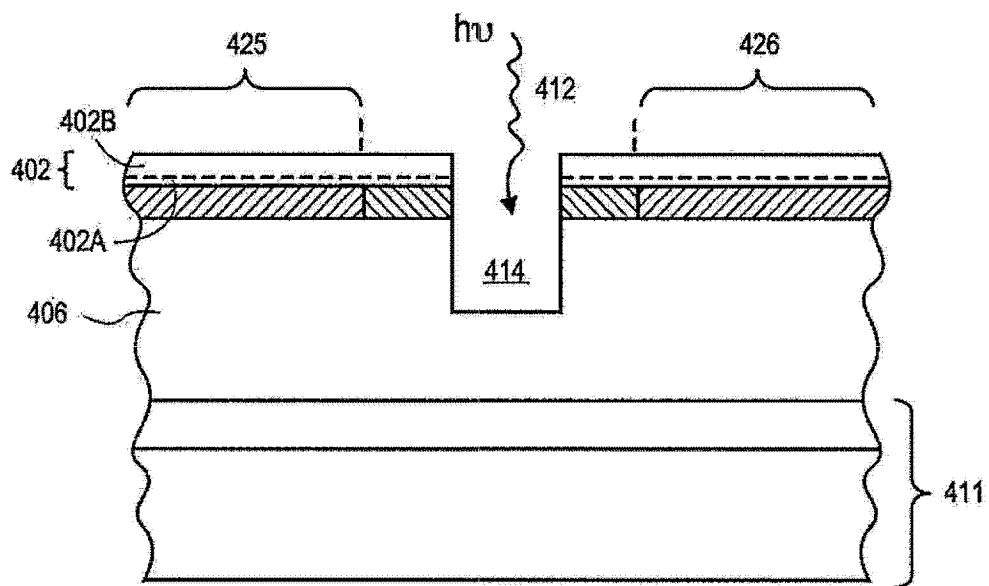


图 4B

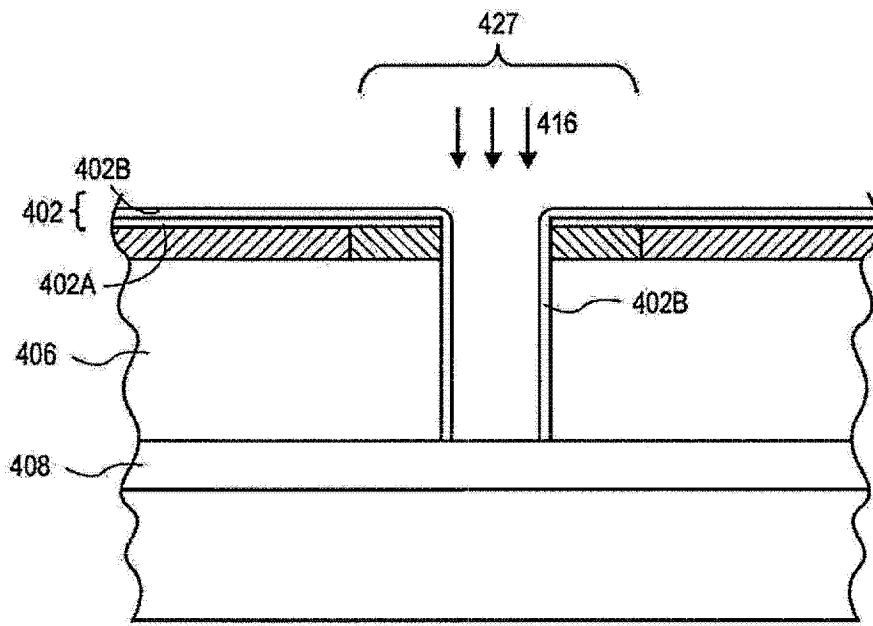


图 4C

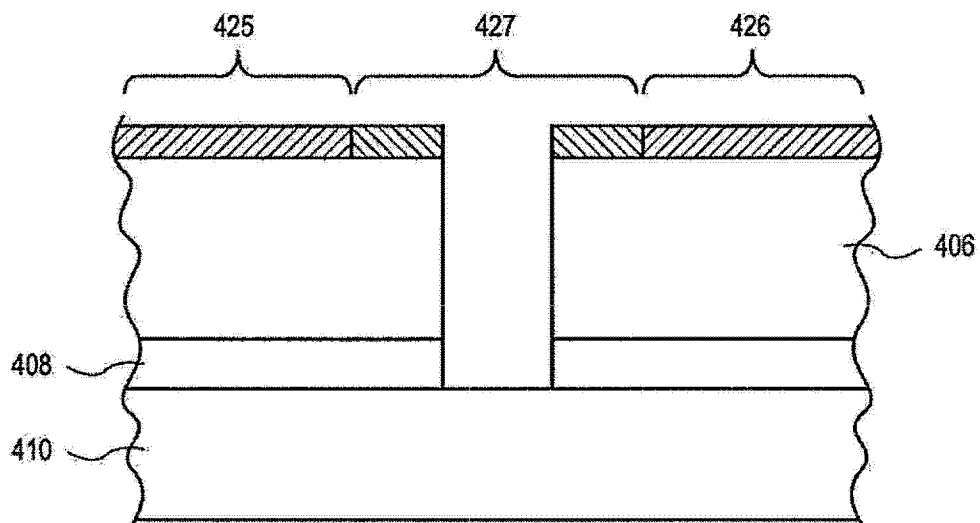


图 4D

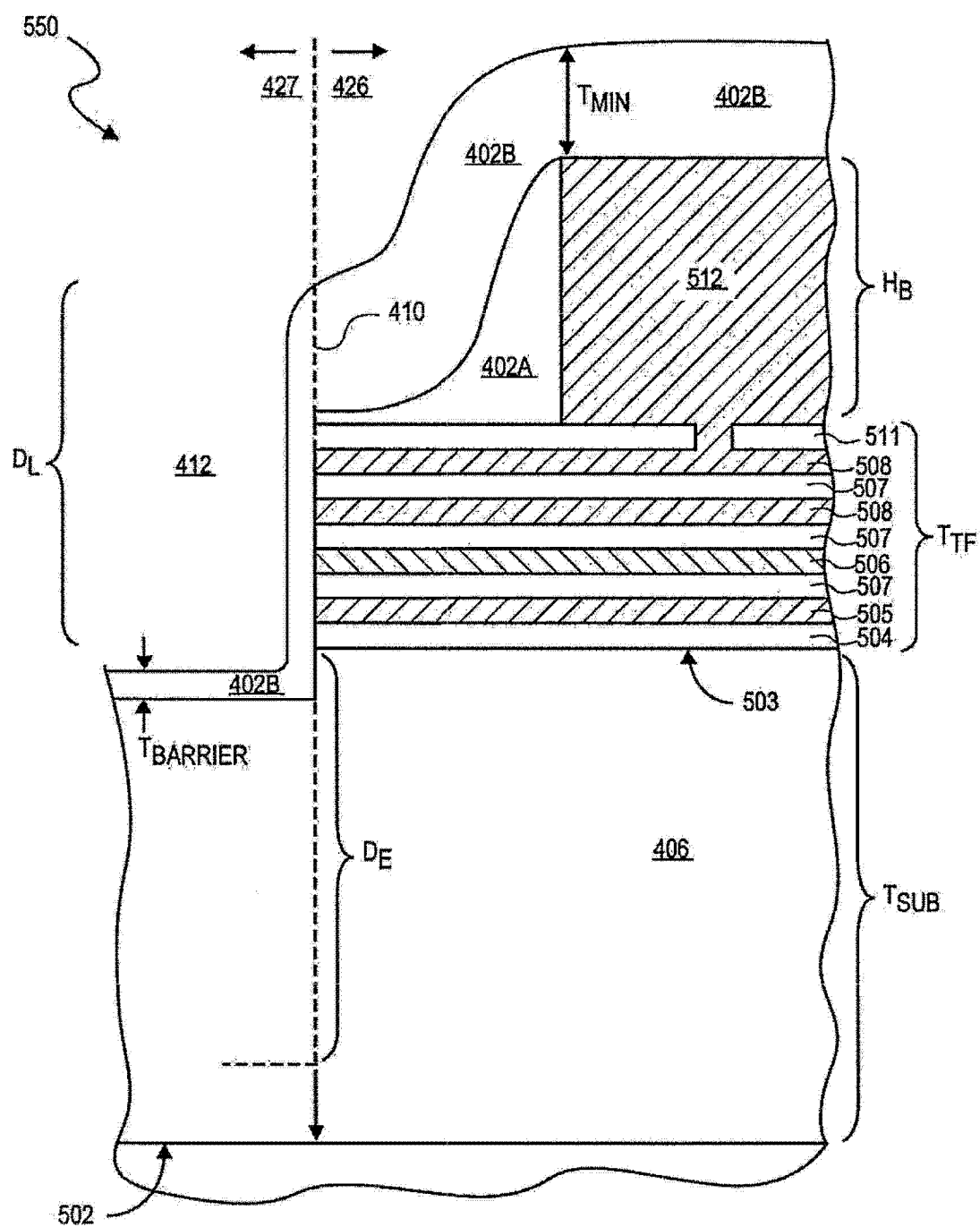


图 5B

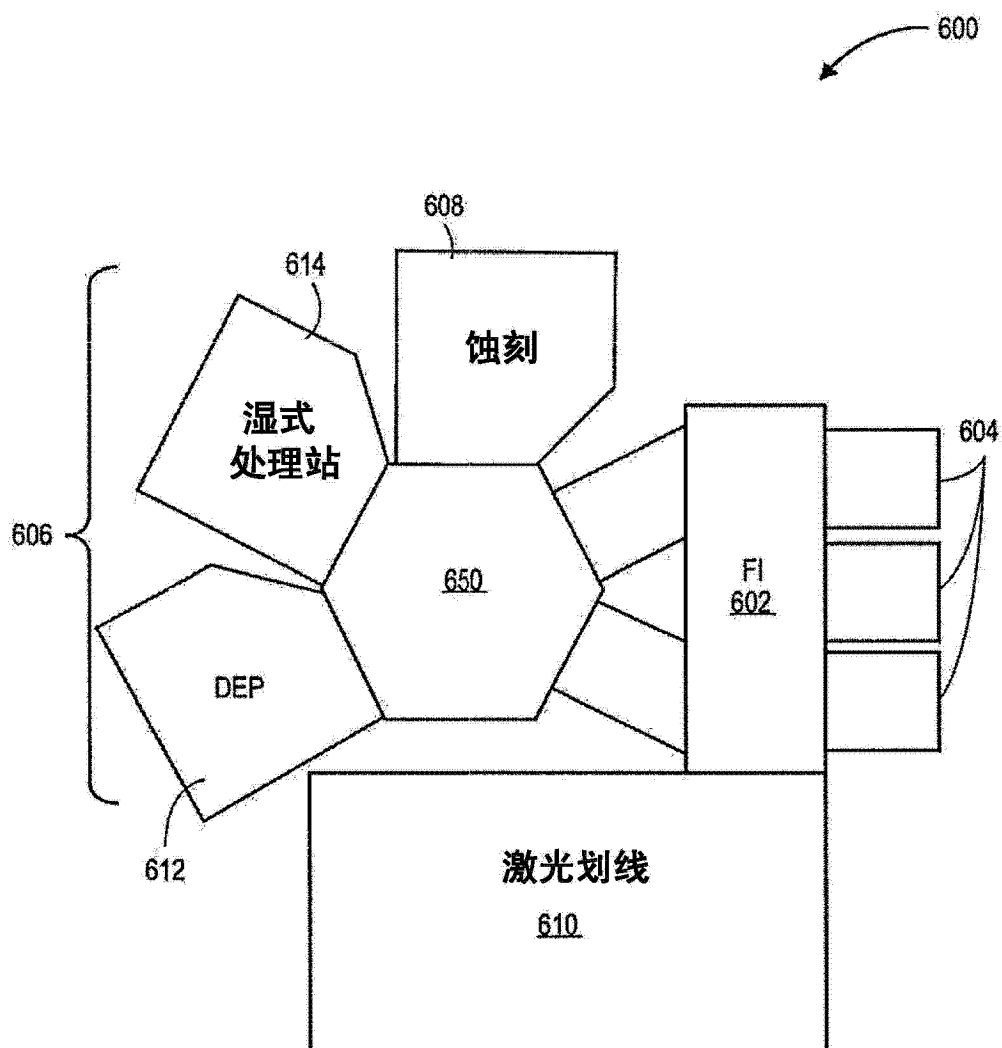


图 6

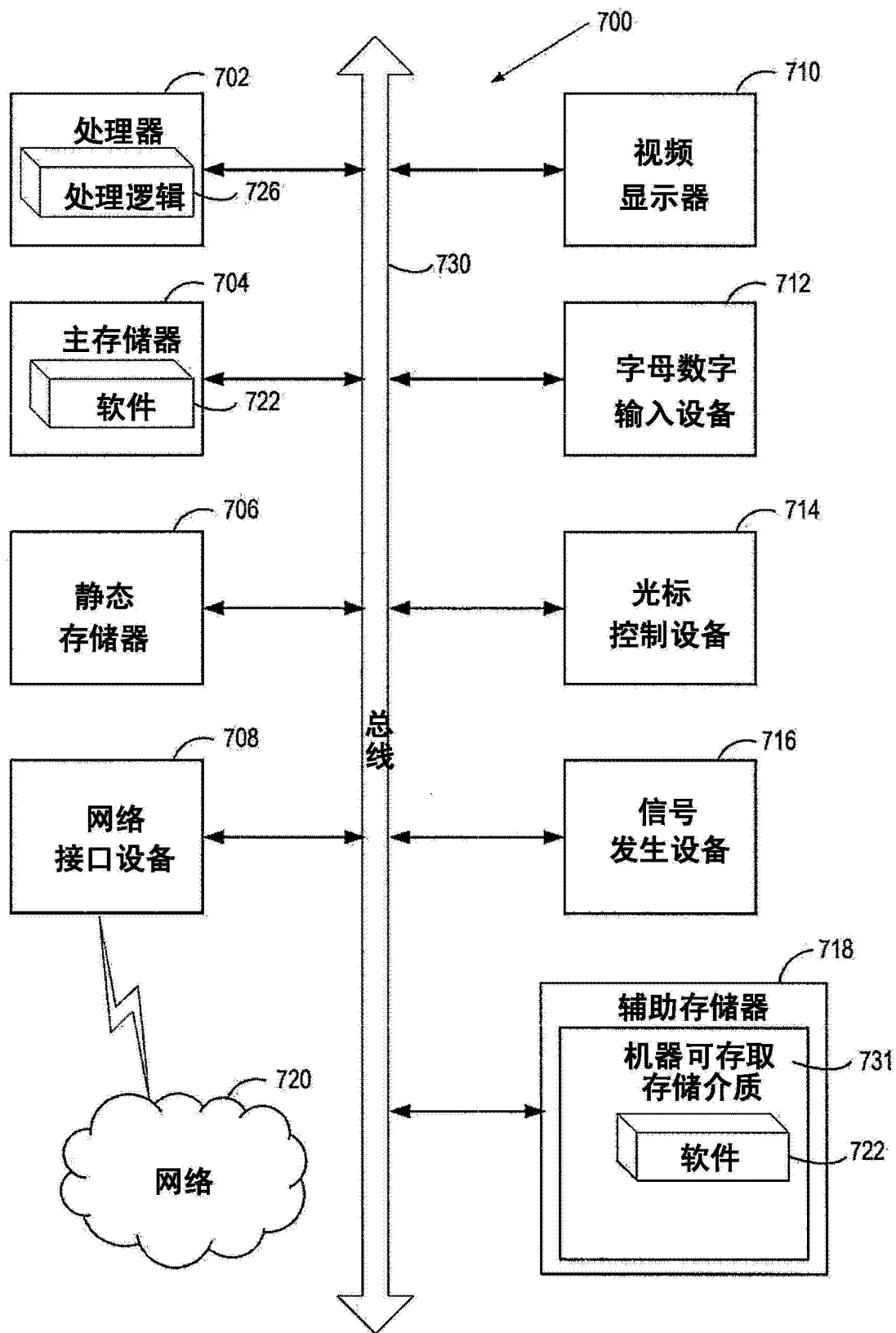


图 7