

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第6部門第4区分  
 【発行日】平成29年2月2日(2017.2.2)

【公表番号】特表2016-527654(P2016-527654A)  
 【公表日】平成28年9月8日(2016.9.8)  
 【年通号数】公開・登録公報2016-054  
 【出願番号】特願2016-531746(P2016-531746)  
 【国際特許分類】

G 1 1 C 11/413 (2006.01)

G 1 1 C 11/412 (2006.01)

H 0 1 L 21/8244 (2006.01)

H 0 1 L 27/11 (2006.01)

【F I】

G 1 1 C 11/34 K

G 1 1 C 11/40 3 0 1

H 0 1 L 27/10 3 8 1

【手続補正書】

【提出日】平成28年12月12日(2016.12.12)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

スタティックランダムアクセスメモリ(SRAM)セルと、  
リードバッファであって、

少なくとも2つのトランジスタを含むインバータであって、前記少なくとも2つのトランジスタのゲートは前記SRAMセルの出力部に応答し、かつ、前記インバータの第1のトランジスタは読出しワード線に結合される、インバータと、

ビット線を相補読出しワード線に選択的に結合するように構成されたスイッチであって、前記スイッチの制御端子は前記インバータの出力部に応答する、スイッチと

を含むリードバッファと

を含む、デバイス。

【請求項2】

前記スイッチは、前記インバータによって生成された第1の論理値に応答してアクティブ化され、前記スイッチは、前記インバータによって生成された第2の論理値に応答して非アクティブ化される、請求項1に記載のデバイス。

【請求項3】

前記スイッチは、n型金属酸化物半導体電界効果トランジスタ(nMOSFET)を含む、請求項1に記載のデバイス。

【請求項4】

前記制御端子は、前記nMOSFETのゲート端子に相当する、請求項3に記載のデバイス。

【請求項5】

前記SRAMセルは、n個の互いに異なるリードバッファに結合されたn個の互いに異なるSRAMセルの列に含まれ、nは正の整数であり、前記n個のうちのn-2個の互いに異なるリードバッファは、前記相補読出しワード線に結合されていない、請求項1に記載のデバイス。

【請求項6】

前記スイッチは、前記ビット線と前記相補読出しワード線との間に結合された単一のトランジスタを備え、前記スイッチは、前記ビット線と前記相補読出しワード線との間に結合された前記リードバッファの唯一の構成要素である、請求項1に記載のデバイス。

【請求項7】

第2のSRAMセルと、

第2のリードバッファであって、

前記第2のSRAMセルの出力部に応答する、第2のインバータと、

前記ビット線を前記相補読出しワード線に選択的に結合するように構成された第2のスイッチであって、前記第2のスイッチの第2の制御端子は前記第2のインバータの出力部に応答する、第2のスイッチと

を含む第2のリードバッファと

を含む、請求項1に記載のデバイス。

【請求項8】

第3のSRAMセルと、

第3のリードバッファであって、

前記第3のSRAMセルの出力部に応答する、第3のインバータと、

前記ビット線を第2の相補読出しワード線に選択的に結合するように構成された第3のスイッチであって、前記第3のスイッチの第3の制御端子は前記第3のインバータの出力部に応答する、第3のスイッチと

を含む第3のリードバッファと

を含む、請求項7に記載のデバイス。

【請求項9】

前記SRAMセルおよび前記リードバッファが統合された少なくとも1つの半導体ダイをさらに含む、請求項1に記載のデバイス。

【請求項10】

前記SRAMセルおよび前記リードバッファが統合された、モバイルデバイス、コンピュータ、タブレット、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、娯楽ユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末(PDA)、または固定位置データユニットのうちの少なくとも1つをさらに含む、請求項1に記載のデバイス。

【請求項11】

スタティックランダムアクセスメモリ(SRAM)セルを動作させる方法であって、

反転値を生成するために前記SRAMセルに記憶された値を反転させるステップであって、前記値は前記SRAMセルに関連付けられたリードバッファのインバータによって反転され、前記リードバッファの前記インバータは、前記SRAMセルの出力部に応答するゲートを有する少なくとも2つのトランジスタを含み、かつ、前記インバータの第1のトランジスタは読出しワード線に結合される、ステップと、

前記反転値に基づいて前記リードバッファのスイッチの制御端子を制御するステップであって、前記スイッチはビット線および相補読出しワード線に結合される、ステップとを含む、方法。

【請求項12】

前記反転値が論理1値を有するとき、前記スイッチの前記制御端子を制御するステップは、前記スイッチをアクティブ化することによって前記ビット線を電圧端子に放電するステップを含む、請求項11に記載の方法。

【請求項13】

前記スイッチをアクティブ化することは、前記ビット線において論理0値を生成する、請求項12に記載の方法。

【請求項14】

前記反転値が論理0値を有するとき、前記スイッチの前記制御端子を制御するステップは、前記スイッチを非アクティブ状態に維持するステップを含む、請求項11に記載の方法。

## 【請求項 15】

前記スイッチの前記制御端子を前記非アクティブ状態に維持するステップは、前記リードバッファに結合された前記ビット線に論理1値をもたらす、請求項14に記載の方法。

## 【請求項 16】

前記SRAMセルに関連付けられた待機動作モードを始動するステップをさらに含む方法であって、前記スイッチの前記制御端子は、前記待機動作モード中、非アクティブ状態に維持される、請求項11に記載の方法。

## 【請求項 17】

前記スイッチの前記制御端子は、前記待機動作モード中、論理0値にバイアスされる、請求項16に記載の方法。

## 【請求項 18】

前記相補読出しワード線は電圧端子に関連付けられ、前記ビット線および前記電圧端子は、前記待機動作モード中、共通の電圧にバイアスされる、請求項16に記載の方法。

## 【請求項 19】

前記インバータのp型金属酸化半導体電界効果トランジスタ(pMOSFET)の第1のソース端子およびn型金属酸化半導体電界効果トランジスタ(nMOSFET)の第2のソース端子は、前記待機動作モード中、共通の電圧にバイアスされる、請求項16に記載の方法。

## 【請求項 20】

前記リードバッファを通る漏洩電流は、前記待機動作モード中には読出し動作中と比較して低減される、請求項19に記載の方法。

## 【請求項 21】

前記SRAMセルは、電子デバイス内に統合されたプロセッサに含まれる、請求項11に記載の方法。

## 【請求項 22】

スタティックランダムアクセスメモリ(SRAM)セル列を動作させる方法であって、前記方法は、

前記SRAMセル列の第1のSRAMセルに関連付けられた読出し動作を始動するステップを含み、

前記読出し動作中、

第1の電流を、ビット線から、前記SRAMセル列の非選択SRAMセルの第1のリードバッファに流し、前記第1のリードバッファは、前記非選択SRAMセルの出力部に応答するゲートを有する少なくとも2つのトランジスタを含むインバータを含み、前記第1のリードバッファは、前記ビット線および相補読出しワード線に結合されたスイッチをさらに含み、前記スイッチは前記インバータの出力部に応答し、前記インバータの第1のトランジスタは読出しワード線に結合され、

第2の電流を、前記SRAMセル列の第2の非選択SRAMセルの第2のリードバッファから、前記ビット線に流す、方法。

## 【請求項 23】

前記読出し動作を始動する前に前記ビット線をプリチャージするステップをさらに含む方法であって、前記第1の電流は、前記読出し動作中、前記ビット線の放電を妨害する、請求項22に記載の方法。

## 【請求項 24】

nは前記SRAMセル列内のセルの数を示し、前記ビット線の前記放電は、(n-2)個の漏洩電流によって妨害される、請求項23に記載の方法。

## 【請求項 25】

前記第1の電流は、前記読出し動作中、前記第1のリードバッファの前記スイッチを通して流れる、請求項22に記載の方法。

## 【請求項 26】

前記読出し動作は、電子デバイスに統合されたプロセッサによって始動される、請求項

22に記載の方法。

【請求項 27】

値を記憶するための手段と、

前記値を記憶するための前記手段の読出し動作中、前記値をバッファリングするための手段であって、

反転値を生成するために前記値を反転させるための手段であって、少なくとも2つのトランジスタを含み、前記少なくとも2つのトランジスタのゲートは前記値を記憶するための前記手段の出力部に応答し、かつ、前記値を反転させるための前記手段の第1のトランジスタは読出しワード線に結合される、手段と、

前記反転値に基づいてビット線を相補読出しワード線に選択的に結合するための手段と

を含む、手段と

を含む、装置。

【請求項 28】

前記値を記憶するための前記手段は、スタティックランダムアクセスメモリ (SRAM) セルを含む、請求項27に記載の装置。

【請求項 29】

前記値をバッファリングするための前記手段は、リードバッファを含む、請求項27に記載の装置。

【請求項 30】

前記リードバッファは、前記値を記憶するための前記手段の前記出力部に結合される、請求項29に記載の装置。

【請求項 31】

前記値を反転させるための前記手段は、インバータを含む、請求項27に記載の装置。

【請求項 32】

前記ビット線を前記相補読出しワード線に選択的に結合するための前記手段は、前記ビット線と前記相補読出しワード線との間に結合されたスイッチを含む、請求項27に記載の装置。

【請求項 33】

前記値を記憶するための前記手段および前記値をバッファリングするための前記手段が統合された、半導体ダイをさらに含む、請求項27に記載の装置。

【請求項 34】

前記値を記憶するための前記手段および前記値をバッファリングするための前記手段が統合された、モバイルデバイス、コンピュータ、タブレット、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、娯楽ユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末 (PDA)、または固定位置データユニットのうちの少なくとも1つをさらに含む、請求項27に記載の装置。

【請求項 35】

スタティックランダムアクセスメモリ (SRAM) セルにアクセスするためにプロセッサによって実行可能な命令を記憶するコンピュータ可読記録媒体であって、前記SRAMセルにアクセスすることは、

反転値を生成するために前記SRAMセルに記憶された値を反転させることであって、前記値は前記SRAMセルに関連付けられたリードバッファのインバータによって反転され、前記リードバッファの前記インバータは、前記SRAMセルの出力部に応答するゲートを有する少なくとも2つのトランジスタを含み、かつ、前記インバータの第1のトランジスタは読出しワード線に結合される、ことと、

前記反転値に基づいて前記リードバッファのスイッチの制御端子を制御することであって、前記スイッチはビット線および相補読出しワード線に結合される、こととを含む、コンピュータ可読記録媒体。

【請求項 36】

前記命令は、前記SRAMセルを待機動作モードに入れるために前記プロセッサによってさらに実行可能であり、前記スイッチの前記制御端子は、前記SRAMセルに記憶された前記値とは無関係に前記待機動作モード中、論理0電圧にバイアスされる、請求項35に記載のコンピュータ可読記録媒体。

【請求項 37】

前記リードバッファは、3トランジスタ(3T)構成を有し、前記SRAMセルおよび前記リードバッファは、9トランジスタ(9T)構成を有する、請求項35に記載のコンピュータ可読記録媒体。

【請求項 38】

前記命令は、モバイルデバイス、コンピュータ、タブレット、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、娯楽ユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末(PDA)、または固定位置データユニットのうちの少なくとも1つを含むデバイスに統合された前記プロセッサによって実行可能である、請求項35に記載のコンピュータ可読記録媒体。

【請求項 39】

半導体デバイスの少なくとも1つの物理的特性を表す設計情報を受け取るステップであって、前記半導体デバイスは、

スタティックランダムアクセスメモリ(SRAM)セルと、

リードバッファであって、

少なくとも2つのトランジスタを含むインバータであって、前記少なくとも2つのトランジスタのゲートは前記SRAMセルの出力部に応答し、かつ、前記インバータの第1のトランジスタは読出しワード線に結合される、インバータと、

ビット線および相補読出しワード線に結合されたスイッチであって、前記スイッチの制御端子は前記インバータの出力部に応答する、スイッチと

を含むリードバッファと

を含む、ステップと、

前記設計情報をファイル形式に準拠するように変換するステップと、

前記変換された設計情報を含むデータファイルを生成するステップと

を含む、方法。

【請求項 40】

前記データファイルは、GDSIIフォーマットを含む、請求項39に記載の方法。

【請求項 41】

半導体デバイスに対応する設計情報を含むデータファイルを受け取るステップと、

前記設計情報に従って前記半導体デバイスを製造するステップであって、前記半導体デバイスは、

スタティックランダムアクセスメモリ(SRAM)セルと、

リードバッファであって、

少なくとも2つのトランジスタを含むインバータであって、前記少なくとも2つのトランジスタのゲートは前記SRAMセルの出力部に応答し、かつ、前記インバータの第1のトランジスタは読出しワード線に結合される、インバータと、

ビット線および相補読出しワード線に結合されたスイッチであって、前記スイッチの制御端子は前記インバータの出力部に応答する、スイッチと

を含むリードバッファと

を含む、ステップと

を含む、方法。

【請求項 42】

前記データファイルは、GDSIIフォーマットを有する、請求項41に記載の方法。

【請求項 43】

回路基板上のパッケージングされた半導体デバイスの物理的位置情報を含む設計情報を受け取るステップであって、前記パッケージングされた半導体デバイスは、

スタティックランダムアクセスメモリ (SRAM) セルと、  
リードバッファであって、

少なくとも2つのトランジスタを含むインバータであって、前記少なくとも2つのトランジスタのゲートは前記SRAMセルの出力部に応答し、かつ、前記インバータの第1のトランジスタは読出しワード線に結合される、インバータと、

ビット線および相補読出しワード線に結合されたスイッチであって、前記スイッチの制御端子は前記インバータの出力部に応答する、スイッチと

を含むリードバッファと

を含む、ステップと、

データファイルを生成するために前記設計情報を変換するステップと

を含む方法。

【請求項 4 4】

前記データファイルは、GERBERフォーマットを有する、請求項43に記載の方法。

【請求項 4 5】

回路基板上のパッケージングされた半導体デバイスの物理的位置情報を含む設計情報を含むデータファイルを受け取るステップと、

前記設計情報に従って、前記パッケージングされた半導体デバイスを受け取るように構成された前記回路基板を製造するステップであって、前記パッケージングされた半導体デバイスは、

スタティックランダムアクセスメモリ (SRAM) セルと、

リードバッファであって、

少なくとも2つのトランジスタを含むインバータであって、前記少なくとも2つのトランジスタのゲートは前記SRAMセルの出力部に応答し、かつ、前記インバータの第1のトランジスタは読出しワード線に結合される、インバータと、

ビット線および相補読出しワード線に結合されたスイッチであって、前記スイッチの制御端子は前記インバータの出力部に応答する、スイッチと

を含むリードバッファと

を含む、ステップと

を含む、方法。

【請求項 4 6】

前記データファイルは、GERBERフォーマットを有する、請求項45に記載の方法。

【請求項 4 7】

セットトップボックス、音楽プレーヤ、ビデオプレーヤ、娯楽ユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末(PDA)、固定位置データユニット、またはコンピュータのうちの少なくとも1つを含むデバイスに前記回路基板を統合するステップをさらに含む、請求項45に記載の方法。