

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019年2月21日 (21.02.2019)



(10) 国际公布号
WO 2019/033792 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2018/085166

(22) 国际申请日: 2018年4月28日 (28.04.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710691065.9 2017年8月14日 (14.08.2017) CN

(71) 申请人: 京东方科技集团股份有限公司
(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN];
中国北京市朝阳区酒仙桥路10号, Beijing
100015 (CN)。 北京京东方显示技术有限公司
(BEIJING BOE DISPLAY TECHNOLOGY CO.,

LTD.) [CN/CN]; 中国北京市北京经济技术开发区
经海一路118号, Beijing 100176 (CN)。

(72) 发明人: 苏国火(SU, Guohuo); 中国北京市经济技术
开发区地泽路9号, Beijing 100176 (CN)。 孙
志华(SUN, Zhihua); 中国北京市经济技术开发区
地泽路9号, Beijing 100176 (CN)。 姚树林(YAO,
Shulin); 中国北京市经济技术开发区地泽路9号,
Beijing 100176 (CN)。 何光泉(HE, Guangquan);
中国北京市经济技术开发区地泽路9号, Beijing
100176 (CN)。 张宁(ZHANG, Ning); 中国北京
市经济技术开发区地泽路9号, Beijing 100176
(CN)。 唐继托(TANG, Jituo); 中国北京市经济技
术开发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人: 中科专利商标代理有限责任
公司 (CHINA SCIENCE PATENT & TRADEMARK

(54) Title: ARRAY SUBSTRATE AND DRIVING METHOD THEREFOR, AND DISPLAY APPARATUS

(54) 发明名称: 阵列基板及其驱动方法和显示装置

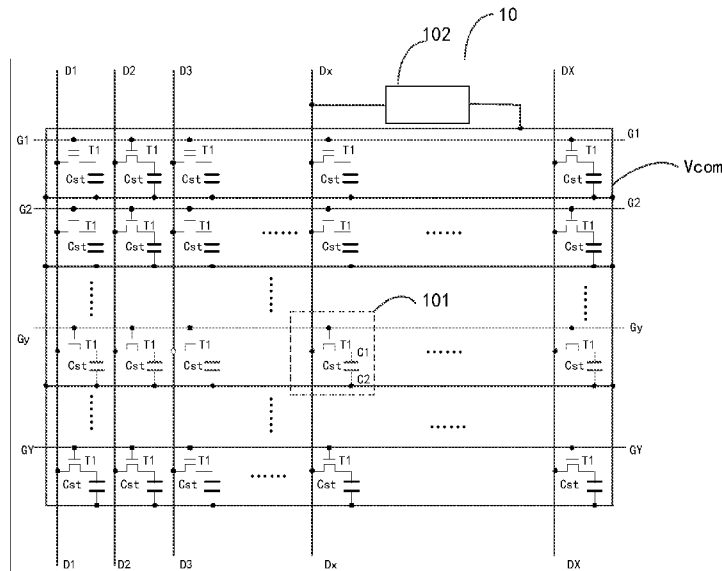


图 1

(57) Abstract: Disclosed are an array substrate (10) and a driving method therefor, and a display apparatus. The array substrate (10) comprises: a plurality of data lines (D1-DX); a plurality of scanning lines (G1-GY), the plurality of scanning lines (G1-GY) intersecting with the plurality of data lines (D1-DX) to form a matrix array; a common electrode line (Vcom); a plurality of pixel sub-circuits (101) arranged at an intersection of each data line (Dx) and each scanning line (Gy), wherein each of the pixel sub-circuits (101) comprises a pixel transistor (T1) and a pixel capacitor (Cst), the pixel capacitor (Cst) is connected between the data line (Dx) and the common electrode line (Vcom) by means of the pixel transistor (T1), and a control end of the pixel transistor (T1) is connected to the scanning line (Gy); and a control sub-circuit (102) connected between the corresponding data line (Dx) and the common electrode line (Vcom) and

AGENT LTD.); 中国北京市海淀区西三环北路
87号4-1105室, Beijing 100089 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,
JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

used for enabling, based on a control signal, a voltage difference between two ends of the pixel capacitor (Cst) in the pixel sub-circuit (101) connected to the data line (Dx) to be zero.

(57) 摘要: 公开了一种阵列基板(10)及其驱动方法以及一种显示装置。阵列基板(10)包括: 多条数据线(D1~DX); 多条扫描线(G1~GY), 多条扫描线(G1~GY)与多条数据线(D1~DX)交叉形成矩阵阵列; 公共电极线(Vcom); 设置在每个数据线(Dx)和每个扫描线(Gy)交叉处的多个像素子电路(101), 其中每个像素子电路(101)包括像素晶体管(T1)和像素电容(Cst), 像素电容(Cst)经像素晶体管(T1)连接在数据线(Dx)和公共电极线(Vcom)之间, 像素晶体管(T1)的控制端与扫描线(Gy)相连; 以及控制子电路(102), 连接在相应的数据线(Dx)和公共电极线(Vcom)之间, 用于基于控制信号, 使与数据线(Dx)相连的像素子电路(101)中像素电容(Cst)两端的电压差为零。

阵列基板及其驱动方法和显示装置

相关申请的交叉引用

本申请要求于 2017 年 8 月 14 日提交的、申请号为 201710691065.9 的中国专利申请的优先权，其全部内容通过引用并入本申请中。

技术领域

本公开涉及显示领域，尤其涉及一种阵列基板及其驱动方法和显示装置。

背景技术

在传统的液晶显示器（Liquid Crystal Device, LCD）中，可以将驱动栅极的栅极驱动电路形成于阵列基板（Gate drive On Array, GOA）上。当关闭显示装置的电源时，通过设置于 GOA 面板上的栅极驱动电路将显示装置上薄膜晶体管（Thin Film Transistor, TFT）的栅极置于例如高电平，以导通该薄膜晶体管，以使像素电容的电压快速降为零，从而使显示装置显示黑画面。

然而，在传统的 LCD 显示装置中，栅极驱动电路无法快速降低每个像素电容的电压，由此在关闭 LCD 面板时会出现可观察到的残影等不良现象。

发明内容

本公开实施例提供一种阵列基板及其驱动方法和显示装置。

根据本公开实施例的一方面，提供了一种阵列基板，包括：

多条数据线；

多条扫描线，所述多条扫描线与所述多条数据线交叉形成矩阵阵列；

公共电极线；

多个像素子电路，设置在每条数据线和每条扫描线交叉处，其中每个像素子电路包括像素晶体管和像素电容，所述像素电容经像素晶体管连接在数据线和公共电极线之间，所述像素晶体管的控制端与扫描线相连；以及

控制子电路，连接在相应的数据线和所述公共电极线之间，用于基于控制信号，使与所述数据线相连的像素子电路中的像素电容两端的电压差为零。

例如，所述控制子电路包括控制晶体管，所述控制晶体管用于控制一系列像素子电路。

例如，所述控制子电路包括两个控制晶体管，所述两个控制晶体管用于控制同一列像素子电路，并且分别布置在所述同一列像素子电路的两端。

例如，所述阵列基板还包括第一电源线，以及所述控制晶体管的控制端连接到所述第一电源线，第一端连接到与所述控制晶体管控制的一系列像素子电路对应的数据线，以及第二端连接到所述公共电极线。

例如，对于每一个像素子电路，像素晶体管的控制端与所述像素子电路所在行的扫描线相连，第一端与所述像素子电路所在列的数据线相连，以及第二端与像素电容的第一端相连，像素电容的第二端与公共电极线相连。

例如，在第一时段，所述控制晶体管关断，所述像素晶体管根据扫描线上的电压信号进行操作；以及在第二时段，所述控制晶体管和所述像素晶体管导通，所述像素电容的两端与对应列的数据线电连接。

例如，所述阵列基板还包括：第二电源线，与所述多条扫描线相连以便向所述多条扫描线供电；控制信号产生子电路，用于基于触发信号产生所述控制信号，并将所述控制信号输出到第一电源线、第二电源线和多条扫描线，以便分别控制施加到第一电源线、第二电源线和扫描线的电压。

根据本公开实施例的另一方面，提供了一种显示装置，包括根据本公开实施例的阵列基板。

根据本公开实施例的另一方面，提供了一种根据本公开实施例的阵列基板的驱动方法，包括：

获得控制信号；

基于控制信号，使与所述数据线相连的像素子电路中像素电容两端的电压差为零。

例如，所述获得控制信号的步骤包括：接收触发信号；基于接收到的触发信号产生控制信号。

例如，所述控制子电路包括至少一个控制晶体管，每个控制晶体管用于控制一系列像素子电路；对于每一个像素子电路，像素晶体管的控制端与所述像素子电

路所在行的扫描线相连，第一端与所述像素子电路所在列的数据线相连，以及第二端与像素电容的第一端相连，像素电容的第二端与公共电极线相连；

所述方法还包括：在获得控制信号之前，所述控制晶体管关断，所述像素晶体管根据扫描线上的电压信号进行操作；以及

所述使与所述数据线相连的像素子电路中像素电容两端的电压差为零的步骤包括：所述控制晶体管和所述像素晶体管导通，使得所述像素电容的两端与对应列的数据线电连接。

例如，所述阵列基板还包括：第一电源线，与所述多条数据线相连以便向所述多条数据线供电；第二电源线，与所述多条扫描线相连以便向所述多条扫描线供电；以及控制信号产生子电路，用于基于触发信号产生所述控制信号。所述使与所述数据线相连的像素子电路中像素电容两端的电压差为零的步骤还包括，控制信号产生子电路基于触发信号产生所述控制信号，使得施加到所述第一电源线的电压与施加到所述第二电源线的电压相等。

附图说明

图1示出了根据本公开实施例的阵列基板的示意方框图；

图2A示出了根据本公开一个实施例的阵列基板的电路示意图；

图2B示出了根据本公开另一个实施例的阵列基板的电路示意图；

图3示出了根据本公开另一个实施例的阵列基板的示意方框图；

图4示出了根据本公开实施例的阵列基板的驱动操作时序图；

图5示出了根据本公开实施例的显示装置的示意方框图；

图6示出了根据本公开实施例的阵列基板的驱动方法的示意流程图。

具体实施方式

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整的描述。显然，所描述的实施例是本公开的一部分实施例，而不是全部。基于所描述的本公开实施例，本领域普通技术人员在无需创造性劳动的前提下获得的所有其他实施例都属于本公开保护的范围。应注意，贯穿附图，相同的元素由相同或相近的附图标记来表示。在以下描述中，一些具体实施例仅用于描述目的，而不应该理解为对本

公开有任何限制，而只是本公开实施例的示例。在可能导致对本公开的理解造成混淆时，将省略常规结构或构造。应注意，图中各部件的形状和尺寸不反映真实大小和比例，而仅示意本公开实施例的内容。

除非另外定义，本公开实施例使用的技术术语或科学术语应当是本领域技术人员所理解的通常意义。本公开实施例中使用的“第一”、“第二”以及类似词语并不表示任何顺序、数量或重要性，而只是用于区分不同的组成部分。

此外，在本公开实施例的描述中，术语“相连”或“连接到”可以是指两个组件直接连接，也可以是指两个组件之间经由一个或多个其他组件相连。此外，这两个组件可以通过有线或无线方式相连或相耦合。

本公开实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件。本公开实施例中使用的薄膜晶体管可以是氧化物半导体晶体管。由于这里采用的薄膜晶体管的源极、漏极是对称的，所以其源极、漏极可以互换。在本公开实施例中，根据其功能，将栅极称作控制端，将源极和漏极中的一个称为第一端，将源极和漏极中的另一个称为第二端。

在 LCD 显示装置中，每个像素可以包括像素晶体管和像素电容，其中由像素电容的电压控制该像素单元显示的亮度和颜色，由像素晶体管的导通和关断来控制像素电容的充电和放电。当关闭显示装置的电源时，根据传统的电压侦测（通常称为 XAO）技术，当侦测到电源电压下降到预定值以下时，将所有像素单元的像素晶体管都导通，从而释放各像素电容的电压。传统的 XAO 技术通过该数据线上不同的像素电压中和以及线路损耗来将像素电容的电压降为零伏。该方法放电速率有限，容易观察到掉电时显示装置的残影等不良现象。

图 1 示出了根据本公开实施例的一种阵列基板的示意方框图。如图 1 所示，根据本公开实施例的阵列基板 10 可以包括：多条数据线 D1~DX 和多条扫描线 G1~GY，多条数据线 D1~DX 与多条扫描线 G1~GY 交叉形成矩阵阵列。阵列基板 10 包括公共电极线 Vcom 以及设置在每个数据线 Dx 和每个扫描线 Gy 交叉处的多个像素子电路 101，其中每个像素子电路 101 包括像素晶体管 T1 和像素电容 Cst，所述像素电容 Cst 经像素晶体管 T1 连接在数据线 Dx 和公共电极线 Vcom 之间，像素晶体管 T1 的控制端与扫描线 Gy 相连。阵列基板 10 还包括一个或多个控制子电路 102，一个或多个控制子电路 102 连接在相应的一条或多条数据线

和公共电极线之间,用于基于控制信号,使与所述一条或多条数据线相连的像素子电路中像素电容两端的电压差为零。其中,X和Y是大于1的整数,x是大于等于1小于等于X的整数,y是大于等于1小于等于Y的整数。对于每一个像素子电路101,像素晶体管T1的控制端与像素子电路所在行的扫描线Gy相连,第一端与该像素子电路所在列的数据线Dx相连,以及第二端与像素电容Cst的第一端C1相连,像素电容Cst的第二端C2与公共电极线Vcom相连。

值得说明的是,本申请中所述的多个指至少两个。

本领域技术人员可以理解,尽管图1的示例中仅示出了一个控制子电路102,根据本公开实施例的阵列基板可以包括更多个控制子电路,分别连接在相应的数据线和公共电极线之间。

图2A示出了根据本公开一个实施例的阵列基板20的电路示意图。如图2A所示,阵列基板20可以包括公共电极线Vcom以及设置在每个数据线Dx和每个扫描线Gy交叉处的多个像素子电路201。与图1的示例类似,每个像素子电路201包括像素晶体管T1和像素电容Cst,像素电容Cst经像素晶体管T1连接在数据线Dx和公共电极线Vcom之间,像素晶体管T1的控制端与扫描线Gy相连。阵列基板20还包括一个或多个控制子电路。例如,图2A的示例中示出了两个控制子电路202_1和202_2,控制子电路202_1和202_2中的每一个可以包括至少一个控制晶体管T,每个控制晶体管T用于控制一列像素子电路,例如控制子电路202_1控制图2A中的数据列D3,控制子电路202_2控制数据列Dx。阵列基板20还包括第一电源线Vss,控制晶体管T的控制端C连接到第一电源线Vss,第一端I连接到与对应的数据线D3或Dx,以及第二端O连接到公共电极线Vcom。

为了简明,图2A中仅示出了针对一列像素子电路设置一个控制晶体管的情况。根据本公开实施例,也可以针对一列像素设置两个或更多个控制晶体管。这尤其有利于显示装置的面积较大、分辨率较高的情况。

图2B示出了根据本公开另一个实施例的阵列基板的电路示意图。如图2B所示,控制子电路202_1和控制子电路202_2分别包括两个控制晶体管。即,针对例如数据列D3和Dx分别设置了两个控制晶体管。所述两个控制晶体管用于控制同一列像素子电路(例如,与D3或Dx相对应的一列像素子电路),并且

分别布置在所述同一列像素子电路的两端。此外，图 2A 和图 2B 都仅示出了针对数据列 D3 和 Dx 设置控制晶体管的情况，本领域技术人员可以理解，当然可以根据实际应用情况，针对所有奇数数据列、或偶数数据列、或所有数据列设置一个或更多个控制晶体管，只需将该控制晶体管的控制端连接到第一电源线 Vss，将第一端连接到与该控制晶体管控制的数据列对应的数据线，以及将第二端连接到公共电极线 Vcom 即可。

在图 2A 和图 2B 的示例中，与图 1 的示例类似，对于每一个像素子电路 201，像素晶体管 T1 的控制端与像素子电路所在行的扫描线 Gy 相连，第一端与该像素子电路所在列的数据线 Dx 相连，以及第二端与像素电容 Cst 的第一端 C1 相连，像素电容 Cst 的第二端 C2 与公共电极线 Vcom 相连。

图 3 示出了根据本公开另一个实施例的阵列基板的示意方框图。为了简明，图 3 中省略了与图 1、图 2A 和图 2B 相同或相类似的部分，例如多条数据线 D1~DX、公共电极线 Vcom、像素子电路和控制子电路。如图 3 所示，阵列基板 30 还包括第一电源线 Vss 以及第二电源线 Vgh。第二电源线 Vgh 与多条扫描线 G1~GY 相连以便向多条扫描线 G1~GY 供电。此外，阵列基板 30 还包括控制信号产生子电路 303，用于基于触发信号 XAO 产生控制信号，并将控制信号输出到第一电源线 Vss、第二电源线 Vgh 和多条扫描线 G1~GY，以便分别控制施加到第一电源线、第二电源线和扫描线的电压。

应注意，根据本公开实施例的控制信号产生子电路可以实现为分离元件，也可以将其功能集成到栅极驱动集成电路 IC 或其他集成电路 IC 中。

图 4 示出了根据本公开实施例的阵列基板的驱动操作时序图。接下来将参考图 1、图 2A、图 2B、图 3 以及图 4 来详细描述根据本公开实施例的阵列基板的驱动操作时序。为了便于描述，以下实例中所有像素晶体管 T1 和控制晶体管 T 均为 NMOS 薄膜晶体管，其栅极导通电压为高电平。本领域技术人员可以理解，像素晶体管 T1 和控制晶体管 T 也可以是 PMOS 薄膜晶体管，相应的改变栅极控制信号的极性即可。

图 4 中的第一时段 T1 是显示装置的正常显示时段。在第一时段 T1 中，Vss 电压是使得控制晶体管 T 关断的电压，例如 -8V，因此，控制子电路中的所有控制晶体管的栅极均关断。此时 XAO 信号为例如 1.6V。阵列基板上的所有像素晶

晶体管 T1 在扫描线 G1~GY 的控制下根据数据扫描方向依次导通和关断。在一个示例中,同一时刻 G1~GY 使得只导通其中一行 T1,其它行的 T1 均处于关断状态。之后将数据线 D1~DX 上对应的数据电压充电到像素电容 Cst 上从而使像素子电路显示与数据电压相应的亮度。

第二时段 T2 是显示装置的关机时段。当显示装置关闭电源时, XAO 信号从正常显示期间的 1.6V 开始下降。当控制信号产生子电路 303 检测到 XAO 信号下降到例如 1.2V 时,触发 XAO 功能。控制信号产生子电路 303 基于触发信号 XAO 产生控制信号,并将控制信号输出到所有扫描线 G1~GY,使得所有扫描线 G1~GY 上的电压均为高电平 Vgh,高电平 Vgh 通常为 30V。从而将所有像素晶体管 T1 导通,使得对应于同一条数据线的像素电容 Cst (即,同一列像素子电路的像素电容)的第一端 C1 与对应数据线相连,即像素电容 Cst 对数据线放电。同时,在控制信号的控制下,第一电源线上的 Vss 电压跟随 Vgh 电压从例如-8V 变为 Vgh,从而导通所有的控制晶体管 T,导通时间 t 通常为 2ms~3ms。此期间 Vgh 下降为 Vgh1,约为 15V, Vss 也相应上升为 Vss1 约为 15V。由于控制晶体管 T 导通,使得对应数据线与公共电极线连接,进而将对应数据线与像素电容 Cst 的第二端 C2 连接,从而像素电容 Cst 的第二端 C2 的电压迅速拉低到与对应数据线的电压相同。因此,像素电容 Cst 两端的电压均等于此时对应数据线的电压,电压差为零,由此显示装置将快速显示为黑画面。

该多个控制晶体管可以位于阵列基板上并且具有与像素薄膜晶体管同样的规格。因此可以按照与阵列基板的像素晶体管相同的工艺来制成所述多个控制晶体管,从而进一步降低了成本。

图 5 示出了根据本公开实施例的显示装置的示意方框图。如图 5 所示,显示装置 50 可以包括根据本公开实施例的阵列基板 510。根据本公开实施例的显示装置 50 可以是电子纸、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪、显示面板等任何具有显示功能的产品或部件。

根据本公开实施例,提供了一种阵列基板的驱动方法。应注意,以下方法中各个步骤的序号仅作为该步骤的表示以便描述,而不应被看作表示该各个步骤的执行顺序。除非明确指出,否则该方法不需要完全按照所示顺序来执行。

如图 6 所示,根据本公开实施例的阵列基板的驱动方法 600 可以包括以下步骤。

在步骤 S601, 获得控制信号。

在步骤 S602, 基于控制信号, 使与所述一条或多条数据线相连的像素子电路中像素电容两端的电压差为零。

步骤 S601 还可包括:

接收触发信号;

基于接收到的触发信号产生控制信号。

所述方法 600 还可以包括: 在获得控制信号之前, 控制晶体管关断, 所述像素晶体管根据扫描线上的电压信号进行操作。即, 显示装置处于正常显示状态。

当接收到的触发信号有效时, 例如, 当由于关闭显示装置的电源导致 XAO 信号小于等于 1.2V 时, 在步骤 S602, 控制晶体管和所述像素晶体管导通, 所述像素电容的两端与对应列的数据线电连接。具体地, 所有扫描线 G1~GY 上的电压均为高电平 Vgh, 高电平 Vgh 通常为 30V, 从而将所有像素晶体管 T1 导通, 使得对应于同一条数据线的像素电容 Cst 的第一端 C1 与对应数据线相连, 即像素电容 Cst 对数据线放电。同时, 在控制信号的控制下, 第一电源线上的 Vss 跟随 Vgh 从例如 -8V 变为 Vgh, 从而导通所有的控制晶体管 T, 导通时间 t 通常为 2ms~3ms。此时 Vgh 下降为 Vgh1, 约为 15V, Vss 也相应上升为 Vss1 约为 15V。由于控制晶体管 T 导通, 使得对应数据线与公共电极线连接, 进而将对对应数据线与像素电容 Cst 的第二端 C2 连接, 从而像素电容 Cst 的第二端 C2 的电压迅速拉低到与对应数据线的电压相同。因此, 像素电容 Cst 两端的电压均等于此时对应数据线的电压, 电压差为零, 由此显示装置将快速显示为黑画面。

根据本公开实施例, 在至少一条数据线和公共电极线之间分别设置相应的至少一个控制晶体管。在关闭显示装置的电源时, 控制晶体管使得像素电容两端的电压均为此时对应数据线的电压, 从而电压差为零, 由此显示装置将快速显示为黑画面。从而实现对像素电容的快速放电, 避免显示装置关机时出现显示画面闪白等不良现象。

以上所述的具体实施例，对本公开实施例的目的、技术方案和有益效果进行了进一步详细说明，所应理解的是，以上所述仅为本公开实施例的具体实施例而已，并不用于限制本公开，凡在本公开的精神和原则之内，所做的任何修改、等同替换、改进等，均应包含在本公开的保护范围之内。

权 利 要 求

1. 一种阵列基板，包括：

多条数据线；

多条扫描线，所述多条扫描线与所述多条数据线交叉形成矩阵阵列；

公共电极线；

多个像素子电路，设置在每条数据线和每条扫描线交叉处，其中每个像素子电路包括像素晶体管和像素电容，所述像素电容经像素晶体管连接在数据线和公共电极线之间，所述像素晶体管的控制端与扫描线相连；以及

控制子电路，分别连接在相应的数据线和所述公共电极线之间，用于基于控制信号，使与所述数据线相连的像素子电路中的像素电容两端的电压差为零。

2. 根据权利要求1所述的阵列基板，其中，所述控制子电路包括控制晶体管，所述控制晶体管用于控制一列像素子电路。

3. 根据权利要求2所述的阵列基板，其中，所述控制子电路包括两个控制晶体管，所述两个控制晶体管用于控制同一列像素子电路，并且分别布置在所述同一列像素子电路的两端。

4. 根据权利要求2所述的阵列基板，其中，所述阵列基板还包括第一电源线，所述控制晶体管的控制端连接到所述第一电源线，第一端连接到与所述控制晶体管控制的所述一列像素子电路对应的数据线，第二端连接到所述公共电极线。

5. 根据权利要求1或2所述的阵列基板，其中，对于每一个像素子电路，像素晶体管的控制端与所述像素子电路所在行的扫描线相连，第一端与所述像素子电路所在列的数据线相连，以及第二端与像素电容的第一端相连，像素电容的第二端与公共电极线相连。

6. 根据权利要求1-5之一所述的阵列基板，其中，所述阵列基板还包括：

第二电源线，与所述多条扫描线相连以便向所述多条扫描线供电；

控制信号产生子电路，用于基于触发信号产生所述控制信号，并将所述控制信号输出到第一电源线、第二电源线和多条扫描线，以便分别控制施加到第一电源线、第二电源线和扫描线的电压。

7. 一种显示装置，包括如权利要求1-6之一所述的阵列基板。

8. 一种权利要求1所述的阵列基板的驱动方法，包括：

获得控制信号；

基于控制信号，使与所述数据线相连的像素子电路中像素电容两端的电压差为零。

9. 根据权利要求8所述的驱动方法，其中，所述获得控制信号的步骤包括：

接收触发信号；

基于接收到的触发信号产生控制信号。

10. 根据权利要求8或9所述的驱动方法，其中，所述控制子电路包括至少一个控制晶体管，每个控制晶体管用于控制一列像素子电路；对于每一个像素子电路，像素晶体管的控制端与所述像素子电路所在行的扫描线相连，第一端与所述像素子电路所在列的数据线相连，以及第二端与像素电容的第一端相连，像素电容的第二端与公共电极线相连；

所述方法还包括：

在获得控制信号之前，所述控制晶体管关断，所述像素晶体管根据扫描线上的电压信号进行操作，以及

其中，所述使与所述数据线相连的像素子电路中像素电容两端的电压差为零的步骤包括：所述控制晶体管和所述像素晶体管导通，使得所述像素电容的两端与对应列的数据线电连接。

11. 根据权利要求9所述的驱动方法，其中，所述阵列基板还包括：第一电源线，与所述多条数据线相连以便向所述多条数据线供电；第二电源线，与所述多条扫描线相连以便向所述多条扫描线供电；以及控制信号产生子电路，用于基于

触发信号产生所述控制信号，

其中，所述使与所述数据线相连的像素子电路中像素电容两端的电压差为零的步骤还包括：控制信号产生子电路基于触发信号产生所述控制信号，使得施加到所述第一电源线的电压与施加到所述第二电源线的电压相等。

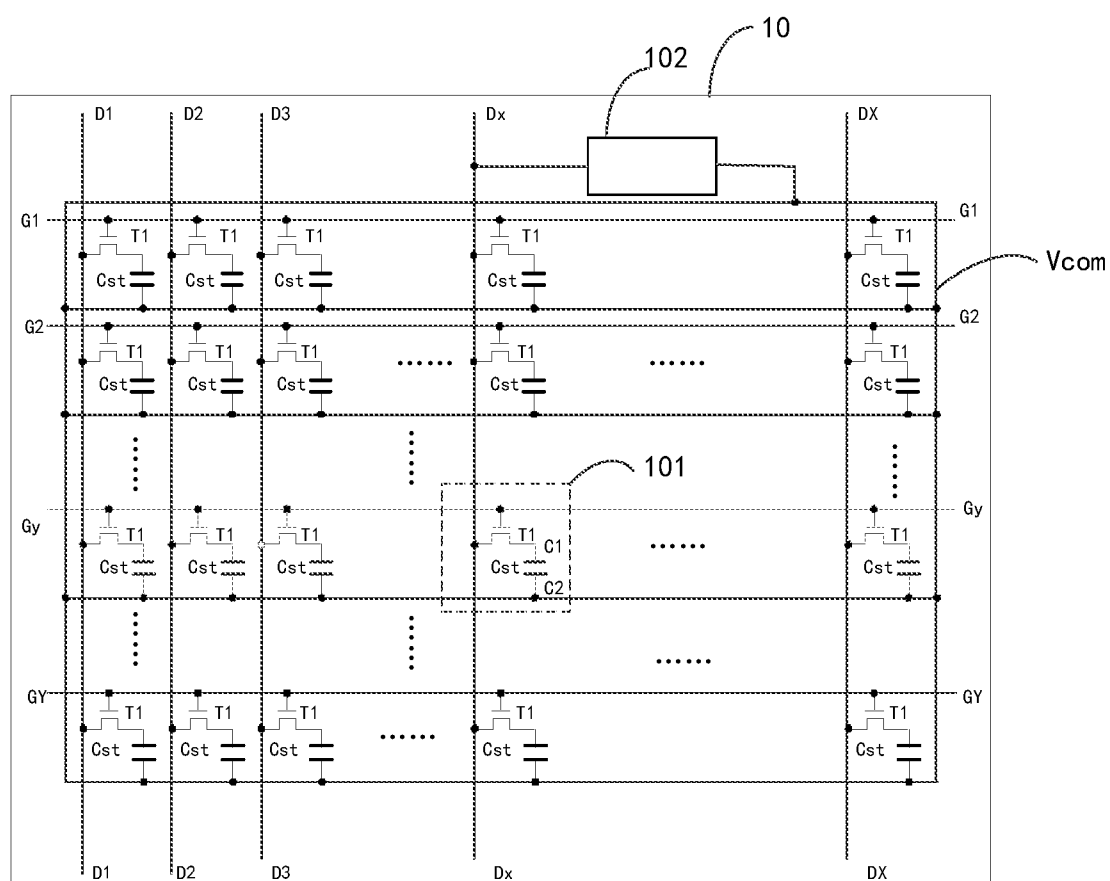


图 1

2/6

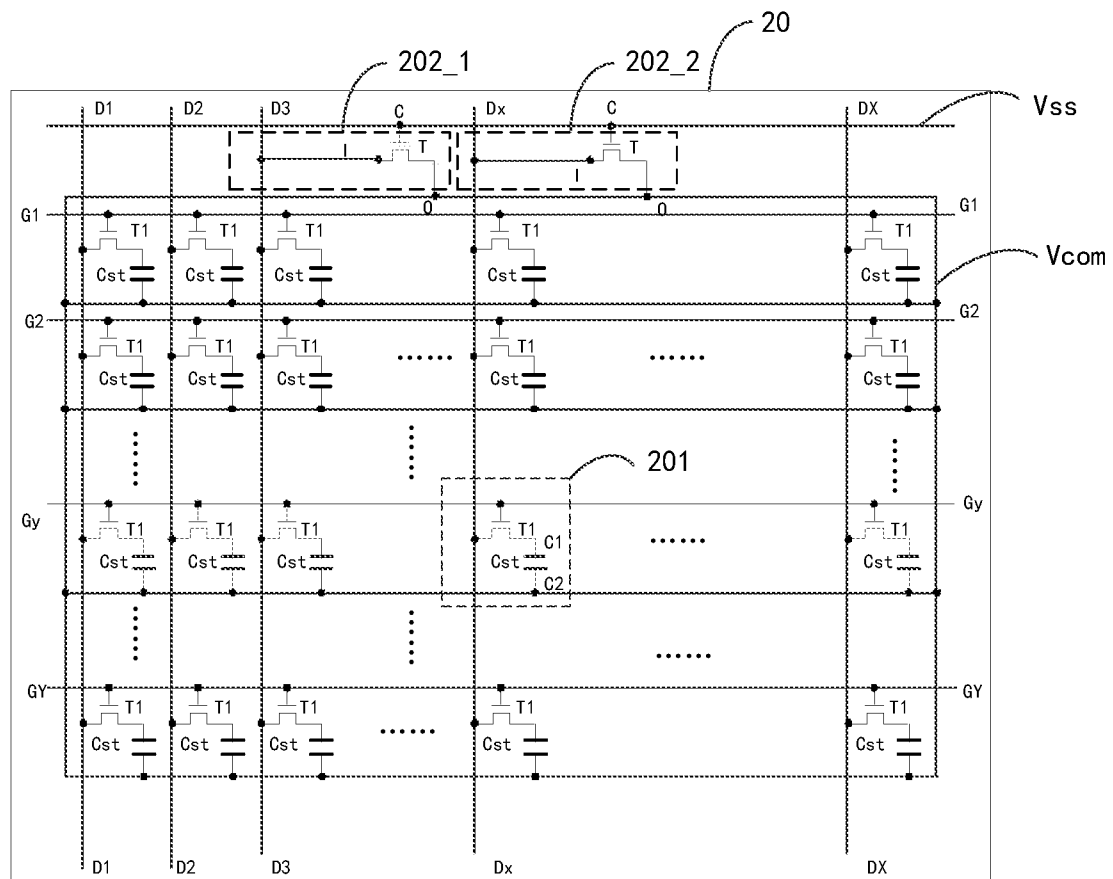


图 2A

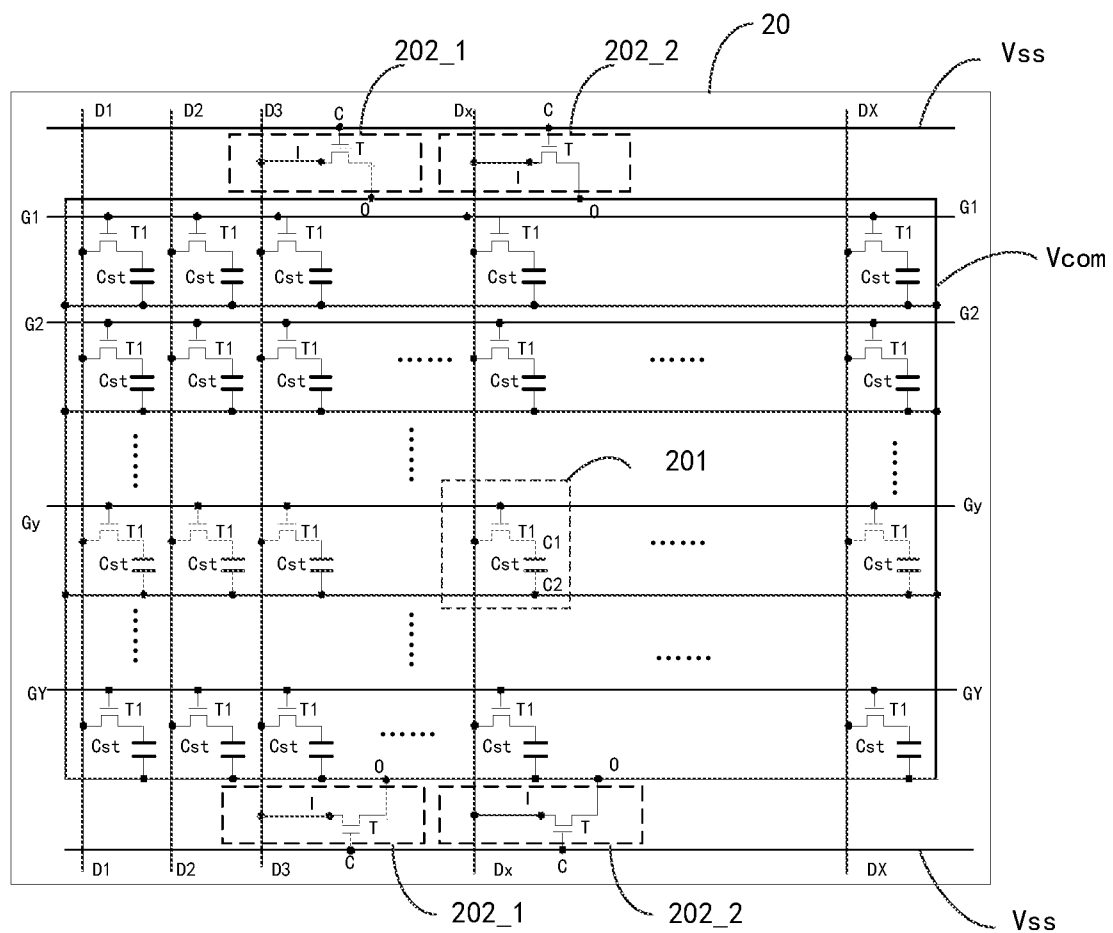


图 2B

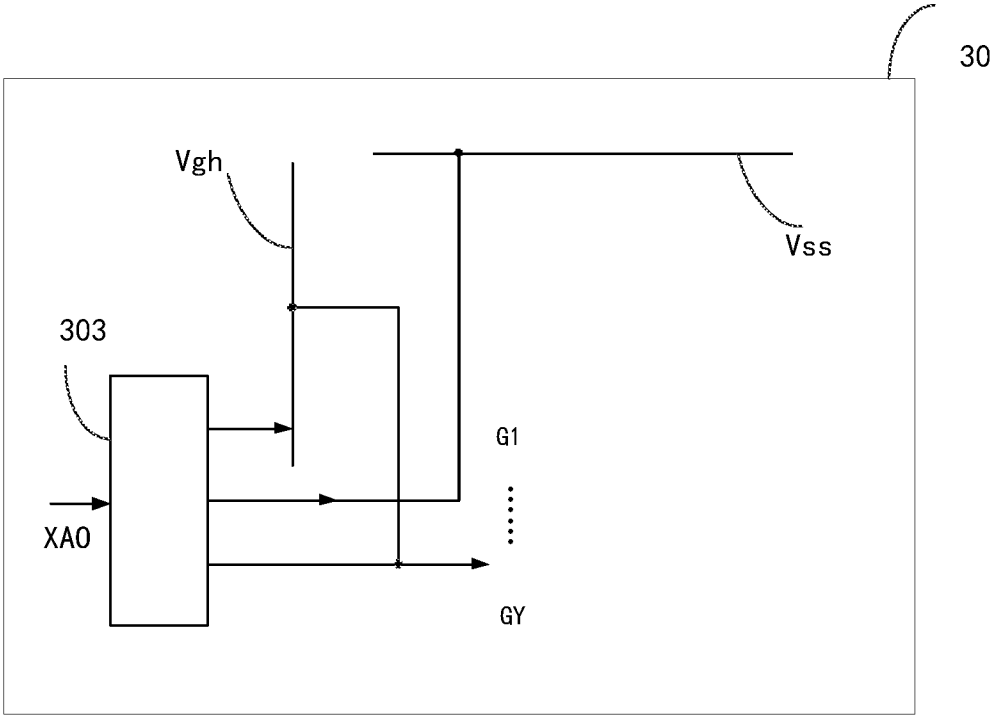


图 3

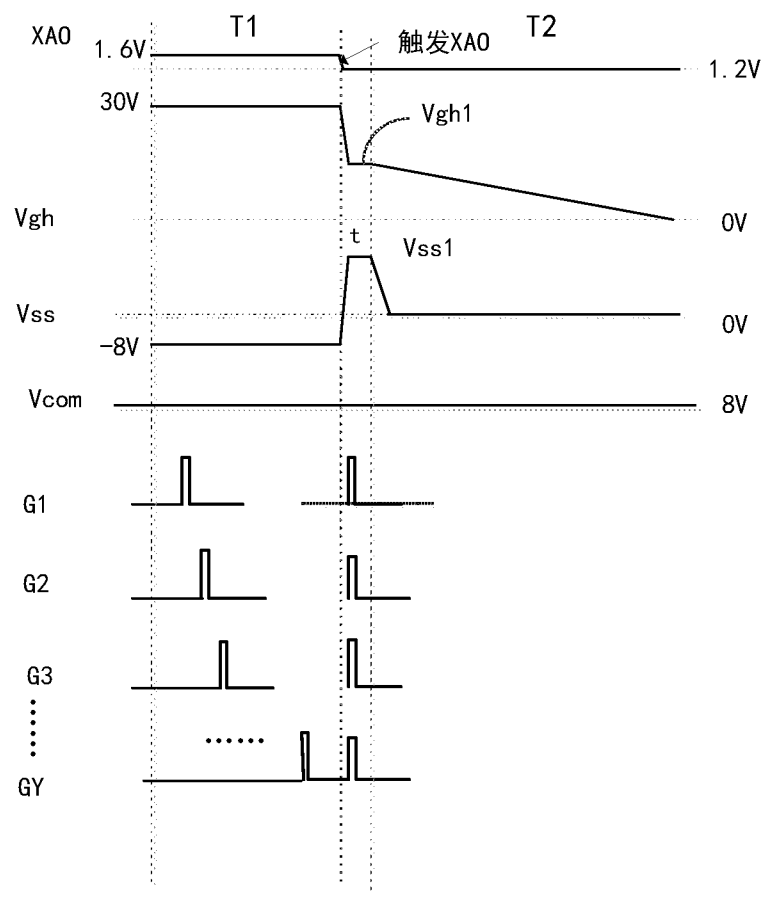


图 4

6/6

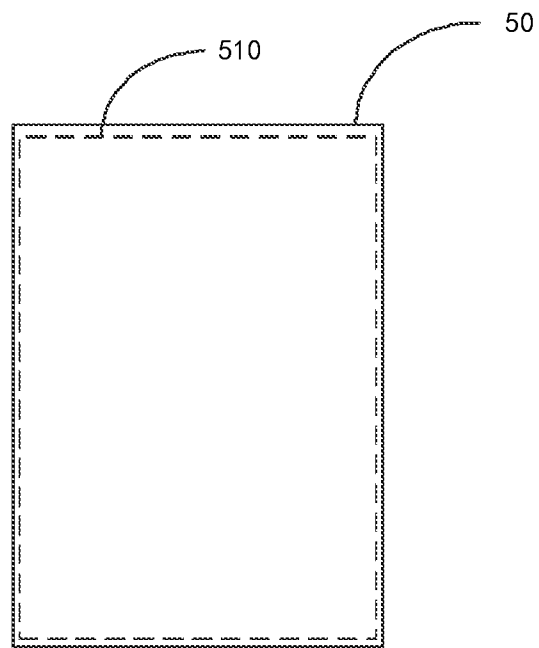


图 5

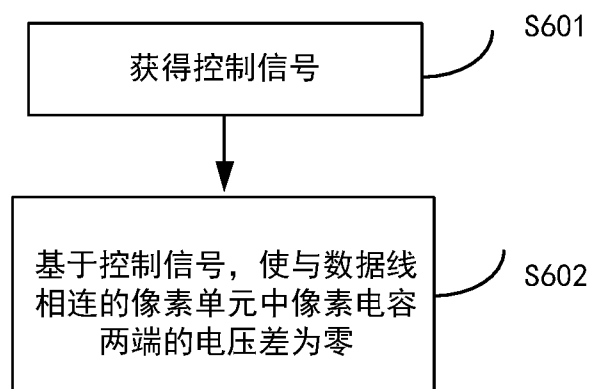
600

图 6

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2018/085166

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G, G02F, G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, VEN: 电容, 数据, 列, 公共, 共同, 公用, 线, 放电, 电荷, 释放, 残影, 残像, 残留 capacitor, data, common, public, line, discharge, charge, free, release, residual, image

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104503113 A (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.), 08 April 2015 (08.04.2015), description, paragraphs [0002]-[0051], and figures 1-6	1-2, 4-11
Y	CN 104503113 A (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.), 08 April 2015 (08.04.2015), description, paragraphs [0002]-[0051], and figures 1-6	3
Y	US 2010084653 A1 (SEMICONDUCTOR ENERGY LAB), 08 April 2010 (08.04.2010), description, paragraphs [0042]-[0067], and figures 1-2	3
PX	CN 107274851 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 20 October 2017 (20.10.2017), entire document	1-11

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 10 July 2018	Date of mailing of the international search report 20 July 2018
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer NIE, Yingying Telephone No. 62089873

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2018/085166

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104503113 A	08 April 2015	CN 104503113 B	09 June 2017
US 2010084653 A1	08 April 2010	KR 101652693 B1	01 September 2016
		TW I469302 B	11 January 2015
		JP 2014042036 A	06 March 2014
		KR 20170086144 A	25 July 2017
		WO 2010038819 A1	08 April 2010
		US 8334540 B2	18 December 2012
		US 2013092934 A1	18 April 2013
		TW I469298 B	11 January 2015
		JP 2017041639 A	23 February 2017
		KR 101761108 B1	25 July 2017
		JP 6317406 B2	25 April 2018
		JP 5766246 B2	19 August 2015
		JP 2015213179 A	26 November 2015
		JP 2010107976 A	13 May 2010
		TW 201030923 A	16 August 2010
		US 7989815 B2	02 August 2011
		TW 201143010 A	01 December 2011
		KR 101273972 B1	12 June 2013
		JP 6010188 B2	19 October 2016
		KR 101803720 B1	01 December 2017
		KR 20110083760 A	20 July 2011
		US 2011260159 A1	27 October 2011
		US 8674371 B2	18 March 2014
		KR 20160101725 A	25 August 2016
		KR 20110086017 A	27 July 2011
CN 107274851 A	20 October 2017	None	

国际检索报告

国际申请号

PCT/CN2018/085166

A. 主题的分类 G09G 3/36 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																	
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G09G; G02F; G11C 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNABS, CNTXT, VEN: 电容、数据、列、公共、共同、公用、线、放电、电荷、释放、残影、残像、残留 capacitor, data, common, public, line, discharge, charge, free, release, residual, image																	
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 104503113 A (合肥京东方光电科技有限公司等) 2015年 4月 8日 (2015 - 04 - 08) 说明书第[0002]-[0051]段、附图1-6</td> <td>1-2, 4-11</td> </tr> <tr> <td>Y</td> <td>CN 104503113 A (合肥京东方光电科技有限公司等) 2015年 4月 8日 (2015 - 04 - 08) 说明书第[0002]-[0051]段、附图1-6</td> <td>3</td> </tr> <tr> <td>Y</td> <td>US 2010084653 A1 (SEMICONDUCTOR ENERGY LAB) 2010年 4月 8日 (2010 - 04 - 08) 说明书第[0042]-[0067]段、附图1-2</td> <td>3</td> </tr> <tr> <td>PX</td> <td>CN 107274851 A (京东方科技集团股份有限公司等) 2017年 10月 20日 (2017 - 10 - 20) 全文</td> <td>1-11</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 104503113 A (合肥京东方光电科技有限公司等) 2015年 4月 8日 (2015 - 04 - 08) 说明书第[0002]-[0051]段、附图1-6	1-2, 4-11	Y	CN 104503113 A (合肥京东方光电科技有限公司等) 2015年 4月 8日 (2015 - 04 - 08) 说明书第[0002]-[0051]段、附图1-6	3	Y	US 2010084653 A1 (SEMICONDUCTOR ENERGY LAB) 2010年 4月 8日 (2010 - 04 - 08) 说明书第[0042]-[0067]段、附图1-2	3	PX	CN 107274851 A (京东方科技集团股份有限公司等) 2017年 10月 20日 (2017 - 10 - 20) 全文	1-11
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
X	CN 104503113 A (合肥京东方光电科技有限公司等) 2015年 4月 8日 (2015 - 04 - 08) 说明书第[0002]-[0051]段、附图1-6	1-2, 4-11															
Y	CN 104503113 A (合肥京东方光电科技有限公司等) 2015年 4月 8日 (2015 - 04 - 08) 说明书第[0002]-[0051]段、附图1-6	3															
Y	US 2010084653 A1 (SEMICONDUCTOR ENERGY LAB) 2010年 4月 8日 (2010 - 04 - 08) 说明书第[0042]-[0067]段、附图1-2	3															
PX	CN 107274851 A (京东方科技集团股份有限公司等) 2017年 10月 20日 (2017 - 10 - 20) 全文	1-11															
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																	
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件													
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																
国际检索实际完成的日期	国际检索报告邮寄日期																
2018年 7月 10日	2018年 7月 20日																
ISA/CN的名称和邮寄地址	受权官员																
中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451	聂莹莹 电话号码 62089873																

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/085166

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104503113	A	2015年 4月 8日	CN	104503113	B	2017年 6月 9日
US	2010084653	A1	2010年 4月 8日	KR	101652693	B1	2016年 9月 1日
				TW	I469302	B	2015年 1月 11日
				JP	2014042036	A	2014年 3月 6日
				KR	20170086144	A	2017年 7月 25日
				WO	2010038819	A1	2010年 4月 8日
				US	8334540	B2	2012年 12月 18日
				US	2013092934	A1	2013年 4月 18日
				TW	I469298	B	2015年 1月 11日
				JP	2017041639	A	2017年 2月 23日
				KR	101761108	B1	2017年 7月 25日
				JP	6317406	B2	2018年 4月 25日
				JP	5766246	B2	2015年 8月 19日
				JP	2015213179	A	2015年 11月 26日
				JP	2010107976	A	2010年 5月 13日
				TW	201030923	A	2010年 8月 16日
				US	7989815	B2	2011年 8月 2日
				TW	201143010	A	2011年 12月 1日
				KR	101273972	B1	2013年 6月 12日
				JP	6010188	B2	2016年 10月 19日
				KR	101803720	B1	2017年 12月 1日
				KR	20110083760	A	2011年 7月 20日
				US	2011260159	A1	2011年 10月 27日
				US	8674371	B2	2014年 3月 18日
				KR	20160101725	A	2016年 8月 25日
				KR	20110086017	A	2011年 7月 27日
CN	107274851	A	2017年 10月 20日	无			

表 PCT/ISA/210 (同族专利附件) (2015年1月)