

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号  
特許第3649877号  
(P3649877)

(45) 発行日 平成17年5月18日(2005.5.18)

(24) 登録日 平成17年2月25日(2005.2.25)

(51) Int.Cl.<sup>7</sup>  
H04Q 11/04  
// H04J 3/00

F I  
H04Q 11/04 Z  
H04J 3/00 T

請求項の数 10 (全 12 頁)

(21) 出願番号	特願平9-276333	(73) 特許権者	596092698
(22) 出願日	平成9年10月9日(1997.10.9)		ルーセント テクノロジーズ インコーポ
(65) 公開番号	特開平10-136477		レーテッド
(43) 公開日	平成10年5月22日(1998.5.22)		アメリカ合衆国, 07974-0636
審査請求日	平成12年3月6日(2000.3.6)		ニュージャージー, マレイ ヒル, マウン
(31) 優先権主張番号	08/728814		テン アヴェニュー 600
(32) 優先日	平成8年10月10日(1996.10.10)	(74) 代理人	100064447
(33) 優先権主張国	米国 (US)		弁理士 岡部 正夫
		(74) 代理人	100085176
			弁理士 加藤 伸晃
		(74) 代理人	100106703
			弁理士 産形 和央
		(74) 代理人	100096943
			弁理士 臼井 伸一

最終頁に続く

(54) 【発明の名称】 時分割多重システムにおけるハイブリッド タイムスロット及びサブタイムスロット動作

(57) 【特許請求の範囲】

【請求項 1】

各々が予め決められた持続時間を有する複数のタイムスロットを定義する時分割多重交換機と、前記交換機に接続され、各々がいずれかのタイムスロットの間前記交換機を介して1つだけの情報転送を遂行するためだけの複数の第1のポート回路とを備えた交換システム用のポート回路であって、

各タイムスロットの間に複数のサブタイムスロットを定義する装置と、

前記サブタイムスロット定義装置に接続され、(a)第1のポート回路を使用した、いずれかのタイムスロットの間に前記交換機を介する1つだけの情報転送と、(b)別の第2のポート回路を使用して1タイムスロットの間に前記交換機を介して複数の情報転送を遂行するために、いずれかの1サブタイムスロットの間に前記交換機を介する1つの情報転送とのうちのいずれか一方の情報転送を、または両方を選択的に遂行する装置と、からなるポート回路。

【請求項 2】

請求項1記載のポート回路において、転送遂行装置は、1タイムスロットの間に交換機を介して1つだけの情報転送を第1のポート回路で遂行すると共に、1サブタイムスロットの間に交換機を介して1つの情報転送を、同様にサブタイムスロット定義装置と転送遂行装置とからなる他のポート回路で遂行するためのものであるポート回路。

【請求項 3】

さらに、全ポート回路に対してタイムスロットを定義する第1のクロック信号を搬送する

10

20

交換システム用の請求項 1 記載のポート回路において、サブタイムスロット定義装置は、受信した前記第 1 のクロック信号を乗算して、前記第 1 のクロック信号からサブタイムスロットを定義する第 2 のクロック信号を発生する装置を含むポート回路。

【請求項 4】

請求項 1 記載のポート回路において、サブタイムスロット定義装置は、複数のサブタイムスロットを 1 タイムスロットと同期させる装置を含むポート回路。

【請求項 5】

請求項 1 記載のポート回路において、転送遂行装置は、ポート回路用の制御信号を発生して、前記いずれかの 1 サブタイムスロットの間に交換機を介して 1 つの情報転送を遂行する有限状態装置を含むポート回路。

10

【請求項 6】

請求項 5 記載のポート回路において、有限状態装置は、複数のサブタイムスロットを 1 タイムスロットと同期させる手段を実行するポート回路。

【請求項 7】

各々が予め決められた持続時間を有する複数のタイムスロットを定義する時分割多重交換機と、

前記交換機に接続され、各々がいずれかのタイムスロットの間に交換機を介して 1 つだけの情報転送を遂行するためだけの複数の第 1 のポート回路と、

前記交換機に接続される複数の第 2 のポート回路とからなり、各々の複数の第 2 のポート回路は前記の各タイムスロットの間に複数のサブタイムスロットを定義し、( a ) 第 1 のポート回路を使用した、いずれかのタイムスロットの間に前記交換機を介する 1 つだけの情報転送と、( b ) 別の第 2 のポート回路を使用して 1 タイムスロットの間に前記交換機を介して複数の情報転送を遂行するために、いずれかの 1 サブタイムスロットの間に前記交換機を介する 1 つの情報転送とのうちのいずれか一方の情報転送を、または両方を選択的に遂行する交換システム。

20

【請求項 8】

請求項 7 記載の交換システムにおいて、各々の第 2 のポート回路は、1 タイムスロットの間に区間構成を介して 1 つだけの情報転送を第 1 のポート回路で遂行すると共に、1 サブタイムスロットの間に交換機を介して 1 つの情報転送を他の第 2 のポート回路で遂行する交換システム。

30

【請求項 9】

請求項 7 記載の交換システムにおいて、交換機は、タイムスロットを定義する第 1 のクロック信号をポート回路に運ぶ信号リンクを含み、  
各々の第 2 のポート回路は、前記信号リンクに接続され、受信した前記第 1 のクロック信号を乗算して、前記第 1 のクロック信号からサブタイムスロットを定義する第 2 のクロック信号を発生する装置を含む交換システム。

【請求項 10】

請求項 7 記載の交換システムにおいて、各々の第 2 のポート回路は、複数のサブタイムスロットを 1 タイムスロットと同期させる装置を含む交換システム。

【発明の詳細な説明】

40

【0001】

【発明の属する技術分野】

本発明は、一般に時分割多重 ( T D M ) システムに関し、特に T D M 通信交換システムに関する。

【0002】

【従来の技術及び発明が解決しようとする課題】

時分割多重化は、一般に、最新の通信交換システムの交換機に使用されている。その一例は、ルーセント テクノロジーズ インクの D e f i n i t y R 構内交換機 ( P B X ) の T D M バスである。最新のアプリケーションやテクノロジーは、このような既存の T D M システムのバス容量を急速に使い尽くしてしまう。例えば、マルチメディア通信は、ライ

50

ンポートまたは中継線ポート当たり多数のタイムスロットを使用するが、最新のハードウェアテクノロジーは、ポートが各ポート回路バックを介して実行されるのを絶えず可能にする。したがって、TDMシステムのバス容量を増加させることが必要である。

【0003】

TDMバス容量を増加させる方法の1つは、バスをより早く、すなわちより高いクロック速度で、走らせることである。この方法は、TDMバスに接続してそれを使用する全ての回路バックの最新設計を必要とする。これは大規模な開発とコスト増加になる。したがって、この方法は、既存のシステムによる互換性が必要とされない新しいシステム設計においてのみ、使用に適している。

【0004】

TDMバス容量を増加させる第2の方法は、より高速のマルチフェーズクロック分配を既存のTDMバスに追加することである。この方法は、既存の回路バックが従来の動作のために既存のクロックを使用するのを可能にすると共に、新しい回路バックが、多数のサブタイムスロット転送が1タイムスロットにおいて生じるサブタイムスロット動作のために新しい多相クロックを使用するのを可能にする。このような方法の一例は、米国特許第4,656,627号に開示されている。この方法は、新しいバスバックプレーン及びクロック発生回路を必要とし、既存システムのグレードアップを難しくかつ高価にさせる。したがって、技術があまりない者には、既存のシステムに容易に再適合すると共に、既存のポート回路バック及びバスバックプレーンの動作と干渉せずかつそれらの変更を要しない、TDMシステムのバス容量を増加させる方法である。

【0005】

【課題を解決するための手段】

本発明は、従来技術の欠点を解決してその要求を満足させることに向けられている。本発明によれば、ポート回路は、従来のタイムスロット動作を遂行するばかりでなく、外部の支援なしにサブタイムスロット動作を遂行するように設計される。例えば、周波数乗算されたフェーズロックループ(PLL)等のクロック周波数乗算器と、PLL駆動式有限状態装置等の乗算器駆動式サブタイムスロット動作回路が、新しいポート回路バックに組み込まれる。クロック周波数乗算機及びサブタイムスロット動作回路は、1タイムスロットにおける多数のTDMバス転送を遂行するのに必要な追加の制御信号の全てを発生する。サブタイムスロット動作は、過タイムスロットを基礎として機能付与され、それにより、サブタイムスロット動作は同一TDMバス上の標準動作と共存することができる。また、それは、新しいポート回路バックが従来のポート回路バックと共に標準的なタイムスロット動作に従事するのを可能にする。新しいポート回路バックは、既存のポート回路バック及びTDMバスバックプレーンと干渉することなくまたはそれらのいかなる変更も必要とすることなく動作する。したがって、既存のTDMシステムへの再適合とそのアップグレードは、簡単であり、遂行が比較的安価である。

【0006】

一般に本発明の一態様によれば、交換システムは、各々が予め決められた持続時間を有する複数のタイムスロットを定義するTDM交換機と、前記交換機に接続され、各々がいずれかの1タイムスロットの間前記交換機を介して1つだけの情報転送を遂行する複数の第1の(従来の)ポート回路と、前記交換機に接続され、各々が、(a)いずれかの1タイムスロットの間前記交換機を介して1つだけの情報転送か、または(b)1タイムスロットの間前記交換機を介して複数回の情報転送を遂行するように、いずれかの1サブタイムスロットの間前記交換機を介して1つの情報転送かのどちらかを選択的に遂行するために、各々の前記タイムスロットの間複数のサブタイムスロットを定義する複数の第2のポート回路とからなる。したがって、サブタイムスロット機能付与されたポート回路は、好適に、TDM交換システムにおけるハイブリッドタイムスロット及びサブタイムスロット動作が可能である。サブタイムスロット機能付与されたポート回路は、第1のポート回路と共に1タイムスロットの間交換機を介して1つの転送を遂行し、それにより、第1のポート回路と互換性があり、また、他のサブタイムスロット機能付与されたポート回路と

10

20

30

40

50

共に1サブタイムスロットの間交換機を介して1つの転送を遂行し、それにより、TDM交換機の転送処理量を増加させる。

【0007】

好適には、交換システムは、全ポート回路へのタイムスロットを定義する第1のクロック信号を運び、サブタイムスロット機能付与されたポート回路は、受信した第1のクロック信号を乗算して、それからサブタイムスロットを定義する第2のクロック信号を発生する。したがって、サブタイムスロット機能付与されたポート回路は、交換システムが従来のポート回路に従来提供している支援以外の交換システムからのどんな支援もなしに、サブタイムスロット動作を遂行する。また、好適には、サブタイムスロット機能付与されたポート回路は、あるタイムスロットの複数のサブタイムスロットをそのタイムスロットと同期させ、それにより、タイムスロットの時間境界がサブタイムスロット転送により邪魔されないことを確実にする装置を含む。さらに、好適には、サブタイムスロット機能付与されたポート回路は、有限状態装置を使用して、サブタイムスロット同作用の制御信号を発生させる。有限状態装置は、制御メカニズムのリソース効率的な比較的安価な実行となる。好適には、有限状態装置は、その状態の一部として同期化装置を実行し、それにより、この機能を実行するための別個の回路の必要性をなくしている。

10

【0008】

本発明のこれら及び他の利点及び特徴は、図面と共に行われる本発明の実施例の以下の説明からより明らかになるだろう。

【0009】

20

【発明の実施の形態】

図1は、本発明の一実施例108を組み込んだ例示的なTDM通信交換システム100を示す。交換システム100は、例えば、ルーセント テクノロジーズインクのDefinity（登録商標）PBXである。交換システム100は制御プロセッサ101、メモリ102及び網インターフェース103からなり、これらはメモリバスで相互接続されている。網インターフェース103は、プロセッサ101に時分割多重化（TDM）バス105へのアクセスを提供する。TDMバス105は交換システム100の通信交換媒体 - 交換機 - として役立つ。Definity PBXでは、TDMバス105は、並列に動作すると共に、各々がTDMバス105の半分の容量（タイムスロット）を有する2つのTDMバス（A+B）からなる。制御プロセッサ101は、交換システム100の動作を制御すると共に通信機能を実行する。通信機能には、呼処理や、TDMバス105に接続された個々のポート回路106及び108で使用されるTDMバス105のタイムスロットの割り当てが含まれる。その機能を実行するために、プロセッサ101は、TDMバス105を介して、ポート回路106及び108と、それに接続された通信線及び中継線107と通信する。ポート回路106及び108は、従来のポート回路106及びサブタイムスロット ポート回路108を含む。サブタイムスロット ポート回路108は本発明の原理に従って構成される。

30

【0010】

Definity PBXの従来のポート回路106は、サニティ アンド コントロール インターフェース（SAKI）と、TDMバス用スイッチ カンファレンサー及び集中ハイウェイ（SCOTCH）と、一対の集中ハイウェイとによってTDMバス105に接続され、インターフェースされている。SAKIは、TDMバス105を介して制御プロセッサ101と制御メッセージをやり取りする。SAKIは、標準システム100制御メッセージをTDMバス105の通信プロトコルに変換したり、TDMバス105の通信プロトコルから標準システム100制御メッセージを変換したりする。SAKIは、TDMバス105からのメッセージの受信に基づいて中断を生じ、中断の受信に応答してTDMバス105への出力用のメッセージを受け入れる。SCOTCHは、集中ハイウェイとTDMバス105の間で多数の音声及び/またはデータ通信チャンネルを接続する集中/集中解除装置である。SCOTCHは、第1の集中ハイウェイを介して集中のための多数のチャンネルを受信し、集中解除されたチャンネルを第2の集中ハイウェイ上に出力する

40

50

。各集中ハイウェイは、各々の反復フレームにおいて64チャンネルまで適応する従来の受動シリアルTDMバスである。

#### 【0011】

サブタイムスロット ポート回路108では、従来のポート回路106のSCOTCHと集中ハイウェイは図2に示される回路で置換される。ポート回路108は、TDMAバッファ200及びTDMBバッファ201でTDMバスのデータ線209に接続される。バッファ200及び201は、TDMバス105のタイムスロットへ/からデータ及び制御情報のバイトを送信/受信する。Definity PBXでは、TDMAバッファ200は、TDMバス105を構成する2つのバスのうちの一方のデータ線に接続し、TDMBバッファ201は、TDMバス105を構成する2つのバスのうちの他方のデータ線に接続する。回路108の内部で、バッファ200及び201は、それぞれ一对のバスTDMA210及びTDMB211に接続し、これらを介して、TDMバス105から受信したバイトを送信すると共に、これらから、TDMバス105への送信のためのバイトを受信する。

10

#### 【0012】

バス210及び211は、それぞれ、TDMA読み取り(AR)バッファ205及びTDMA書き込み(AW)ラッチ206と、TDMB読み取り(BR)バッファ207及びTDMB書き込み(BW)ラッチ208とによってMUX A+Bバス212にインターフェースされる。ARバッファ205は、TDMAバス210からの情報がMUX A+Bバス212で読み取られるのを可能にし、AWラッチ206は、MUX A+Bバス212からの情報がTDMAバス210上に書き込まれるのを可能にする。同様に、BRバッファ207は、TDMAバス211からの情報がMUX A+Bバス212で読み取られるのを可能にし、BWラッチ208は、MUX A+Bバス212からの情報がTDMAバス211上に書き込まれるのを可能にする。同時に、構成要素205~208は、バス212とバス210~211間のマルチプレクサ/デマルチプレクサとして機能する。MUX A+Bバス212は、ポート回路108の他の(従来の)回路とデータ及び制御情報をやり取りする。

20

#### 【0013】

また、TDMバス105のTDM CLK線213及びFRAME CLK線214も回路108に接続される。TDM CLK線213は、TDMバス105上の全タイムスロットに時間が合ったクロック信号を交換システム100中に分配する。これらは例えば2.048MHz信号である。FRAME CLK線214は、TDMバス105上のタイムスロットのフレームに時間が合ったクロック信号を分配する。これらは例えば8KHz信号である。TDM CLK線213は従来の周波数多重化PLL202に接続される。周波数多重化PLL202は、TDMタイムスロットクロック信号を32倍だけ周波数乗算し、乗算した信号をTDMタイムスロットクロック信号と同期させる。PLL202は、乗算したクロック信号をTDM CLKx32線215に出力する。

30

#### 【0014】

クロック信号線213及び215は、ポート回路108の他の回路ばかりでなく有限状態装置203にも接続される。状態装置203は、線213及び215より受信したクロック信号を使用して、ポート回路108の動作を制御するためのサブタイムスロット制御信号を発生する回路である。クロック信号のほかにも、状態装置203は、AREAD信号線218及びBREAD信号線219も入力として持っている。状態装置203は、AREAD信号線218及びBREAD信号線219より、それぞれ、TDMAバス210及びTDMBバス211を読み取るかまたは書き込むべきかどうかに関するポート回路108の他の回路からの命令を受け取る。状態装置203は、さらに、TDM SUBA信号線220及びTDM SUBB信号線221も入力として持っている。状態装置203は、TDM SUBA信号線220及びTDM SUBB信号線221より、TDMバス105のそれぞれ一部A及びBにおいて従来のタイムスロット動作またはサブタイムスロット動作に従事させるべきかどうかに関するポート回路108の他の回路からの命令を受け

40

50

取る。状態装置 203 は、例えばプログラマブル ロジックアレイ (PLA) で実行される。状態装置 203 は、図 3 に示される 32 状態とそれらの対応する制御信号を実行する。

#### 【0015】

図 4 に示されるように、TDM バス 105 上の各々の従来のタイムスロット 400 ~ 402 は、TDM CLK 線 213 上のクロック信号の 1 サイクル全体で定義され、そのクロック信号の立ち下がりエッジで終わる。状態装置 203 は、デジタル PLL 204 よりのタイムスロット クロック信号の立ち下がりエッジ 403 に同期される。デジタル PLL 204 は、好適には状態装置 203 の最後の 2 状態 30 及び 31 として実行される。状態装置 203 は図 3 の状態 30 でスタートし、ここで、タイムスロット クロック信号の立ち下がりエッジ 403 の間 TDM CLK 信号線 213 を監視する。図 4 の時間 t (31) で起こるタイムスロット クロック信号立ち下がりエッジ 403 はタイムスロットの終わりを合図し、状態装置 203 は図 3 の状態 31 に進み、ここで、図 2 の BUFA R / W 及び BUFB R / W 制御線 222 及び 223 上に “読み取り” 信号を発し、TDM A バッファ 200 及び TDM B バッファ 201 に TDM バス 105 から 1 バイトの情報 (データまたは制御) を読み取らせる。(これは、従来のポート回路 106 が TDM バス 105 の 1 タイムスロットを読み取る時間である。)

#### 【0016】

TDM CLK x 32 線 215 上の乗算された信号の次の瞬間は次のタイムスロット 400 ~ 402 の始まりを合図し、状態装置 203 は図 3 の状態 0 に進む。状態 0 では、状態装置 203 への READ 入力信号線 218 が、TDM A バス 210 が読み取られるべきであることを示す “読み取り” 状態にある場合は、状態装置 203 は、AR 制御線 222 上に “読み取り” 信号を発し、AR バッファ 205 に MUX A + B バス 212 上にその内容を出力させる。次いで、状態装置 203 は、次の 3 状態の間 AR 制御線 222 の “読み取り” 信号を維持し、MUX A + B バス 212 に取り付けられた装置にバス 212 を読み取るのに十分な時間を与える。乗算されたクロック信号の次の瞬間に、状態装置 203 は状態 1 に進む。状態 1 では、READ 線 218 が “書き込み” 状態にある場合は、状態装置 203 は、MUX A + B R / W 制御線 226 に “書き込み” 信号を発し、MUX A + B バス 212 に接続されたポート回路 108 の装置 (例えば DSP、図示しない) にバス 212 を書き込ませる。TDM CLK x 32 線 215 上の乗算された制御信号の次の瞬間に、状態装置 203 は状態 2 に進む。状態 2 では、READ 線 218 が “読み取り” 状態にある場合は、状態装置 203 は、MUX A + B R / W 線 226 上に “読み取り” 信号を発し、MUX A + B バス 212 に接続されたポート回路 108 の装置にバス 212 を読み取らせる。乗算されたクロック信号の次の瞬間に、状態装置 203 は状態 3 に進む。状態 3 では、READ 線 218 が “書き込み” 状態にある場合は、状態装置 203 は、AW 線 223 上に “書き込み” 信号を発し、AW ラッチ 206 に MUX A + B バス 212 からのデータをラッチさせる。乗算されたクロック信号の次の瞬間に、状態装置 203 は状態 4 に進む。状態 4 では、状態装置 203 への READ 入力信号線 219 が “読み取り” 状態にある場合は、状態装置 203 は、BR 制御線 224 上に “読み取り” 信号を発し、BR バッファ 207 に MUX A + B バス 212 上にその内容を出力させる。次いで、状態装置 203 は、次の 3 状態の間 BR 制御線 224 の “読み取り” 信号を維持する。乗算されたクロック信号の次の瞬間に、状態装置 203 は状態 5 に進む。

#### 【0017】

状態 5 では、READ 線 219 が “書き込み” 状態にある場合は、状態装置 203 は、MUX A + B R / W 制御線 226 に “書き込み” 信号を発し、MUX A + B バス 212 に接続されたポート回路 108 の装置にバス 212 を読み取らせる。乗算された制御信号の次の瞬間に、状態装置 203 は状態 6 に進む。状態 6 では、READ 線 218 が “読み取り” 状態にある場合は、状態装置 203 は、MUX A + B R / W 線 226 上に “読み取り” 信号を発し、MUX A + B バス 212 に接続されたポート回路 108 の

10

20

30

40

50

装置にバス 2 1 2 を読み取らせる。乗算されたクロック信号の次の瞬間に、状態装置 2 0 3 は状態 7 に進む。状態 7 では、B R E A D 線 2 1 8 が “書き込み” 状態にある場合は、状態装置 2 0 3 は、B W 制御線 2 2 5 上に “書き込み” 信号を発し、B W ラッチ 2 0 8 に M U X A + B バス 2 1 2 からのデータをラッチさせる。乗算されたクロック信号の次の瞬間に、状態装置 2 0 3 は状態 8 に進む。

#### 【 0 0 1 8 】

状態 8 では、A R E A D 線 2 1 8 が “読み取り” 状態にある場合は、状態装置 2 0 3 は、A R 線 2 2 2 上に “読み取り” 信号を発し、A R バッファ 2 0 5 に M U X A + B バス 2 1 2 上にその内容を出力させる。次いで、状態装置 2 0 3 は、次の 3 状態の間 A R 制御線 2 2 3 の “読み取り” 信号を維持する。また状態 8 で、A R E A D 線 2 1 8 または B R E A D 線 2 1 9 が “書き込み” 状態にある場合は、状態装置 2 0 3 は、B U F A R / W 線 2 1 6 及び B U F B R / W 線 2 1 7 に “書き込み” 信号を発し、バッファ 2 0 0 及び 2 0 1 にそれらの内容を T D M バス 1 0 5 上に書き込ませる。(これは、ほぼ、従来のポート回路 1 0 6 が T D M バス 1 0 5 の 1 タイムスロットを書き込む時間である。) 乗算された制御信号の次の瞬間に、状態装置 2 0 3 は状態 9 ~ 1 4 に進み、ここでは、それぞれ状態 1 ~ 6 の作業を繰り返す。さらに状態 1 4 では、状態装置 2 0 3 は同様に B U F A R / W 線 2 1 6 及び B U F B R / W 線 2 1 7 に “読み取り” 信号を発し、T D M A 及び T D M B バッファ 2 0 0 及び 2 0 1 に T D M バス 1 0 5 からのデータを読み取らせる。図 4 に示されるように、T D M バス 1 0 5 の 1 タイムスロットの第 1 のサブタイムスロットはこの時点で終わり、第 2 のサブタイムスロットが始まる。

#### 【 0 0 1 9 】

図 3 に示される状態 1 5 ~ 3 0 の動作は、T D M S U B A 及び T D M S U B B 入力信号線 2 2 0 及び 2 2 1 が、ポート回路 1 0 8 がサブタイムスロット動作に従事すべきであることを示している場合のみ実行され、さもなければ、これらの状態は状態装置 2 0 3 により “不動作” になる。乗算されたクロック信号の次の瞬間に、状態装置 2 0 3 は状態 1 5 に進む。状態 1 5 では、状態装置 2 0 3 への T D M S U B B 入力信号線 2 2 1 が、サブタイムスロット動作が T D M バス 1 0 5 の一部 B で遂行されるべきであることを示す “イエス” 状態にあり、かつ、B R E A D 線 2 1 9 が、T D M B バス 2 1 1 が書き込まれるべきであることを示す “書き込み” 状態にある場合は、状態装置 2 0 3 は B W 線 2 2 5 に “書き込み” 信号を発し、B W ラッチ 2 0 8 に M U X A + B バス 2 1 2 からのデータをラッチさせる。乗算されたクロック信号の次の瞬間に、状態装置 2 0 3 は状態 1 6 に進む。

#### 【 0 0 2 0 】

状態 1 6 では、状態装置 2 0 3 への T D M S U B A 入力信号線 2 2 0 が、サブタイムスロット動作が T D M バス 1 0 5 の一部 A で遂行されるべきであることを示す “イエス” 状態にあり、かつ、A R E A D 線 2 1 9 が、T D M B バス 2 1 1 が読み取られるべきであることを示す “読み取り” 状態にある場合は、状態装置 2 0 3 は A R 線 2 2 2 に “読み取り” 信号を発し、A R バッファ 2 0 5 にその内容を M U X A + B バス 2 1 2 に出力させる。次いで、状態装置 2 0 3 は次の 3 状態の間 A R 線 2 2 2 の “読み取り” 信号を維持する。また状態 1 6 において、T D M S U B A 線 2 2 0 または T D M S U B B 線 2 2 1 - - あるいはその両方 - - が “イエス” 状態にあり、かつ、対応する A R E A D 線 2 1 8 または B R E A D 線 2 1 9 - - あるいはその両方 - - が “書き込み” 状態にある場合は、状態装置 2 0 3 は、B U F A R / W 線 2 1 6 または B U F B R / W 線 2 1 7 - - あるいはその両方 - - にそれぞれ “書き込み” を発し、それぞれ T D M A バッファ 2 0 0 または T D M B バッファ 2 0 1 - - あるいはその両方 - - にそれらの内容を T D M バス 1 0 5 に書き込ませる。乗算されたクロック信号の次の 3 回の瞬間に、状態装置 2 0 3 は状態 1 7 ~ 1 9 に進み、ここで、T D M S U B A 線 2 2 0 が “イエス” 状態にある場合に、それぞれ状態 1 ~ 3 の作業を繰り返す。乗算されたクロック信号の次の 2 回の瞬間に、状態装置 2 0 3 は状態 2 0 ~ 2 1 に進み、ここで、T D M S U B B が “イエス” 状態にある場合に、それぞれ状態 4 ~ 5 の作業を繰り返す。

10

20

30

40

50

## 【 0 0 2 1 】

乗算されたクロック信号の次の瞬間に、状態装置 2 0 3 は状態 2 2 に進む。状態 2 2 では、T D M S U B B 線 2 2 1 が “ イエス ” 状態にあり、B R E A D 線 2 1 9 が “ 読み取り ” 状態にある場合は、状態装置 2 0 3 は、M U X A + B R / W 線 2 2 6 に “ 読み取り ” 信号を発し、M U X A + B バス 2 1 2 に接続されたポート回路 1 0 8 の装置にバス 2 1 2 を読み取らせる。また状態 2 2 では、T D M S U B A 線 2 2 0 または T D M S U B B 線 2 2 1 - - あるいはその両方 - - が “ イエス ” 状態にあり、同様に、対応する A R E A D 線 2 1 8 または B R E A D 線 2 1 9 - - あるいはその両方 - - が “ 読み取り ” 状態にある場合は、状態装置 2 0 3 は、B U F A R / W 線 2 1 6 または B U F B R / W 線 2 1 7 - - あるいはその両方 - - にそれぞれ “ 読み取り ” 信号を発し、それぞれの T D M A バッファ 2 0 0 または T D M B バッファ 2 0 1 - - あるいはその両方 - - に T D M バス 1 0 5 からのデータを読み取らせる。この時点で、図 3 に示されるように、T D M バス 1 0 5 の 1 タイムスロットの第 2 のサブタイムスロットは終わりになり、次いで、第 3 のサブタイムスロットが始まる。

10

## 【 0 0 2 2 】

乗算されたクロック信号の次の 7 回の瞬間では、状態装置 2 0 3 は状態 2 3 ~ 2 9 に進み、ここでは、それぞれ状態 1 5 ~ 2 1 の作業を繰り返す。乗算されたクロック信号の次の瞬間に、状態装置 2 0 3 は状態 3 0 に進む。状態 3 0 では、T D M S U B B 線 2 2 1 が “ イエス ” 状態にあり、B R E A D 線 2 1 9 が “ 読み取り ” 状態にある場合は、状態装置 2 0 3 は、M U X A + B R / W 線 2 2 6 に “ 読み取り ” 信号を発し、M U X A + B バス 2 1 2 に接続されたポート回路 1 0 8 の装置にバス 2 1 2 を読み取らせる。状態装置 2 0 3 は、タイムスロット クロック信号の立ち上がりエッジ 4 0 3 が生じたことを示すローレベルを検出するまで、状態 3 0 に留まる。その時点 - - 通常、乗算されたクロック信号の次の瞬間に実質的に起こる - - で、状態装置 2 0 3 は状態 3 1 に進む。状態 3 1 では、状態装置 2 0 3 は、B U F A R / W 線 2 1 6 及び B U F B R / W 線 2 1 7 に “ 読み取り ” コマンドを発し、バッファ 2 0 0 及び 2 0 1 に T D M バス 1 0 5 からのデータを読み取らせて記憶させる。図 3 に示されるように、この時点で、T D M バス 1 0 5 の 1 タイムスロットと第 3 のサブタイムスロットは共に終わりになり、次いで、新しい T D M バス 1 0 5 の 1 タイムスロットとその第 1 のサブタイムスロットが始まる。

20

## 【 0 0 2 3 】

図示され上記に説明されたように、ポート回路 1 0 8 は、T D M バスの 1 タイムスロット中に T D M バス 1 0 5 を介して従来の 1 つの転送か、または T D M バス 1 0 5 の 1 タイムスロットの時間の間に、3 回の転送すなわち 3 回のサブタイムスロット動作のどちらかを実行するように選択的に機能付与される。したがって、ポート回路 1 0 8 は、前の転送により従来のポート回路 1 0 6 との通信かまたは後の転送により他のサブタイムスロットポート回路 1 0 8 との通信のどちらかに従事することができる。後の転送は、T D M バス 1 0 5 の標準転送容量の 3 倍になる。その結果、従来及びサブタイムスロットポート回路 1 0 6 及び 1 0 8 は、同一交換システム 1 0 0 において “ 調子を合わせる ” ことができ、既存の交換システムへの再適合が可能になると共に実行も容易になる。さらに、従来の交換システムを修正する必要もない。

30

40

## 【 0 0 2 4 】

もちろん、上記に説明された実施例の種々の変更や修正は当業者に明らかだろう。例えば、T D M バス 1 0 5 は二重バスである必要はなく単一バスでも良く、またはかけがえとして、バス 2 1 2 は多重化する必要がない。また、小分割されたタイムスロットにおいて複数の “ 話者 ” 及び / または “ 聴取者 ” がいても良く、例えば、異なる装置が 1 タイムスロットの異なるサブタイムスロットにおいて送信及び / または受信することができる。このような変更や修正は、本発明の精神及び範囲を逸脱することなくかつ付随の利点をなくすることなく実行することができる。したがって、このような変更や修正は付随の請求の範囲で保護されるべきものである。

## 【 図面の簡単な説明 】

50



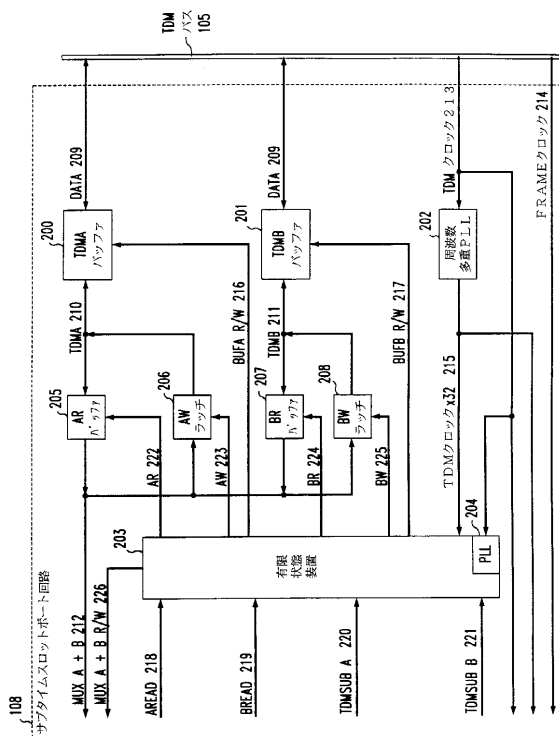
【図 2】本発明に従って構成された図 1 のシステムのサブタイムスロット ポート回路の一部の一実施例のブロック図である。

【図 3 B】図 2 のポート回路の有限状態装置の状態図である。

【図 3 D】図 2 のポート回路の有限状態装置の状態図である。

【図 4】図 2 のポート回路の動作のタイミング図である。

【 圖 2 】



## 【 3 A 】

STATE	AR LINE 222	BR LINE 224	AW LINE 223	BW LINE 225	MUX A+B R/W LINE 226	BUFA R/W LINE 216	BUFB R/W LINE 217
0	IF AREAD = R, THEN R						
1	IF AREAD = R, THEN R				IF AREAD = W, THEN W		
2	IF AREAD = R, THEN R				IF AREAD = R, THEN R		
3	IF AREAD = R, THEN R		IF AREAD = W, THEN W				
4		IF BREAD = R, THEN R					
5		IF BREAD = R, THEN R			IF BREAD = W, THEN W		
6		IF BREAD = R, THEN R			IF BREAD = R, THEN R		
7		IF BREAD = R, THEN R		IF BREAD = W, THEN W			

## 【 3 B 】

STATE	AR LINE 222	BR LINE 224	AW LINE 223	BW LINE 225	MUX A+B R/W LINE 226	BUFA R/W LINE 216	BUFB R/W LINE 217
8	IF AREAD = R, THEN R						
9	IF AREAD = R, THEN R				IF AREAD = W, THEN W	IF AREAD = W, OR BREAD = W, THEN W	IF AREAD = W, OR BREAD = W, THEN W
10	IF AREAD = R, THEN R				IF AREAD = R, THEN R		
11	IF AREAD = R, THEN R		IF AREAD = W, THEN W				
12		IF BREAD = R, THEN R					
13		IF BREAD = R, THEN R			IF BREAD = W, THEN W		
14		IF BREAD = R, THEN R			IF BREAD = R, THEN R	R	R

## 【 3 C 】

STATE	AR LINE 222	BR LINE 224	AW LINE 223	BW LINE 225	MUX A+B R/W LINE 226	BUFA R/W LINE 216	BUFB R/W LINE 217
15		IF BREAD = R, THEN R		IF TMSUB B = YES AND BREAD = W, THEN W			
16	IF TMSUB A = YES AND AREAD = R, THEN R				IF TMSUB A = YES AND AREAD = W, THEN W	IF TMSUB B = YES AND BREAD = W, THEN W	
17	IF TMSUB A = YES AND AREAD = R, THEN R				IF TMSUB A = YES AND AREAD = W, THEN W		
18	IF TMSUB A = YES AND AREAD = R, THEN R				IF TMSUB A = YES AND AREAD = R, THEN R		
19	IF TMSUB A = YES AND AREAD = R, THEN R		IF TMSUB A = YES AND AREAD = W, THEN W				
20		IF TMSUB B = YES AND BREAD = R, THEN R				IF TMSUB B = YES AND BREAD = R, THEN R	
21		IF TMSUB B = YES AND BREAD = R, THEN R			IF TMSUB B = YES AND BREAD = W, THEN W	IF TMSUB A = YES AND AREAD = R, THEN R	
22		IF TMSUB B = YES AND BREAD = R, THEN R			IF TMSUB B = YES AND BREAD = R, THEN R		

## 【 3 D 】

STATE	AR LINE 222	BR LINE 224	AW LINE 223	BW LINE 225	MUX A+B R/W LINE 226	BUFA R/W LINE 216	BUFB R/W LINE 217
23		IF TMSUB B = YES AND BREAD = R, THEN R		IF TMSUB B = YES AND BREAD = W, THEN W			
24	IF TMSUB A = YES AND AREAD = R, THEN R				IF TMSUB A = YES AND AREAD = W, THEN W	IF TMSUB B = YES AND BREAD = W, THEN W	
25	IF TMSUB A = YES AND AREAD = R, THEN R				IF TMSUB A = YES AND AREAD = W, THEN W		
26	IF TMSUB A = YES AND AREAD = R, THEN R				IF TMSUB A = YES AND AREAD = R, THEN R		
27	IF TMSUB A = YES AND AREAD = R, THEN R		IF TMSUB A = YES AND AREAD = W, THEN W				
28		IF TMSUB B = YES AND BREAD = R, THEN R					
29	IF TMSUB A = YES AND AREAD = R, THEN R				IF TMSUB A = YES AND AREAD = W, THEN W	IF TMSUB B = YES AND BREAD = R, THEN R	IF TMSUB B = YES AND BREAD = R, THEN R
30		IF TMSUB B = YES AND BREAD = R, THEN R			IF TMSUB B = YES AND BREAD = R, THEN R		
31		IF TMSUB B = YES AND BREAD = R, THEN R				WHEN EDGE = FALLING, R	WHEN EDGE = FALLING, R



## フロントページの続き

- (74)代理人 100091889  
弁理士 藤野 育男
- (74)代理人 100101498  
弁理士 越智 隆夫
- (74)代理人 100096688  
弁理士 本宮 照久
- (74)代理人 100102808  
弁理士 高梨 憲通
- (74)代理人 100104352  
弁理士 朝日 伸光
- (74)代理人 100107401  
弁理士 高橋 誠一郎
- (74)代理人 100106183  
弁理士 吉澤 弘司
- (72)発明者 ノーマン ダブリュ．ペティ  
アメリカ合衆国 8 0 3 0 2 コロラド，ボールダー，オールド ステージ ロード 6 7 0 9
- (72)発明者 マイケル エー．スミス  
アメリカ合衆国 8 0 0 2 0 コロラド，ブルームフィールド，ウエスト ワンハンドレッド ト  
エンティエイス ピー 1 . 4 7 4 5
- (72)発明者 ダグラス エー．スペンサー  
アメリカ合衆国 8 0 3 0 2 コロラド，ボールダー，ウィロー グレン コート 2 6 5

審査官 古市 徹

- (56)参考文献 特開平 0 5 - 2 4 4 1 3 1 ( J P , A )  
特開平 0 4 - 2 8 7 4 4 1 ( J P , A )  
特開平 0 7 - 3 3 6 7 3 5 ( J P , A )

(58)調査した分野(Int.Cl.<sup>7</sup>, D B名)

H04Q 11/04

H04J 3/00