



[12] 发明专利申请公开说明书

[21] 申请号 200410081864.7

[43] 公开日 2005 年 7 月 27 日

[11] 公开号 CN 1645514A

[22] 申请日 2004.12.24

[21] 申请号 200410081864.7

[30] 优先权

[32] 2003.12.25 [33] JP [31] 2003-429505

[71] 申请人 株式会社日立制作所

地址 日本东京

共同申请人 尔必达存储器株式会社

[72] 发明人 半泽悟 阪田健 梶谷一彦

[74] 专利代理机构 中国国际贸易促进委员会专利商
标事务所

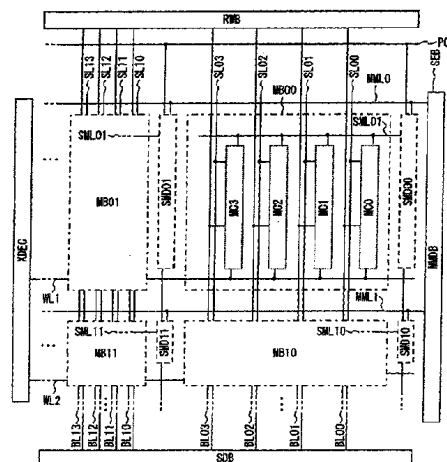
代理人 王以平

权利要求书 6 页 说明书 37 页 附图 29 页

[54] 发明名称 半导体器件

[57] 摘要

本发明通过高效率地存储范围被指定的 IP 地址，减少必要的条目数，从而提高 TCAM 的存储器容量。本发明的具有代表性的一种装置如下：使存储信息(条目)和输入信息(比较信息或检索键)成为某一个位一定是逻辑值‘1’的公共的成组编码。此外，使匹配线成为分层结构，在多条副匹配线与多条搜索线的交点上设置存储器单元，进而使副匹配线通过副匹配判定电路与主匹配线分别连接，在主匹配线上设置主匹配判定电路。



1. 一种半导体器件，其特征在于，包括：
多条位线，
沿上述多条位线的方向、与上述多条位线分别成对地设置的多条搜索线，
沿与上述多条位线交叉的方向设置的多条字线，
沿上述多条字线方向设置的多条主匹配线，
沿上述主匹配线方向、与上述多条主匹配线分别成对地设置的多条副匹配线，
设置在上述多条位线与上述多条字线的各个交点上的存储器单元，
与上述多条副匹配线分别连接的副匹配判定电路，以及
与上述多条主匹配线分别连接的主匹配判定电路，
其中，上述存储器单元与对应的上述多条副匹配线中的一条连接，并且通过对应的副匹配判定电路连接在上述多条主匹配线中的一条上，对通过上述多条搜索线输入的信息和保持在上述存储器单元中的信息进行比较。
2. 如权利要求 1 所述的半导体器件，其特征在于：有偶数个上述存储器单元连接在上述多条副匹配线上。
3. 如权利要求 2 所述的半导体器件，其特征在于：上述存储器单元用两个存储器单元存储 4 种信息。
4. 如权利要求 3 所述的半导体器件，其特征在于：
上述存储器单元分别具有被连接成使上述多条副匹配线分别与接地电极之间形成电流通路的第一和第二 MOS 晶体管以及保持二进制信息的存储电路；
上述第一 MOS 晶体管的栅极与上述多条搜索线连接，上述第二 MOS 晶体管的栅极与上述存储电路连接。
5. 如权利要求 4 所述的半导体器件，其特征在于：上述存储电

路具有第三 MOS 晶体管和电容器，并在每隔预定的时间间隔进行读出和写入的更新动作的同时保持信息。

6. 一种半导体器件，包括：以使第一信号线组与第二信号线组连接的方式设置的输入输出电路、第一寄存器、编码器、条目压缩电路，以及存储器阵列，

其特征在于：

上述输入输出电路将第一或第二信息输出给上述第二信号线组；

上述第一寄存器保持上述第一信息；

上述编码器将根据经上述第二信号线组接收的上述第一和第二信息进行编码的第三信息，输出给第三信号线组；

上述条目压缩电路通过对经上述第三信号线组连续输入的多个第三信息进行逻辑运算而产生第四信息，并将其输出给第四信号线组；以及

上述存储器阵列存储经上述第四信号线组输入的第四信息，同时进行与经上述第三信号线组输入的第三信息的比较动作。

7. 如权利要求 6 所述的半导体器件，其特征在于：上述编码器按多个位进行编码。

8. 如权利要求 7 所述的半导体器件，其特征在于：

上述条目压缩电路具有第一多个寄存器、比较电路以及 OR 运算电路，其中，

上述第一多个寄存器存储多个上述第三信息，

上述比较电路对分别存储在上述第一多个寄存器中的信息按各个位进行比较，以及

上述 OR 运算电路通过根据上述比较电路的比较结果对分别存储在上述多个寄存器中的信息按各个位进行 OR 运算，产生上述第四信息。

9. 如权利要求 8 所述的半导体器件，其特征在于，包括：

第二和第三寄存器、译码器以及条目扩展电路，其中，

上述条目扩展电路对通过上述第四信号线组从上述存储器阵列

读出的第四信息进行分割而产生第一多个信息，并进行存储；

上述译码器存储对通过第五信号线组接收的上述第一多个信息分别进行译码而得到的多个上述第一和第二信息；

上述第二寄存器存储通过上述第五信号线组接收的多个上述第一信息；

上述第三寄存器存储通过上述第五信号线组接收的多个上述第二信息；以及

从上述第二信号线组通过上述输入输出电路，将保持在上述第二和第三寄存器中的多个上述第一和第二信息输出给上述第一信号线组。

10. 如权利要求9所述的半导体器件，其特征在于，包括：

计数器和由动态存储器单元构成的存储器阵列，其中，

上述计数器在更新动作中，产生用于有选择地选择上述多个存储器单元的行地址。

11. 一种半导体器件，其特征在于，包括：

多条位线，

沿上述多条位线的方向、与上述多条位线分别成对地设置的多条搜索线，

沿与上述多条位线交叉的方向设置的多条字线，

沿上述多条字线的方向设置的多条主匹配线，

沿上述主匹配线方向、与上述多条主匹配线分别成对地设置的多条副匹配线，

设置在上述多条位线与上述多条字线的各个交点上的存储器单元，

与上述多条副匹配线分别连接的副匹配判定电路，以及

与上述多条主匹配线分别连接的主匹配判定电路，

其中，上述存储器单元与上述多条副匹配线连接，并且在经上述多条搜索线输入的信息和保持在上述存储器单元中的信息进行比较的动作中，通过上述多条副匹配线的放电来判定对应的信息一致。

12. 如权利要求 11 所述的半导体器件，其特征在于：

具有设置在上述多条副匹配线和与其对应的上述多条主匹配线之间的多个副匹配判定电路；

上述副匹配判定电路包括第一和第二 MOS 晶体管；

上述第一 MOS 晶体管被连接成使得作为该 MOS 晶体管的一个端子的第一电极与上述多条副匹配线之间形成电流通路；

上述第二 MOS 晶体管以使作为该 MOS 晶体管的一个端子的第二电极与上述多条主匹配线之间形成电流通路的方式连接，同时，上述第二 MOS 晶体管的栅极连接在上述多条副匹配线上。

13. 如权利要求 12 所述的半导体器件，其特征在于：

将第一电源电压供给上述第一电极，

将第二电源电压供给上述第二电极，以及

上述第一电源电压高于上述第二电源电压。

14. 一种半导体器件，其特征在于，包括：

多条位线，

沿与上述多条位线交叉的方向设置的多条字线，以及

设置在上述多条位线与上述多条字线的各个交点上的存储器单元，其中，

上述存储器单元基于某一个位一定是逻辑值‘1’的公共的成组编码进行第一信息与第二信息的比较。

15. 如权利要求 14 所述的半导体器件，其特征在于，具有：

沿上述多条字线方向设置的多条主匹配线，以及

沿上述主匹配线方向、与上述多条主匹配线分别成对地设置的多条副匹配线，其中，

上述存储器单元与对应的上述多条副匹配线中的一条连接。

16. 如权利要求 15 所述的半导体器件，其特征在于，包括：

与上述多条副匹配线分别连接的副匹配判定电路，以及

与上述多条主匹配线分别连接的主匹配判定电路，

其中，上述存储器单元通过对应的上述副匹配判定电路连接在上

述多条主匹配线中的一条上。

17. 如权利要求 16 所述的半导体器件，其特征在于：

上述副匹配判定电路，根据对应的代码组的比较结果来驱动对应的上述多条主匹配线中的一条；以及

上述主匹配判定电路通过识别在对应的上述多条主匹配线中的一条上产生的微小信号来判定整个条目的比较结果。

18. 一种信息检索系统，其特征在于，包括：

处理器、检索器、以及内容存储器，其中，

上述处理器通过数据总线与上述检索器连接，同时，通过内容总线与上述内容存储器连接；

上述检索器与上述内容存储器通过内容存储器地址总线连接；以及

上述检索器将从上述处理器输入的第一信息和第二信息变换成某一个位一定是逻辑值‘1’的公共的成组编码后进行比较。

19. 如权利要求 18 所述的信息检索系统，其特征在于，

上述检索器包括：

多条位线，

沿与上述多条位线交叉的方向设置的多条字线，

沿上述多条字线的方向设置的多条主匹配线，

沿上述主匹配线的方向、与上述多条主匹配线分别成对地设置的多条副匹配线，以及

以及设置在上述多条位线与上述多条字线的各个交点上的存储器单元，其中，

上述存储器单元与对应的上述多条副匹配线中的一条连接。

20. 如权利要求 18 所述的信息检索系统，其特征在于：

上述处理器通过条目计数信号与上述检索器共有与上述第一信息有关的信息。

21. 一种半导体器件，其特征在于：

具有编码器和存储器阵列，其中，

上述编码器根据第一和第二信息,产生某一个位一定是逻辑值‘1’的成组编码,同时,通过第一信号线组将其输出给上述存储器阵列;以及

上述存储器阵列利用上述成组编码进行第三信息与第四信息的比较。

22. 如权利要求 21 所述的半导体器件,其特征在于:上述成组编码对上述第三和第四信息是公共的。

23. 如权利要求 22 所述的半导体器件,其特征在于:

上述存储器阵列包括:

多条位线,

沿与上述多条位线交叉的方向设置的多条字线,

设置在上述多条位线与上述多条字线的各个交点上的存储器单元,

沿上述多条字线的方向设置的多条主匹配线,以及

沿上述主匹配线的方向、与上述多条主匹配线分别成对地设置的多条副匹配线,其中,

上述存储器单元与对应的上述多条副匹配线中的一条连接。

半导体器件

技术领域

本发明涉及半导体器件，特别涉及在包括对存储在存储节点中的信息与输入的信息进行比较的相联存储器单元（CAM 单元）中、具有对在器件内部进行了编码的信息进行存储或比较的 CAM 阵列的半导体器件。

背景技术

随着互联网的爆发性的普及，网络中的路由器和开关所需要的图表规模急增，图表检索的高速化成为课题。作为从硬件上解决该课题的装置，三进制相联存储器单元引起了人们的注目。

图 2 示意性地示出了路由器的结构。作为一例，该图示出了由网络接口 NIF、网络处理器 NP、检索引擎 SE、检索表 LUT、以及内容存储器 CM 构成的例子。网络接口 NIF 与网络处理器 NP 之间由系统总线 SBS 连接。网络处理器 NP 与检索引擎 SE 由内部总线 IBS 连接。检索引擎 SE 与检索表 LUT 之间由数据总线 DQ 连接。其中，检索表 LUT 为 TCAM、内容存储器 CM 为静态随机存取存储器（SRAM）或动态随机存取存储器（DRAM）。路由器通过互联网接口 NIF 从互联网 IPN 进行信息包的发送与接收。网络处理器 NP 对接收的信息包内容进行译码和再组成。例如，从信息包的标题中读出的目的互联网协议地址（IP 地址）通过检索引擎 SE 传送到检索表 LUT 中。检索表 LUT 中存储有多个目的 IP 地址，当存储有输入的目的 IP 地址时，产生用于从内容存储器 CM 中读出与该目的 IP 地址的信息有关的地址。内容存储器 CM 中存储有信息包传送所需要的通路信息和路由器的通道数等，通过内容总线 CBS 和检索引擎 SE，向网络处理器 NP 输出与通过内容存储器地址总线 CADD 输入的地址对应的信息。网络处理

器 NP 基于这些信息重新组成标题的内容，从指定的通道向中继点传送信息包。

非专利文献 1 记载了 TCAM 中的 TCAM 单元结构。图 3 表示非专利文献 1 的第 1 图的单元结构。该单元由以下 3 个电路块构成。如所谓的 SRAM 那样，第一电路块是由 NMOS 晶体管 N311、N312、N313、N314 和 PMOS 晶体管 P311、P312 构成的存储器单元 SMC31。第二电路块与 SMC31 一样，是由 NMOS 晶体管 N321、N322、N323、N324 和 PMOS 晶体管 P321、P322 构成的存储器单元 SMC32。第三电路块是由 NMOS 晶体管 N331、N332、N333、N334、N335 构成的比较电路 MUC。存储器单元 SMC31 存储‘0’或‘1’的二进制信息、存储器 SMC32 存储被称为所谓“随意”状态的第三信息‘X’。通过有选择地激活字线 WL31 或 32，可以与公知的 SRAM 一样地写入或读出这些信息。此外，比较电路 MUC 进行用于对存储信息与输入信息进行比较的 XNOR 运算。

作为一例，说明一下存储信息为‘1’时的检索操作。此时，假设存储器单元 SMC311 内的存储节点 NT 被驱动成电源电压 VDD、存储节点 NB 被驱动成地电压 VSS。现在，若 TCAM 单元没有处于随意状态、且存储器单元 SMC 内的存储节点 DC 被驱动成电源电压 VDD，则比较电路 MUC 内的晶体管 N331、N335 分别导通，晶体管 N332 处于截止状态。在这种状态下，一旦将匹配线 ML 预充电成高于地电压 VSS 的电压之后输入信息‘1’，则处于地电压 VSS 的位线 BLT 与 BLB 中的位线 BLB 被驱动成电源电压 VDD，从而使比较电路 MUC 内的晶体管 N334 成为导通状态。但是，由于晶体管 N332 处于截止状态，所以匹配线 ML 与接地电极之间保持开放状态。因此，利用图中未示出的匹配线读出放大器来识别由预充电电压保持的匹配线 ML 的电压，由此判定为比较的信息是一致的。相反，若输入信息‘0’，则处于地电压 VSS 的位线 BLT 与 BLB 中的位线 BLT 被驱动成电源电压 VDD，从而使比较电路 MUC 内的晶体管 N333 成为导通状态。因此，由于匹配线 ML 与接地电极之间通过晶体管 N335、N331、N333 短路，匹

配线 ML 放电。即，通过用匹配线读出放大器来识别匹配线 ML 的电压下降，由此判定为比较的信息不一致。此外，该图的 TCAM 单元处于随意状态时，由于存储器单元 SMC32 内的存储节点 DC 被驱动成地电压 VSS，所以比较电路 MUC 内的晶体管 N335 截止。因此，不论想要输入哪种信息，匹配线 ML 与接地电极之间都不形成电流通路，所以匹配线 ML 保持在预充电电压上，强制性地判定为一致。另外，即使在输信信息是表示所谓的“掩码 (mask)”状态的第三信息‘X’时，因为位线 BLT 和 BLB 保持在接地电位 VSS，比较电路内的晶体管 N333 和 N334 也被截止。因此无论存储器单元 SMC31 存储着什么信息，匹配线 ML 和接地电极之间都不形成电流通路，所以匹配线 ML 保持在预充电电压上，强制性地判定为一致。

非专利文献 2 记载了另一种 TCAM 单元结构。图 4 示出了非专利文献 2 的第 2 图的单元结构。该单元由 NMOS 晶体管 T1、T2、T4、T6 和电容器 C1、C2 构成了存储节点 N1、N2，存储三值信息。此外，具有利用晶体管 T3、T4、T5、T6 有的 XNOR 运算功能，进行存储信息与输入信息的比较。

首先，说明一下存储功能。三值信息是表示信息_‘1’、信息_‘0’、及随意状态的信息_‘X’。若设高电压为逻辑_‘1’、低电压为逻辑_‘0’，则存储节点 (N1, N2) 的逻辑值在信息_‘1’时为 (1, 0)、在信息_‘0’时为 (0, 1)、在信息_‘X’时为 (0, 0)。存储信息的更新通过晶体管 T1、T2 进行，利用分别连接在位线 BL1、BL2 上的读出放大器进行读出和重写，在该图省略了描述。

接着说明一下 XNOR 的运算功能。存储信息与被比较的信息是三值信息，通过搜索线 SL1、SL2 输入。其内容是信息_‘1’与信息_‘0’以及表示掩码状态的信息_‘X’。在比较动作中双方的信息一致时，被预充电成高电压的匹配线 ML 与被固定在低电压(例如地电压 VSS)的放电线 DCL 之间不形成电流通路，所以匹配线保持在预充电电压上。而双方的信息不同时，匹配线 ML 与放电线 DCL 之间形成电流通路，所以匹配线 ML 放电。利用图中未示出的读出放大器来识别上

述动作所引起的匹配线 ML 的电压变化，由此判定比较结果。此外，存储信息或输入信息为_ ‘X’时，匹配线 ML 与放电线 DCL 之间不形成电流通路，所以判定为一致。

专利文献 1 还记载了另一种 TCAM 单元结构。图 5 示出了专利文献 1 的第 4 图的单元结构。该单元 TMC 由分别设置在匹配线 ML 与比较数据线 C0-C3 的交点上的四个存储器单元 HMC0~HMC3 构成。各个存储器单元由 NMOS 晶体管 T51、T52 和存储电路 SC 构成。把连接存储电路 SC 和晶体管 T51 的栅极节点称为存储节点，在该图中为了按各个存储器单元进行区分，示出了存储节点 D0~D3。这种单元 TMC 与两个例如图 4 所示的 TCAM 单元的电路结构相对应，所以称为双 TCAM 单元。

图 19 示出了双 TCAM 单元的三进制值的数据模型。比较信息的数据模型分别相对于 00-11（二进制值）进行定义，使得只有比较数据线 C0-C3 中一条被驱动成逻辑值‘1’。与此相对，在各存储器单元 MC0-MC3 的存储电路 SC 中，存储将在比较数据线 C0-C3 中定义的逻辑值的极性反转的值。存储三进制值时的数据模型是按对应的二进制值的存储信息一个位一个位地进行 AND 运算后得到的值。例如，与三进制值信息“X0”对应的数据模型，数据模型“1010”，这是按各个位对对应于二进制“00”的存储信息“1110”和对应于二进制“10”的存储信息“1011”进行 AND 运算后的结果。通过这种对逻辑值的定义，减少了比较数据线的驱动条数，因此能够降低检索动作中的功率。

专利文献 1 美国专利第 6288922 号说明书

非专利文献 1 IEEE Journal of Solid-state circuits, vol. 31, No. 11, November 1996, p. 1601-1609)

非专利文献 2 Records of the 2000 IEEE International Workshop on Memory Technology Design and Testing, 2000, p. 101-105

非专利文献 3 IEEE Network, March/April, 2001, p. 8-23

非专利文献 4 IEEE Network, March/April, 2001, Page(s):

24-32

在本发明之前，本发明者们对 TCAM 阵列的大容量化进行了研究。尤其是在关注存储范围被指定的 IP 地址时使用的字数时发现了，由于 TCAM 在存储多个 IP 地址时需要多个字，所以导致了容量不足。此外，在 TCAM 中，作为与在 DRAM 和 SRAM 中广泛使用的字相对应的词，通常使用“条目 (entry)”。条目也是指存储在各字中的信息的词，所以，以下按照惯例使用条目。

非专利文献 3 记载了用于 IP 地址的检索算法中的通道检索图表。在互联网协议版次 4 (IPv4) 中，用 32 位的二进制数来表示 IP 地址。此外，也可以将用 32 位的二进制数表示的 IP 地址以每组 8 位来划分，用四组 10 进制数来表示。例如，用 10 进制数表示的 IP 地址 130.86.16.66 用二进制数 10000010-01010110-00010000-01000010 表示。IP 地址的上位位 (左侧的多个位) 表示组成分层结构的互联网的上位级的网络、下位位 (右侧的位) 表示下位级的主机。特别称用二进制数来表示表示网络的上位位、用星号“*”来表示与其接续的下位位的东西叫做地址前缀 (address prefix)。例如，地址前缀 1000001001010110* 表示上位位由 1000001001010110 开始的 2 的 16 次方的地址。此外，前缀：1000001001010110* 与 IP 地址一样，也可以用 10 进制数表示为 130.86/16。在此，与斜杠“/”接续的数字表示前缀长度。

图 20 示出了非专利文献 3 的图表 1 的通道检索图表。信息包通过设置在网络上的多个路由器被送往目的地。因此，各路由器不用存储各个主机的地址，只要存储多个主机共用的网络地址就可以，即，如图 20 所示，通道检索图表中只存储目的地址前缀 (Destination address prefix) 就可以。根据图 20，例如，目的 IP 地址为 130.86.16.66 的信息包从第六个输出接口向作为下一个中继器的路由器 (Next-hop) 192.41.177.181 传送。

现有的网络，按其规模分为三个等级 (级别)。即，级别 A 是前缀长度为 8 的网络，该级别中确保有能够分配给 2 的 24 次方个主机的

IP 地址。此外，级别 B 是前缀长度为 16 的网络，确保有能够分配给 2 的 16 次方个主机的 IP 地址。此外，级别 C 是前缀长度为 24 的网络，确保有能够分配给 2 的 8 次方个主机的 IP 地址。可是，近年来随着互联网的普及，为了高效率地将 IP 地址分配给细分化的主机，正在引入废弃级别区分而认可各种长度的前缀的叫做无级别域间路由选择的方法。

在 CIDR 环境中，需要在通道检索图表中存储各种范围的 IP 地址。例如，假设被分配了 IP 地址 130.86.16.1-130.86.16.30 的主机形成了某个组，利用图 21 来说明这些多个 IP 地址的存储方法。此外，在此为了简化说明，在用四个 10 进制数表示的 IP 地址中，决定考虑右端的 1-30。此外，与此相对应，在用二进制（二进制数）表示的所有 32 位中，考虑下位 8 位的数据模型。用三进制值来表示 1-30（10 进制数）时，利用表示随意状态的信息‘X’，以 2 的取幂单位将对应的二进制值分组，可以用 8 种数据模型来表示。这意味着在使用 TCAM 的通道检索图表中存储主机的 IP 地址 130.86.16.1-130.86.16.30 时，必须扩展成 8 条目后进行存储。如此，TCAM 在存储被细致地指定了范围的 IP 地址时，导致存储容量不足。该问题源于图 2 和图 3 所示的 TCAM 单元虽然在原理上具有存储四值信息的能力，却只存储三值信息。该原因通过考虑例如能够用两个 TCAM 单元进行存储的信息，就能够具体地理解。图 22 示出了 0-3（10 进制数）的 15 种组合。本来从四个标本中抽出任意的数的组合有 16 种（= 2 的 4 次方），但是在该图中省略了任何数都不选择（即不存储 0-3 中的任何一个）的组合。若用三进制值来表示这些数的组合，就只能表示 9 种（= 3 的 2 次方）组合。因此意味着，例如用存储三值信息的两个 TCAM 单元来存储范围 1-3（10 进制数）时，必须扩展为 1（二进制表示为“01”）和 2-3（三进制表示为“1X”）这两个条目后存储。即，存储范围被指定的 IP 地址时，存储器的使用量增加。

这个问题在除了通道检索以外用路由器进行的检索动作中使用 TCAM 时更加严重。例如，如非专利文献 4 所记载的信息包分类

(Packet classification) 那样, 基于目的 IP 地址和传送方 IP 地址来控制能否进行信息包的传送时, 必须在条目中存储双方的 IP 地址。可是, 若双方的 IP 地址被指定了范围, 则由于各个范围在三进制表示中而被扩展成多个, 所以与这些组合相对应, 条目数增加。举个具体例子, 目的 IP 地址为 130.86.16.1-130.86.16.30、且传送方 IP 地址为 230.86.16.1-230.86.16.30 时, 由于各自的指定范围可以用 8 种三进制值来表示, 所以它们的组合有 64 种, 因此需要 64 个条目。

可是, 图 5 所示的双 TCAM 单元 TMC 由存储二进制信息的 4 个存储器单元构成, 所以可以用 1 条目存储 0-3 (10 进制数) 的 15 种组合的全部。可是, 如图 19 所示, 比较信息不能取多个数的组合, 所以, 不能进行使用与图 2 和图 3 所示的掩码状态相对应的第三信息‘X’的检索动作。

发明内容

本发明的课题在于高效率地存储范围被指定的 IP 地址, 从而消除 TCAM 的存储器容量的不足。即, 本发明的目的在于, 提供用于实现大容量的 TCAM 的 IP 地址的存储方法以及 TCAM 阵列结构。

本发明的具有代表性的装置之一如下。即, 使存储信息 (条目) 与输入信息 (比较信息或检索键) 成为任何一个一位都一定成为逻辑值‘1’的共同的组码。而且, 使匹配线成为分层结构, 将存储器单元设置在多个副匹配线与多个搜索线的交点上。副匹配线通过副匹配判定电路分别与主匹配线连接。在进行检索动作时, 按每个副匹配线来判定信息的比较结果, 用主匹配判定电路来识别与这些比较结果相对应的主匹配线上发生的微小信号, 由此来判定条目整体的比较结果。

根据本发明, 既能够像现有的 TCAM 那样进行利用第三信息‘X’的条目和检索键的检索动作, 又能够高效率地存储范围被指定的 IP 地址。因此, 能够有效地增加存储器阵列容量。

附图说明

图 1 是实施例 1 所示的三进制按内容访问存储器中的使用了分层匹配线结构的存储器阵列的结构例的说明图；

图 2 是示意性地示出了路由器的结构例的说明图；

图 3 是示出了由 17 个晶体管构成的现有的三进制按内容访问存储器单元的结构例的说明图；

图 4 是示出了由 6 个晶体管和 2 个电容器构成的现有的三进制按内容访问存储器单元的另一结构的说明图；

图 5 是示出了由两个三进制按内容访问存储器单元形成的现有双三进制按内容访问存储器单元的结构例的说明图；

图 6 是使用实施例 1 所示的图 1 的存储器阵列的三进制按内容访问存储器的条目的编码和写入方法的例子的说明图；

图 7 是使用实施例 1 所示的图 1 的存储器阵列的三进制按内容访问存储器的条目的译码和读出方法的例子的说明图；

图 8 是使用实施例 1 所示的图 1 的存储器阵列的三进制按内容访问存储器的主要部分结构例的说明图；

图 9 是实施例 1 所示的图 1 的存储器阵列的电路块的具体结构例子的说明图；

图 10 是在实施例 1 所示的图 1 的存储器阵列中检索一致信息时的动作定时例子的说明图；

图 11 是在实施例 1 所示的图 1 的存储器阵列中检索不一致信息时的动作定时例子的说明图；

图 12 是实施例 2 所示的图 1 的存储器阵列中的存储器组的另一结构例子的说明图；

图 13 是实施例 3 所示的图 1 的存储器阵列中的副匹配判定电路的另一结构例子的说明图；

图 14 是在实施例 3 所示的图 13 的存储器阵列中检索一致信息时的动作定时例子的说明图；

图 15 是实施例 4 所示的图 1 的存储器阵列中的主匹配判定电路的另一结构例子的说明图；

图 16 是使用实施例 5 所示的图 1 的存储器阵列的三进制按内容访问存储器的主要部分结构的另一例的说明图；

图 17 是对实施例 3 追加的变形例所示的图 1 的存储器阵列中的副匹配判定电路的又一另一结构例的说明图；

图 18 是在对实施例 3 追加的变形例所示的图 17 的存储器阵列中检索一致信息时的动作定时例子的说明图；

图 19 是用于图 5 的双三进制按内容访问存储器单元的比较信息与存储信息的逻辑值的说明图；

图 20 是示出了通道检索图表的说明图；

图 21 是示出了二进制表示与三进制表示的对应关系的说明图；

图 22 是用于实施例 1 所示的图 1 的存储器阵列的一热点（One-hot-spot）成组编码的数据模型例的说明图；

图 23 是用于实施例 1 所示的图 1 的存储器阵列的一热点成组编码的数据模型另一例的说明图；

图 24 是用于实施例 1 所示的图 1 的存储器阵列的一热点成组编码的数据模型另一例的说明图；

图 25 是对应于实施例 1 所示的图 1 的存储器阵列的检索结果的匹配线的电压关系的说明图；

图 26 是用于实施例 2 所示的图 12 的存储器阵列的一热点成组编码的数据模型例的说明图；

图 27 是用于实施例 3 所示的图 13 的存储器阵列的一热点成组编码与组掩码信号的数据模型例的说明图；

图 28 是用于对实施例 3 追加的变形例所示的图 17 的存储器阵列的一热点成组编码与组掩码信号的数据模型的另一例的说明图；

图 29 是用于实施例 6 所示的图 8 的三进制按内容访问存储器的存储器阵列结构例的说明图；

图 30 是示出了实施例 6 所示的搜索线驱动电路的结构例的说明图。

具体实施方式

下面参照附图说明本发明的实施例。没有特殊限制，典型的是利用公知的 CMOS（互补型 MOS 晶体管）等半导体集成电路技术在单晶硅那样的一个半导体衬底上形成构成实施例的各块的电路元件。

实施例 1

“一热点（One-hot-spot）成组编码”

图 22 将本发明的代码的数据模型的例子与现有的三进制表示对应地示出。本代码有三个特征（详细内容以后再说）。第一特征在于，逻辑值‘1’的位置的不同与 0-3（10 进制数）对应。第二特征在于，条目与检索键是公共的数据模型。第三特征在于，利用本代码进行检索动作的 CAM，按照图 22，用 2 个位的单位对与现有的 TCAM 同样地输入的多个位的数据（这里为 IP 地址）进行编码。本发明中使用的这种代码，以下称之为“一热点组”代码。首先，使对应于 0-3（10 进制数）的代码成为使逻辑值‘1’的位置从最下位的位（右端的位）逐次移动 1 位的代码，即，依次为“0001”、“0010”、“0100”、“1000”。对应于多个数的组合的代码，通过对与各个数对应的代码按各位进行 OR 运算来获得。例如，对应于 0 和 1（10 进制数）的组合的代码是对代码“0001”和“0010”进行 OR 运算而获得的“0011”。若进行同样的 OR 运算，就像图 22 那样，获得与所有组合对应的代码。下面按照这种编码原理，对信息量更多时的代码进行说明。

图 23 分别示出了 0-31（10 进制数）的代码。该图示出了按照图 22，用 2 个比特单位对 8 位的二进制值进行编码的例子。得到的代码是将每组 4 位（=2 的 2 次方位）的代码罗列 4 组（=8[位]/2[位/组]）的由 16 位组成的数据模型。在此，将 4 个代码组从左开始以下降的顺序表示为 BTW3、BTW2、BTW1、BTW0。此外，对于代码组 BTWi（ $i=0, 1, 2, 3$ ）的要素来说，将后述的条目从左侧以下降的顺序表示为（Ni3, Ni2, Ni1, Ni0），将检索键表示为（SLi3, SLi2, SLi1, SLi0）。此外，为了表明是用 2 个位的单位进行了编码，所以以下在各代码组之间插入空白。

首先,定义 0-3(10 进制数)的一热点成组编码。使代码组 BTW0 像图 22 所示那样,成为逻辑值‘1’从 N00(或 SL00)向 N03(或 SL03)逐次移动 1 位的数据模型。而且,使代码组 BTW1-BTW3 的数据模型全为“0001”。

接着,在使代码组 BTW1 的逻辑值‘1’向左(从 N10(或 SL10)向 N11(或 SL11))移动 1 位的状态下,使 4-7(10 进制数)成为将代码组 BTW0 的逻辑值‘1’再次从 N00(或 SL00)向 N03(或 SL03)逐次移动 1 位的数据模型。以下同样,当 10 进制数每增加 4 时将代码组 RTW0 的逻辑值‘1’向左移动 1 位,并重复代码组 BTW0 的逻辑值‘1’的移动,由此决定 8-15(10 进制数)的代码。

当相邻的下位代码组(在此为组 BTW0 和 BTW1)的数据模型同时变为“1000”时,使上一位的代码组(在此为组 BTW2)的逻辑值‘1’向左(在此为从 N30(或 SL30)向 N31(或 SL31))移动一位。在该状态下,与 0-15(10 进制数)一样,通过调配代码组 BTW0 和 BTW1 的数据模型来决定 16-31(10 进制数)的代码。

下面,以 1-30(10 进制数)的范围为例,说明表示多个数时的数据模型。首先,对于 1-3(10 进制数)的范围,与图 22 一样,将组 BTW0 归拢到一起,用代码“0001 0001 0001 1110”来表示。其次,对于 4-15(10 进制数)的范围,通过对对应成组的编码的各位进行 OR 运算,用代码“0001 0001 110 1111”来表示。同样,用代码“0001 0010 0111 1111”来表示 16-27(10 进制数)的范围。最后,用代码“0001 0010 1000 0111”来表示 28-30(10 进制数)的范围。结果,1-30(10 进制数)的范围由 4 个成组编码来表示。该个数是图 21 所示现有的三进制表示时(8 个)的一半。因此,在存储范围被指定的条目时能够抑制必要的条目数,从而可以高效率地进行存储。

此外,在本实施例的代码中,对应于二进制值进行编码的检索键的各代码组的数据模型中只含有一个逻辑值‘1’,所以与图 5 所示的双 TCAM 单元 TMC 的情况一样,能够获得降低检索动作中的搜索线的充放电功率的效果。迄今为止,说明了 10 进制数每增加 1 时将逻辑值

‘1’向左移动 1 位的数据模型的代码。但是，数据模型不限于此，也可以是其他的数据模型。例如，可以使 0-3（10 进制数）的代码组 BTW0 成为，与图 23 相反，逻辑值‘1’从 N03（或 SL03）向 N00（或 SL00）即向右侧逐次移动 1 位的数据模型。此时也与图 23 一样，能够用 4 个成组编码来表示 1-30（10 进制数）的范围。但是，为了是数据模型与 TCAM 内的信号线容易对应，下面按照图 22 和图 23 所示的数据模型进行说明。此外，到现在为止，为了简化说明，只考虑了 0-31（10 进制数），但是可想而知，若将以上的方法展开，就能够定义 31-255（10 进制数）的代码。

条目的编码和写入方法

下面按照图 6 和图 24，说明编码和写入方法。图 6 示出了本实施例的利用代码进行检索动作的 TCAM 中的条目的编码和写入算发的一例。此外，图 24 示出了指定 1-30（10 进制数）的范围时对应于三进制值的掩码信息和二进制信息，以及被编码的条目的数据模型。此外，该图中的掩码信息和二进制信息的数据模型也分别是 8 位。它们有如下两个特征。第一特征在于，与现有的 TCAM 一样，从芯片外部分别输入掩码信息和二进制信息，在芯片内部编码。第二特征在于，在芯片内部对复合的多个条目进行压缩，进行不能用三进制值表现的范围指定。下面一边留意这些方面一边说明编码和写入方法。

首先，输入对应于 1（10 进制数）的掩码信息“1111111”，存储在掩码寄存器中。将利用该信息以及接着输入的二进制信息“00000001”并效仿图 22 进行分组编码后得到的代码“0001 0001 0001 0010”，通过第一暂存条目寄存器存储在第二暂存条目寄存器中。接着，输入对应于 2-3（10 进制数）的范围的掩码信息“11111110”，重新存储在掩码寄存器中。利用该掩码信息和继续输入的二进制信息“00000010”进行编码，将成组编码“0001 0001 0001 1100”存储在第一暂存条目寄存器中。之后，比较保持在第一和第二暂存条目寄存器中的条目的每一位，调查数据模型的不同代码组的个数。在此，由于不同的组只是 BTW0，所以通过对保持第一和第二暂存条目寄存器中的

条目的每一位进行 OR 运算，将两个条目压缩成一个。此外，将压缩后得到的成组编码“0001 0001 0001 1110”重新存储在第二暂存条目寄存器中。

接着输入对应于 4-7（10 进制数）的范围的掩码“11111100”，重新存储在掩码寄存器中。利用该掩码信息和再次输入的二进制信息“00000100”进行编码，将成组编码“0001 0001 0010 1111”重新存储在第一暂存条目寄存器中。之后，再一次按各个位比较保持在第一和第二暂存条目寄存器中的条目，调查数据模型的不同代码组的个数。这一次，由于不同的组是 BTW0 与 BTW1 这两个，所以，例如通过激活后述的下一空闲地址寄存器指定的行地址上的存储器单元，将保持在第二暂存条目寄存器中的成组编码“0001 0001 0001 1110”写入存储器阵列。之后，将存储在第一暂存条目寄存器中的成组编码“0001 0001 0010 1111”重新存储在第二暂存条目寄存器中。将上述动作继续到 30（10 进制数），一边随时设定修正行地址，一边将存储在第二暂存条目寄存器中的成组编码写入存储器阵列。并且在写入完最后的条目的时刻，将条目数等关于存储器阵列的使用状况的信息输出给 TCAM 控制器等外部控制芯片，从而结束写入动作。

从上述动作中，可以获得以下两个效果。第一效果在于：与现有的 TCAM 一样，从芯片外部分别输入二进制信息和掩码信息，在芯片内部进行编码，因此能够实现具有与现有的接口具有互换性的接口的 TCAM。因此，TCAM 用户可以不用考虑芯片内部的存储方法，与从前一样写入条目。此外，在本编码中，从图 24 所示的例子中可知，虽然条目的位数从 8 位倍增到 16（=2 的平方乘 4）位，但是可以通过在芯片内部进行编码来抑制条目的输入所必须的数据总线宽度，因此还能够获得抑制 TCAM 安装成本的效果。第二特征在于：在芯片内部对复合的多个条目进行压缩，产生不能用三进制值表现的范围的条目。从上述说明可知，这样一来，可以将现有的 TCAM 中需要 8 个的条目数减少到 4 个，从而能够高效率地存储条目。

此外，一直到现在都是以用三进制表示将条目扩展成 8 个的情况

为例，说明了编码和写入方法。但是，由于输入的条目数各式各样，所以不论条目数如何，都应该将编码的条目传送给两个暂存条目寄存器并进行压缩，准确地写入存储器阵列中。因此，特别是在以三进制表示中条目为1个时，将该条目输入两次。例如，若说明只写入30（10进制数）的情况，则首先输入掩码信息“11111111”，将其存储在掩码寄存器中。利用该掩码信息和接着输入的二进制信息“00011110”进行编码，通过第一暂存条目寄存器将成组编码“0001 0010 1000 0100”存储在第二暂存条目寄存器中。其次，输入与这些相同的信息，将成组编码“0001 0010 1000 0100”存储在第一暂存条目寄存器中。之后，按各个位比较保持在第一和第二暂存条目寄存器中的条目，调查数据模型的不同代码组的个数。此时，保持在双方暂存条目寄存器中的条目是相同的成组编码，因此没有不同的组。因此，对保持在第一和第二暂存条目寄存器中的条目的每一位的OR运算结果不变，存储到第一暂存条目寄存器中的是与OR运算前相同的代码。通过这种动作，能够将30（10进制数）的成组编码“0001 0010 1000 0100”可靠地写入存储器阵列中。

此外，从到现在为止的说明当中可以了解，在检索动作中，通过像写入动作那样连续输入掩码信息和二进制信息，在芯片内部产生编码后的检索键。编码后的条目不经过第一和第二暂存条目寄存器，直接输入到存储器阵列中。

条目的译码和读出方法

图7示出了条目的译码和读出方法的例子。该方法的顺序和图6所示编码的顺序相反。首先，按照从芯片外部输入的地址，将从存储器阵列中读出的条目展开，存储到多个读出条目寄存器中。接着，依次将存储在这些读出条目寄存器中的条目译码，通过读出信息寄存器和读出掩码寄存器将其输出给外部芯片。通过这种方法，可以与现有的TCAM一样，将范围被指定的条目作为表示对应于三进制值的范围的信息而读出。

TCAM的整体结构

下面说明实现利用上面介绍的一热点成组编码信息进行检索动作的 TCAM 的整体结构。图 8 是 TCAM 的主要部分的框图。本结构包括：存储器阵列 MA、数据输入输出电路 DIO、各种寄存器、CAM 控制电路 CAMCTL、标志逻辑电路 FLGC、更新计数器 RFCNT、条目编码器 ENCDR、条目译码器 DCDR、条目压缩电路 CMP、条目扩展电路 EXT、优先编码器 PENC、RAM 控制电路 RAMCTL。存储器阵列 MA 的结构如图 1 所示，将在后面详细介绍。数据输入输出电路 DIO 设置在数据总线 DQ 与芯片内部数据总线 DBS 之间，进行数据和地址信号、以及定义芯片的各种设定的控制信号的授受。

各种寄存器分别由对应于数据总线 DQ 的信号线数的多位寄存器构成。在该图中，作为用于通过数据总线 DBS 接收数据的寄存器，示出了掩码寄存器 MKREG 与比较用字符寄存器 CPREG 这两个。第一个掩码寄存器 MKREG 存储用于在所需位产生 TCAM 中的第三信息_‘X’和_“MASK”的信息，通过掩码信号总线 MKBS 输入到后述的条目编码器 ENCDR 中。比较用字符寄存器 CPREG 存储在检索动作中输入的检索键。在检索动作中没有一致的条目时，通过上述条目压缩电路 CMP 将该检索键写入存储器阵列 MA 中。此外，在该图中，作为用于通过数据总线 DBS 传送数据的寄存器，示出了读出掩码寄存器 RMKREG 和读出二进制信息寄存器 RBREG 这两个。第一个读出掩码寄存器 RMKREG 存储从后述的条目译码器 DCDR 通过第三条目总线 TEBS 接收的第三信息_‘X’，并通过数据总线 DBS 向数据输入输出电路 DIO 输出。读出二进制信息寄存器 RBREG 与读出掩码寄存器 RMSKREG 一样，存储从条目译码器 DCDR 通过第三条目总线 TEBS 接收的二进制信息，并通过数据总线 DBS 向数据输入输出电路 DIO 输出。作为通过数据总线 DBS 进行地址信号的授受的寄存器，示出了脉冲串（burst）写入寄存器 WREG、下一空闲地址寄存器 NREG、脉冲串读出寄存器 RREG 这三个。第一个脉冲串写入寄存器 WREG 存储脉冲串写入动作中的一个周期的行地址和脉冲串长度，一开始进行脉冲串写入动作，就一边与条目的压缩动作协调一边向上计数，产

生第二个周期和其后的地址。第二个下一空闲地址寄存器 NREG 存储没有条目的行地址。

第三个脉冲串读出寄存器 RREG 存储脉冲串读出动作中的第一个周期的行地址和脉冲串长度，一开始进行脉冲串读出动作，就一边与条目的扩展动作协调一边向上计数，产生第二个周期和其后的地址。这些寄存器产生的地址信号通过行地址总线 XBS 输入到存储器阵列 MA 中。而且，通过数据总线和数据输入电路向芯片外部输出。

作为通过数据总线 DBS 接收控制信号的寄存器，示出了指令寄存器 ISREG、信息寄存器 IFREG、配置寄存器 CFREG 这三个。第一个指令寄存器 ISREG 存储通过数据总线 DBS 输入的控制信号，对芯片的初期化方法、级联连接的 TCAM 芯片数、和芯片内部的图表结构进行定义。这里，图表结构是指对应于条目数及其数据模型的位数的逻辑的存储器阵列结构。第二个信息寄存器 IFREG 存储分配到路由器等系统上的芯片固有的器件码。第三个配置寄存器 CFREG 存储例如用于控制像上述那样被逻辑分割的存储器阵列 MA 的激活的信号、和定义后述的多匹配信号和 RAM 用时钟是否有效的启动信号。除了这些以外，图 8 中还分别示出了插在后述的匹配地址总线 MABS 和数据总线 DBS 之间的匹配地址寄存器 MAREG。

CAM 控制电路 CAMCTL 按照输入的外部时钟 CLK、外部控制信号组 CMD，产生读出应答信号 ACK 和传输结束信号 EOT、条目计数信号 EC、内部控制信号。外部控制信号组 CMD 由前述的网络处理器或检索引擎 SE 等使用了用于特定用途的集成电路 ASIC 等的外部的控制芯片产生。读出应答信号 ACK 是在读出动作中与读出数据同步地输出的读取信号，传输结束信号 EOT 是在脉冲串读出动作和脉冲串写入动作中与最终数据同步地输出的标志信号。

条目计数信号组 EC 是表示关于在芯片内部压缩和扩展的条目的信息的多个信号。该信号组单独地或与前述的地址信号一起被传送到（例如像图 2 所示的）网络处理器 NP 或检索引擎 SE 那样的控制 TCAM 的芯片中。然后，这些控制器用于掌握条目的压缩和扩展或存

存储器阵列的使用状况。此外，虽然在该图中简化而省略了内部控制信号，但实际上多个控制信号与动作对应地被分配在各个电路块中。

标志逻辑电路 **FLGC** 与 **TCAM** 芯片之间进行全信号的授受。例如在路由器中，为了实现高速图表检索动作，通常级联连接多个 **TCAM** 而构成大容量的检索图表。因此，通过在芯片之间进行全输入信号组 **FIN** 和全输出信号组 **FOUT** 的发送和接收，来进行存储器阵列的使用状况的掌握和重新存储的条目的输入目的地的控制。此外，在检索动作中存在多个一致的条目时，标志逻辑电路激活多匹配信号 **MM**。

更新计数器 **RFCNT** 按照更新动作产生行地址。通过数据总线 **DBS** 将该地址输入到存储器阵列 **MA** 中。条目编码器 **ENCDR**、条目压缩电路 **CMP**、条目扩展电路 **EXT**、条目译码器 **DCDR** 都是本实施例的 **TCAM** 特有的电路块。第一个条目编码器 **ENCDR** 利用保持在前述的掩码寄存器 **MSKREG** 中的第三信息和通过数据总线 **DBS** 输入的二进制信息，对条目或检索键进行一热点成组编码。编码后的信息在写入动作中从编码数据总线 **ENBS** 向存储器阵列 **MA** 输出，在检索动作中向条目压缩电路 **CMP** 输出。条目压缩电路 **CMP** 由用于存储编码后的条目的两个暂存条目存储器 **FTEREG**、**STEREG**，和对存储在这些寄存器中的条目的代码的每一位进行比较的比较电路 **BMUC** 及 **OR** 运算电路 **LORC** 构成。虽然在该图中省略了这些电路块之间的连线，但是从图 6 中的说明可知，分别适当地进行编码后的条目的暂时存储、比较、压缩，从第一条目总线 **FEBS** 向存储器阵列 **MA** 输出将压缩后的条目。条目扩展电路 **EXT**，由将通过第一条目总线 **FEBS** 从存储器阵列 **MA** 读出的条目分割成能够用三进制 (ternary) 值表示的范围的代码的条目分割电路 **EDVD** 和暂时存储分割后的条目的多个寄存器组 **MLREG** 构成。虽然在该图中省略了这些电路块之间的连线，但是从图 7 中的说明能够容易地理解，分别适当地进行编码后的条目的扩展和暂时存储动作，能够从第二条目总线 **SEBS** 向条目译码器 **DCDR** 输出扩展后的多个条目。

条目译码器 DCDR 通过第二条目总线 SEBS 依次接收保持在条目扩展电路 EXT 内的多个寄存器组 MLREG 中的条目，进行译码。而且，通过第三条目总线 TEBS，将译码后的结果分别输出给二进制信息寄存器 RBREG 和读出条目寄存器 RMSKREG。

优先编码器 PENC 在检索动作中，按照从一致信号总线 HBS 输入的信号，产生对应于与检索键一致的条目的地址信号。此外，在具有多个一致的条目时，还具有从对应于最上位（例如，对应的行地址最小的码的行）的条目的地址信号依次输出的功能。产生的地址信号通过匹配地址总线 MABS 向匹配地址寄存器 MAREG 输入。

RAM 控制电路 RAMCTL 按照从数据总线 DBS 输入的信号，输出用于控制与图 2 所示的 TCAM 一起使用的内容存储器 CM 的信号。该图示出了 RAM 用时钟 RCLK、RAM 控制信号组、RAM 地址 RADD。RAM 控制信号组由多个控制信号构成，例如，是芯片启动信号或写入启动信号。RAM 地址 RADD 是前述的优先编码器 PENC 产生的地址信号，例如向图 2 所示的内容存储器地址总线 CADD 输出。产生多个地址信号时，从匹配地址寄存器 MAREG 通过数据总线 DBS 依次输出地址。

通过这种结构，本实施例的 TCAM 可以进行如下的各种动作。第一，通过使用条目编码器 ENCDR、条目译码器 DCDR、条目压缩电路 CMP、条目扩展电路 EXT，能够在芯片内部进行三进制值与一热点成组编码的变换，可以实现与现有技术具有互换性的 TCAM。第二，通过适当地使用脉冲串写入寄存器 WREG 或下一空闲地址寄存器 NREG、脉冲串读出寄存器 RREG，可以连续地写入或读出多个条目。第三，通过上述寄存器产生的地址和条目计数信号组 EC，可以与外部控制电路共有与被压缩及扩展的条目数或存储器阵列使用状况有关的信息，因此可以提高动作的可靠性。第四，通过编码数据总线 EBS 将检索键输入给存储器阵列 MA，从而能够进行检索动作。在此，当发现了与检索键一致的条目时，可以由主要编码器 PENC 产生与该条目对应的地址信号，通过匹配地址寄存器 MAREG 及 RAM 控制电

路 RAMCTL 向内容存储器输出。第五，通过数据总线 DBS 将利用更新计数器 RFCNT 产生的行地址输入给存储器阵列 MA，从而可以进行更新动作。

TCAM 阵列的结构

图 1 示出了本发明的使用一热点成组编码信息进行检索动作的 TCAM 阵列的结构例。本存储器阵列的特征在于，匹配线形成了由主匹配线和副匹配线构成的分层结构。下面一边注意这一点一边说明存储器阵列结构。

存储单元分别设置在多条字线 WL_m ($m=0, 1, \dots$) 和多条位线 BL_{ni} ($n=0, 1, \dots, i=0, 1, 2, 3$) 的交点。与位线 BL_{ni} 对应的多条搜索线 SL_{ni} ($n=0, 1, \dots, i=0, 1, 2, 3$) 分别与其平行地设置。而且，多条副匹配线 SML_{mj} ($m=0, 1, \dots, j=0, 1, \dots$) 分别与对应的主匹配线 MML_m ($m=0, 1, \dots$) 平行地设置。如副匹配线 $SMLO1$ 那样，副匹配线上分别连接有四个存储器单元 MC_i ($i=0, 1, 2, 3$)。以下将由这四个存储器单元 MC_i ($i=0, 1, 2, 3$) 构成的组分别表示为存储器组 MB_{mj} ($m=0, 1, \dots, j=0, 1, \dots$)。此外，在副匹配线 SML_{mj} ($m=0, 1, \dots, j=0, 1, \dots$) 与对应的主匹配线 MML_m ($m=0, 1, \dots$) 之间分别设置副匹配判定电路 SMD_{mj} ($m=0, 1, \dots, j=0, 1, \dots$)。副匹配判定电路对对应的副匹配线进行预充电或对副匹配线上产生的微小信号进行识别。

图 1 还示出了控制 TCAM 阵列的直接周边电路。行译码器 XDEC 从多条字线 WL_m ($m=0, 1, \dots$) 中选择对应于通过前述的行地址总线 XBS 输入的多个行地址信号的字线。主匹配判定电路块 MMDB 进行匹配线 ML_m ($m=1, 2$) 的预充电和匹配线上产生的微小信号的识别。而且，向前述的一致信号总线 HBS 输出对应于微小信号的检测结果而产生的信号。搜索线驱动电路块 SDB 设置在前述的编码数据总线 ENBS 与搜索线 SL_{ni} ($n=0, 1, \dots, i=0, 1, 2, 3$) 之间，将匹配线驱动成对应于编码后的检索键的逻辑值的电压。读写电路块 RWB 设置在前述的第一条目总线 FEBS 与位线 BL_{ni} ($n=0, 1, \dots, i=0, 1,$

2, 3) 之间, 进行被编码和压缩的条目的读写动作。具体说, 例如像作为半导体存储器而被广泛了解的那样, 是在每条位线上设置使用两个 PMOS 晶体管与两个 NMOS 晶体管交叉耦合的电路结构的读出放大器的结构。

下面, 按照图 9, 说明图 1 所示存储器阵列结构的电路块的具体结构例。在图 9 中, 为了简化说明, 关注的是存储器组 MB00, 示出了与其相关的副匹配判定电路 SMD00 和作为主匹配判定电路块 MMDB 的结构要素的主匹配判定电路 MMD0。此外, 在以下的介绍中, 分别将地电压表示为 VSS、将阵列电压表示为 VDL、将副匹配线的预充电电压表示为 VPC。将阵列电压 VDL 设定在高于地电压 VSS、但低于或等于电源电压 VDD 的电压上。将预充电电压 VPC 设定在高于地电压 VSS、但与阵列电压 VDL 相等、或比阵列电压 VDL 低到能使 NMOS 晶体管充分导通的程度的电压上。

首先, 构成存储器组 MB00 的存储器单元 MCi ($i=0, 1, 2, 3$) 由 3 个 NMOS 晶体管和 1 个电容器构成。晶体管 T611 与电容器 C 与众所周知的 DRAM 的存储器单元结构相同, 存储条目。晶体管 T611 的栅极连接在字线 WL0 上, 漏极和源极之一连接在对应的位线 BL0i ($i=0, 1, 2, 3$) 上, 另一个连接在电容器 C 的一个电极上。在电容器 C 的另一个电极上施加所谓的板压 VPLT。晶体管 T612、T613 串联连接在副匹配线 SML00 与接地电极之间, 进行信息的比较。晶体管 T612 的栅极连接在对应的搜索线上, 晶体管 T613 的栅极连接在电容器 C 的一个电极上。在这种结构的存储器单元中, 通过在电容器 C 的一个电极上存储电荷来存储信息, 因此称晶体管 T611、T613、电容器 C 的连接节点为存储节点。在该图中, 为了按每个存储器单元来区分存储节点, 与存储器单元 MCi ($i=0, 1, 2, 3$) 对应地将存储节点表示为 NOi ($i=0, 1, 2, 3$)。

副匹配判定电路 SMD00 由两个 NMOS 晶体管 T621、T622 构成。晶体管 T621 将副匹配线 SML00 充电至预充电电压 VPC, 其栅极连接在预充电起动信号线 PC 上, 漏极连接在副匹配线 SML00 上, 对其

源极施加预充电电压 VPC。另一个晶体管 T622 按照副匹配线的电压变化来驱动主匹配线 MML0，其栅极连接在副匹配线 SML0 上，漏极连接在主匹配线 MML0 上，对其源极施加地电压 VSS。此外，晶体管 T622 在待机时，因其栅极被施加预充电电压 VPC 而处于导通状态，因此还起将主匹配线 MML0 预充电至地电压 VSS 的作用。此外，还可以有晶体管 T621 使用 PMOS 晶体管的结构，但此时存储器阵列内需要多个阱分离，因而面积变大。因此，从抑制阵列面积的观点出发，优选使用 NMOS 晶体管。

主匹配判定电路 MMD0 由 PMOS 晶体管 T631 与读出放大器 SA 构成。晶体管 T631 在检索动作中对主匹配线施加电流，其栅极连接在检索启动信号线 SEB、漏极连接在匹配线 MML0 上，对其源极施加阵列电压 VDL。读出放大器 SA 是例如在半导体存储器中被众所周知的、使用两个 PMOS 晶体管与两个 NMOS 晶体管交叉耦合的电路的结构，对主匹配线 MML0 上产生的微小电压进行识别，按照该电压电平来驱动一致信号。此外，将晶体管 T631 与副匹配判定电路 SMDO0 内的晶体管 T622 的栅极的长度和宽度设定得使双方成为导通状态时主匹配线 MML0 的电压成为大致接近第电压 VSS 的电压电平。

下面说明使用这种结构进行的检索动作。首先，检索键与条目一致时，在同一字线上的所有存储器组中，存在对应的匹配线与存储节点的逻辑值都为‘1’的存储器单元，因此，晶体管 T612 和 T613 导通，从而使对应的所有副字线放电。因此，对应的副匹配判定电路内的晶体管 T622 截止，所以被驱动成地电压 VSS 的对应的主匹配线被主匹配判定电路内的晶体管 T631 充电。相反，检索键与条目不同时，在同一字线上的某个存储器组中，对应的搜索线与存储节点的逻辑值全部为相反极性，因此，该组的副匹配线与接地电极之间不形成电流通路，对应的副字线保持在预充电电压 VPC 上。因此，对应的副匹配判定电路内的 T622 导通，所以主匹配线大致保持在地电压 VSS 上。利用主匹配判定电路内的读出放大器 SA 来识别这些主匹配线的电压变化，并由此判定比较结果。

此外，对于未使用的存储器单元的状态来说，只要不影响别的存储器单元的检索动作，就不必进行限制，但优选存储与逻辑值‘0’对应的信息。此时，存储器单元内的晶体管 T613 成为截止状态，因此可以阻止条目检索动作中的副匹配线的放电，从而能够减少与不存储条目（在此为 IP 地址）的字对应的副匹配线的功耗。

下面根据上述原理来详细说明图 1 和图 9 所示结构的 TCAM 单元的检索动作。

检索动作

在下面的动作说明中，假设供给预充电起动信号线 PC 的电压与供给字线的升压电压相同，并用 V_{PP} 来表示。假设该升压电压 V_{PP} 被设定成高于阵列电压 V_{DL} 、且其差大于等于 NMOS 晶体管的阈值电压。此外，将主匹配判定电路内的读出放大器 SA 识别微小电压时使用的参考电压表示为 V_{REF} 。假设该参考电压 V_{REF} 被设定在地电压 V_{SS} 与阵列电压 V_{DL} 之间的电压电平上。此外，假设存储器单元内的存储节点被驱动成电源电压 V_{DD} 或地电压 V_{SS} 。高电压电平虽然可以取阵列电压 V_{DL} ，但是为了既能够产生充分的读出信号量又能够可靠地读出存储信息，优选取高于阵列电压 V_{DL} 的电源电压 V_{DD} 。此外，为了减少检索动作中的功耗，如后所述，搜索线的高电压优选取低于电源电压 V_{DD} 的电压，因此，优选将存储节点的高电压设定在不同于阵列电压 V_{DL} 的电压上。下面根据这些假设来说明检索动作。

首先，按照图 10 来说明检索键与条目一致时的检索动作。在此，为了简化说明，假设图 1 所示的存储器阵列每条字线具有两个存储器组的结构。而且假设注视的字线 $WL0$ 上存储有与 1-3（10 进制数）的范围对应的条目，进行与对应于 1（10 进制数）的检索键的比较。因此，在图 10 中，与被进行成组编码的条目“0001 1110”对应，存储器组 MB00 内的存储节点 N00 及存储器组 MB01 内的存储节点 N11-N13 保持在地电压上，存储器组内的 N01-N03 及存储器组 MB01 内的存储节点 N10 保持在电源电压 V_{DD} 上。

首先，在待机状态下，通过将预充电起动信号线 PC 驱动至升压电压 VPP，使副匹配判定电路内的晶体管 T621 处于导通状态，因此副匹配线 SML00、SML01 分别被驱动至预充电电压 VPC。如前所述，此时的预充电电压 VPC 是能够使副匹配判定电路内的晶体管 T622 充分导通的电压电平，因此，主匹配线 MML0 被驱动至地电压 VSS。

检索动作一开始，就通过将成为升压电压 VPP 的预充电起动信号线 PC 驱动至地电压 VSS 来停止副匹配线的预充电，之后按照检索键将成为地电压 VSS 的搜索线驱动至阵列电压 VDL。在该图示出的例子中，与编码后的检索键“0001 0010”相对应，使搜索线 SL00、SL02-SL03、SL11-SL13 分别保持着地电压 VSS，将成为地电压 VSS 的搜索线 SL01、SL10 分别驱动至阵列电压 VDL。此时，在存储器组 MB00 内的存储器单元 MC1 与存储器组 MB01 内的存储器单元 MC0 中，因为晶体管 T612、T613 都成为导通状态，成为预充电电压 VPC 的副匹配线 SML00、SML01 分别放电。因此，副匹配判定电路内的晶体管 T622 截止。若在该状态下将成为阵列电压 VDL 的检索启动信号线 SEB 驱动至地电压，则主匹配判定电路 MMD0 内的晶体管 T631 就成为导通状态，所以将成为地电压 VSS 的主匹配线 MML0 向阵列电压 VDL 充电。在主匹配线 MML0 被充电至充分高于参考电压 VREF 的电压的时刻，主匹配判定电路内的读出放大器通过识别这些电位差来判定条目与检索键一致，将该图中未示出的一致信号 HIT0 驱动至与该比较结果对应的电压。最后，将成为地电压 VSS 的检索启动信号线 SEB 驱动至阵列电压 VDL，将被驱动至阵列电压 VDL 的搜索线驱动至地电压，进而将成为地电压 VSS 的预充电起动信号线 PC 驱动至升压电压 VPP，由此将副匹配线 SML00、SML01 驱动至预充电电压 VPC，将主匹配线 MML0 驱动至地电压 VSS，从而再次返回待机状态。

其次，按照图 11 来说明检索键与条目不一致时的检索动作。在此，与图 10 一样，假设字线 WL0 存储有对应于 1-3（10 进制数）的范围的条目，进行与对应于 0（10 进制数）的检索键的比较。此外，

预充电动作和各信号的驱动定时与图 10 的说明相同，所以从略。

检索动作一开始，则与编码后的检索键“0001 0001”相对应，分别使搜索线 SL01-SL03、SL11-SL13 保持着地电压 VSS，将成为地电压 VSS 的搜索线 SL00、SL10 驱动至阵列电压 VDL。此时在存储器组 MB01 内的存储器单元 MC0 中，由于晶体管 T612、T613 都成为导通状态，所以成为预充电电压 VPC 的副匹配线 SML01 放电。可是，在存储器组 MB00 中成为导通状态的晶体管是存储器单元 MC0 内的晶体管 T612 和存储器单元 MC1-MC3 内的晶体管 T613，所以不论在哪个存储器中，副匹配线 SML00 与接地电极之间都不形成电流通路。即，副匹配线 SML00 保持预充电电压 VPC，副匹配判定电路 SMD00 内的晶体管 T622 继续导通。因此，检索启动信号线 SEB 一旦被激活，则主匹配线 MML0 就被驱动至由主匹配判定电路 MMD0 内的晶体管 T631 与副匹配判定电路 SMD00 内的晶体管 T622 的电阻分压所决定的电压。如前所述，该电压电平大致接近地电压 VSS，所以不会超过参考电压 VREF。主匹配判定电路内的读出放大器通过识别这些电位差来判定条目与检索键不一致，并将该图中未示出的一致信号 HIT0 驱动至与该比较结果对应的电压。图 25 是将上述检索动作中的副匹配线与主匹配线的电压汇总的表。

按照上述结构与动作，图 1 和图 9 所示的存储器阵列具有以下两种效果。第一，通过减少连接在副匹配线和主匹配线上的晶体管数，可以防止动作速度的劣化。第二，即可以与现有的 TCAM 一样地接收三值信息，又可以利用编码后的信息进行检索动作。

至此，就范围被指定的条目和分别对二进制值成组编码后的检索键的检索动作进行了说明。但是，从到目前为止的说明可知，检索键不限于此，也能够对范围被指定的条目，和对于范围被指定的三进制值编码后的检索键进行检索动作。

此外，在图 10 和图 11 中，将主匹配判定电路 MMD0 的读出放大器当作如前所述的交叉耦合型的结构来决定了参考电压 VREF。但是读出放大器的结构不限于此，也可以是将阈值设定在参考电压上的

反相电路。此时，构成电路的晶体管数少，所以可以减少读出放大器面积。此外还可以除去读出放大器的起动信号，所以还可以获得设计容易的优点

此外，图 1 和图 9 所示的存储器组内的存储器单元数，根据按几位来对输入信息和比较信息进行编码而不同。在这些图示出的例子中，示出了用 2 比特单位进行编码的存储器阵列，因此存储器组用 4 个（2 的平方）存储单元 MC_i ($i=0, 1, 2, 3$) 组成一组。该存储器组是对应于图 5 所示的双 TCAM 单元的电路结构。因此可以认为，本实施例是通过改进编码方法和存储器阵列结构，利用两个图 4 所示的存储三进制值信息的 TCAM 单元，将往一个 TCAM 单元中存储的信息从三值增至四值的存储器阵列。这样考虑就很容易理解，尽管存储器单元数相同，也会像图 22 所示那样，能够用一个条目表示的情况的数量增加，从而获得了能够高效率地存储信息的效果。

本实施例的效果

下面总结一下通过上述一热点成组编码和 TCAM 的结构及动作获得的效果。

第一效果在于，像图 22 所示那样，通过如此定义所谓的一热点成组编码，使得逻辑值‘1’的位置的不同具有意思，增加一个条目能够存储的信息量，从而与现有技术相比减少了存储范围被指定的 IP 地址所必须的条目数。与图 4 所示的现有的 TCAM 单元结构相比，由本代码把存储信息量从三值增到了四值，从而能够高效率地存储范围被指定的 IP 地址，因此可以有效地增加 TCAM 的存储器容量。此外，对应于二进制值的本代码的数据模型只含有一个逻辑值‘1’，因此还能够获得可以减少检索动作中的搜索线的充放电功率的效果。此外，通过提高存储器阵列的使用效率而使不存储条目（在此为 IP 地址）的字数增多，进而通过使对应的存储器单元的存储信息成为对应于逻辑值‘0’的值，可以阻止对应的副匹配线的放电，因此，还可以降低检索动作中的存储器单元的功耗。

第二效果在于，像图 8 所示那样，通过将条目编码器 ENCDR、

条目译码器 DCDR、条目压缩电路 CMP、条目扩展电路 EXT 分别内置于芯片内,可以在芯片内部进行三进制值与一热点成组编码的变换。按照本实施例的编码,条目及检索键的位数与输入信息相比是增多了,但是通过在芯片内部进行编码与译码,可以维持数据总线 DQ 的总线宽度,从而可以实现具有与现有的具有互换性的接口的 TCAM。

第三效果在于,像图 1 或图 9 所示那样,通过使匹配线成为由副匹配线与主匹配线构成的分层结构,可以在条目和检索键中使用共同的代码。利用该效果,可以使在图 5 所示现有的双 TCAM 单元中不能够进行的、将范围被指定的信息作为检索键的检索动作,能够进行。此外,与副匹配线和主匹配线连接的晶体管数的减少使得负载电容分别减少,从而还能获得抑制动作速度劣化的效果。

此外,虽然至此没有特别提到用于存储器阵列的 NMOS 晶体管的规格,但图 9 所示存储器单元 MC 内的晶体管 N611 如在泛用的 DRAM 的存储器单元中的传输门中被众所周知的那样,其栅氧化膜厚的设计考虑了耐压。此外,为了防止存储节点中的存储电荷的泄露,设计时提高了沟道的杂质浓度。通过这些手段,将晶体管 N611 的阈值电压设计在高于设置在存储器阵列周边的逻辑电路中使用的晶体管的阈值电压的电平上。一方面,存储器单元 MC 内的晶体管 N622 和 N623 用于比较动作,所以优选开关响应快。因此,通过调整沟道的杂质浓度来降低阈值电压、并将导通状态中的电阻和扩散电容设计得低,这样才有利于缩短检索时间。同样,在副匹配判定电路内的晶体管 N621 的栅极电压施加升压电压 VPP,因此其栅氧化膜厚的设计考虑了耐压。此外,晶体管 N622 是与检索动作有关的元件,因此从缩短检索时间的观点出发,优选将其阈值电压设计得低。此外,若阈值电压变低,则即使施加在栅极上的电压低,也能使晶体管导通。因此,同时还能获得可以通过抑制预充电电压 VPC 来降低副匹配线的充放电功率的效果。

实施例 2

下面说明利用在实施例 1 中说明的一热点成组编码进行信息的检

索动作的 TCAM 的存储器阵列结构的另一例子。该结构的特征在于，对于 3 比特单位的编码，用 8 个存储器单元来构成存储器组。图 12 针对这一点，与图 9 对应地示出了由 8 个存储器单元 MC_i ($i=0, 1, \dots, 7$) 构成的存储器组 TMB00。此外，图 26 与图 23 对应，分别示出了 0-31 (10 进制数) 的代码。与 8 位的二进制值对应的代码是由将每组 8 位 (=2 的 3 次方位) 的代码罗列成 3 组的 24 位构成的数据模型。在此，将 3 个代码组从左开始按下降的顺序表示为 BTD2、BTD1、BTD0。此外，对于代码组 BTD_i ($i=0, 1, 2$) 的要素来说，将条目从左侧以下降的顺序表示为 $(N_{i7}, N_{i6}, \dots, N_{i0})$ ，将检索键表示为 $(SL_{i7}, SL_{i6}, \dots, SL_{i0})$ 。此外，为了表明是用 3 比特单位进行了编码，以下在各代码组之间插入空白。

首先，定义 0-7 (10 进制数) 的一热点成组编码。使代码组 BTD0 像图 23 所示那样，成为逻辑值‘1’从 N_{00} (或 SL_{00}) 向 N_{07} (或 SL_{07}) 逐次移动 1 位的数据模型。而且，使代码组 BTD1 及 BTD2 的数据模型全为“00000001”。

接着，对于 8-15 (10 进制数)，是在使代码组 BTD1 的逻辑值‘1’向左 (从 N_{10} (或 SL_{10}) 向 N_{11} (或 SL_{11})) 移动 1 位的状态下将代码组 BTD0 的逻辑值‘1’再次从 N_{00} (或 SL_{00}) 向 N_{07} (或 SL_{07}) 逐次移动 1 位的数据模型。以下同样，当 10 进制数每增加 8 时将代码组 BTD1 的逻辑值‘1’向左移动 1 位，并重复代码组 BTD0 的逻辑值‘1’的移动，由此决定 16-31 (10 进制数) 的代码。

下面，以 1-30 (10 进制数) 的范围为例，说明表示多个数时的数据模型。首先，对于 1-7 (10 进制数) 的范围，与图 23 所示的 2 比特单位的编码一样，将组 BTD0 归拢到一起，用代码“00000001 00000001 11111110”来表示。其次，对于 8-23 (10 进制数) 的范围，通过对对应的成组编码的各位进行 OR 运算，用代码“00000001 00000110 11111111”来表示。最后，用代码“00000001 00001000 01111111”来表示 24-30 (10 进制数) 的范围。结果，1-30 (10 进制数) 的范围由 3 个成组编码来表示。该个数比图 23 所示的 2 比特单位的编

码少一个。因此，通过加大编码的位数，可以进一步抑制存储范围被指定的条目时必须的条目数，从而能够高效率地进行存储。此外，与实施例一样，通过提高存储器阵列的使用效率使得不存储条目的字数增多，因此可以阻止对应的存储器单元中的放电动作，从而还能够进一步降低检索动作中的存储器阵列的功耗。

此外，在本实施例的代码与图 23 所示的 2 比特单位的代码一样，对应于二进制值进行编码的检索键的数据模型中只含有一个逻辑值‘1’。而且编码的比特单位大，所以能够获得可以降低检索动作中的搜索线的充放电功率的效果。此外，迄今为止说明了 10 进制数每增加 1 时将逻辑值‘1’向左移动 1 位的数据模型的代码。但是数据模型不限于此，可以是其他的数据模型。例如，可以使 0-7（10 进制数）的代码组 BTD0 成为，与图 26 相反，逻辑值‘1’从 N07（或 SL07）向 N00（或 SL00）即向右侧逐次移动 1 位的数据模型。此时也与图 26 一样，能够用 3 个成组编码来表示 1-30（10 进制数）的范围。此外，到此为止，为了简化说明只考虑了 0-31（10 进制数）。但是，可以容易地推测出：若将以上的方法展开，即，当相邻的下位代码组（在此为组 BTD0 和 BTD1）的数据模型都到达“10000000”时，在将上一位的代码组（在此为组 BTD2）中的逻辑值‘1’向左（在此为从 N30（或 SL30）向 N31（或 SL31））移动 1 位的状态下再次分配代码组 BTD0 与 BTD1 的数据模型，就能够定义 31-255（10 进制数）的代码。

实施例 3

下面说明利用在实施例 1 中说明的一热点成组编码进行信息的检索动作的 TCAM 的存储器阵列结构、尤其是副匹配判定电路的的另一个例子。本实施例的目的在于提供这种代码及电路结构：在三进制值表示的检索键中，为了进行成组编码而被分割的多个位都是第三信息‘X’（所谓的掩码状态）时，对应的所有搜索线都不被驱动。具体说，例如在 2 比特单位的成组编码时，若作为检索键而输入三进制表示的信息“XX”（0-3（10 进制数）所有值），则在图 22 所示的代码中，所有位获得逻辑值‘1’的代码，对应的所有搜索线被激活。因此，实施例

1 的结构存在因搜索线的驱动条数增多而使检索动作的功耗增加的问题。为了解决该问题,本实施例提供的电路结构使对应于信息“XX”的代码为“0000”,将对应的搜索线保持在待机状态,在这种情况下也能够准确地进行检索动作。

图 13 与图 1 及图 9 对应,示出了本实施例的存储器阵列的一部分。该结构与图 9 的不同之处在于,在副匹配判定电路 SMD00 中新增加了 NMOS 晶体管 T623。晶体管 T623 的栅极连接组掩码信号 BMSK0,漏极连接副匹配线 SML00。而且,源极接地。在图 27 中,以 0-3 (10 进制数) 时为例,示出了搜索线 SL0i ($i=0, 1, \dots, 3$) 与组掩码信号 BMSK0 的对应关系。被定义为检索键的代码与图 22 的不同之处在于,表示 0-3 (10 进制数) 的全部时的数据模型从“1111”变更为“0000”。与该变更相对应,只有检索键被指定为 0-3 (10 进制数) 的范围时,组掩码信号的逻辑值才取‘1’。

下面按照图 14 说明检索键与条目一致时的检索动作。在此,假设关注的字线 WL0 上连接有两个存储器组 MB00、MB01,分别与对应的副匹配线 SML00、SML01 连接的副匹配判定电路,与组掩码信号 BMSK0、BMSK1 分别连接。因此,在图 14 中,与成组编码后的条目“0001 1110”相对应,存储器组 MB00 内的存储节点 N00 和存储器组 MB01 内的存储节点 N11-N13 保持在地电压 VSS 上,存储器组 MB01 内的 N01-N03 及存储器组 MB01 内的存储节点 N10 保持在电源电压 VDD 上。

检索动作一开始,则与编码后的检索键“0001 0000”相对应,使搜索线 SL00-SL03、SL11-SL13 分别保持着地电压 VSS,将成为地电压 VSS 的搜索线 SL10 驱动成阵列电压 VDL。在此,在存储器组 MB01 内的存储器单元 MC0 中,晶体管 T612、T613 都成为导通状态,所以电压为预充电电压 VPC 的副匹配线 SML01 放电。一方面,在存储器组 MB00 中成为导通状态的晶体管只有存储器单元 MC1-MC3 内的晶体管 T613,所以不论在哪个存储器中,副匹配线 SML00 与接地电极之间都不形成电流通路。但是由于电压为地电压 VSS 的组掩码信号

BMSK0 被驱动成阵列电压 **VDL** 而使副匹配判定电路 **SMD00** 内的晶体管 **T623** 导通, 所以, 电压为预充电电压 **VPC** 的副匹配线 **SML00** 放电。因此, 成为地电压 **VSS** 的主匹配线 **MML0** 被主匹配判定电路 **MMD0** 充电, 比较结果被判定为一致。

根据上述结构和动作, 可以减少对应于检索键“**XX**”的搜索线的激活条数, 从而可以抑制检索动作的功耗。此外, 至此说明了进行 2 比特单位的编码时的情况, 但是单位位数不限于此。可想而知, 例如, 如实施例 2 的图 26 所示那样进行 3 比特单位的编码时, 通过对三进制表示的信息“**XXX**”定义代码“**00000000**”, 可以获得同样的效果。此时, 在实施例 2 中有 8 条搜索线被激活, 而在本实施例中只要激活一条组掩码信号就可以, 因此可以大幅度地降低检索动作的功耗。

实施例 3 的变形例

此外, 副匹配判定电路的结构不限于图 13 所示的结构, 也可以是图 17 所示的结构。该结构与图 13 的不同之处在于, 在副匹配判定电路 **SMD00** 中, 摘除了 NMOS 晶体管 **T623**, 而新增加了与 NMOS 晶体管 **T622** 串联的 NMOS 晶体管 **T624**。晶体管 **T624** 的栅极与组掩码信号 **BMSKB0** 连接, 漏极与主匹配线 **MML0** 连接, 源极与晶体管 **T622** 的漏极连接。在此, 晶体管 **T622** 与 **T624** 的连接顺序可以颠倒。但是, 如后所述, 若要抑制匹配时进行充电动作的主匹配线的负载电容, 优选将晶体管 **T624** 连接在主匹配线 **MLL0** 侧, 以切断副匹配判定电路的内部负载。图 28 以 0-3 (10 进制数) 时为例, 示出了搜索线 **SL0i** ($i=0, 1, \dots, 3$) 与组掩码信号 **BMSKB0** 的对应关系。与图 27 的不同之处在于, 组掩码信号 **BMSKB0** 的极性与组掩码信号 **BMSK0** 相反。

下面按照图 18 说明检索键与条目匹配时的检索动作。在此, 假设注视的字线 **WL0** 上连接有两个存储器组 **MB00**、**MB01**, 分别与对应的副匹配线 **SML00**、**SML01** 连接的副匹配判定电路分别与组掩码信号 **BMSKB0**、**BMSKB1** 连接。此外, 假设与图 14 一样, 存储了对应于 1-3 (10 进制数) 的范围的条目, 进行与对应于 0-3 (10 进制数)

的检索键的比较。因此，在图 18 中，与成组编码后的条目“0001 1110”相对应，存储器组 MB00 内的存储节点 N00 和存储器组 MB01 内的存储节点 N11-N13 保持在地电压上，存储器组 MB01 内的 N01-N03 及存储器组 MB01 内的存储节点 N10 保持在电源电压上。

检索动作一开始，则与编码后的检索键“0001 0000”相对应，使搜索线 SL00-SL03、SL11-SL13 分别保持着地电压，将成为地电压 VSS 的搜索线 SL10 驱动成阵列电压 VDL。在此，在存储器组 MB01 内的存储器单元 MC0 中，晶体管 T612、T613 都成为导通状态，所以成为预充电电压 VPC 的副匹配线 SML01 放电。一方面，在存储器组 MB00 中成为导通状态的晶体管只有存储器单元 MC1-MC3 内的晶体管 T613，所以不论在哪个存储器中，副匹配线 SML00 与接地电极之间都不形成电流通路，从而使副匹配线 SML00 保持在预充电电压 VPC 上。但是由于成为阵列电压 VDL 的组掩码信号 BMSKB0 被驱动成地电压 VSS 而使副匹配判定电路 SMD00 内的晶体管 T624 截止，所以，成为地电压 VSS 的主匹配线 MML0 被主匹配判定电路 MMD0 充电，比较结果被判定为一致。

根据上述结构和动作，在对应于副匹配判定电路 SMD00 的检索键是信息“XX”时，可以使副匹配线 SML00 保持着预充电电压 VPC，切断匹配线 MML0 与接地电极之间的电流通路。即，既可以减少对应于检索键“XX”的搜索线的激活条数，又可以停止副匹配线的充放电动作，因此可以进一步抑制检索动作的功耗。

实施例 4

下面说明利用在实施例 1 中说明的一热点成组编码进行信息的检索动作的 TCAM 的存储器阵列结构、尤其是主匹配判定电路的另一个例子。本实施例的目的在于降低与不存储条目（在此为 IP 地址）的存储器单元对应的主匹配线的功耗。

图 15 与图 1 及图 9 对应地示出了本实施例的存储器阵列的一部分。该结构与图 9 的不同之处在于，在主匹配判定电路 MMD0 中，新增加了 PMOS 晶体管 T632 与空标志寄存器 EFREG。以使晶体管

T631 与接收阵列电压 VDL 的电极之间形成电流通路的方式插入晶体管 T632。空标志寄存器 EFREG 是保持对应的字线上的存储器单元中是否存储了条目的信息的电路，通过与检索启动信号线平行地设置的空标志线 EFLG 写入保持的信息。此外，空标志寄存器 EFREG 的存储节点 SNE0 连接在晶体管 T632 的栅极上。

下面说明这种结构的主匹配判定电路的检索动作。首先，假设对应的字线 WL0 上的存储器单元中保持有条目时，存储节点 SNE0 的电压是对应于逻辑值‘0’的低电压电平。此时，晶体管 T632 保持导通状态，所以，主匹配判定电路 MMD0 通过驱动主匹配线 MML0 来进行比较结果的判定。一方面，假设对应的字线 WL0 上的存储器单元中没有保持条目时，存储节点 SNE0 的电压是对应于‘1’的高电压电平。此时，因晶体管 T632 截止而使主匹配判定电路 MMD0 不进行比较结果的判定，从而使主匹配线 MML0 保持非激活状态。此外，在空标志寄存器 EFREG 中保持的信息与条目同时写入。

根据上述结构与动作，本实施例的主匹配判定电路可以根据存储器阵列的使用状况来控制主匹配线的驱动。即，在检索动作中，可以降低与没有存储条目的存储器单元对应的主匹配线的充放电功率。因此，在存储器阵列使用效率高的存储器阵列中没有存储条目的存储器单元居多，所以，本主匹配判定电路最适合图 1 所示的存储器阵列。此外，通过与图 13 所示的副匹配判定电路进行组合，可以实现功耗更小的存储器阵列。

实施例 5

图 16 示出了利用图 8 所示的实施例 1 的一热点成组编码信息实现检索动作的 TCAM 的另一整体结构的例子。该结构的特征在于，将条目与检索键一起从条目压缩电路 CMP 通过第一编码条目总线 FEBS 输入到存储器阵列 MA 中。通过这种结构，范围被指定的检索键与条目一样被压缩后输入到存储器阵列中。因此，可以减少输入存储器阵列 MA 中的检索键数，所以可以实现检索动作中的功耗小的 TCAM。此外，从实施例 3 和实施例 4 的说明中可知，如果使用利用

了图 13 所示的副匹配判定电路或图 15 所示的主匹配判定电路的存储器阵列 MA，就能够实现功耗更小的 TCAM。

以上说明了利用一热点成组编码信息进行检索动作的 TCAM。但是本发明的结构与动作不限于上述说明，可以进行各种变形。例如，存储器单元结构不限于图 9 所示的结构，可以是各种结构。具体说，可以像图 5 所示的存储器单元那样，将串联连接的晶体管 T612、T613 的顺序颠倒。此时，在待机状态下，可以利用导通状态的 T613 对晶体管 T612 与 T613 的连接节点进行预充电，因此可以防止因连接在搜索线上的晶体管 T612 的导通而引起的充电分配导致的副匹配线的电压降，从而可以准确地进行检索动作。

此外，在图 9 中示出了将搜索线与位线分开设置的存储器单元结构，但可以将这些信号线共用。此时，可以省去图 1 所示的搜索线驱动电路块 SDB，所以可以减小芯片面积。

还有，虽然在图 9 中利用使用了一个晶体管和一个电容器的电路结构存储信息，但是，也可以将该部分换成如图 2 所示的由 6 个晶体管构成的所谓的 SRAM 单元、或通过在浮栅上存储电荷来存储信息的例如像闪存器那样的能够电擦除和编程的电可擦可编程只读存储器（EEPROM）。在换成一方的 SRAM 单元时，不需要形成电容器的特殊加工工序，因此可以抑制芯片制造成本。此外，与设置在存储器阵列周边的逻辑电路一样，使用开关特性优良的晶体管，因此可以实现高速地进行检索动作的存储器阵列。此外，不需要在图 9 所示的存储器单元中进行的更新动作，因此本 TCAM 的检索动作的时间可以更长。此外，使用本 TCAM 的系统的设计变得容易。换成另一方的 EEPROM 时，与 SRAM 一样，不需要更新动作。此外，可以减小存储器单元面积，因此使大容量化和低成本化成为可能。进而，存储器单元可以持续保持被切断电源的条目，所以可以实现损害风险低的 TVAM。最后，虽然用图 8 说明了利用条目编码器 ENCDR 和条目压缩电路 CMP，在芯片内部对接收的三进制表示的信息进行编码和压缩，以写入广范围的 IP 地址的方法，但是可以有各种方法。例如，使

前述的比较用字符寄存器 CPREG 作为检索键与条目公共的寄存器。此外，该寄存器内置有计数器，具有只接收和保持检索键和条目的上限和下限，在芯片内部产生对应于被指定的范围的检索键和条目的功能。根据这种结构和功能，可以抑制范围被指定的 IP 地址的发送接收次数，因此可以实现降低了数据输入输出电路的功耗的低功率 TCAM。

芯片内部的时钟频率高于数据总线 DQ 时，可以减少写入动作及读出动作所需要的周期数，所以可以进行更快的动作。

此外，可以利用如图 2 所示的网络处理器 NP 或检索引擎 SE 那样的外部的控制芯片来接收进行了一热点成组编码的条目，直接写入存储器阵列中。此时除了条目编码器 ENCDR 和条目压缩电路 CMP 以外，还可以去除分别进行条目的扩展、译码的条目扩展电路 EXT、条目译码器 EDCR，因此可以减小芯片面积。此外，可以高效率地接收条目和检索键，因此还可以减少写入动作和读出动作所需要的周期数以及功耗。而且不只是条目，还可以减少将光范围的 IP 地址作为检索键输入时所需要的周期数，所以还可以高速地低功率地进行检索动作。

以上根据发明的实施例具体说明了本发明者进行的发明，但是不言而喻，本发明不限于上述实施例，在不脱离其构思的范围内可以有各种变更。例如，本发明的 TCAM 不限于分开的芯片即单器件，还适用于装配在被称为单片式系统（SoC）的系统 LSI 上的 TCAM 块，此时也能获得与到现在为止所说明的实施例相同的效果。

如上所述，本发明的半导体器件不限于 IP 地址，可以增加与各种信息有关的每一条目的信息量，因此适用于利用信息量大的图表进行检索动作的技术。

实施例 6

图 29 示出了图 8 和图 16 所示的存储器阵列 MA 的结构例子。该结构有以下两个特征。第一特征在于，具有由图 1 所示的存储器阵列构成的两个副阵列 SMA0、SMA1。第二特征在于，利用对应的主

匹配判定电路块 **MMDB0**、**MMDB1**，分别用驱动搜索线（**SL000-SL003**、**SL010-SL013**、...、**SL100-SL103**、**SL110-SL113**、...）的搜索线驱动电路块 **SDB0**、**SDB1** 对接收作为第一编码条目总线 **FEBS** 的结构要素的第一编码条目线（**FE00-FE03**、**FE10-FE13**、...）进行控制。此外，为了简化说明，在该图中省略了设置在副阵列 **SMA0**、**SMA1** 中的行译码器和读写电路块、位线和字线。下面针对副阵列 **SMA0**，详细说明这些特征。

首先，副阵列 **SMA0** 具有 256 条主匹配线 **MML00-MML0255**，在这些主匹配线与搜索线 **SL000-SL003**、**SL010-SL013**、... 的交叉点上设置了存储器组 **MB00**、**MB01**、...、**MB2550**、**MB2551**、...。而且，与存储器组相对应地分别设置了副匹配线判定电路 **SMD00**、**SMD01**、...、**SMD2550**、**SMD2551**、...。

搜索线驱动电路块 **SDB0** 由分别设置在第一编码条目线 **FEL00-FEL03**、**FEL10-FEL13**... 与搜索线 **SL000-SL003**、**SL010-SL013**、... 之间的搜索线驱动电路 **SD00-SD03**、**SD10-SD13**、... 和 256 输入 NAND 电路 **DNM** 构成。如图 30 所示，每个搜索线驱动电路由反相电路 **INV** 和 NAND 电路 **ND** 构成。例如是搜索线驱动电路 **SD00** 时，将第一编码条目线 **FEL00** 连接在 NAND 电路 **ND** 的一个输入端子上，将 NAND 电路 **NDM** 的输出信号 **SNEOB** 连接在另一个输入端子上。此外，将 NAND 电路 **ND** 的输出端子连接在反相电路 **INV** 的输入端子上，将反相电路 **INV** 的输出作为搜索线 **SL00**。

主匹配判定电路块 **MMDB0** 由 256 个主匹配判定电路 **MMD0-MMD255** 构成。将连接在各主匹配判定电路中的空标志寄存器 **EFREG** 的存储节点上的信号 **SNE00-SNE0255**（例如，图 15 中的主匹配判定电路 **MMD0** 内的存储节点 **SNE0** 与信号 **SNE00** 对应），连接在前述的搜索线驱动电路块 **SDB0** 内的 256 输入 NAND 电路 **NDM** 的各输入端子上。

这种结构有以下两种效果。第一效果在于，因存储器阵列 **MA** 被分割而使搜索线的长度变短，负载电容减小，因此可以缩短驱动搜索

线所需要的时间。即，可以缩短检索动作时间。第二效果在于，在副阵列内的存储器单元中一个条目也没有写入时，可以停止对应的搜索线的驱动。即，条目空时，如图 15 所示，对应的空条目寄存器的存储节点是对应于逻辑值‘1’的高电压电平，因此，副阵列 SMA0 空时，因信号 SNE0B 保持在地电压 VSS 上而使对应的搜索线保持在地电压 VSS 上。因此，在检索动作中可以抑制搜索线的驱动，所以可以降低功耗。

此外，对于利用本发明的一热点成组编码存储条目的 CAM 来说，上述第二效果特别大。该理由如下：如图 24 所示，本 CAM 可以用少于现有技术的条目数存储范围被指定的 IP 地址，因此可以缩小进行信息比较的存储器阵列区域，因此不需要在全体存储器阵列进行检索动作，可以停止不需要的副阵列的检索动作，从而可以减小芯片整体的功耗。以上以图 29 为例，说明了本实施例的存储器阵列结构，但该结构可以有各种变形。例如，虽然在该图中示出了对具有 256 条主匹配线的每个副阵列设置搜索线驱动电路块的结构，但该设置不限于此。本发明的 CAM 与现有的 DRAM 一样，通过充电分配动作来进行条目的读出，因此，若要获得充分的读出信号就必须限制线电容即位线长度。若假设该长度像图 29 那样是 256 条匹配线的长度，则搜索线的长度不限于此，可以长到驱动搜索线所需要的时间被检索动作所允许的范围。此时，可以减少存储器阵列内的搜索线驱动电路块数，因此可以抑制存储器阵列面积。

对此，还可以使搜索线短于位线，并对每个副阵列设置多个搜索线驱动电路块。此时可以精细地控制激活的搜索线的长度，因此可以通过条目数来进一步减小功耗。

此外，虽然在图 29 中示出了搜索线驱动电路块使用 256 输入 NAND 电路的结构例子，但在不脱离逻辑的范围内可以有各种变形。例如可以通过将 2 至 3 输入的 NAND 电路或 NOR 电路与反相电路组合在一起来高效率地进行搜索线驱动电路块的设计。或者，由于从对应于主匹配判定电路 MMD0 的存储器单元开始依次写入条目时，只

要由对应于主匹配判定电路 MMD0 的存储节点的信号就能够判断出副阵列内的条目是否空,因此,可以用取代 256 输入 NAND 电路 NDM 而设置的反相电路来接收该信号,并用其输出信号来控制搜索线驱动电路。此时,可以减少逻辑电路面积和信号配线数,因此可以抑制存储器阵列面积。

图1

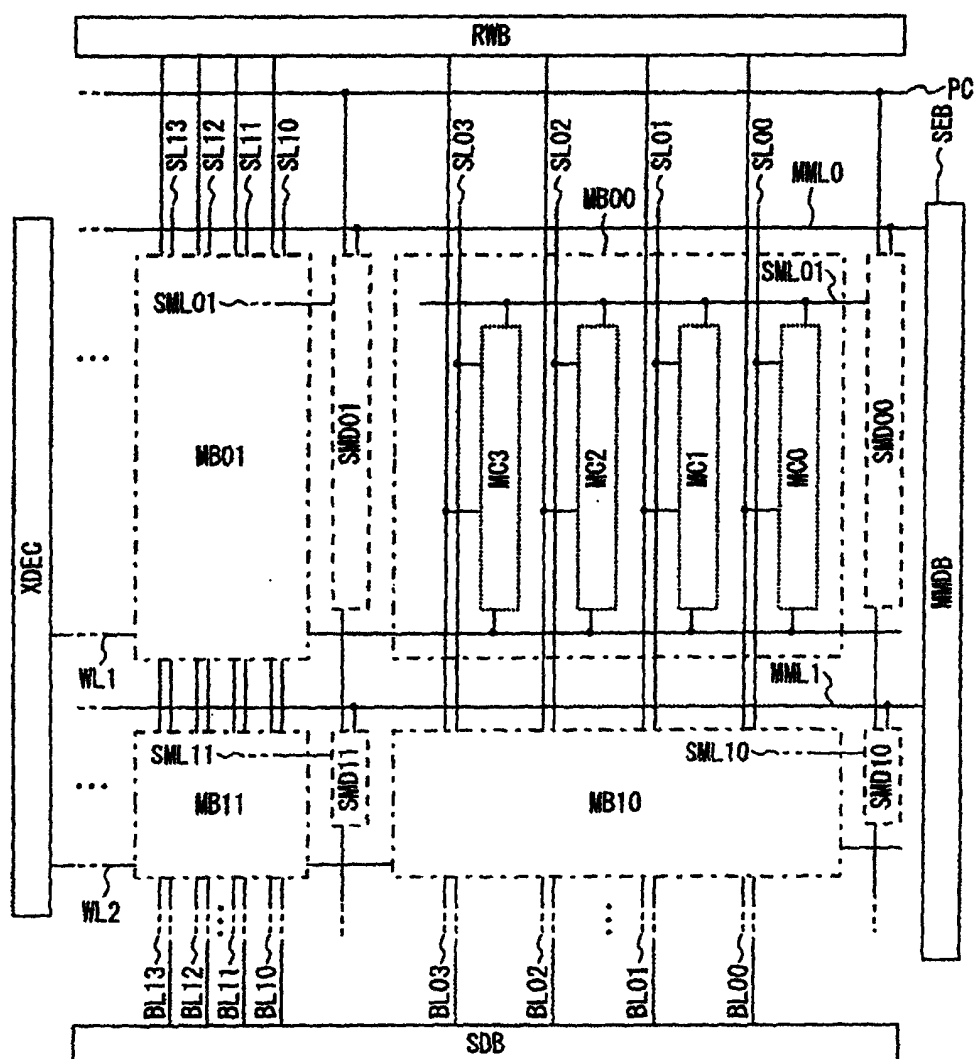


图 2

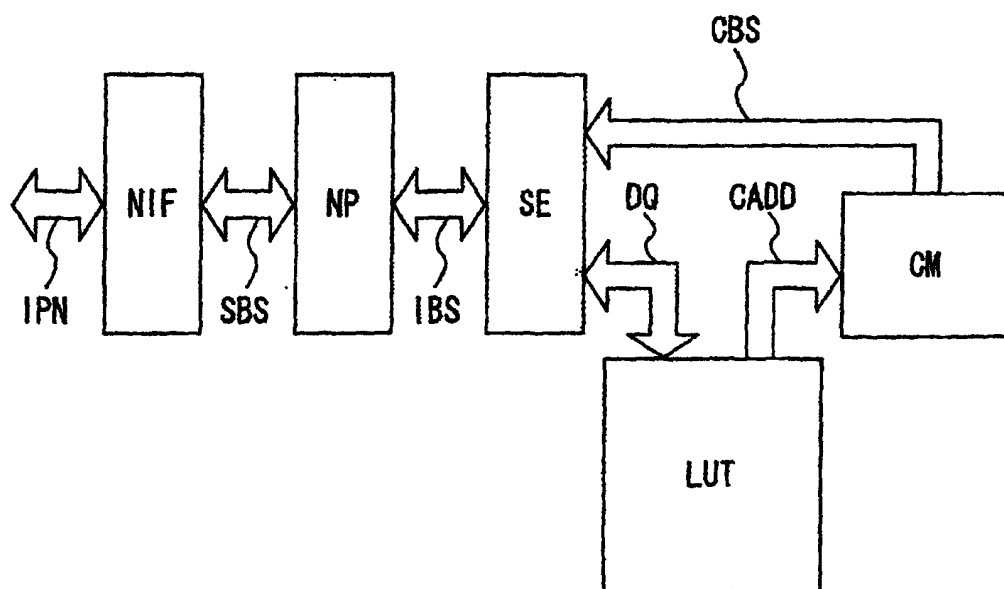


图 3

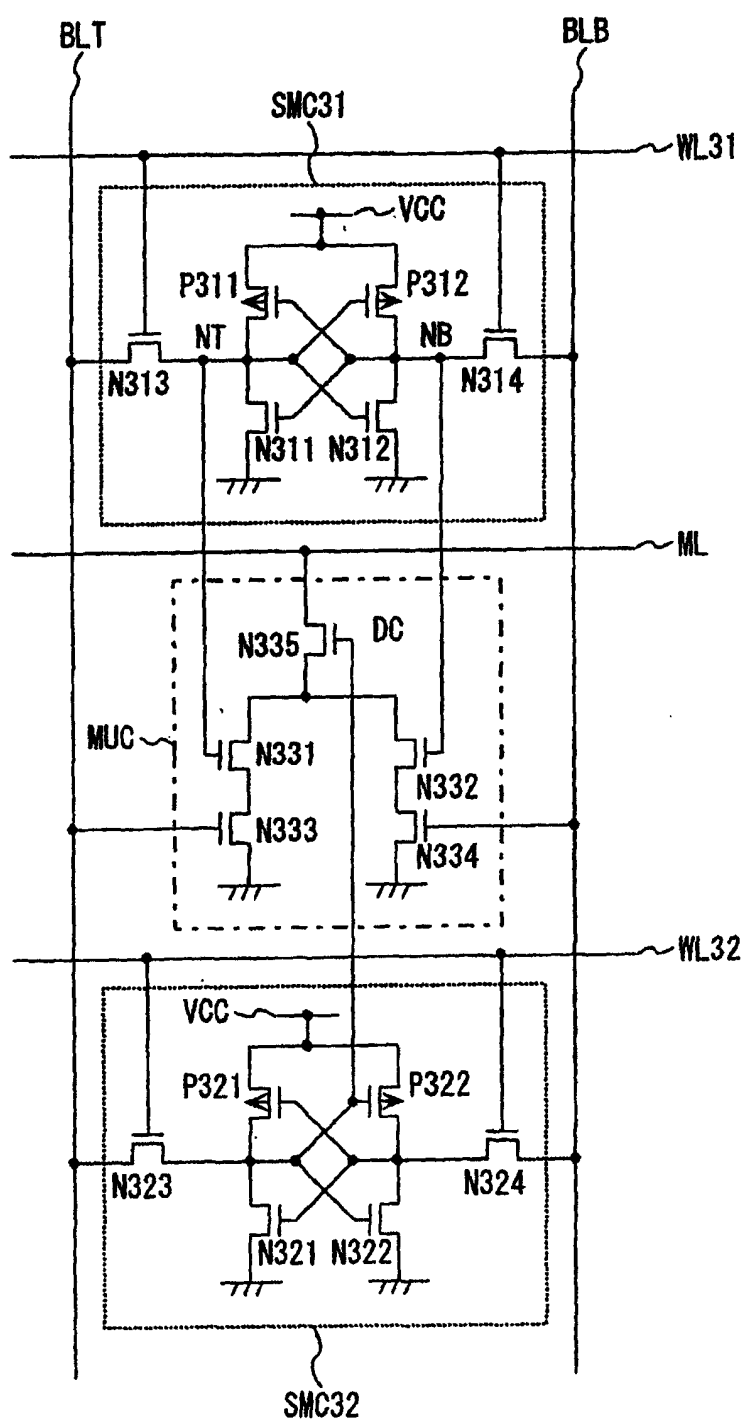


图 4

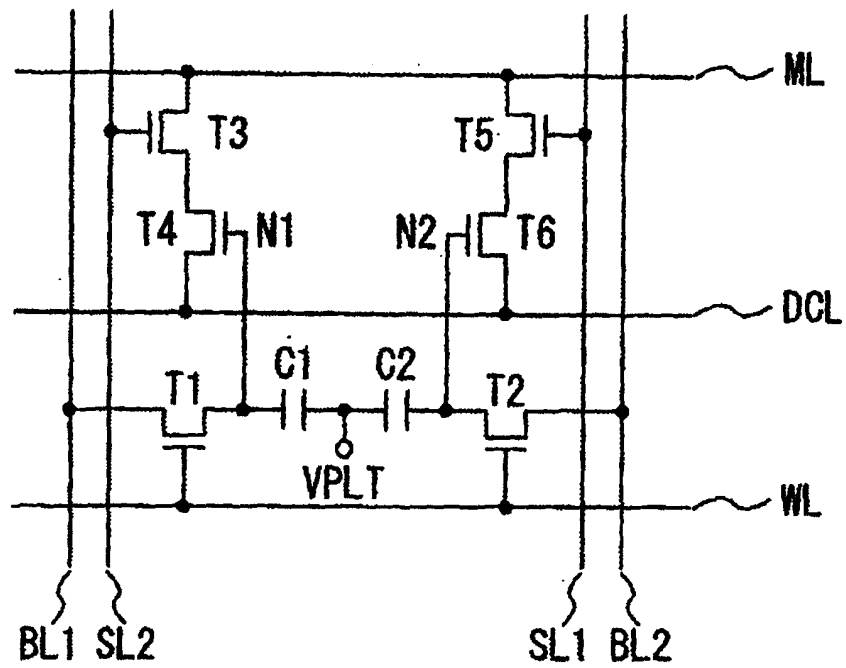


图 5

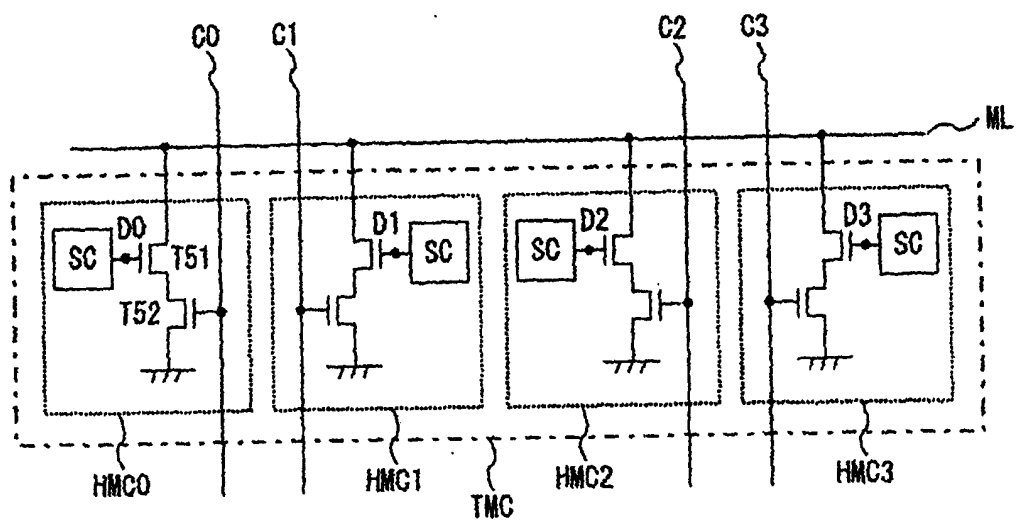


图6

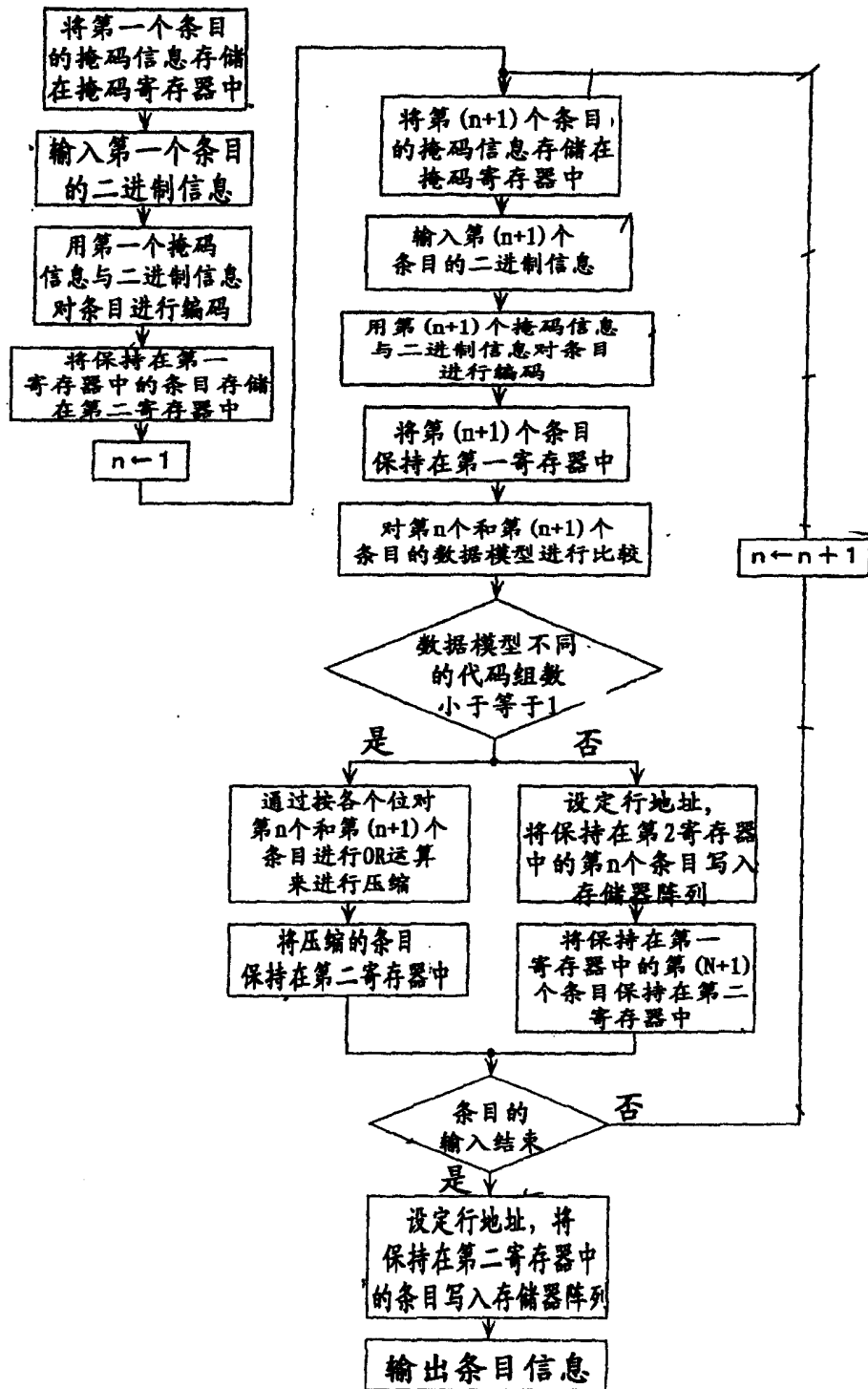


图7

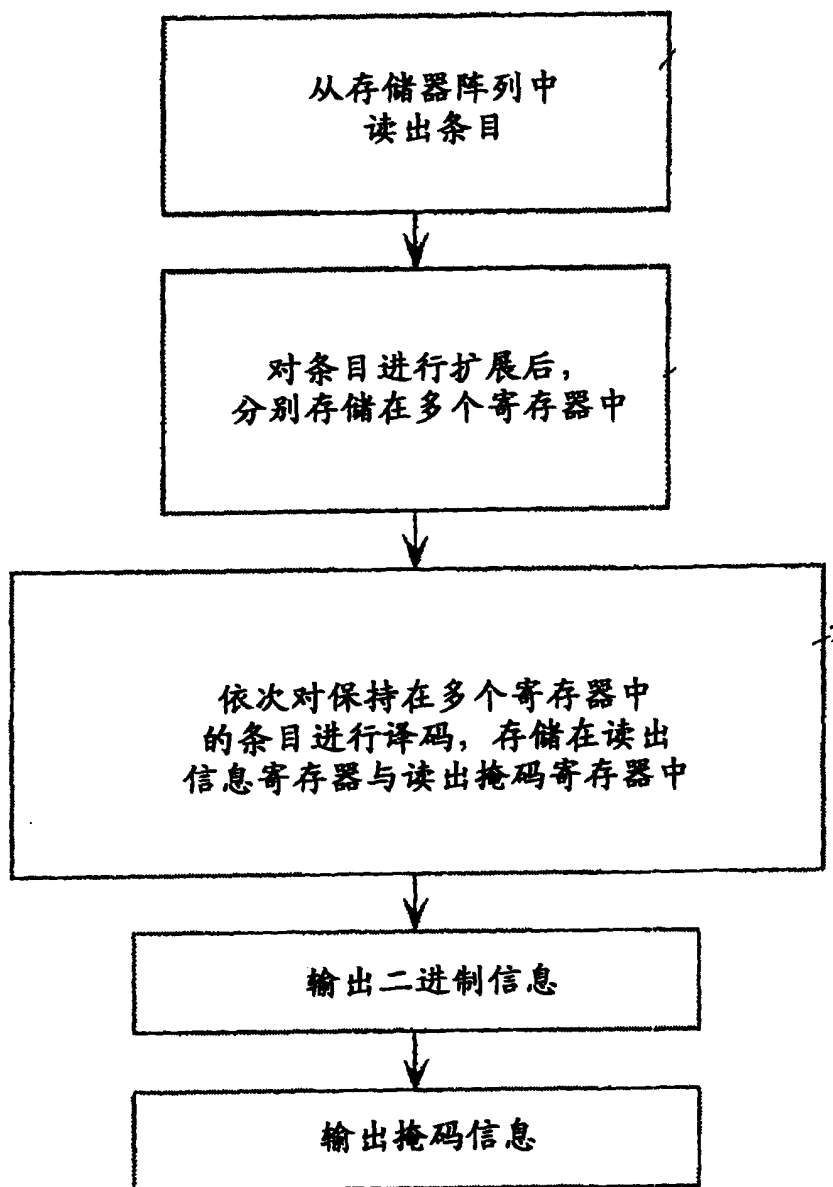


图 8

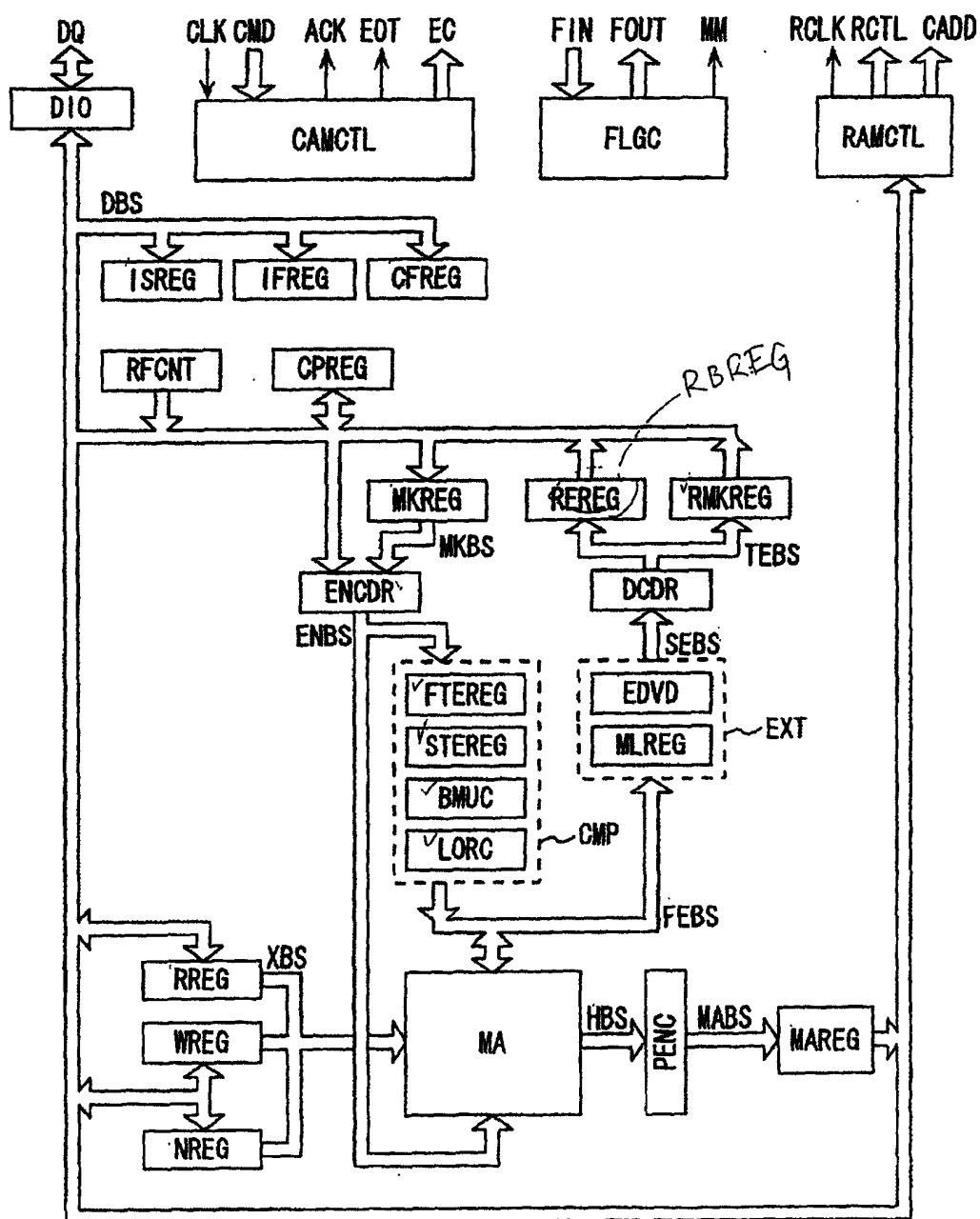


图 9

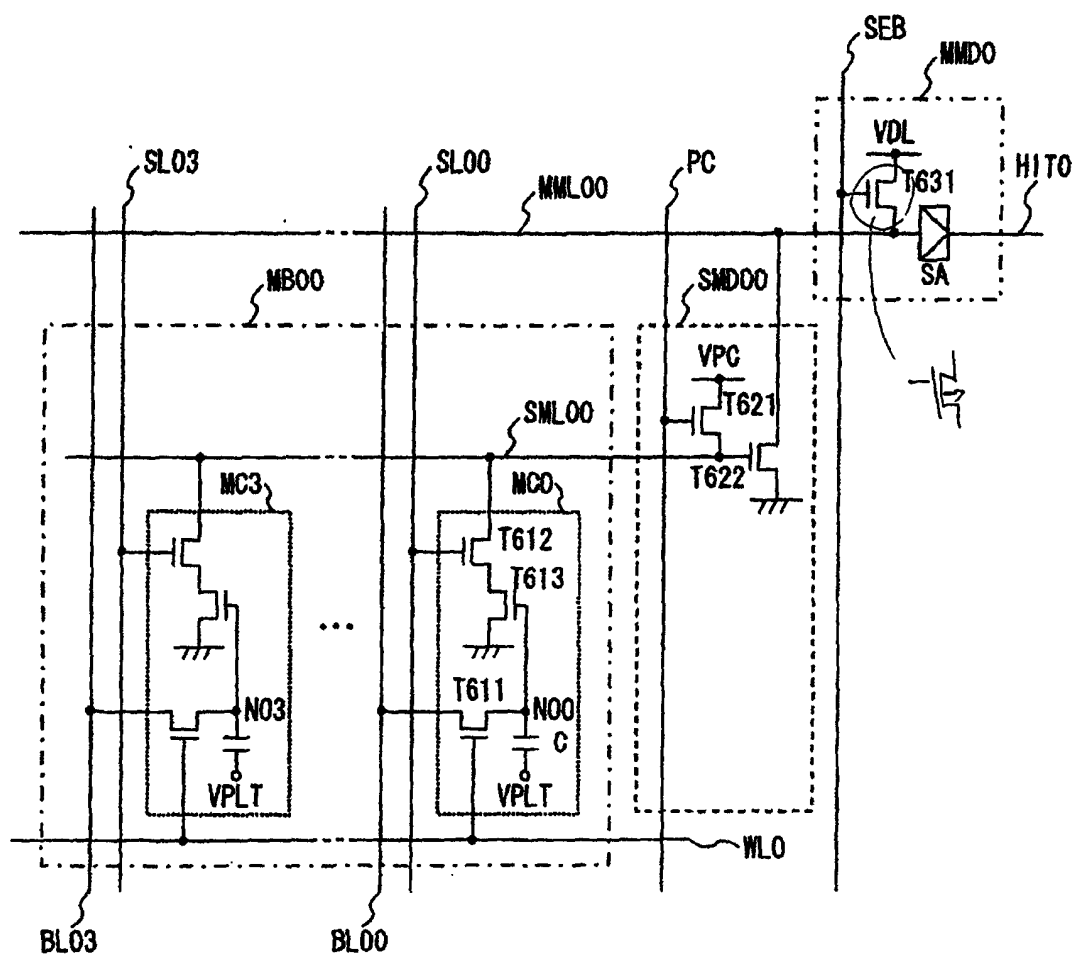


图 10

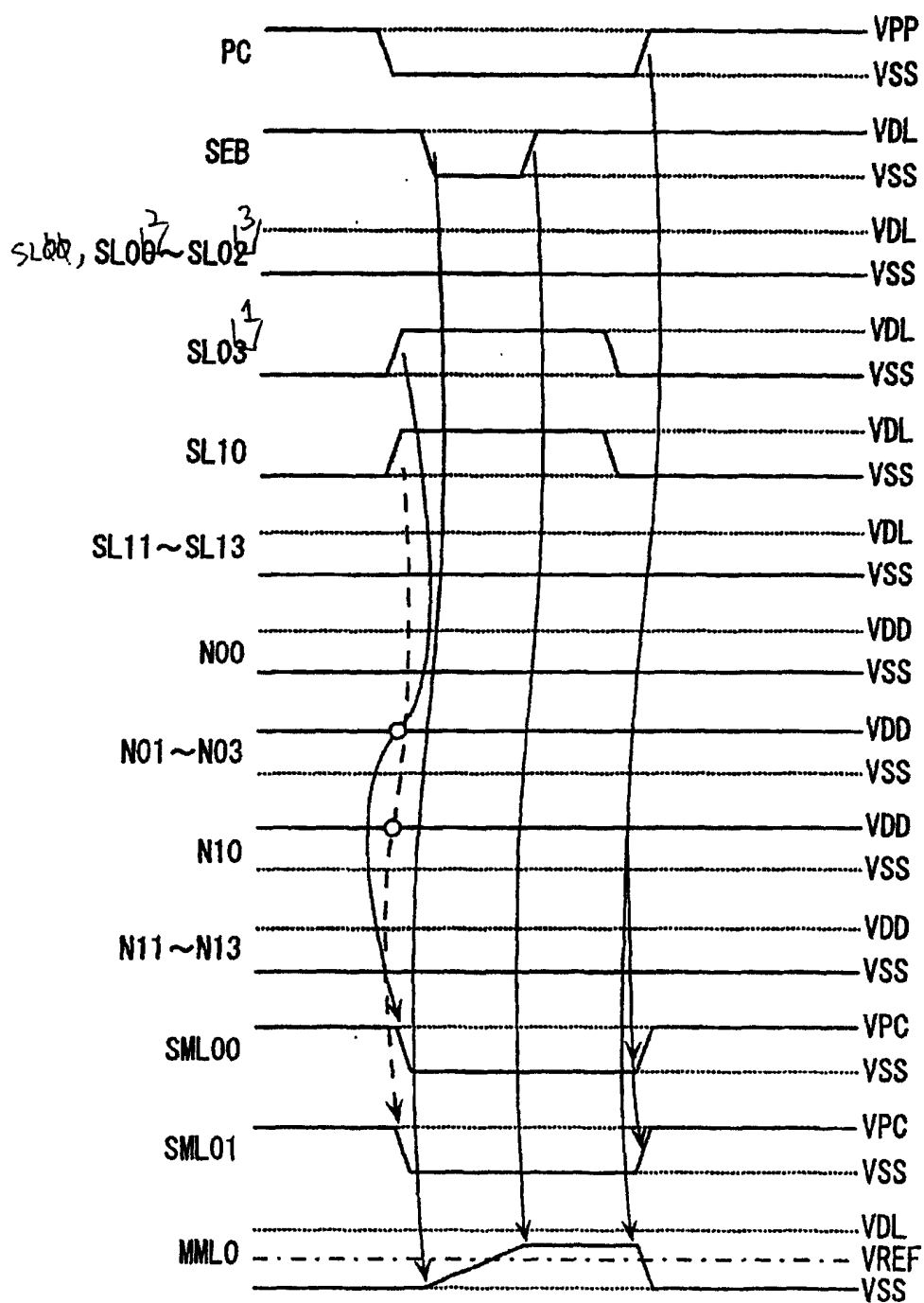


图 11

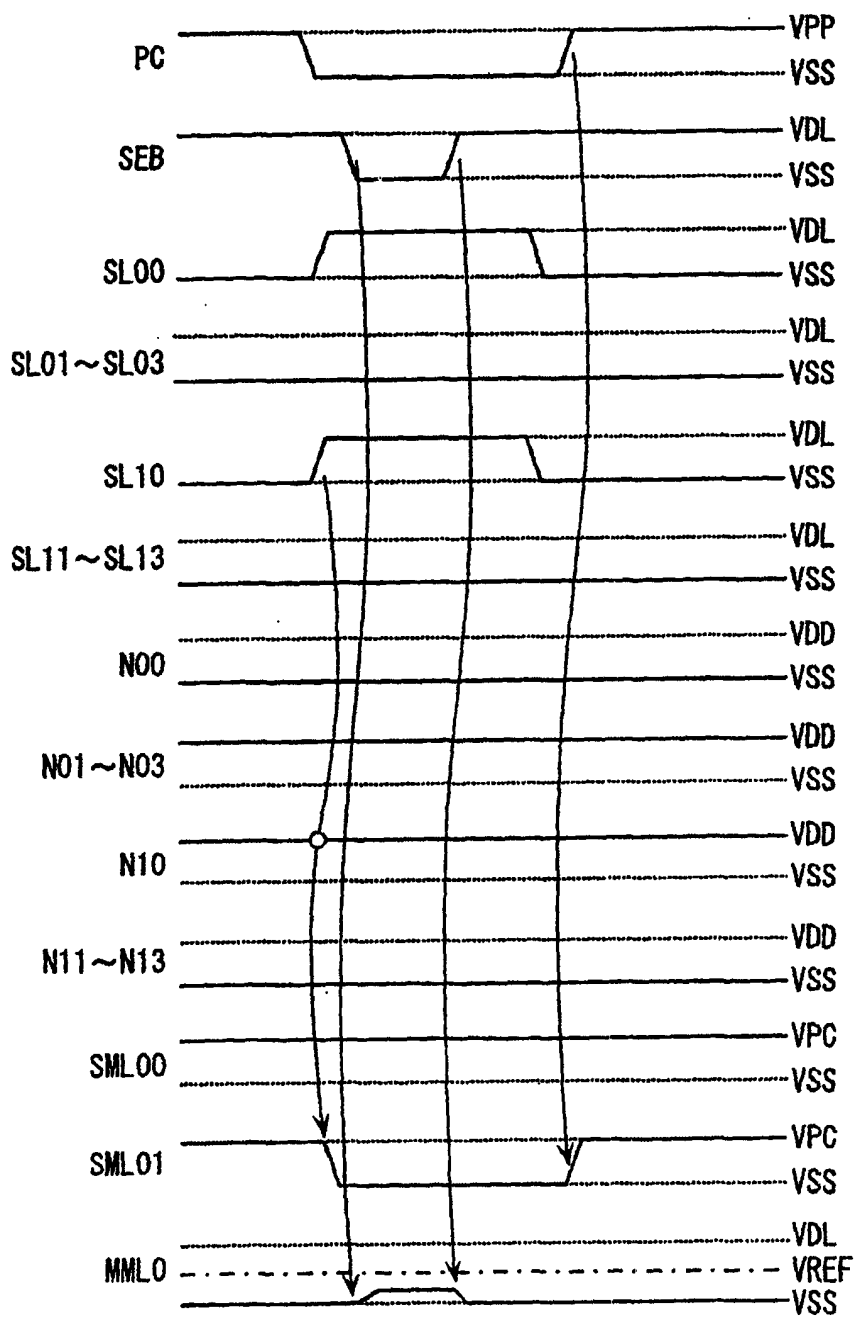


图 12

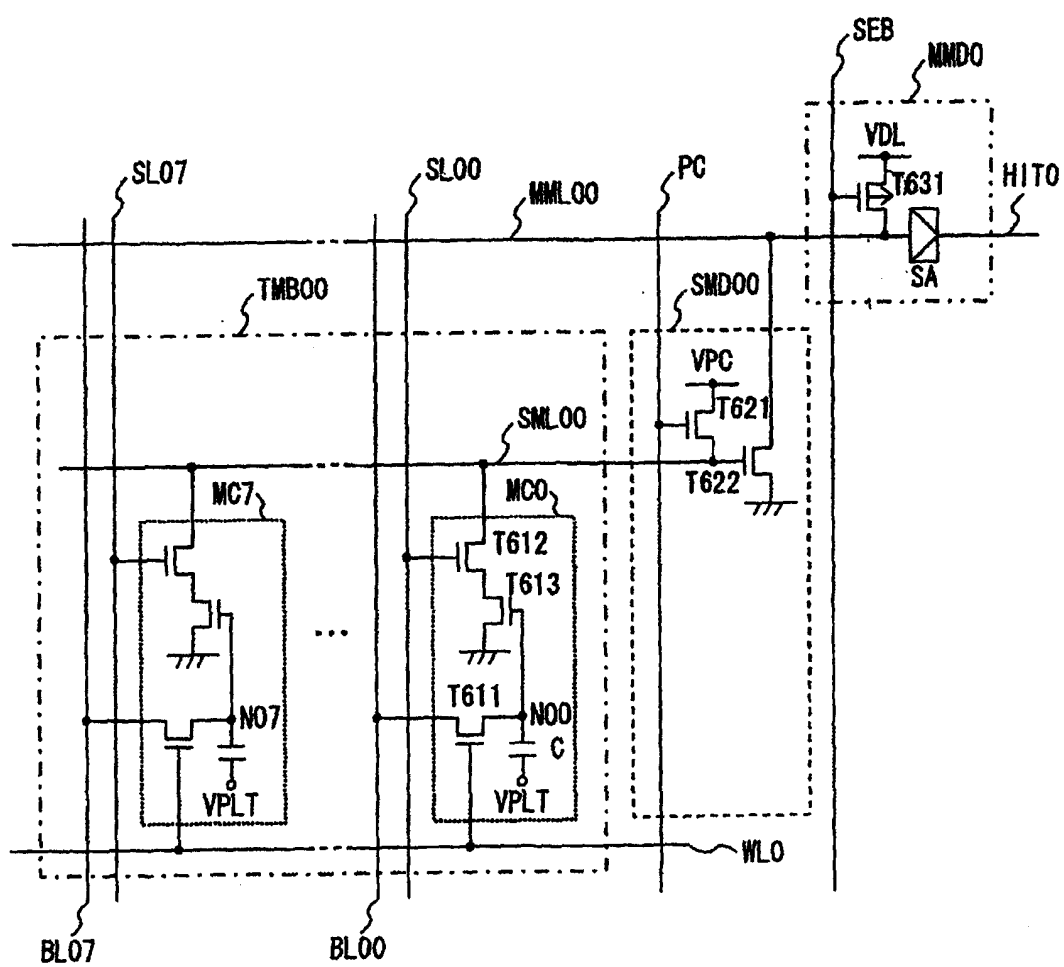


图 13

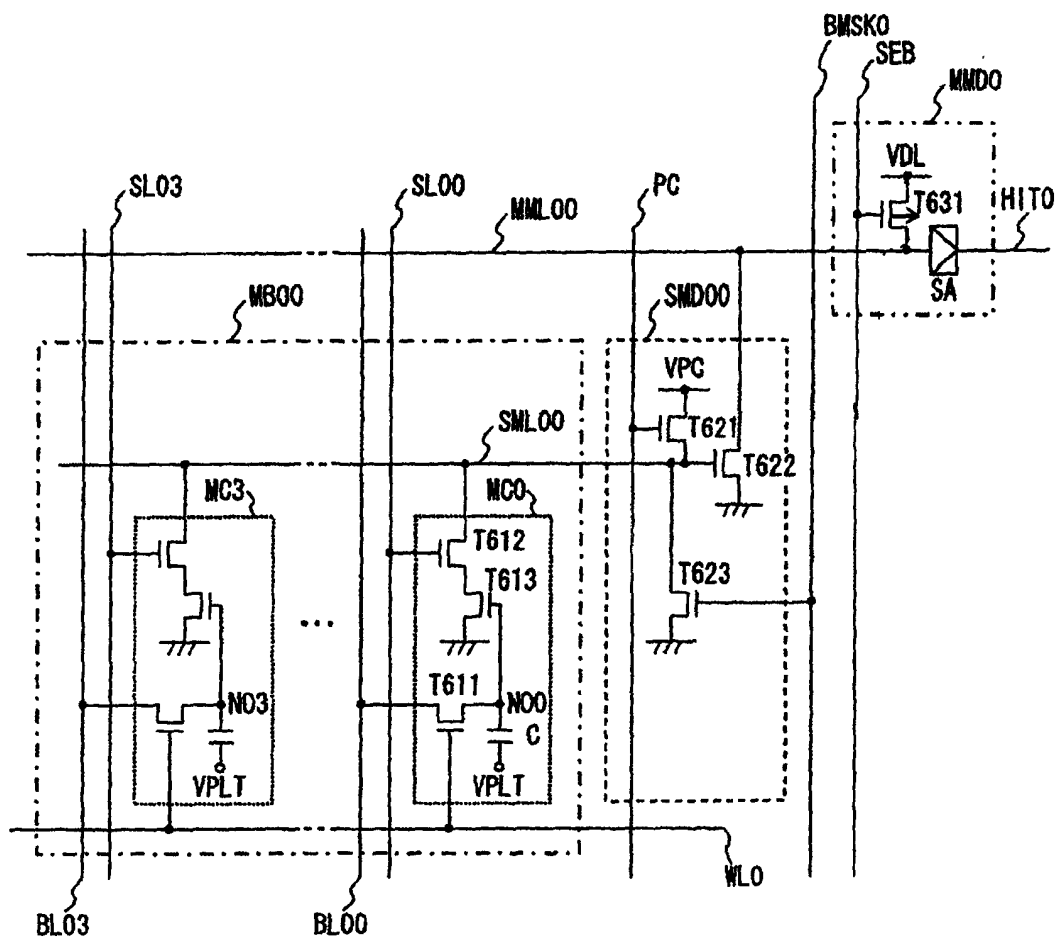


图 14

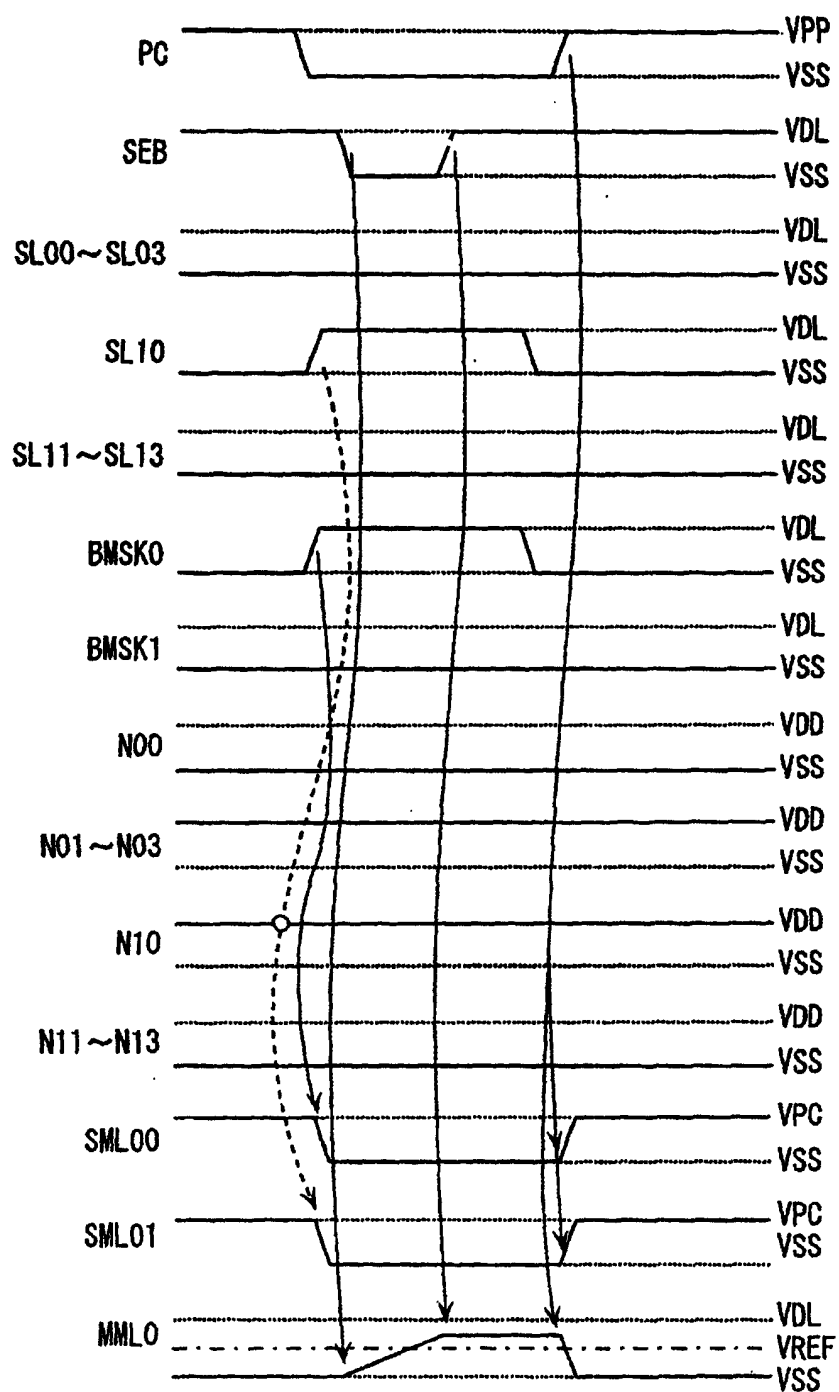


图15

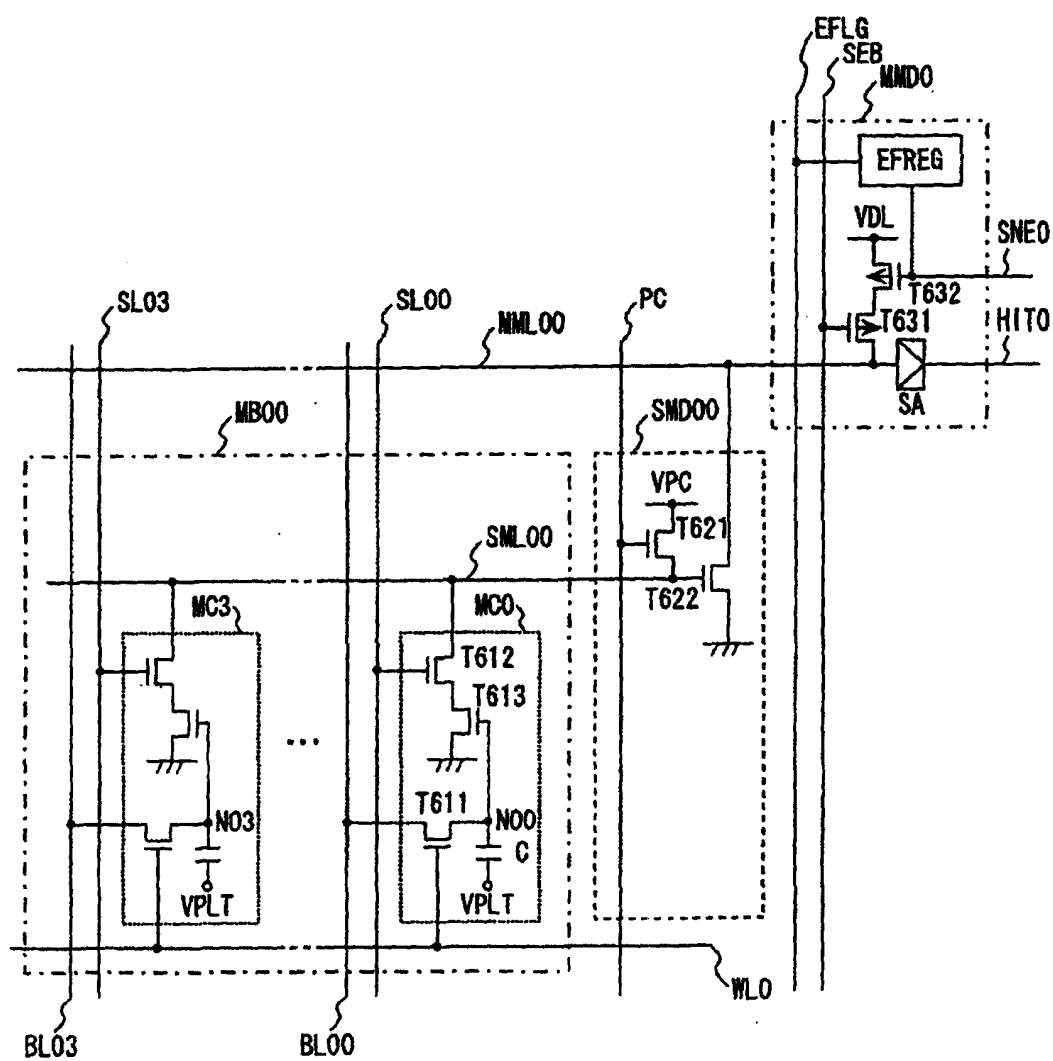


图 16

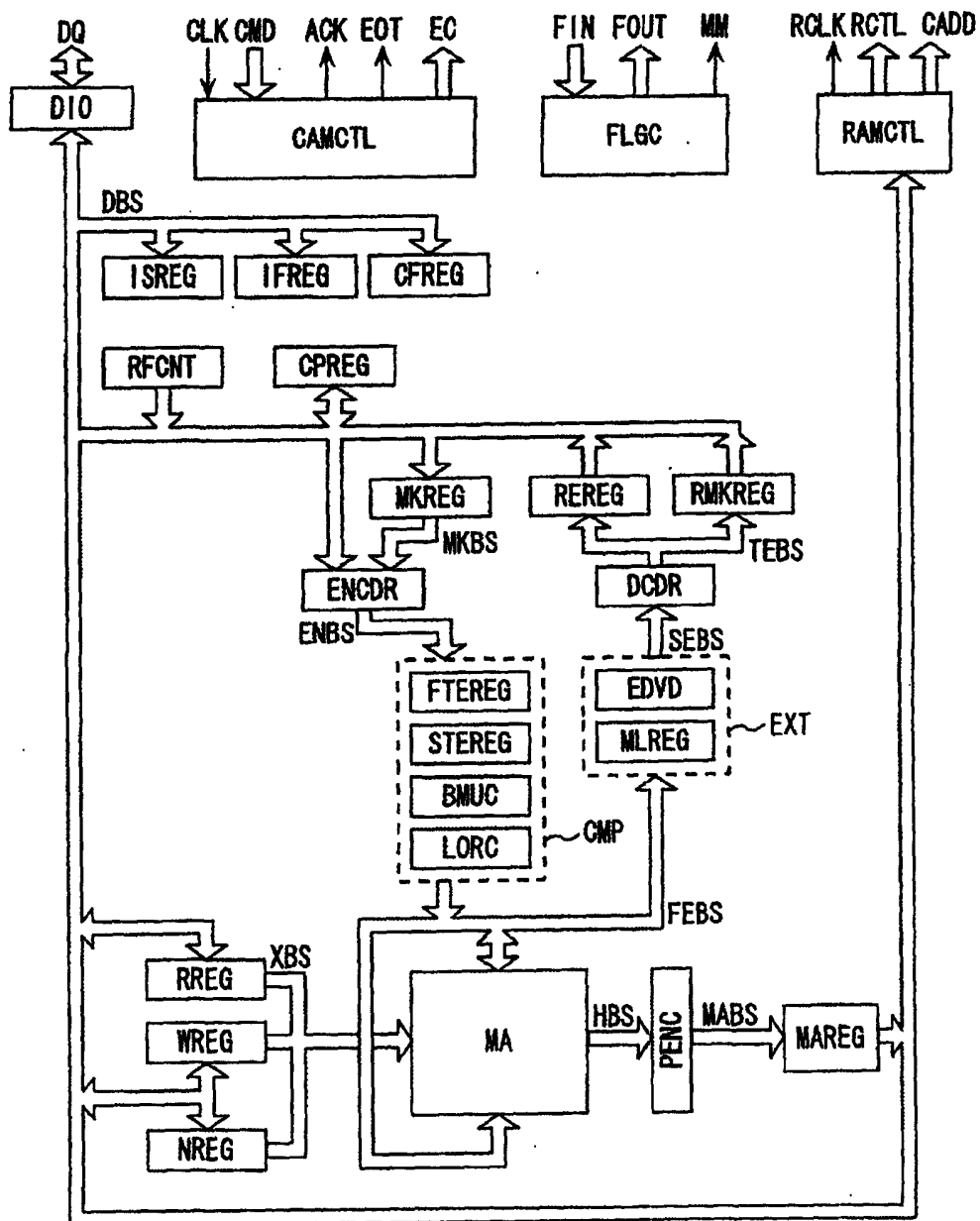


图 18

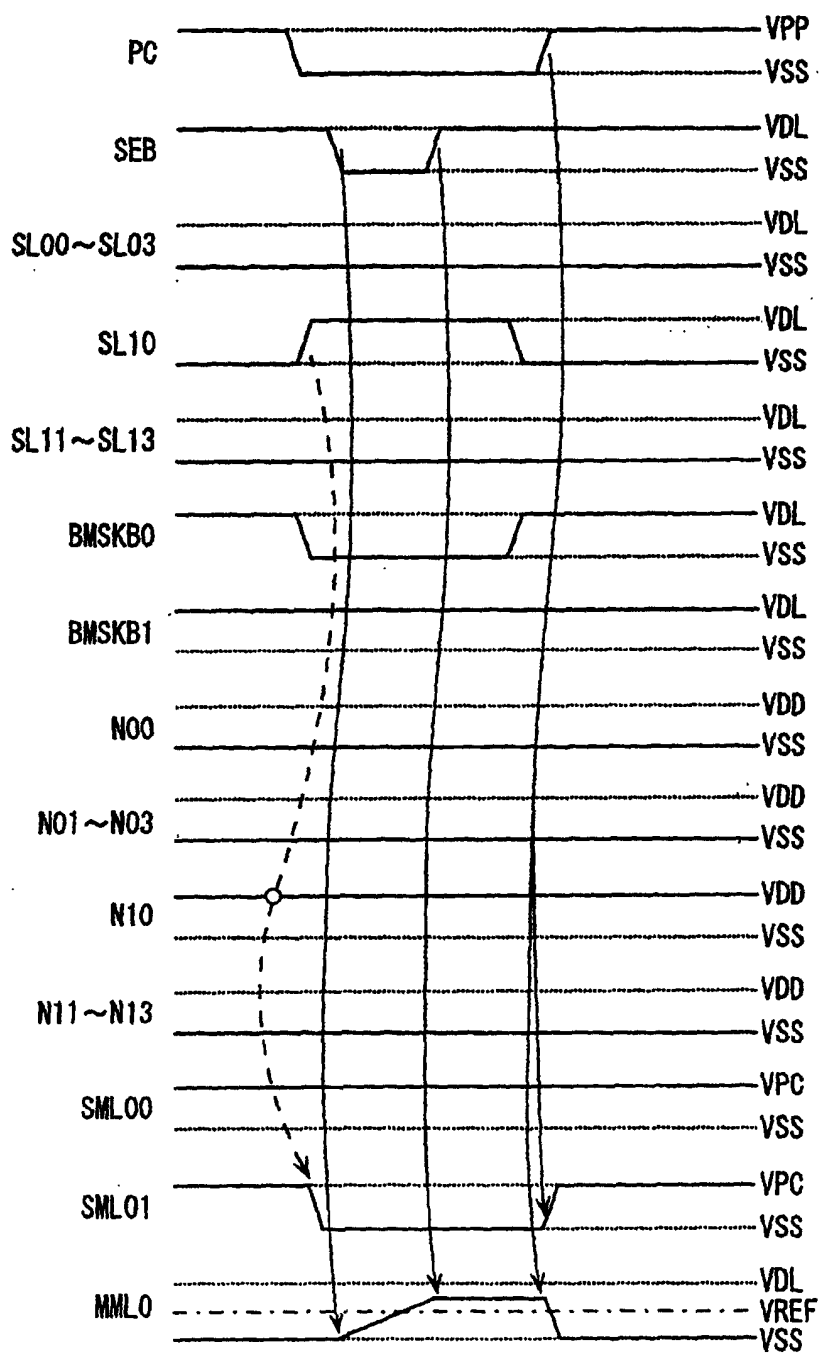


图19

三进制值	比较信息的逻辑值				存储信息的逻辑值			
	C3	C2	C1	C0	D3	D2	D1	D0
00	0	0	0	1	1	1	1	0
01	0	0	1	0	1	1	0	1
10	0	1	0	0	1	0	1	1
11	1	0	0	0	0	1	1	1
X0	-	-	-	-	1	0	1	0
X1	-	-	-	-	0	1	0	1
0X	-	-	-	-	1	1	0	0
1X	-	-	-	-	0	0	1	1
XX	-	-	-	-	0	0	0	0

图 20

目的地址前缀	下一跳变	输出接口
24. 40. 32/20	192. 41. 177. 148	2
130. 86/16	192. 41. 177. 181	6
208. 12. 16/20	192. 41. 177. 241	4
208. 12. 21/24	192. 41. 177. 196	1
167. 24. 103/24	192. 31. 177. 3	4

图 21

10进制数 表示	二进制 表示	二进制表示 (以存储1-30的情况为例)
0	00000000	-
1	00000001	00000001
2	00000010	0000001X
3	00000011	
4	00000100	000001XX
5	00000101	
6	00000110	
7	00000111	
8	00001000	00001XXX
9	00001001	
10	00001010	
11	00001011	
12	00001100	
13	00001101	
14	00001110	
15	00001111	
16	00010000	00010XXX
17	00010001	
18	00010010	
19	00010011	
20	00010100	
21	00010101	
22	00010110	
23	00010111	
24	00011000	000110XX
25	00011001	
26	00011010	
27	00011011	
28	00011100	0001110X
29	00011101	
30	00011110	00011110
31	00011111	-

图 22

0-3(10进制数) 的组合	三进制表示	一热点成组 编码表示
0	00	0001
1	01	0010
2	10	0100
3	11	1000
0, 1	0X	0011
2, 3	1X	1100
0, 2	X0	0101
1, 3	X1	1010
0, 3	不能表示	1001
1, 2	不能表示	0110
0, 1, 2	不能表示	0111
1, 2, 3	不能表示	1110
2, 3, 0	不能表示	1101
0, 1, 3	不能表示	1011
0, 1, 2, 3	XX	1111

图 23

10 进制数	二进制 表示	一热点成组编码 (BTW3, BTW2, BTW1, BTW0)	
		与二进制值的对应	指定范围1-30时 的数据模型
0	00000000	0001 0001 0001 0001	-
1	00000001	0001 0001 0001 0010	0001 0001 0001 1110
2	00000010	0001 0001 0001 0100	
3	00000011	0001 0001 0001 1000	
4	00000100	0001 0001 0010 0001	
5	00000101	0001 0001 0010 0010	0001 0001 1110 1111
6	00000110	0001 0001 0010 0100	
7	00000111	0001 0001 0010 1000	
8	00001000	0001 0001 0100 0001	
9	00001001	0001 0001 0100 0010	
10	00001010	0001 0001 0100 0100	
11	00001011	0001 0001 0100 1000	
12	00001100	0001 0001 1000 0001	
13	00001101	0001 0001 1000 0010	
14	00001110	0001 0001 1000 0100	
15	00001111	0001 0001 1000 1000	
16	00010000	0001 0010 0001 0001	0001 0010 0111 1111
17	00010001	0001 0010 0001 0010	
18	00010010	0001 0010 0001 0100	
19	00010011	0001 0010 0001 1000	
20	00010100	0001 0010 0010 0001	
21	00010101	0001 0010 0010 0010	
22	00010110	0001 0010 0010 0100	
23	00010111	0001 0010 0010 1000	
24	00011000	0001 0010 0100 0001	
25	00011001	0001 0010 0100 0010	
26	00011010	0001 0010 0100 0100	
27	00011011	0001 0010 0100 1000	
28	00011100	0001 0010 1000 0001	0001 0010 1000 0111
29	00011101	0001 0010 1000 0010	
30	00011110	0001 0010 1000 0100	
31	00011111	0001 0010 1000 1000	-

$$BTWk = (Nk3, Nk2, Nk1, Nk0) = (SLk3, SLk2, SLk1, SLk0)$$

图24

被指定的范围		芯片输入信息		成组编码 (BTW3, BTW2, BTW1, BTW0)		
10 进制数	二进制 表示	掩码信息	二进制 信息	编码器输出/ 译码器输入	条目	
1	00000001	11111111	00000001	0001 0001 0001 0010	0001 0001 0001 1110	
2	0000001X	11111110	00000010	0001 0001 0001 1100		
3						
4	000001XX	11111100	00000100	0001 0001 0010 1111	0001 0001 1110 1111	
5						
6						
7	00001XXX	11111000	00001000	0001 0001 1100 1111		
8						
9						
10						
11						
12						
13						
14	00010XXX	11111000	00010000	0001 0010 0011 1111		
15						
16						
17						
18						
19						
20						
21	000110XX	11111100	00011000	0001 0010 0100 1111	0001 0010 0111 1111	
22						
23						
24						
25	0001110X	11111110	00011100	0001 0010 1000 0011		
26						
27						
28	00011110	11111111	00011110	0001 0010 1000 0100		0001 0010 1000 0011
29						
30						

0111

图 25

	副匹配线电压	主匹配线电压
匹配条目	~VSS (全部放电)	>VREF (充电)
不匹配条目	~ VSS或VPC (部分放电)	~VSS (电源短路)

图 26

10 进制数	二进制 表示	一热点成组编码 (BTD2, BTD1, BTD0)	
		与二进制值的对应	指定范围 1-30 时的 数据模型
0	00000000	00000001 00000001 00000001	
1	00000001	00000001 00000001 00000010	
2	00000010	00000001 00000001 00000100	
3	00000011	00000001 00000001 00001000	
4	00000100	00000001 00000001 00010000	00000001 00000001 11111110
5	00000101	00000001 00000001 00100000	
6	00000110	00000001 00000001 01000000	
7	00000111	00000001 00000001 10000000	
8	00001000	00000001 00000010 00000001	
9	00001001	00000001 00000010 00000010	
10	00001010	00000001 00000010 00000100	
11	00001011	00000001 00000010 00001000	00000001 00000110 11111111
12	00001100	00000001 00000010 00010000	
13	00001101	00000001 00000010 00100000	
14	00001110	00000001 00000010 01000000	
15	00001111	00000001 00000010 10000000	
16	00010000	00000001 00000100 00000001	
17	00010001	00000001 00000100 00000010	
18	00010010	00000001 00000100 00000100	
19	00010011	00000001 00000100 00001000	
20	00010100	00000001 00000100 00010000	
21	00010101	00000001 00000100 00100000	
22	00010110	00000001 00000100 01000000	
23	00010111	00000001 00000100 10000000	
24	00011000	00000001 00001000 00000001	00000001 00001000 01111111
25	00011001	00000001 00001000 00000010	
26	00011010	00000001 00001000 00000100	
27	00011011	00000001 00001000 00001000	
28	00011100	00000001 00001000 00010000	
29	00011101	00000001 00001000 00100000	
30	00011110	00000001 00001000 01000000	
31	00011111	00000001 00001000 10000000	-

$$BTDk = (Nk7, Nk6, \dots, Nk0) = (SLk7, SLk6, \dots, SLk0)$$

图 27

0-3 (10进制数) 的组合	二进制 表示	检索键的逻辑值 (SL00, SL01, ..., SL03)	组掩码BMSK0 的逻辑值
0	00	0001	0
1	01	0010	0
2	10	0100	0
3	11	1000	0
0, 1	0X	0011	0
2, 3	1X	1100	0
0, 2	X0	0101	0
1, 3	X1	1010	0
0, 3	不能表示	1001	0
1, 2	不能表示	0110	0
0, 1, 2	不能表示	0111	0
1, 2, 3	不能表示	1110	0
2, 3, 0	不能表示	1101	0
0, 1, 3	不能表示	1011	0
0, 1, 2, 3	XX	0000	1

图 28

0-3 (10进制数) 的组合	二进制 表示	检索键的逻辑值 (SL00, SL01, ..., SL03)	组掩码BMSK0 的逻辑值
0	00	0001	1
1	01	0010	1
2	10	0100	1
3	11	1000	1
0, 1	0X	0011	1
2, 3	1X	1100	1
0, 2	X0	0101	1
1, 3	X1	1010	1
0, 3	不能表示	1001	1
1, 2	不能表示	0110	1
0, 1, 2	不能表示	0111	1
1, 2, 3	不能表示	1110	1
2, 3, 0	不能表示	1101	1
0, 1, 3	不能表示	1011	1
0, 1, 2, 3	XX	0000	0

图 29

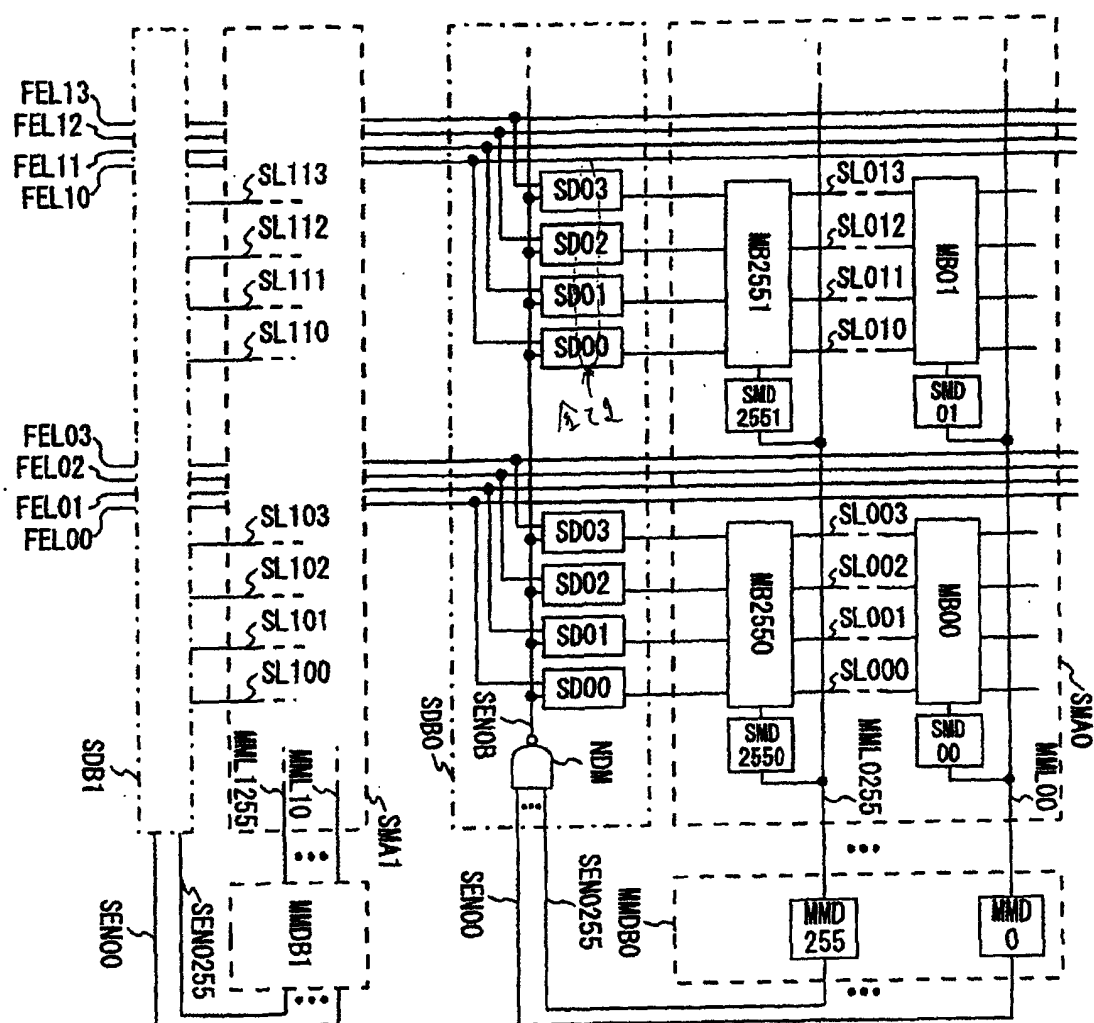


图 30

