

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G11C 16/00

(45) 공고일자 2001년04월02일

(11) 등록번호 10-0285219

(24) 등록일자 2001년01월02일

(21) 출원번호	10-1995-0000816	(65) 공개번호	특1995-0034268
(22) 출원일자	1995년01월19일	(43) 공개일자	1995년12월28일
(30) 우선권주장	8/184227 1994년01월19일 미국(US)		
(73) 특허권자	아트멜 코포레이션 페레고스 조지 미합중국 캘리포니아주 95131 샌호제 오차드 파크웨이 2325아트멜 코포레이션 마이클 로스		
(72) 발명자	미합중국 캘리포니아주 95131 샌호제 오차드 파크웨이 2325 조오지 스마랜듀 미합중국 캘리포니아 산 조세 리틀 오크서클 1136 스티븐 제이. 슈만 미합중국 캘리포니아 서니베일 피크스킬 드라이브 780 우 충칭 미합중국 캘리포니아 사라토가 파커 랜치 로드 12161 나영환, 이상섭		
(74) 대리인	나영환, 이상섭		

심사관 : 이철희

(54) 비휘발성 메모리 셀의 스트레스 감소 방법

요약

비휘발성 반도체 코어 메모리의 성능은 코어 메모리 셀에 가해지는 스트레스를 감소시킴으로써 향상된다. 이 스트레스는 워드 라인의 제어하에서 감지 라인에 바이어스 전압을 선택적으로 공급함으로써 감소된다. 워드 라인은 메모리 셀의 가변 임계 프로그램 가능 트랜지스터의 게이트를 접지하기에 유효한 트랜지스터에 차례로 접속되는 반전 장치에 접속된다. 워드 라인의 파워 다운은 감지 라인의 동기적 파워 다운에 영향을 미친다. 부가적으로, 파워 다운으로 인해 특별한 코어 메모리 셀을 위한 감지 증폭기는 판독 동작동안 코어 메모리에 감지된 데이터를 안전하게 지키기 위해 입/출력버퍼에 앞서의 감지 증폭기 출력을 공급하는 증속 래치 회로에 차례로 접속되는 주래치 회로로부터 차단된다. 본 발명은 감지 라인 및 가변 임계 프로그램 가능 트랜지스터에 대한 소거 동작동안 워드 라인 전압을 감소시킨다.

대표도

도3

명세서

[발명의 명칭]

비휘발성 메모리 셀의 스트레스 감소 방법

[도면의 간단한 설명]

제1도는 종래 기술에 따른 2개의 트랜지스터 셀을 포함하는 비휘발성 반도체 메모리 코어 구성도.

제2도는 감지 증폭기를 포함하는 종래 기술에 따른 비휘발성 반도체 메모리구성도.

제3도는 본 발명의 감지 라인 래치 및 감지 라인 접지 소자외에 워드 라인에 의해 구동되는 본 발명의 다중 기준 전압 패스 소자를 포함하는 본 발명에 따른 비휘발성 반도체 메모리 구성도.

제4도는 감지 증폭기의 ATD 제어된 파워업 및 선택 워드 라인과 접속하여 감지된 데이터를 래칭하기 위한 회로도.

제5도는 본 발명으로 파워다운 신호와 제어 신호를 생성함에 있어 효과적인 전기 회로도.

제6도는 제7도를 참고로 설명된 처리의 실행을 위해 요구된 파워업, 파워다운 및 제어 신호의 타이밍도.

제7도는 본 발명에 따른 파워업 처리와 파워다운 처리의 세부 내용에 대한 흐름도.

* 도면의 주요부분에 대한 부호의 설명

11 : 메모리 셀

11a : 선택 트랜지스터

11b : 가변 임계 트랜지스터 12 : 비트 라인
 13 : 감지 라인 19 : 워드 라인
 30 : 비트 래치 42 : 워드 라인 래치
 52 : 감지 라인 래치

[발명의 상세한 설명]

본 발명은 비휘발성 메모리 반도체내의 스트레스를 경감시키기 위한 방법에 관한 것이다.

전기적으로 프로그램 가능하며 UV 소거가능한 ROM(EPROM) 및 전기적으로 소거가능하며 프로그램 가능한 ROM(EEPROM)과 같은 비휘발성 메모리 소자는 각 셀이 가변 임계 트랜지스터를 포함하는 메모리 셀의 코어 어레이(core array)를 포함한다. 이러한 트랜지스터는 전도를 위한 전압 임계를 변환시킴으로써 프로그램 가능하다.

제1도는 메모리 셀(11)을 포함하는 종래 기술에 따른 메모리 어레이(10)의 일부를 도시하며, 각 메모리 셀은 선택 트랜지스터(11a)인 제1 트랜지스터와 가변임계 트랜지스터(11b)인 제2 트랜지스터로 이루어지는 한 쌍의 트랜지스터를 포함하고 있다. 종래 기술에 따라, 선택 트랜지스터(11a)는 n 채널 인헨스먼트형 트랜지스터이고, 가변 임계 트랜지스터(11b)는 정상적인 n 채널 트랜지스터이다. 상당수의 트랜지스터를 포함한 다른 종류의 메모리 셀(11)은 종래 기술로부터 공지되어 있다.

제1도에 도시된 메모리 셀(11)은 도시된 바와 같이 비트 라인(12), 감지 라인(13) 및 워드 라인(19)에 의해 상호 접속된다. 특히, n 채널 인헨스먼트 선택 트랜지스터(11a)의 드레인은 인접 비트 라인(12)에 접속될 것이다. 선택 트랜지스터(11a) 및 가변 임계 트랜지스터(11b)의 게이트는 인접 워드 라인(19)과 감지 라인(13)에 각기 접속될 것이다.

제2도는 종래 기술의 비휘발성 메모리 장치(27)를 도시하며 제1도로부터의 메모리 어레이(10)의 선택된 부분을 포함하고 있다. 마찬가지로, 메모리 셀(11)은 선택 트랜지스터(11a)와 가변 임계 트랜지스터(11b)인 한 쌍의 트랜지스터를 포함하고 있는 것으로 도시된다. 선택 트랜지스터(11a)와 가변 임계 트랜지스터(11b)의 n 채널 실행에 따라, 선택 트랜지스터(11a)의 드레인은 비트 라인(12)에 접속될 것이고, 선택 트랜지스터(11a)와 가변 임계 트랜지스터(11b)의 게이트는 각기 워드 라인(19)과 감지 라인(13)에 접속될 것이다. 워드 라인(19)은 인식하도록 프로그래밍된 제어 신호 PWRUP를 주관하는 워드 라인 디코더(22)에 의해 구동된다.

제2도에는 판독 선택 트랜지스터(24)가 판독 선택 라인(26)에 접속되어 있는 종래 기술의 비휘발성 반도체 메모리 셀의 구성도가 도시되어 있다. 판독 동작이 실행될 경우, 판독 트랜지스터(24)는 턴온되어 감지 증폭기(29)에 접속되는 데이터 버스(27)에 비트 라인(12)을 전기적으로 접속시킨다. 비트 라인(12)은 프로그래밍 선택 라인(34)에 의해 게이트에서 제어되는 프로그래밍 선택 트랜지스터(32)를 통하여 비트 래치(30)에 접속된다. 종래 기술의 대표적인 장치에 따라, 판독 선택 트랜지스터(24)는 n 채널 인헨스먼트 트랜지스터이고, 프로그래밍 선택 트랜지스터(32)는 P 채널 인헨스먼트 트랜지스터이다.

종래 기술에 따른 제2도의 워드 라인(19)은 워드 라인 전압 소스(44)로부터의 워드 라인 바이어스 전압 VWL이 제공되는 워드 라인 래치(42)에 접속된다. 워드 라인 래치(42)는 워드 라인 래치 트랜지스터(46,48)를 포함한다. 워드 라인 래치 트랜지스터(46,48)는 이들의 소스에 워드 라인 전압원(44)의 정(+) 전압측에 접속된다. 워드 라인 래치 트랜지스터(46,48)의 각 게이트는 서로의 드레인에 접속된다. 즉, 워드 라인 래치 트랜지스터(46)의 게이트는 워드 라인 래치 트랜지스터(48)의 드레인에 접속되고, 워드 라인 래치 트랜지스터(48)의 게이트는 워드 라인 래치 트랜지스터(46)의 드레인에 접속된다. 워드 라인 래치(42)는 게이트에 워드 라인(19)과 워드 라인 래치 트랜지스터(46)의 드레인이 접속되는 n 채널 인헨스먼트 워드 라인 래치 트랜지스터(50)를 추가로 포함한다. 워드 라인 래치 트랜지스터(50)의 드레인은 워드 라인 래치 트랜지스터(46)의 게이트와 워드 라인 래치 트랜지스터(48)의 드레인에 접속된다.

종래 기술의 제2도에 도시된 감지 라인(13)은 모두가 n 채널 인헨스먼트 소자인 제1 및 제2 기준 패스 트랜지스터(36,40)의 소스에 접속된다. 제1 및 제2 기준 패스 트랜지스터(35,40)의 각 드레인은 제1 및 제2 기준 전압원(36,38)의 각(+)측에 접속된다. 제1 및 제2 기준 패스 트랜지스터(35,40)의 각 게이트는 각기 워드 라인(19)과 워드 라인 래치(42)의 출력단에 접속된다.

종래 기술에 따라, 제2도의 회로가 판독 동작하는 경우 메모리 셀(11)의 전도 상태는 감지 증폭기(29)에 비트 라인(12)을 접속시키고 선택된 비트 라인(12), 감지 라인(13) 및 워드 라인(19)에 적절한 바이어스 전압을 인가함으로써 실행된다. 셀 선택 트랜지스터(11a)가 턴온되고 감지 라인(12)에 인가된 바이어스 전압이 가변 임계 트랜지스터(11b)의 임계치를 초과한다면, 셀(11)을 통하여 비트 라인(12)에서 접지로 전류가 흐를 것이고, 감지 증폭기(29)는 “로우” 상태를 검출할 것이다. 반대로 감지 라인(13)에 인가된 바이어스 전압이 가변 임계 트랜지스터(11b)의 임계치를 초과하지 못하다면 셀(11)을 통한 전류 흐름은 없을 것이고, 감지 증폭기(29)는 “하이” 상태를 검출할 것이다.

따라서, 특정 셀(11)의 로우 상태 및 하이 상태는 가변 임계 트랜지스터(11b)의 저임계치 및 고임계치에 대응한다. 판독 동작 동안 선택된 메모리 셀(11)의 전도 상태에는 상관없이, 특정 바이어스 전압은 메모리 셀(11)의 각 단자 즉, 비트 라인(12), 감지 라인(13) 및 워드 라인(19)에 인가될 것이다. 이러한 바이어스 전압이 메모리 셀(11)의 전도 상태를 검출하기 위한 필요 자극을 제공하는 요구된 효과를 갖는 반면, 바이어스 전압은 가변 임계 트랜지스터(11b)의 프로그래밍 상태를 방해하는 요구되지 않는 효과를 갖는다. 각종 바이어스 전압의 이러한 역효과는 시간에 따라 바람직하지 않게도 증가된다. 즉, 특정 전압 바이어스의 인가가 길수록 트랜지스터(11b)의 프로그래밍 임계가 방해받기 훨씬 쉽다. 따라서, 메모리 셀(11)에 인가된 바이어스 전압은 요구된 스트레스 전압처럼 동작한다.

프로그래밍 동작 동안 메모리 셀(11)의 각종 단자에 인가되는 바이어스 전압은 판독 동작 동안에 인가되

는 것보다 훨씬 크다. 마찬가지로, 이러한 하이 바이어스 전압이 프로그램 가능 메모리 셀(11)의 임계치를 수정하는 요구된 효과를 갖는 반면, 메모리 셀(11)의 각종 트랜지스터에 스트레스를 가하는 요구되지 않은 효과도 가져 장기간 후의 신뢰도에 대해 부정적인 영향을 초래한다.

따라서, 본 발명의 목적은 각종 바이어스 전압이 메모리 셀에 인가되는 시간의 양을 최소화시킴으로써 반도체 메모리 어레이의 메모리 셀의 판독 동작 및 프로그래밍 동작 동안의 스트레스를 경감시키는 것이다.

본 발명의 다른 목적은 비휘발성 반도체 메모리 어레이의 코어 메모리에 대한 유효 동작 수명 및 신뢰도를 증가시키는 데 있다.

본 발명의 목적은 기존 전압 패스 장치에 인가된 워드 라인 신호로 향할때 감지 라인에 바이어스 전압의 직접 인가가 가능하도록, 감지 라인의 선택적 위치에 분포되는 복수의 감지 라인 위치에서 감지 라인에 소정의 단일 전압 바이어스를 선택적으로 인가하는 다중 워드 라인 구동 기준 전압 패스 장치를 사용함으로써 비휘발성 반도체 메모리 내에서 달성된다. 감지 라인은 감지 라인 래치와 감지 라인 접지 장치에 접속된다. 이러한 구성에 따라, 판독 바이어스 전압은 선택된 메모리 셀의 전도 상태를 결정하기 위해 필요한 경우에만 인가되며, 프로그래밍 동작 동안 정상적으로 인가된 고전압 바이어스들 중 하나의 바이어스가 용이하게 제거된다.

판독 바이어스 제어는 판독 바이어스 전압 인가를 어드레스 변화로 동기화 시킴으로써 달성된다. 본 발명에 따른 기법에 따라서 워드 라인 바이어스 신호는 하나의 코어 메모리 셀에서 다른 메모리 셀에 걸친 어드레스 변화에 따른 제한된 시간동안 인가된다. 또한, 감지 라인 바이어스는 워드 라인이 동작하는 동안에만 인가된다. 워드 라인 바이어스와 감지 라인 바이어스의 동기화는 그들 라인의 분포된 위치에서 감지 라인에 공급하는 기준 바이어스를 결합하고 자체 디코딩 래치와 감지 라인에 대한 라인 접지 장치를 결합하는 워드 라인 구동 기준 전압 패스 장치를 사용함으로써 달성된다. 감지 라인 접지 장치는 워드 라인 래치에 의해 구동된 판독 동작 동안에 선택된 메모리 셀에 대응하는 비트 라인은 판독 선택 트랜지스터를 개방함으로써 감지 증폭기에 접속된다. 특정 메모리 셀에 대응하는 워드 라인은 워드 라인 디코더에 의해 선택된다. 최종적으로 감지 라인은 워드 라인 구동 기준 전압 패스 트랜지스터를 통하여 기준 바이어스에 접속된다. 선택된 워드 라인과 감지 라인을 공유하는 모든 메모리 셀들은 셀 선택 및 가변 임계 트랜지스터의 게이트 상에서 동일한 바이어스를 나타내지만, 판독 선택 트랜지스터에 의해 선택된 경우에만 비트 라인측상에서 구동될 수 있다. 비트 라인을 공유하는 셀들중에서 선택된 워드 라인을 갖는 셀만이 가변 임계 트랜지스터 상에서 드레인 바이어스를 나타낼 것이다. 비선택된 워드 라인을 공유하는 모든 메모리 셀들은 가변 임계 트랜지스터 게이트와 셀 선택 트랜지스터 상에서 모두 0V로 바이어스될 것이다. 선택된 셀상의 스트레스는 바이어스 전압을 인가함과 동시에 어드레스 전이 검출(ATD)을 처리하고 감지 동작의 결과를 저장시킨 이후에 바이어스를 제거함에 따라 감소된다. 이러한 접근이 0에서 VREF로 감지 라인 바이어스의 스위칭이 요구되기 때문에 감지 라인으로 기준 전압 바이어스의 접속을 위해 사용되는 패스 트랜지스터의 수와 실제 물리적 레이아웃은 감지 라인의 길이에 걸쳐 분포된 복수의 기준 전압 패스 트랜지스터를 포함함으로써 목표 설정된 스위칭 속도에 적합하게 구성된다.

소거 동작 동안 선택된 메모리 셀과 기준 전압 전원 및 워드 라인 래치 전압 전원과 결합된 워드 라인은 모두 동일 전위로 설정된다. 그러나, 감지 라인 래치전원 전압은 매우 높은 전압 레벨로 설정된다. 따라서, 감지 라인상의 전압 레벨이 소거를 달성하기 위해 매우 높은 레벨이 되는 반면 소거동안 선택된 메모리 셀의 선택 트랜지스터에 인가된 전압 레벨은 훨씬 낮은 스트레스 레벨로 설정된다. 또한, 기준 전압 통과 트랜지스터에 인가된 전압은 선택되는지의 여부에 관계없이 소거 동작을 달성하기 위해 감지 라인에 인가된 매우 높은 레벨보다 훨씬 낮게 될 것이다.

제3도는 본 발명에 따른 비휘발성 메모리 장치를 도시한 것이다. 선택 트랜지스터(11a)와 가변 임계 트랜지스터(11b)로 이루어진 한쌍의 트랜지스터를 포함하는 메모리 셀(11)이 도시된다. 가변 임계 트랜지스터(11b)의 메모리 상태는 “하이” 또는 “로우”이다. 이 같은 메모리 상태는 판독 동작중에 감지되거나 프로그래밍 동작중에 프로그램되는 데이터로서 간주된다.

선택 및 가변 임계 트랜지스터(11a, 11b)의 n-채널 수행에 따라 선택 트랜지스터(11a)의 드레인(또는 출력 접속부)은 비트 라인(12)에 접속되고, 선택 및 가변 임계 트랜지스터(11a, 11b)의 각 게이트는 워드 및 감지 라인(19, 13)에 각각 접속된다. 워드 라인(19)은 인식하도록 프로그램된 제어 신호 PWRUP를 필요로 하는 워드 라인 디코더(22)에 의해 구동된다. 편의상 여러 트랜지스터의 게이트, 소오스 및 드레인을 각각 제어, 입력 및 출력 접속부라고 언급할 수도 있다.

게이트에서 선택 라인(26)이 판독되도록 접속된 판독 선택 트랜지스터(24)가 제3도에 추가로 도시된다. 판독 동작이 활성화될 때, 판독 선택 트랜지스터(24)가 턴온되어 감지 증폭기(29)에 접속되는 데이터 버스(27)에 비트 라인(12)이 전기 접속된다. 또한, 이 비트 라인(12)은 프로그래밍 선택 트랜지스터(32)의 게이트에 접속된 프로그래밍 선택 라인(34)의 제어부의 영향을 받는 비트 래치(30)에 접속된다. 층래의 전형적인 메모리 장치에 따르면, 판독 선택 트랜지스터(24)는 n-채널 인핸스먼트 트랜지스터가 되며, 프로그래밍 선택 트랜지스터(32)는 n-채널 인핸스먼트 트랜지스터가 된다.

제3도의 워드 라인(19)은 워드 라인 전압원(44)으로부터 공급된 워드 라인 바이어스 전압 VWL이 제공되는 워드 라인 래치(42)에 접속된다. 워드 라인 래치(42)는 워드 라인 래치 트랜지스터(46, 48)를 포함한다. 이 워드 라인 래치 트랜지스터(46, 48)의 소오스는 워드 라인 전압원(44)의 정(+) 전압측에 접속된다. 워드 라인 래치 트랜지스터(46, 48)의 각 게이트는 트랜지스터(48, 46) 쌍방의 드레인에 접속된다. 다시 말해, 워드 라인 래치 트랜지스터(46)의 게이트는 워드 라인 래치 트랜지스터(48)의 드레인에 접속되고, 워드 라인 래치 트랜지스터(48)의 게이트는 워드 라인 래치 트랜지스터(46)의 드레인에 접속된다. 워드 라인 래치(42)는 워드 라인(19) 및 워드 라인 래치 트랜지스터(46)의 드레인에 게이트가 접속되는 n-채널 인핸스먼트 워드 라인 래치 트랜지스터(50)를 추가로 포함한다. 워드 라인 래치 트랜지스터(50)의 드레인은 접지 트랜지스터(70)의 게이트에 접속된다.

제3도의 감지 라인(13)은 감지 라인 전압원(54)으로부터 공급된 감지 라인 바이어스 전압 VSL이 제공되는 감지 라인 래치(52)에 접속된다. 감지 라인 래치(52)는 감지 라인 래치 트랜지스터(56, 58)를 포함한다. 감지 라인 래치 트랜지스터(56, 58)의 소오스가 감지 라인 전압원(54)의 정전압측에 접속된다. 감지 라인

래치 트랜지스터(56,58)의 각 게이트는 쌍방의 드레인에 접속된다. 즉, 감지 라인 래치 트랜지스터(56)의 게이트는 감지 라인 래치 트랜지스터(58)의 드레인에 접속되고, 감지 라인 래치 트랜지스터(58)의 게이트는 감지 라인 래치 트랜지스터(56)의 드레인에 접속된다. 감지 라인 래치(52)는 감지 라인(13) 및, 감지 라인 래치 트랜지스터(56)의 드레인과, 접지 트랜지스터(70)의 드레인에 게이트가 접속되는 n-채널 인핸스먼트 감지 라인 래치 트랜지스터(60)를 추가로 포함한다. 감지 라인 래치 트랜지스터(60)의 드레인은 감지 라인 래치 트랜지스터(56)의 게이트에 접속된다.

판독 동작 및 파워-업(power-up) 동안, 메모리 셀(11)에 대응하는 비트 라인(12)은 판독 선택 트랜지스터(24)를 개방하여 감지 증폭기(29)에 접속된다. 워드 라인(19)은 워드 라인 디코더(22)에 의해 선택된다. 마지막으로, 감지 라인(13)은 예컨대, 도면 부호 65, 66과 같은 하나 이상의 워드 라인 구동 기준 전압통과 트랜지스터를 통해 기준 바이어스 전압(62)에 접속된다. 이 판독 동작 시점에서, 감지 라인 래치 전압원(54)인 VSL은 VREF로 설정되고, 워드 라인 래치 전압원(44)인 VWL은 Vcc로 설정된다. 기준 바이어스 전압(62) 역시 VREF로 설정된다. 그 결과 메모리 셀(11)에 인가되는 바이어스 전압은 다음과 같이 된다. 비트 라인(12)은 감지 증폭기(29)에 의해 비교적 낮은 전압으로 클램핑 된다. 이같이 낮은 전압은 진폭에 있어서 실제로 접지이거나 거의 2 V가 된다. 또한, 워드 라인(19)은 양호한 실시예에 따라 5 V가 바람직한 Vcc로 세팅된다. 최종적으로, 감지 라인(13)은 가변 임계 트랜지스터(11b)의 도전 상태를 결정하는데 사용된 바이어스 전압인 VREF를 유지한다. 양호한 실시예에 따라 VREF는 약 2 V이다. 더우기 워드 라인 래치(42)의 출력은 로우가 됨으로써 접지 트랜지스터(70)는 오프상태가 되어 동작되지 않는다.

선택 워드 및 감지 라인(19, 13)을 공유하는 모든 메모리 셀을 통해 관련 셀선택 및 가변 임계 트랜지스터의 게이트상에서의 동일 바이어스를 감지할 수 있지만 이들 트랜지스터는 관련 판독 선택 트랜지스터에 의해 선택되는 경우에만 그 관련 비트 라인측상에서 구동하게 된다. 비트 라인을 공유하는 메모리 셀중에서 선택된 워드 라인을 추가로 갖는 메모리 셀(11)을 통해서만 가변 임계 트랜지스터(11b)상에서의 드레인 바이어스를 감지할 수 있다. 비선택된 워드 라인을 공유하는 모든 메모리 셀은 가변 임계 트랜지스터의 게이트 및 선택 트랜지스터의 게이트 상에서 0 V로 바이어스된다.

판독 동작 및 파워업 동안의 선택된 메모리 셀(11)에 대한 스트레스는 어드레스 전이 검출(ATD)에 동기적으로 후속하는 바이어스 전압을 인가하고, 감지 동작의 결과를 저장한 후에 파워 다운하려는 바이어스를 제거함으로써 경감된다. 이 방법은 감지 라인 바이어스를 0에서 VREF로 스위칭하는 것을 필요로 하기 때문에, 관련 기준 바이어스 라인(63 또는 64)을 감지 라인(13)에 접속하기 위해 사용되는 패스 트랜지스터(65, 66)의 수 및 실제의 물리적 레이아웃은 감지 라인(13)의 길이에 걸쳐 여러 지점에 분포된 복수의 패스 트랜지스터(65,66)를 포함시킴으로써 목적으로 하는 전환 속도를 달성하게 된다.

소거 동작 동안, 선택된 메모리 셀(11), 기준 바이어스 전압(62) 및 워드라인 래치 전압원(44)과 관련된 워드 라인(19)은 모두 동일 전위로 설정된다. 그러나, 감지 라인 래치 전압원(54)은 매우 높은 전압 레벨로 설정된다. 따라서 감지 라인(13)상의 전압 레벨이 소거 목적을 달성하기 위해 매우 높은 레벨에 있는 반면 선택된 메모리 셀(11)의 트랜지스터(11a)를 선택하기 위해 인가되는 전압 레벨은 훨씬 낮은 스트레스 레벨로 설정된다. 또, 선택 여부에 상관없이 기준 패스 트랜지스터(65, 66)에 인가된 전압은 소거 동작을 달성하기 위하여 감지 라인에 인가되는 매우 높은 레벨보다 훨씬 낮다.

제4도는 파워업 및 파워다운과 관련하여 이용되는 전기 회로를 도시한다. 판독중에 메모리 셀에 인가된 바이어스를 제거할 수 있도록 하기 위해서는 감지 동작의 결과가 기억되어야만 한다. 이것은 주래치 및 종속 래치 장치를 사용함으로써 달성된다. 파워업 이전 및 감지 동안, 주래치 회로(112)는 신호 SAL에 의해 구동되는 트랜지스터(118)를 통해 감지 증폭기(29)에 접속된다. 종속 래치 회로(114)는 감지 증폭기(29)로부터 정보를 수신하기 위해 입력/출력 회로(116)에 접속된다. 이것은 신호 SALD%에 의해 구동되는 트랜지스터(119)에 의해 주래치 회로(112)로부터 분리된다.

허용된 감지 시간 간격의 마지막에 SAL은 로우가 되어 감지 증폭기(29)로부터 주래치 회로(112)를 분리시킨다. SAL이 하이에서 로우로 전이한 후 신호 SALD%는 하이로 되고 주래치 회로(112)의 내용은 종속 래치 회로(114)와 입력/출력 회로(116)로 전달된다. 주래치 회로(112)와 종속 래치 회로(114) 사이의 접속은 가능한 한 짧게 유지된다. 즉, SALD%의 짧은 시간 동안 하이로 펄스된다. SALD%가 하이에서 로우로 전이한 다음 SAL은 다시 하이로 되고, 주래치 회로(112)는 감지 증폭기(29)로부터 새로운 입력을 수신하도록 준비된다. 만약 어드레스의 변경이 없으면 감지 증폭기(29)는 파워 다운된다.

이 장치는 주래치 회로(112)가 감지 증폭기(29)로부터 분리되는 즉시 새로운 판독 사이클을 개시하도록 하므로 이전의 것에 새로운 사이클이 오버랩된다. 즉 메모리는 “파이프 라인” 모드로 사용될 수 있다.

제5도는 본 발명과 관련하여 필요한 파워 다운과 제어 신호를 발생시키는데 효과적인 전기 회로를 도시한다. 특히, 이 도면에는 제1, 제2 및 제3 인버터(131, 132, 133)를 포함하는 인버터 뱅크(130)에 각각 인가되는 입력 신호 ATP를 수신하는 제어 회로가 도시되어 있다. ATP 신호는 NAND 게이트(136)의 입력부에도 공급된다. 인버터(133)의 출력은 NAND 게이트(136)에 대한 입력으로서 구비된다. 이 회로 조합의 목적은 인버터(131, 132, 133)에 의해 야기되는 지연에 의해 구성되는 NAND 게이트(136)로부터의 제한된 펄스 출력을 발생시키기 위한 것이다. 제6도의 타이밍도 관련하여 표시된 바와 같이 입력 신호 ATP는 어드레스 전이가 발생할 때 특정 시점에서 하이에서 로우로 전이한다. 인버터(133)로부터 NAND 게이트(136)로의 다른 입력은 초기의 높은 안정 상태의 ATP 때문에 그 지점에서 로우로 된다. NAND 게이트(136)의 출력은 두 입력이 하이이면 로우로 될 것이다. 따라서, NAND 게이트(136)의 출력은 ATP의 안정 상태동안 하이로 된다. 또 제3 인버터(133) 출력의 안정 상태는 ATP, 즉 인버터(131)의 입력이 하이일때, NAND 게이트(136)의 출력에 대하여 로우 전이로 설정하는 로우가 된다.

따라서, ATP의 초기의 로우 전이는 NAND 게이트(136)의 출력을 하이로 유지하고 인버터(131, 132, 133)를 통해 리플 전이를 시작한다.

로우 ATP 펄스의 지속 기간은 적당한 판독 동작을 허용하기 위한 것이다. ATP가 다시 하이로되면 인버터(131)의 입력측에서의 하이 전이는 소정 폭의 NAND 게이트(136)로부터의 출력 로우 펄스에 의해 영향을 받는다. 이 펄스는 NAND 게이트(140, 142)에 의해 형성된 RS 타입 래치(139)에 대한 리셋 신호로서 작용

하고 출력 신호 SAL의 로우 전이를 야기시킨다.

입력 신호 ATP는 신호 SAL의 2회 반전된[그리고 제1, 제2 인버터(156,157)를 통과하는 통로에 의해 지연된] 입력을 추가로 수신하는 NAND 게이트(150)에 대한 입력으로서 구비된다. SAL은 출력 신호 SALD%를 발생시키기 위해 NOR 게이트(154)로의 조합된 입력으로서 NAND 게이트(150)의 출력에 공급된다. NOR 게이트(154)의 출력이 하이로 될 수 있는 유일한 시간은 ATP와 SAL이 동기되지 않은 협소한 윈도우 동안 뿐이다. 그러나 동기를 벗어난 이 기간은 제6도의 타이밍도와 관련하여 도시된 바와 같이 제1, 제2 인버터(156, 157)에 의해 야기되는 시간 지연에 의해 제공되는 시간으로 종료된다. 제5도의 회로는 파워 다운 신호 PWRDWN를 생성시키는데, 이 신호는 NAND 게이트(140,150)의 출력에 대한 입력부를 구비하는 NOR 게이트(152)에 의해 발생된다.

제6도는 제5도에 나타난 회로와 관련하여 생성되거나 처리되는 각각의 ADDRESS, ATP, SAL, SALD% 및 PWPRUP 신호용으로 생성된 펄스 타이밍을 나타낸다. 앞서 나타난 바와 같이, ATP는 제5도의 인버터(131)에 입력되는 신호이며, SAL은 NAND 게이트(142)로부터의 출력 신호이며, SALD%는 NOR 게이트(154)로부터의 출력 신호이다. 제6도의 타이밍도에서 나타난 바와 같이, 인버터(131)로의 입력 신호 ATP는 특정 시간 t_1 에서 하이 상태에서 로우 상태로 전이하며, 후속하는 상승 전이에 의해 시간 t_2 에서 로우 상태에서 하이 상태로 된다. 이러한 ATP의 전이의 영향에 의해 시간 t_3 및 t_6 사이에서 유지되는 SAL에 시간지연된 로우 펄스가 생성된다. NOR 게이트(154)로부터의 출력 신호 SALD%는 시간 간격 t_4 내지 t_5 동안 하이 상태로 상승함으로써 로우 펄스 신호 SAL의 시간 범위내에서 하이 상태로 전이한다.

상기 두개의 신호 SAL 및 SALD%는 하기에서 가르키듯이 제4도의 회로를 동작시키는데 필요한 메모리 저장 루틴을 실행하는데 효과적이다. 특히, 특정 전력 상승 활성의 종료부 및 전력 강하 동작을 준비시, 시간 t_2 에서 나타난 바와 같이 간격 타이밍 펄스 ATP는 하이 상태로 전이한다. 시간 t_3 후, 주래치 회로(112)는 감지 증폭기(29)로부터 분리된다. 이것은 패스 트랜지스터(118)의 게이트 상의 신호 SAL의 동작에 의해 이루어지는데, 이 신호는 트랜지스터(118)를 개방시키는 효과를 가져 이 트랜지스터를 통해 미소 전류가 흐르지 못하게 한다. 또한, 주래치 회로(112)는 트랜지스터(119)의 단락에 의해 종속 래치 회로(114)에 접속되어, 상기 주 래치 회로(112)로부터의 출력 신호가 종속 래치 회로(114)의 입력단에 인가되고 나서 입력/출력 버퍼(116)에 인가된다. 시간 t_3 에서 감지 증폭기(29)로부터 주래치 회로(112)를 단락시키고, 시간 t_4 에서 주래치 회로(112)를 종속 래치 회로(114)에 접속시킴으로써, 감지 동작 동안 출력 스위칭 없이 무잡음 감지가 이루어진다. 또한, 출력 스위칭 동안 명확한 출력 데이터가 저장된다.

판독 동작과 관련하여 본 발명의 완전한 파워업 및 파워다운 처리가 제7도에 도시되어 있다. 특히, 이 처리는 단계 160에서 시작한다. 판독 블록(162)에서 제시한 바와 같이 코어 메모리내에 현재의 어드레스 변화(어드레스 전이 검색, 즉 ATD에 의해)가 있는 경우, 파워업 동작이 블록(164)에서 제시된 것처럼 감지 증폭기(29) 및 워드 라인(19)에 수행된다. 상승한 바와 같이 파워업은 판독 동작을 행하기 위해 필요한 비트, 감지 및 워드 라인의 적당한 바이어스 전압을 인가하는 것을 포함한다. 현재의 어드레스 변화가 없는 경우, 동작은 블록(163)에서 제시된 바와 같이 계속된다. 특히, 블록(163)은 감지 증폭기(29) 및 워드 라인(19)이 전력 강하되고 종속 래치 회로(114)내의 최종 감지 데이터가 기억되는 것을 나타낸다. 감지 증폭기(29) 및 워드 라인(19)의 전력 상승 후, 블록(166)에서 나타난 바와 같이 적용가능한 어드레스가 인가되어 디코딩되고, 감지 동작이 새로운 메모리 위치에서 행해진다. 그다음, 블록(167)에 따라 감지된 데이터가 주래치 회로(112)에서 획득된다 블록(166,167)에 따른 동작을 병행함에 있어서, 신호 ATP는 블록(165)에서 제시한 바와 같이 초기화 되거나 개시된다. 상기 데이터가 블록(167)에 따라 주래치 회로(112)에서 획득된 후, 결정 블록(168)에서 ATP의 종료 여부를 결정한다. ATP가 종료되지 않은 경우, 블록(166)에서 제어를 반복적으로 행하고 새로운 어드레스를 디코딩하며 새로운 감지 동작을 개시한다. 이와 달리, ATP가 종료된 경우, 데이터는 블록(169)에서 제시한 바와 같이 종속 래치 회로에서 래칭된다. 마지막으로, 파워다운 동작이 완료된 후, 제어는 제7도의 표시 A로 귀환하고, 블록(162)에 따라 현재의 어드레스 변화 여부를 다시 체크한다.

감지가 완료된 후 그리고 소거 동작이 실행될 때 각각 워드 라인이 파워다운 되고 전압이 감소되는 상태 및 코어 메모리내의 가변 임계 트랜지스터에 접속된 감지 라인에 파워다운 효과가 수반되는 등의 과정을 포함하는 본 방식의 실시 결과, 코어 메모리내의 스트레스가 감소되며, 스트레스가 감소됨에 따라 코어 메모리 셀의 수명 및 신뢰도가 향상된다.

(57) 청구의 범위

청구항 1

비휘발성 반도체 메모리 셀 장치에 있어서, 제1 및 제2메모리 셀 트랜지스터 장치를 포함하며, 상기 제2 메모리 셀 트랜지스터 장치는 가변 임계 트랜지스터를 포함하고, 상기 제1 및 제2메모리 셀 트랜지스터 장치는 각각 입력 접속부, 출력 접속부 및 제어 접속부를 포함하며, 제1메모리 셀 트랜지스터 장치의 입력 접속부는 상기 제2메모리셀 트랜지스터 장치의 출력 접속부에 접속되는 메모리 셀과; 상기 제1메모리 셀 트랜지스터 장치의 제어 접속부에 접속되어 셀 선택을 가능하게 하는 워드 라인과; 상기 제2메모리 셀 트랜지스터 장치의 제어 접속부된 접속되는 감지 라인과; 상기 제1메모리 셀 트랜지스터 장치의 출력 접속부에 접속되어 상기 가변임계 트랜지스터의 메모리 상태의 감지를 가능하게 하는 비트 라인과; 상기 메모리 셀의 소거 동작 동안, 상기 워드 라인상에 존재하는 전압 레벨보다 더 높은 소거 전압 레벨을 상기 감지 라인상에 인가하여 상기 워드 라인상의 전압 스트레스 레벨을 감소시키는 감지 라인 래치 수단을 포함하는 것을 특징으로 하는 비휘발성 반도체 메모리 셀 장치.

청구항 2

제1항에 있어서, 전원 전압 레벨, 기준 전압 및 소거 전압 레벨을 포함하는 선택된 전압 레벨중 하나를 상기 감지 라인에 인가하는 감지 래치 수단을 추가로 포함한 것을 특징으로 하는 비휘발성 반도체 메모리

셀 장치.

청구항 3

제2항에 있어서, 상기 감지 래치 수단은 상기 가변 임계 트랜지스터를 소거시키기에 충분한 전압을 상기 감지 라인에 인가하는 것을 특징으로 하는 비휘발성 반도체 메모리 셀 장치.

청구항 4

제1항에 있어서, 선택된 전압을 복수의 위치에서 상기 감지 라인에 인가하는 수단을 추가로 포함하는데, 상기 인가 수단은 전원 공급 장치에 공통 접속된 드레인, 상기 감지 라인에 공통 접속된 소스 및 상기 워드 라인에 공통 접속된 게이트를 각각 구비한 복수의 트랜지스터를 포함한 것을 특징으로 하는 비휘발성 반도체 메모리 셀 장치.

청구항 5

제4항에 있어서, 상기 감지 라인을 접지시키는 수단을 추가로 포함한 것을 특징으로 하는 비휘발성 반도체 메모리 셀 장치.

청구항 6

제5항에 있어서, 상기 접지 수단은 워드 래치 수단에 의해 제어되는 것을 특징으로 하는 비휘발성 반도체 메모리 셀 장치.

청구항 7

제1항에 있어서, 상기 메모리 셀 장치내의 스트레스를 감소시키도록 상기 워드 라인의 파워다운에 동기하여 상기 제2메모리 셀 트랜지스터 장치의 제어 접속부를 접지시키는 수단을 추가로 포함한 것을 특징으로 하는 비휘발성 반도체 메모리 셀 장치.

청구항 8

제7항에 있어서, 상기 접지 수단은 상기 워드 라인의 전압 상태에 의해 제어되는 것을 특징으로 하는 비휘발성 반도체 메모리 셀 장치.

청구항 9

제1항에 있어서, 상기 감지 증폭기의 출력단에 접속되어 상기 메모리 셀내에서 발견되는 데이터를 안정하게 하기 위한 데이터 래치 장치를 추가로 포함하며, 상기 데이터 래치 장치는 상기 워드 라인 및 감지 라인의 파워다운 후에 상기 안정된 데이터를 유지하여 상기 메모리 셀 장치내의 데이터 판독시 스트레스를 감소시키는 것을 특징으로 하는 비휘발성 반도체 메모리 셀 장치.

청구항 10

제7항에 있어서, 상기 접지 수단은 반전 장치를 통하여 워드 라인에 접속된 제어 게이트를 갖는 트랜지스터를 구비하는 것을 특징으로 하는 비휘발성 반도체 메모리 셀 장치.

청구항 11

제10항에 있어서, 상기 워드 라인의 전압 상태를 반전시키기 위하여 래치를 사용하는 것을 특징으로 하는 비휘발성 반도체 메모리 셀 장치.

청구항 12

반도체 메모리내의 메모리 셀을 조작하는 방법에 있어서, 각각 제어 접속부를 포함하는 선택 트랜지스터와 가변 임계 트랜지스터를 비휘발성 메모리 셀에서 직렬로 연결하고, 비트 라인과 감지 증폭기에 전기적으로 접속되는 드레인 접속부를 갖고 있는 선택 트랜지스터와 가변 임계 트랜지스터의 각각의 제어 접속부를 각각 워드 라인과 감지 라인에 접속하는 단계와; 상기 워드 라인이 파워 다운 신호를 수신할 경우 상기 감지 라인의 동기적 파워 다운을 보장하도록 상기 감지 라인과 워드 라인의 전압 상태를 개별적으로 제어하는 단계와; 상기 메모리 셀의 파워 다운 동안 상기 가변 임계 트랜지스터의 제어 접속부를 접지시키는 단계를 포함하는 것을 특징으로 하는 메모리 셀 조작 방법.

청구항 13

워드 라인에 의해 제어되는 선택 회로와, 메모리 상태 정보를 기억하며 메모리 상태가 감지 라인에 의해 제어되는 가변 임계 트랜지스터를 포함하는 비휘발성 반도체 메모리의 선택된 메모리 셀을 소거하는 방법에 있어서, 상기 가변 임계 트랜지스터상의 메모리 상태 정보를 소거하기에 유효한 소거전압 레벨을 감지 라인에 인가하는 단계와; 상기 소거 동작 동안 상기 워드 라인에 가해지는 스트레스를 제한하도록 상기 소거 전압 레벨보다 낮은 전압을 상기 워드 라인에 인가하는 단계를 구비하는 것을 특징으로 하는 메모리 셀 소거 방법.

청구항 14

직렬로 접속된 제1 및 제2메모리 셀 트랜지스터를 포함하고, 상기 제2메모리 셀 트랜지스터는 가변 임계 프로그램 가능 트랜지스터이고, 각각의 상기 제1 및 제2메모리 셀 트랜지스터는 입력, 출력 및 제어 접속부를 각각 포함하고, 상기 제1메모리 셀 트랜지스터의 출력 접속부는 상기 제2메모리 셀 트랜지스터의 메모리 상태를 감지하기 위해 비트 라인에 접속되고, 상기 제1메모리 셀 트랜지스터의 입력측은 상기 제2메모리 셀 트랜지스터의 출력측에 접속되는 비휘발성 메모리 셀과; 상기 제1메모리 셀 트랜지스터의 제어 접속부에 접속되는 워드 라인과; 상기 제2메모리 셀 트랜지스터의 제어 접속부에 접속되는 감지 라인과;

상기 워드 라인의 제어 하에 있고 상기 감지 라인의 분포 지점에 소정의 바이어스 전압을 인가하는 기준 전압 패스 트랜지스터 수단과; 상기 감지 라인과 상기 제2메모리 셀 트랜지스터의 제어 게이트를 선택적으로 접지시키는 수단을 구비하는 것을 특징으로 하는 비휘발성 반도체 메모리 셀 장치.

청구항 15

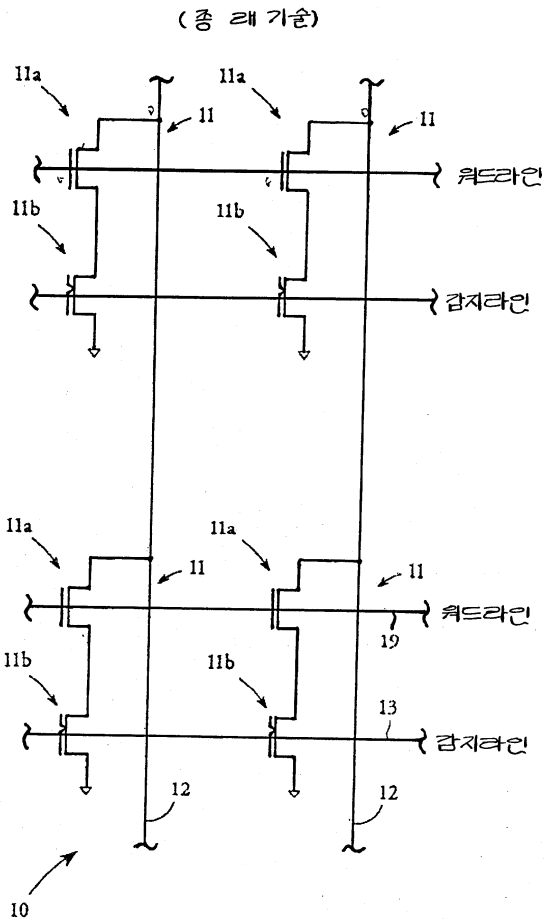
제14항에 있어서, 상기 워드 라인상의 전압 레벨을 설정하고, 상기 워드 라인상의 파워 다운신호에 동기하여 상기 감지 라인을 접지하기에 유효한 워드 라인 수단을 추가로 구비하는 것을 특징으로 하는 비휘발성 반도체 메모리 셀 장치.

청구항 16

제14항에 있어서, 상기 감지 라인에 집중되며 상기 제2메모리 셀 트랜지스터의 메모리 상태를 소거하기에 충분한 전압 레벨을 인가하는 수단을 추가로 구비하는 것을 특징으로 하는 비휘발성 반도체 메모리 셀 장치.

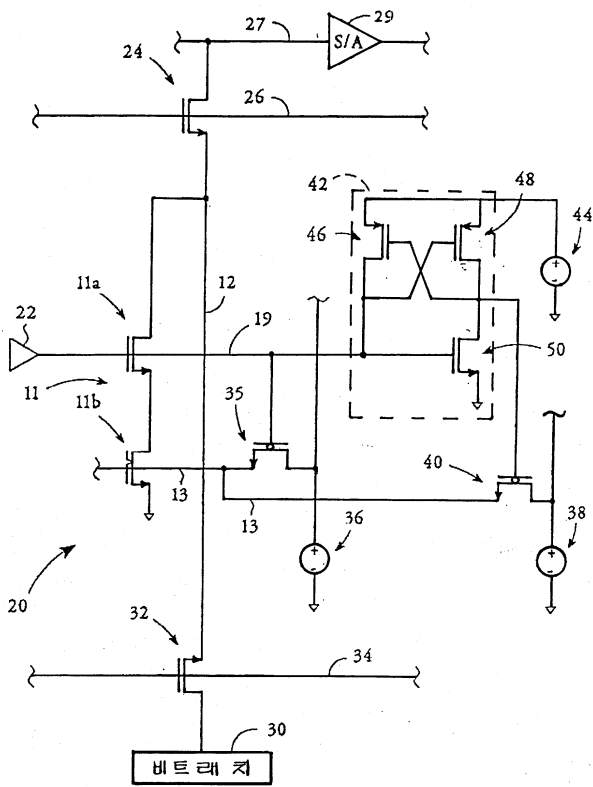
도면

도면1

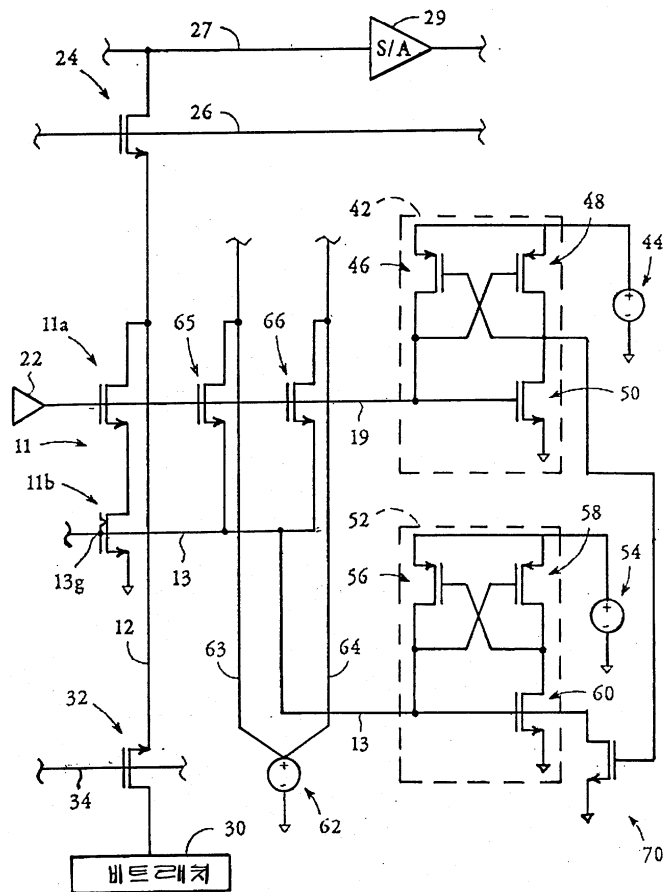


도면2

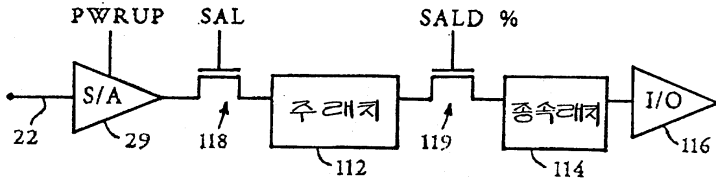
(종래 기술)



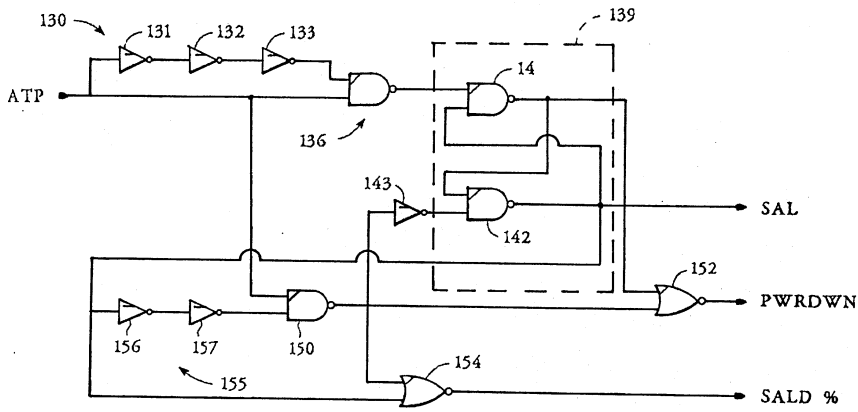
도면3



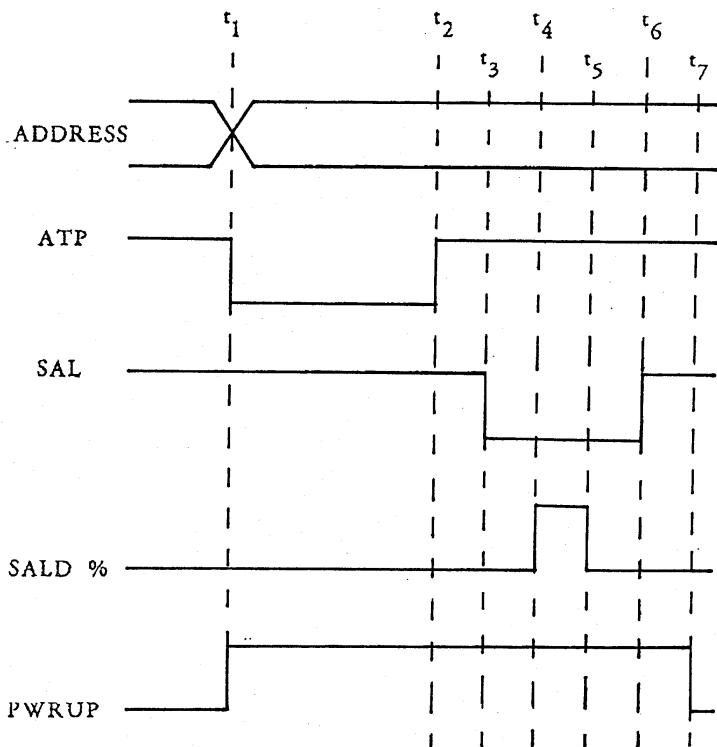
도면4



도면5



도면6



도면7

