



(21)申請案號：105118197

(22)申請日：中華民國 105 (2016) 年 06 月 08 日

(51)Int. Cl. : H01L21/762 (2006.01)

H01L21/306 (2006.01)

H01L21/304 (2006.01)

(30)優先權：2015/06/10 美國

14/735,359

(71)申請人：微晶片科技公司 (美國) MICROCHIP TECHNOLOGY INCORPORATED (US)
美國(72)發明人：薩托 賈斯丁 希羅奇 SATO, JUSTIN HIROKI (US)；史棟 葛格利 艾倫 STOM,
GREGORY ALLEN (US)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：28 項 圖式數：4 共 37 頁

(54)名稱

形成淺溝槽隔離結構之方法

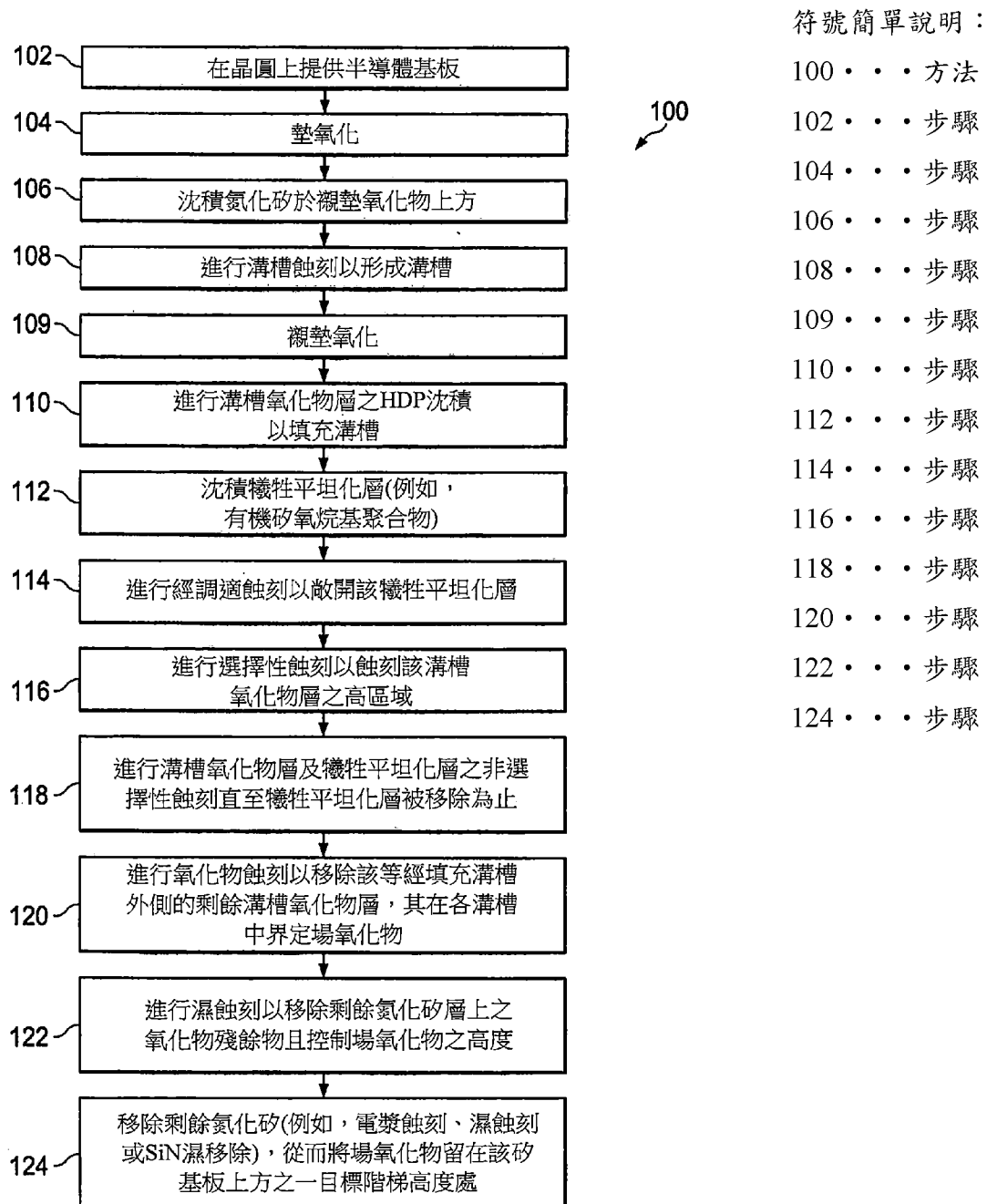
METHOD OF FORMING SHALLOW TRENCH ISOLATION (STI) STRUCTURES

(57)摘要

本發明提供一種形成用於一積體電路之一溝槽隔離(例如，一 STI)之方法，該方法包含：在一半導體基板上方形形成一墊氧化物層且接著形成一氮化物層；穿透該結構執行一溝槽蝕刻以形成一溝槽；沈積一溝槽氧化物層於該結構上方以形成一經填充溝槽；沈積一犧牲平坦化層於該經沈積氧化物上方，該犧牲平坦化層對該溝槽氧化物層具有蝕刻選擇性；執行一平坦化蝕刻程序，其移除該犧牲平坦化層且減小該溝槽氧化物層之一上表面中之表面變動；執行氧化物蝕刻程序，其對該溝槽氧化物層具有選擇性以移除該經填充溝槽外側的該溝槽氧化物層之剩餘部分；及移除該剩餘氮化物層，使得該剩餘經氧化物填充溝槽界定突出於該半導體基板之一經曝露上表面上方的一溝槽隔離結構。

A method of forming a trench isolation (e.g., an STI) for an integrated circuit includes forming a pad oxide layer and then a nitride layer over a semiconductor substrate, performing a trench etch through the structure to form a trench, depositing a trench oxide layer over the structure to form a filled trench, depositing a sacrificial planarizing layer, which is etch-selective to the trench oxide layer, over the deposited oxide, performing a planarizing etch process that removes the sacrificial planarizing layer and decreases surface variations in an upper surface of the trench oxide layer, performing an oxide etch process that is selective to the trench oxide layer to remove remaining portions of the trench oxide layer outside the filled trench, and removing the remaining nitride layer such that the remaining oxide-filled trench defines a trench isolation structure that projects above an exposed upper surface of the semiconductor substrate.

指定代表圖：



發明摘要

※ 申請案號： 105118197

※ 申請日： 105/06/08

※IPC 分類： *H01L 21/762* (2006.01)

H01L 21/306 (2006.01)

H01L 21/304 (2006.01)

【發明名稱】

形成淺溝槽隔離結構之方法

METHOD OF FORMING SHALLOW TRENCH ISOLATION (STI)
STRUCTURES

【中文】

本發明提供一種形成用於一積體電路之一溝槽隔離(例如，一STI)之方法，該方法包含：在一半導體基板上方形形成一墊氧化物層且接著形成一氮化物層；穿透該結構執行一溝槽蝕刻以形成一溝槽；沈積一溝槽氧化物層於該結構上方以形成一經填充溝槽；沈積一犧牲平坦化層於該經沈積氧化物上方，該犧牲平坦化層對該溝槽氧化物層具有蝕刻選擇性；執行一平坦化蝕刻程序，其移除該犧牲平坦化層且減小該溝槽氧化物層之一上表面中之表面變動；執行氧化物蝕刻程序，其對該溝槽氧化物層具有選擇性以移除該經填充溝槽外側的該溝槽氧化物層之剩餘部分；及移除該剩餘氮化物層，使得該剩餘經氧化物填充溝槽界定突出於該半導體基板之一經曝露上表面上方的一溝槽隔離結構。

【英文】

A method of forming a trench isolation (e.g., an STI) for an integrated circuit includes forming a pad oxide layer and then a nitride layer over a semiconductor substrate, performing a trench etch through the structure to form a trench, depositing a trench oxide layer over the structure to form a filled trench, depositing a sacrificial planarizing layer, which is etch-selective to the trench oxide layer, over the deposited oxide, performing a planarizing etch process that removes the sacrificial planarizing layer and decreases surface variations in an upper surface of the trench oxide layer, performing an oxide etch process that is selective to the trench oxide layer to remove remaining portions of the trench oxide layer outside the filled trench, and removing the remaining nitride layer such that the remaining oxide-filled trench defines a trench isolation structure that projects above an exposed upper surface of the semiconductor substrate.

【代表圖】

【本案指定代表圖】：第（2）圖。

【本代表圖之符號簡單說明】：

100 方法

102 步驟

104 步驟

106 步驟

108 步驟

109 步驟

110 步驟

112 步驟

114 步驟

116 步驟

118 步驟

120 步驟

122 步驟

124 步驟

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

形成淺溝槽隔離結構之方法

METHOD OF FORMING SHALLOW TRENCH ISOLATION (STI)
STRUCTURES

【技術領域】

本發明係關於半導體積體電路(IC)製造，且更特定言之，係關於形成例如用於一互補金屬氧化物半導體(CMOS)裝置之淺溝槽隔離結構(STI)之方法。

【先前技術】

淺溝槽隔離(STI)係防止鄰近半導體裝置組件之間的電流洩漏之一積體電路特徵。STI結構常用於CMOS裝置中，且通常在半導體裝置製程初期、在形成電晶體之前形成。一習知STI程序之關鍵步驟涉及在一矽基板中蝕刻溝槽之一圖案；沈積一或多種介電材料(例如，二氧化矽)以填充該等溝槽；及使用化學機械平坦化(CMP)移除過剩介電質。

然而，習知STI形成中涉及之CMP處理可造成一或多個相關問題。例如，CMP程序可產生一顯著中心至邊緣偏置，其可導致橫跨晶圓之足夠變動以造成良率下降。作為另一實例，CMP可造成場氧化物之局部非均勻性及凹陷。此外，CMP程序可將氧化物殘餘物留在最大作用區域上，其可造成導致良率損失之SiN殘餘物。最後，使用CMP之習知STI形成處理涉及相對大數目的步驟。

【發明內容】

根據本發明之教示，可在不使用CMP及/或在與習知技術相比運

用減小數目的步驟之情況下形成溝槽隔離結構，例如，淺溝槽隔離(STI)。

在一項實施例中，一種形成用於一積體電路之一溝槽隔離結構(例如，一STI)之方法包含：在一半導體基板上方形形成一薄墊氧化物層，接著形成一氮化物層；穿透該氮化物層、該墊氧化物及該半導體基板之部分執行一溝槽蝕刻程序以形成一溝槽；沈積一溝槽氧化物層於該氮化物層之剩餘部分上方且延伸至該溝槽中以形成一經填充溝槽；沈積一犧牲平坦化層於該經沈積氧化物上方，該犧牲平坦化層對該溝槽氧化物層具有蝕刻選擇性；執行一平坦化蝕刻程序，其移除該犧牲平坦化層且減小該溝槽氧化物層之一上表面中之表面變動；執行氧化物蝕刻程序，其對該溝槽氧化物層具有選擇性以移除該經填充溝槽外側的該溝槽氧化物層之剩餘部分；及執行一氮化物移除程序，其移除該氮化物層之該等剩餘部分，使得該經填充溝槽之剩餘氧化物界定突出於該半導體基板之一經曝露上表面上方的一溝槽隔離結構。當然，此技術可根據需要用來形成複數個溝槽隔離結構。

在另一實施例中，一種半導體晶粒可包含：一半導體基板；及複數個溝槽隔離結構(例如，STI)，其等藉由一程序形成於該半導體基板中，該程序包含：在該半導體基板上方形形成一薄墊氧化物層，接著形成一氮化物層；穿透該氮化物層、該墊氧化物及該半導體基板之部分執行一溝槽蝕刻程序以形成複數個溝槽；沈積一溝槽氧化物層於該氮化物層之剩餘部分上方且延伸至該等溝槽中以形成複數個經填充溝槽；沈積一犧牲平坦化層於該經沈積氧化物上方，該犧牲平坦化層對該溝槽氧化物層具有蝕刻選擇性；執行一平坦化蝕刻程序，其移除該犧牲平坦化層且減小該溝槽氧化物層之一上表面中之表面變動；執行氧化物蝕刻程序，其對該溝槽氧化物層具有選擇性以移除該等經填充溝槽外側的該溝槽氧化物層之剩餘部分；及執行一氮化物移除程

序，其移除該氮化物層之該等剩餘部分，使得各經填充溝槽之剩餘氧化物界定突出於該半導體基板之一經曝露上表面上方的一溝槽隔離結構。

在其他實施例中，一CMOS裝置包括包含如上文所論述般形成之複數個溝槽隔離結構之一半導體結構。

在一些實施例中，該犧牲平坦化層包括有機矽酸鹽。在特定實施例中，該犧牲平坦化層包括例如根據化學式 $R_xCH_3_ySiO_z$ 之有機矽氧烷基聚合物，其中R係有機發色團。例如，在一些實施例中，該犧牲平坦化層可包括由Honeywell Electronic Materials(地址為101 Columbia Rd, Morristown, NJ 07960)供應之一DUO™ 193或DUO™ 248抗反射塗層。

【圖式簡單說明】

下文參考圖式論述例示性實施例，其中：

圖1A至圖1H繪示根據本發明之一例示性實施例的一例示性半導體積體電路結構之一截面，其展示形成用於一積體電路之溝槽隔離結構(例如，STI)之一逐步程序；

圖2係根據一例示性實施例的對應於圖1A至圖1H中所繪示之程序形成用於一積體電路(例如，CMOS裝置)之淺溝槽隔離之一例示性方法之一流程圖；

圖3A至圖3H繪示根據本發明之一例示性實施例的另一例示性半導體積體電路結構之一截面，其展示形成用於一積體電路之溝槽隔離結構(例如，STI)之一逐步程序；及

圖4係根據一例示性實施例的對應於圖3A至圖3H中所繪示之程序形成用於一積體電路(例如，CMOS裝置)之淺溝槽隔離之一例示性方法之一流程圖。

【實施方式】

根據本發明之教示，可在不使用CMP及/或在與習知技術相比運用減小數目的步驟之情況下形成溝槽隔離結構，例如，淺溝槽隔離(STI)。此程序可減少或消除與CMP處理相關之一或多個問題，及/或可降低形成STI之成本及複雜度。

現參考圖式，示意地繪示特定例示性實施例之細節。圖式中之相同元件將由相同數字表示，且類似元件將由具有一不同小寫字母後綴之相同數字表示。

圖1A至圖1H繪示根據一例示性實施例的形成用於一積體電路(例如，一CMOS裝置)之溝槽隔離結構(例如，STI)之一例示性程序之步驟。

如圖1A中所展示，一積體電路結構10包含形成於一晶圓表面上之一半導體基板12，例如，一矽(Si)基板。形成或沈積氧化物層13(例如，二氧化矽(SiO₂)之一薄墊氧化物層)於半導體基板12上方以幫助氮化物加應力/黏附至基板。沈積一氮化物層16(例如，氮化矽(SiN))於墊氧化物層13上方，且穿透氮化物層16、墊氧化物層13及半導體基板12之部分執行一溝槽蝕刻程序(例如，一STI蝕刻)以使用任何合適光微影技術形成一或多個溝槽20。氧化物層13可在氮化物層16之前形成或沈積以幫助氮化物加應力/黏附至基板，且可具有經沈積氮化物層16之厚度之約1/10之一厚度。在蝕刻之後，一襯墊氧化可在半導體基板12之經曝露表面上形成一襯墊氧化物層14。

如圖1B中所展示，沈積一溝槽氧化物層24(例如，二氧化矽(SiO₂))於該結構上方，且延伸至各溝槽20中以形成經填充溝槽。在一些實施例中，藉由高密度電漿化學氣相沈積(HDP CVD)沈積溝槽氧化物層24。如所展示，經沈積溝槽氧化物層24可例如歸因於下伏結構之拓撲而具有一非平坦拓撲。特定言之，溝槽氧化物層24之拓撲可界定數個向上突出或延伸特徵或區域26。

如圖1C中所展示，沈積一犧牲平坦化層30於溝槽氧化物層24上方。犧牲平坦化層30對溝槽氧化物層24具有蝕刻選擇性。在一些實施例中，該平坦化層包括有機矽酸鹽。例如，平坦化層30可包括有機矽氧烷基聚合物，例如具有化學式 $R_xCH_3ySiO_z$ 之有機矽氧烷基聚合物，其中R係有機發色團。在例示性實施例中，犧牲平坦化層30包括由Honeywell Electronic Materials(地址為101 Columbia Rd, Morristown, NJ 0796)供應之一DUO™ 193或DUO™ 248抗反射塗層。可以任何合適方式沈積平坦化層30。在一些實施例中，將平坦化層30旋塗於溝槽氧化物層24上方，其提供一部分平坦化效應。

接著執行一平坦化蝕刻程序以移除犧牲平坦化層30，且例如藉由減少或消除向上突出或延伸特徵或區域26而減小溝槽氧化物層24之上表面中之表面變動。該平坦化蝕刻程序可包含一單蝕刻程序或一系列不同蝕刻程序。在下文所論述之實例中，圖1D及圖1E中所展示之平坦化蝕刻程序涉及三個不同蝕刻。

參考圖1D，在氧化物蝕刻器中蝕刻晶圓，首先運用一經調適蝕刻來敞開該平坦化層且接著運用對溝槽氧化物層24具有選擇性之一短氧化物蝕刻。第二蝕刻將造成向上突出氧化物區域26被蝕刻，而氧化物層24之下部場區域受犧牲平坦化層30保護。在一項實施例中，第二蝕刻在最高點26與整體平坦化層30大致上齊平時停止。

在本文獻中，蝕穿一第一物質/層快於一第二物質/層之一蝕刻程序被稱作對該第一物質/層之「選擇性」高於該第二物質/層。

參考圖1E，接著執行對溝槽氧化物層24及犧牲平坦化層30不具選擇性之一第三蝕刻，以依類似速率移除溝槽氧化物層24及犧牲平坦化層30，直至平坦化層30被移除為止。此蝕刻可在到達氮化物層16之前停止，如圖1E中所展示。

如圖1F中所展示，接著執行對溝槽氧化物層24具有高度選擇性

之氧化物蝕刻以移除經填充溝槽20外側的溝槽氧化物層24之剩餘部分，藉此在各溝槽20中界定一場氧化物40。在一些實施例中，執行定義量之過度蝕刻，其可使場氧化物40溝槽化且清除剩餘氮化物層16上之任何殘餘物。

如圖1G中所展示，執行一選用濕蝕刻以移除氮化物層16上之氧化物殘餘物及/或控制場氧化物40之高度。該濕蝕刻可經設計以提供場氧化物40相對於基板12頂部之一定義高度(圖1G中被指示為距離 D_1)，該高度可經選擇以便基於與後續處理步驟相關聯之高度減小之瞭解提供場氧化物40之一最終高度(圖1H中被指示為距離 D_2)。

如圖1H中所展示，接著使用任何合適移除程序(例如，藉由對氮化物層16之選擇性高於場氧化物40及基板12之材料的一蝕刻)移除氮化物層16。如所展示，剩餘場氧化物40(即，溝槽隔離結構)可突出於半導體基板12之經曝露上表面上方達被指示為 D_2 之一目標階梯高度(即，場氧化物40之頂部表面相對於基板12之頂部表面52的高度)。在一些實施例中，可根據需要藉由執行任何合適程序(例如，電漿蝕刻、濕蝕刻)或藉由運行一長濕移除程序(例如，濕SiN移除)來移除氮化物層16之剩餘部分而控制階梯高度 D_2 及/或場氧化物40之頂部形狀。

因此，在一些實施例中，可在不使用任何化學機械平坦化(CMP)程序之情況下形成溝槽隔離結構40(例如，STI)，其可提供如上文所論述之各種優點。若跳過選用濕蝕刻，則亦可運用其餘平坦化蝕刻就地執行氮化物移除步驟，藉此進一步減少步驟的總數目。

圖2係根據對應於圖1A至圖1H之一例示性實施例的形成用於一積體電路(例如，CMOS裝置)之淺溝槽隔離之一例示性方法100之一流程圖。在步驟102處，在一晶圓上形成一矽基板。在步驟104處，一墊氧化程序形成一墊氧化物於該矽基板之表面上方。在步驟106處，沈積

一氮化矽層於該矽基板上方。在步驟108處，執行一溝槽蝕刻(例如，一STI蝕刻)以形成複數個溝槽。在步驟109處，一襯墊氧化程序在該等經形成溝槽中形成一襯墊氧化物。在步驟110處，藉由高密度電漿化學氣相沈積(HDP CVD)沈積一二氧化矽層(溝槽氧化物層)於該晶圓上方，其填充該等經蝕刻溝槽。該經沈積二氧化矽層可例如歸因於下伏結構之拓撲而具有一非平坦拓撲。特定言之，該二氧化矽層可界定數個向上突出或延伸特徵或區域。

在步驟112處，沈積有機矽氧烷基聚合物(例如，DUO™ 193或DUO™ 248)之一犧牲平坦化層於該二氧化矽層上方。在步驟114處，執行一經調適蝕刻以敞開該犧牲平坦化層，接著在步驟116處執行對該二氧化矽層具有選擇性之一短氧化物蝕刻。步驟116處之蝕刻可至少部分蝕刻二氧化矽之向上突出區域，而二氧化矽之下部區域受該犧牲平坦化層保護。在步驟118處，執行一非選擇性蝕刻以依類似速率蝕穿該二氧化矽層及該犧牲平坦化層，直至該犧牲平坦化層被移除為止。此蝕刻可在到達下伏氮化矽層之前停止。

在步驟120處，接著執行對二氧化矽具有高度選擇性之氧化物蝕刻以移除經填充溝槽上方及外側的二氧化矽層之部分，藉此在各溝槽中界定一場氧化物。在一些實施例中，執行定義量之過度蝕刻，其可使場氧化物溝槽化且清除剩餘氮化矽層上之任何殘餘物。在步驟122處，執行一選用濕蝕刻以移除剩餘氮化矽層上之氧化物殘餘物及/或控制場氧化物之高度。在步驟124處，使用任何合適移除程序(例如，對氮化矽之選擇性高於二氧化矽場氧化物及矽基板之一蝕刻)移除氮化矽層。剩餘場氧化物(即，溝槽隔離結構)可突出於矽基板之經曝露上表面上方達一目標階梯高度，該高度可根據需要使用任何合適精整程序控制或塑形。

因此，以此方式，可在不使用任何化學機械平坦化(CMP)程序之

情況下形成淺溝槽隔離，其可提供如上文所論述之各種優點。

圖3A至圖3H繪示用於形成用於一積體電路(例如，一CMOS裝置)之溝槽隔離結構(例如，STI)的一程序之另一例示性實施例之步驟。

該程序之初始步驟可類似於上文所論述之實施例之該等步驟。因此，對應於圖3A至圖3C之步驟可類似於上文所論述之圖1A至圖1C之該等步驟。

如圖3A中所展示，一積體電路結構10包含形成於一晶圓表面上之一半導體基板12，例如，一矽(Si)基板。形成或沈積氧化物層13(例如，二氧化矽(SiO₂)之一薄墊氧化物層)於半導體基板12上方以幫助氮化物加應力/黏附至基板。沈積一氮化物層16(例如，氮化矽(SiN))於墊氧化物層13上方，且穿透氮化物層16、墊氧化物層13及半導體基板12之部分執行一溝槽蝕刻程序(例如，一STI蝕刻)以使用任何合適光微影技術形成一或多個溝槽20，例如，如上文參考圖1A所論述。在蝕刻之後，一襯墊氧化可在半導體基板12之經曝露表面上形成一襯墊氧化物層14。

如圖3B中所展示，一溝槽氧化物層24(例如，二氧化矽(SiO₂))沈積於該結構上方，且延伸至各溝槽20中以形成經填充溝槽。在一些實施例中，藉由高密度電漿化學氣相沈積(HDP CVD)沈積溝槽氧化物層24。如所展示，經沈積溝槽氧化物層24可例如歸因於於下伏結構之拓撲而具有一非平坦拓撲。特定言之，溝槽氧化物層24之拓撲可界定數個向上突出或延伸特徵或區域26。

如圖3C中所展示，沈積一犧牲平坦化層30於溝槽氧化物層24上方。犧牲平坦化層30對溝槽氧化物層24具有蝕刻選擇性。在一些實施例中，該平坦化層包括有機矽酸鹽。例如，平坦化層30可包括有機矽氧烷基聚合物，例如具有化學式R_xCH₃_ySiO_z之有機矽氧烷基聚合物，其中R係有機發色團。在例示性實施例中，犧牲平坦化層30可包括一

DUO™ 193或DUO™ 248抗反射塗層，例如，如上文參考圖1A所論述。可以任何合適方式沈積平坦化層30。在一些實施例中，將平坦化層30旋塗於溝槽氧化物層24上方，其提供一部分平坦化效應。

接著執行一系列蝕刻以在溝槽20中形成溝槽隔離結構，如下文所論述，其在形成溝槽隔離結構之程序中，移除犧牲平坦化層30，且例如藉由減少或消除向上突出或延伸特徵或區域26而減小溝槽氧化物層24之上表面中之表面變動。

參考圖3D，執行一大體上非選擇性蝕刻(例如，在使用一DUO™塗層之實施例中其可稱為DUO蝕刻)，其依相同或大致上相同速率蝕刻溝槽氧化物層24及犧牲平坦化層30，例如，DUO™塗層(及氮化物層16，若相關)。此大體上非選擇性蝕刻可將犧牲平坦化層30之部分留在該結構之低窪區域中，例如，在溝槽20上方，如圖3D中所展示。該蝕刻可移除溝槽氧化物層24之向上突出氧化物區域26之部分，而氧化物層24之下部場區域受犧牲平坦化層30保護。在一項實施例中，第二蝕刻在最高點26與整體平坦化層30大致上齊平時停止。

參考圖3E，執行對溝槽氧化物層24之選擇性高於犧牲平坦化層30及氮化物層16之氧化物蝕刻。如所展示，該氧化物蝕刻可將犧牲平坦化層30留在溝槽區域上方，而將圖3D中所展示之區域26(例如，在氮化物層16之區域上方)蝕刻至犧牲平坦化層30之區域下方之一深度。

參考圖3F，接著執行一第二非選擇性 or 大體上非選擇性清理蝕刻，其可平坦化剩餘犧牲平坦化層30且剩餘犧牲平坦化層30從所有區域(特定言之溝槽20(場氧化物)上方)移除。在一些實施例中，此蝕刻可在到達氮化物層16之前停止，如圖3E中所展示。

如圖3G中所展示，接著執行對溝槽氧化物層24之選擇性高於犧

牲平坦化層30及氮化物層16之氧化物蝕刻以移除經填充溝槽20外側的溝槽氧化物層24之剩餘部分，藉此將一場氧化物40界定於各溝槽20中。在一些實施例中，執行定義量之過度蝕刻，其可使場氧化物40溝槽化，藉此設定最終場氧化物高度且清除剩餘氮化物層16上之任何殘餘物。

如圖3H中所展示，接著使用任何合適移除程序(例如，藉由對氮化物層16之選擇性高於場氧化物40及基板12之材料的一蝕刻(例如，一SiN蝕刻))移除氮化物層16。如所展示，剩餘場氧化物40(即，溝槽隔離結構)可突出於半導體基板12之經曝露上表面上方達被指示為D₂之一目標階梯高度(即，場氧化物40之頂部表面相對於基板12之頂部表面52的高度)。在一些實施例中，可根據需要藉由執行任何合適程序(例如，電漿蝕刻、濕蝕刻)或藉由運行一長濕移除程序(例如，濕SiN移除)來移除氮化物層16之剩餘部分而控制階梯高度D₂及/或場氧化物40之頂部形狀。

因此，在一些實施例中，可在不使用任何化學機械平坦化(CMP)程序之情況下形成溝槽隔離結構40(例如，STI)，其可提供如上文所論述之各種優點。若跳過選用濕蝕刻，則亦可運用其餘平坦化蝕刻就地執行氮化物移除步驟，藉此進一步減少步驟的總數目。

在其中圖3G中所展示之氧化物蝕刻被跳過或包含於平坦化蝕刻程序中的一些實施例中，可運用平坦化蝕刻程序就地完成圖3H中所展示之最終氮化物蝕刻。

圖4係根據對應於圖3A至圖3H之一例示性實施例的形成用於一積體電路(例如，CMOS裝置)之淺溝槽隔離之一例示性方法200之一流程圖。

步驟202至步驟210：在步驟202處，在一晶圓上形成一矽基板。在步驟204處，一墊氧化程序形成一墊氧化物於該矽基板之表面上

方。在步驟206處，沈積一氮化矽層於該矽基板上方。在步驟208處，執行一溝槽蝕刻(例如，一STI蝕刻)以形成複數個溝槽。在步驟209處，一襯墊氧化程序在該等經形成溝槽中形成一襯墊氧化物。在步驟210處，藉由高密度電漿化學氣相沈積(HDP CVD)沈積一二氧化矽層(溝槽氧化物層)於該晶圓上方，其填充該等經蝕刻溝槽。該經沈積二氧化矽層可例如歸因於於下伏結構之拓撲而具有一非平坦拓撲。特定言之，該二氧化矽層可界定數個向上突出或延伸特徵或區域。

在步驟212處，沈積有機矽氧烷基聚合物(例如，DUO™ 193或DUO™ 248)之一犧牲平坦化層於該二氧化矽層上方。在步驟214處，執行一非選擇性蝕刻(例如，DUO蝕刻)以移除二氧化矽層之高或向上突出區域且以移除該犧牲平坦化層之一部分深度。步驟214處之蝕刻可至少部分蝕刻二氧化矽之向上突出區域，而二氧化矽之下部區域受該犧牲平坦化層保護。在步驟216處，執行一選擇性氧化物蝕刻以將二氧化矽層之部分蝕刻至剩餘犧牲平坦化層下方之一深度。在步驟218處，執行一非選擇性「清理」蝕刻以平坦化該結構且移除犧牲平坦化層之任何剩餘部分，特定言之在溝槽(場氧化物)上方。此蝕刻可在到達下伏氮化矽層之前停止。

在步驟220處，接著執行對二氧化矽具有高度選擇性之氧化物蝕刻以移除經填充溝槽上方及外側的二氧化矽層之部分，藉此在各溝槽中界定一場氧化物。在一些實施例中，執行定義量之過度蝕刻，其可使場氧化物溝槽化且清除剩餘氮化矽層上之任何殘餘物。在步驟222處，使用任何合適移除程序(例如，對氮化矽之選擇性高於二氧化矽場氧化物及矽基板之SiN蝕刻)移除氮化矽層。剩餘場氧化物(即，溝槽隔離結構)可突出於矽基板之經曝露上表面上方達一目標階梯高度，該高度可根據需要使用任何合適精整程序控制或塑形。

因此，以此方式，可在不使用任何化學機械平坦化(CMP)程序之

情況下形成淺溝槽隔離，其可提供如上文所論述之各種優點。

儘管本發明中詳細描述所揭示實施例，但應瞭解，可在不背離該等實施例之精神及範疇之情況下對該等實施例作出各種變更、替代及更改。

【符號說明】

- 10 積體電路結構
- 12 半導體基板
- 13 氧化物層/墊氧化物層
- 14 襯墊氧化物層
- 16 氮化物層
- 20 溝槽
- 24 溝槽氧化物層
- 26 向上突出或延伸特徵或區域/向上突出氧化物區域/最高點
- 30 犧牲平坦化層/整體平坦化層
- 40 場氧化物/溝槽隔離結構
- 52 頂部表面
- 100 方法
- 102 步驟
- 104 步驟
- 106 步驟
- 108 步驟
- 109 步驟
- 110 步驟
- 112 步驟
- 114 步驟
- 116 步驟

- 118 步驟
- 120 步驟
- 122 步驟
- 124 步驟
- 200 方法
- 202 步驟
- 204 步驟
- 206 步驟
- 208 步驟
- 209 步驟
- 210 步驟
- 212 步驟
- 214 步驟
- 216 步驟
- 218 步驟
- 220 步驟
- 222 步驟
- D₁ 高度
- D₂ 階梯高度

申請專利範圍

1. 一種形成用於一積體電路之一溝槽隔離結構之方法，該方法包括：
 - 在一半導體基板上方形成一氮化物層；
 - 穿透該氮化物層及該半導體基板之部分執行一溝槽蝕刻程序以形成一溝槽；
 - 沈積一溝槽氧化物層於該氮化物層之剩餘部分上方且延伸至該溝槽中以形成一經填充溝槽；
 - 沈積一犧牲平坦化層於該溝槽氧化物層上方，該犧牲平坦化層對該溝槽氧化物層具有蝕刻選擇性；
 - 執行一多步驟蝕刻程序，其：
 - 移除該犧牲平坦化層且減小該溝槽氧化物層之一上表面中之表面變動；及
 - 移除該經填充溝槽外側的該溝槽氧化物層之剩餘部分；及
 - 移除該氮化物層之該等剩餘部分，使得該經填充溝槽之剩餘氧化物界定突出於該半導體基板之一經曝露上表面上方的一溝槽隔離結構。
2. 如請求項1之方法，其中多步驟蝕刻程序包括：
 - (a)一平坦化蝕刻程序，其移除該犧牲平坦化層且減小該溝槽氧化物層之一上表面中之表面變動；及
 - (b)氧化物蝕刻程序，其對該溝槽氧化物層具有選擇性以移除該經填充溝槽外側的該溝槽氧化物層之剩餘部分。
3. 如請求項2之方法，其中：
 - 該溝槽蝕刻程序形成複數個溝槽；
 - 使該溝槽氧化物層沈積至該複數個溝槽中以形成複數個經填

充溝槽；

該氧化物蝕刻程序移除該複數個經填充溝槽外側的該溝槽氧化物層之剩餘部分；及

該氮化物移除程序移除該氮化物層之該等剩餘部分，使得該複數個經填充溝槽之各者之剩餘氧化物界定突出於該半導體基板之一經曝露上表面上方的一溝槽隔離結構。

4. 如請求項2之方法，其中該平坦化蝕刻程序包含：

一第一蝕刻，其對該平坦化層的選擇性高於該溝槽氧化物層；

一第二蝕刻，其對該溝槽氧化物層的選擇性高於該平坦化層；及

一第三蝕刻，其比該第一蝕刻的選擇性低，其中該第二蝕刻依類似速率移除該溝槽氧化物層及該平坦化層直至該平坦化層被移除為止。

5. 如請求項2之方法，其中執行該氧化物蝕刻程序直至將該經氧化物填充溝槽之一頂部表面向下蝕刻至鄰近該經氧化物填充溝槽的該氮化物層之該等剩餘部分之一頂部表面下方的一預定義距離為止。

6. 如請求項2之方法，其中執行該氧化物蝕刻程序直至將該經氧化物填充溝槽之一頂部表面向下蝕刻至鄰近該經氧化物填充溝槽的該半導體基板之一頂部表面上方的一預定義距離為止。

7. 如請求項1之方法，其中：

該多步驟蝕刻程序包括一多步驟平坦化蝕刻程序；及

藉由該多步驟平坦化蝕刻程序執行移除該氮化物層之該等剩餘部分之該步驟。

8. 如請求項7之方法，其中多步驟蝕刻程序包括一四步驟平坦化蝕

刻程序。

9. 如請求項7之方法，其中該多步驟平坦化蝕刻程序包含對氧化物具有選擇性之一蝕刻，該蝕刻經執行直至將該經氧化物填充溝槽之一頂部表面向下蝕刻至鄰近該經氧化物填充溝槽的該半導體基板之一頂部表面上方的一預定義距離為止。
10. 如請求項1之方法，其中該平坦化層包括一有機矽酸鹽。
11. 如請求項1之方法，其中該平坦化層包括一有機矽氧烷基聚合物。
12. 如請求項1之方法，其中該有機矽酸鹽包括具有化學式 $R_xCH_3_ySiO_z$ 之有機矽氧烷基聚合物，其中R係一有機發色團。
13. 如請求項1之方法，其中將該平坦化層旋塗於該經沈積氧化物上方。
14. 如請求項1之方法，其中該方法係在無需一化學機械平坦化 (CMP) 程序之情況下執行。
15. 如請求項1之方法，其中在一半導體基板上方形形成該氮化物層包括在該半導體基板上方形形成一薄墊氧化物且隨後在該薄墊氧化物上方形成該氮化物層。
16. 一種半導體晶粒，其包括：
 - 一半導體基板；及
 - 複數個溝槽隔離結構，其等藉由一程序形成於該半導體基板中，該程序包含：
 - 在該半導體基板上方形形成一氮化物層；
 - 穿透該氮化物層及該半導體基板之部分執行一溝槽蝕刻程序以形成複數個溝槽；
 - 沈積一溝槽氧化物層於該氮化物層之剩餘部分上方且延伸至該複數個溝槽中以形成複數個經填充溝槽；

沈積一犧牲平坦化層於該經沈積氧化物上方，該犧牲平坦化層對該溝槽氧化物層具有蝕刻選擇性；

執行一多步驟蝕刻程序，其：

移除該犧牲平坦化層且減小該溝槽氧化物層之一上表面中之表面變動；及

移除該複數個經填充溝槽外側的該溝槽氧化物層之剩餘部分；及

移除該氮化物層之該等剩餘部分，使得各經填充溝槽之剩餘氧化物界定突出於該半導體基板之一經曝露上表面上方的一溝槽隔離結構。

17. 如請求項16之半導體晶粒，其中多步驟蝕刻程序包括：

(c)一平坦化蝕刻程序，其移除該犧牲平坦化層且減小該溝槽氧化物層之一上表面中之表面變動；及

(d)氧化物蝕刻程序，其對該溝槽氧化物層具有選擇性以移除該經填充溝槽外側的該溝槽氧化物層之剩餘部分。

18. 如請求項17之半導體晶粒，其中該平坦化蝕刻程序包含：

一第一蝕刻，其對該平坦化層的選擇性高於該溝槽氧化物層；

一第二蝕刻，其對該溝槽氧化物層的選擇性高於該平坦化層；及

一第三蝕刻，其比該第一蝕刻的選擇性低，其中該第二蝕刻依類似速率移除該溝槽氧化物層及該平坦化層直至該平坦化層被移除為止。

19. 如請求項17之半導體晶粒，其中執行該氧化物蝕刻程序直至將該經氧化物填充溝槽之一頂部表面向下蝕刻至鄰近該經氧化物填充溝槽的該氮化物層之該等剩餘部分之一頂部表面下方的一

預定義距離為止。

20. 如請求項17之半導體晶粒，其中執行該氧化物蝕刻程序直至將該經氧化物填充溝槽之一頂部表面向下蝕刻至鄰近該經氧化物填充溝槽的該半導體基板之一頂部表面上方的一預定義距離為止。
21. 如請求項16之半導體晶粒，其中：
 - 該多步驟蝕刻程序包括一多步驟平坦化蝕刻程序；及
 - 藉由該多步驟平坦化蝕刻程序執行移除該氮化物層之該等剩餘部分之該步驟。
22. 如請求項21之半導體晶粒，其中多步驟蝕刻程序包括一四步驟平坦化蝕刻程序。
23. 如請求項21之半導體晶粒，其中該多步驟平坦化蝕刻程序包含對氧化物具有選擇性之一蝕刻，該蝕刻經執行直至將該經氧化物填充溝槽之一頂部表面向下蝕刻至鄰近該經氧化物填充溝槽的該半導體基板之一頂部表面上方的一預定義距離為止。
24. 如請求項16之半導體晶粒，其中該平坦化層包括一有機矽氧烷基聚合物。
25. 如請求項16之半導體晶粒，其中該有機矽酸鹽包括具有化學式 $R_xCH_3ySiO_z$ 之一有機矽氧烷基聚合物，其中R係一有機發色團。
26. 如請求項16之半導體晶粒，其中該方法係在無需一化學機械平坦化(CMP)程序之情況下執行。
27. 一種互補金屬氧化物半導體(CMOS)裝置，其包括：
 - 一半導體結構，其包括：
 - 一半導體基板；及
 - 複數個溝槽隔離結構，其等藉由一程序形成於該半導體基板中，該程序包含：

在該半導體基板上方形成一氮化物層；

穿透該氮化物層及該半導體基板之部分執行一溝槽蝕刻程序以形成複數個溝槽；

沈積一溝槽氧化物層於該氮化物層之剩餘部分上方且延伸至該複數個溝槽中以形成複數個經填充溝槽；

沈積一犧牲平坦化層於該經沈積氧化物上方，該犧牲平坦化層對該溝槽氧化物層具有蝕刻選擇性；

執行一多步驟蝕刻程序，其：

移除該犧牲平坦化層且減小該溝槽氧化物層之一上表面中之表面變動；及

移除該複數個經填充溝槽外側的該溝槽氧化物層之剩餘部分；及

移除該氮化物層之該等剩餘部分，使得各經填充溝槽之剩餘氧化物界定突出於該半導體基板之一經曝露上表面上方的一溝槽隔離結構。

28. 如請求項27之CMOS裝置，其中該平坦化層包括一有機矽氧烷基聚合物。

圖式

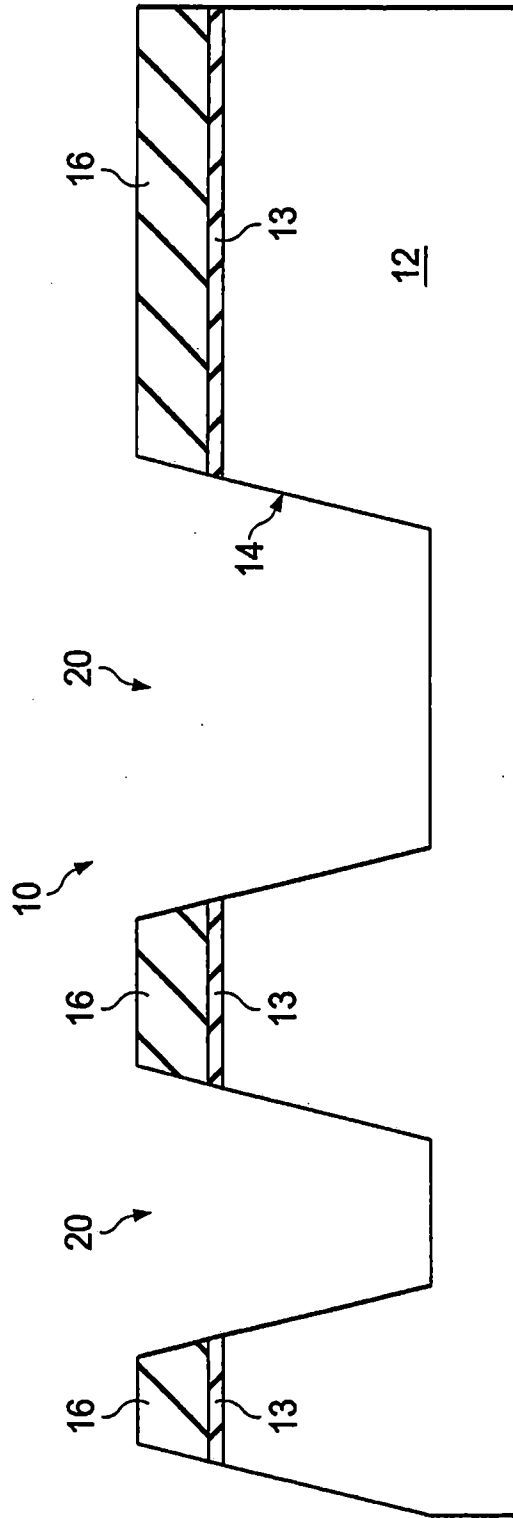


圖 1A

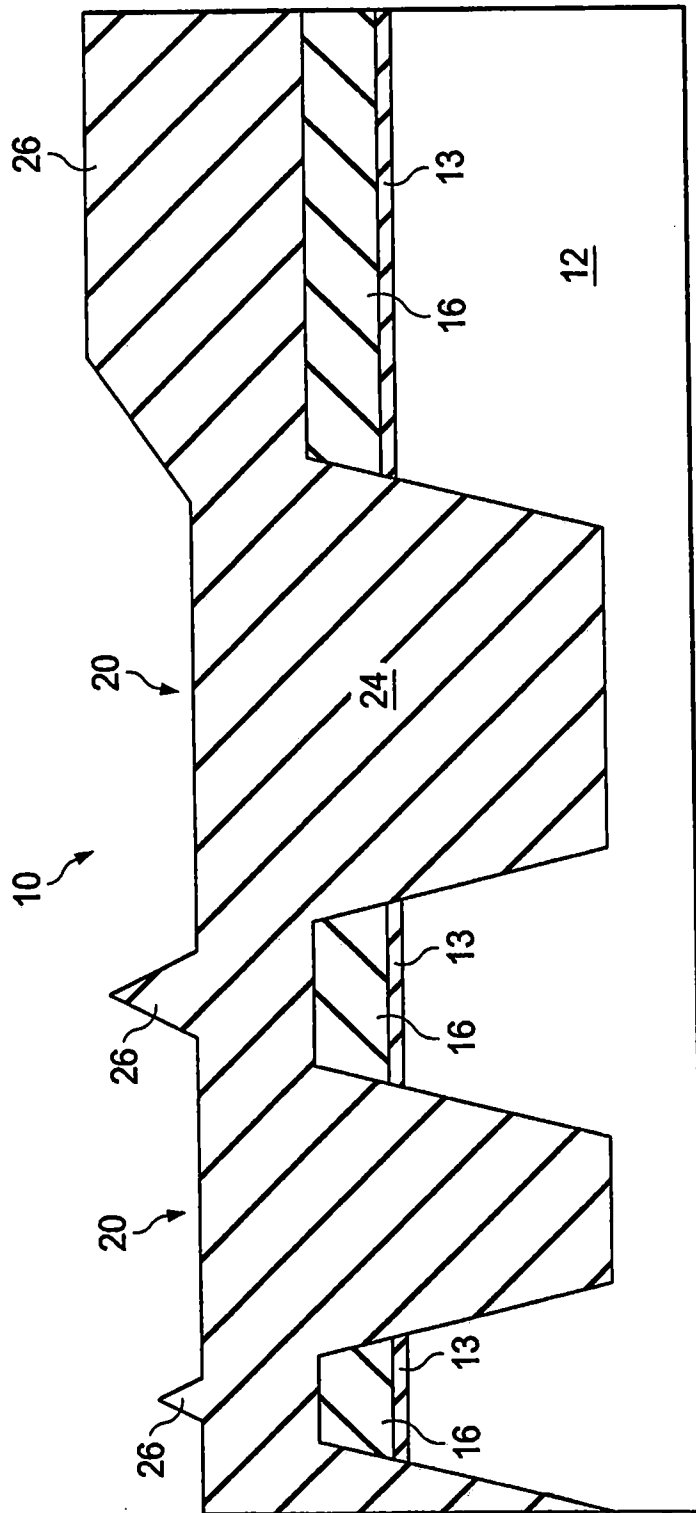


圖 1B

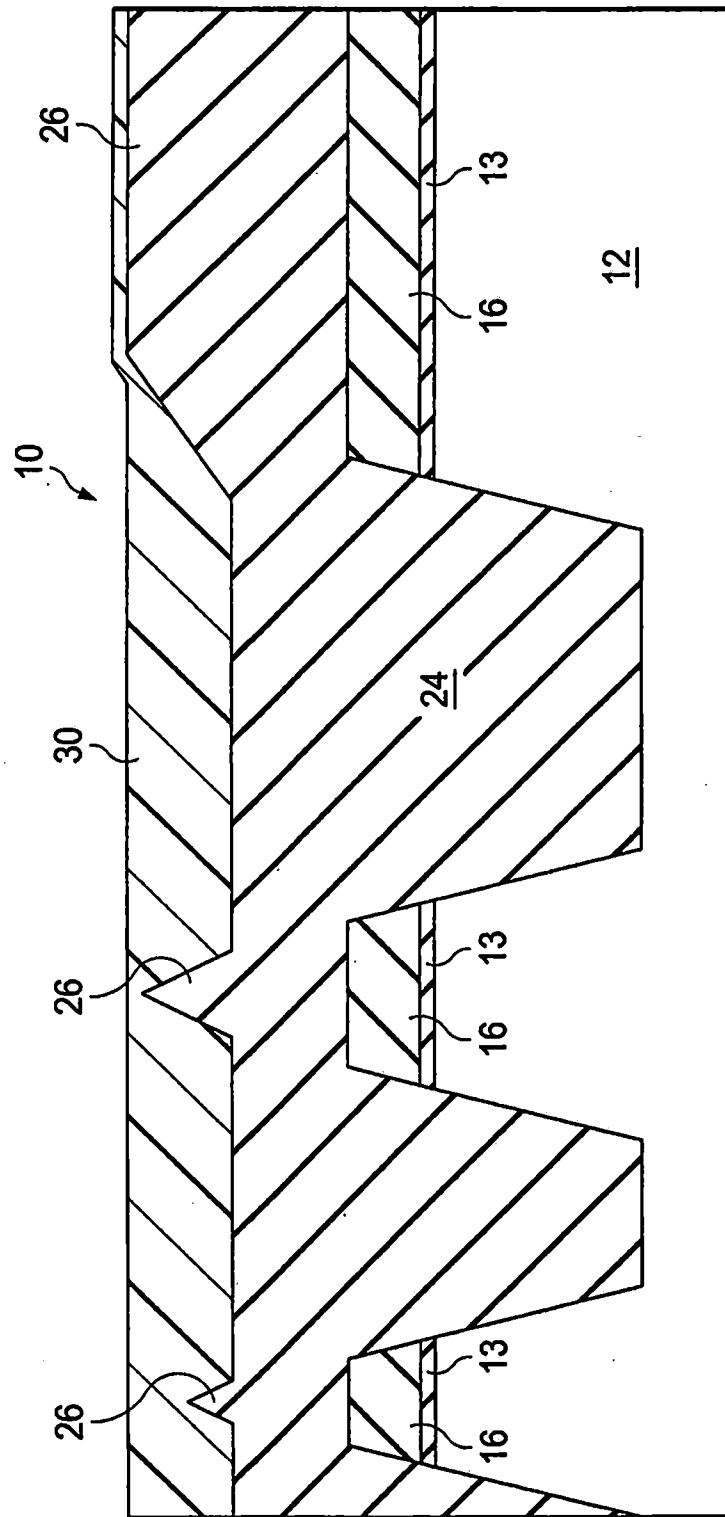


圖 1C

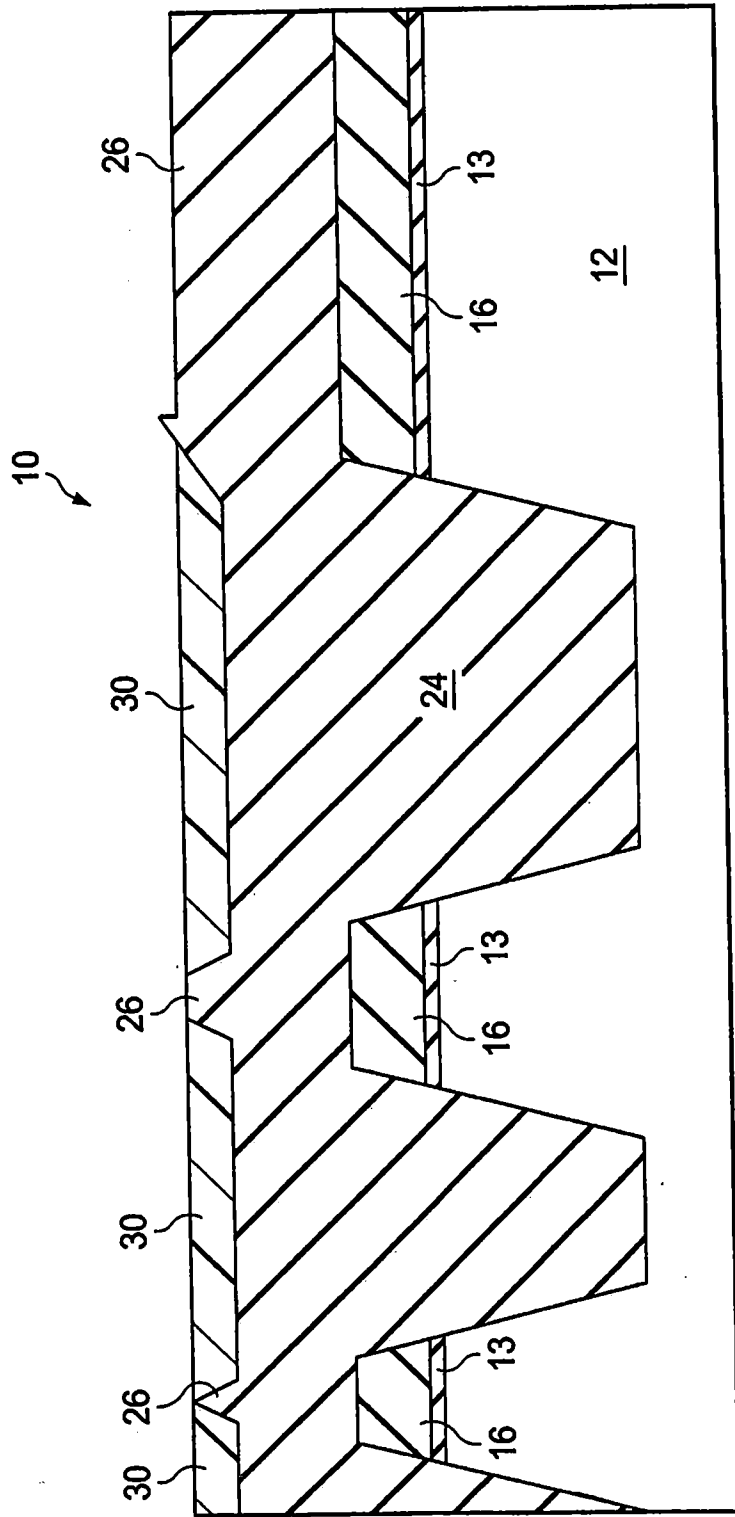


圖 1D

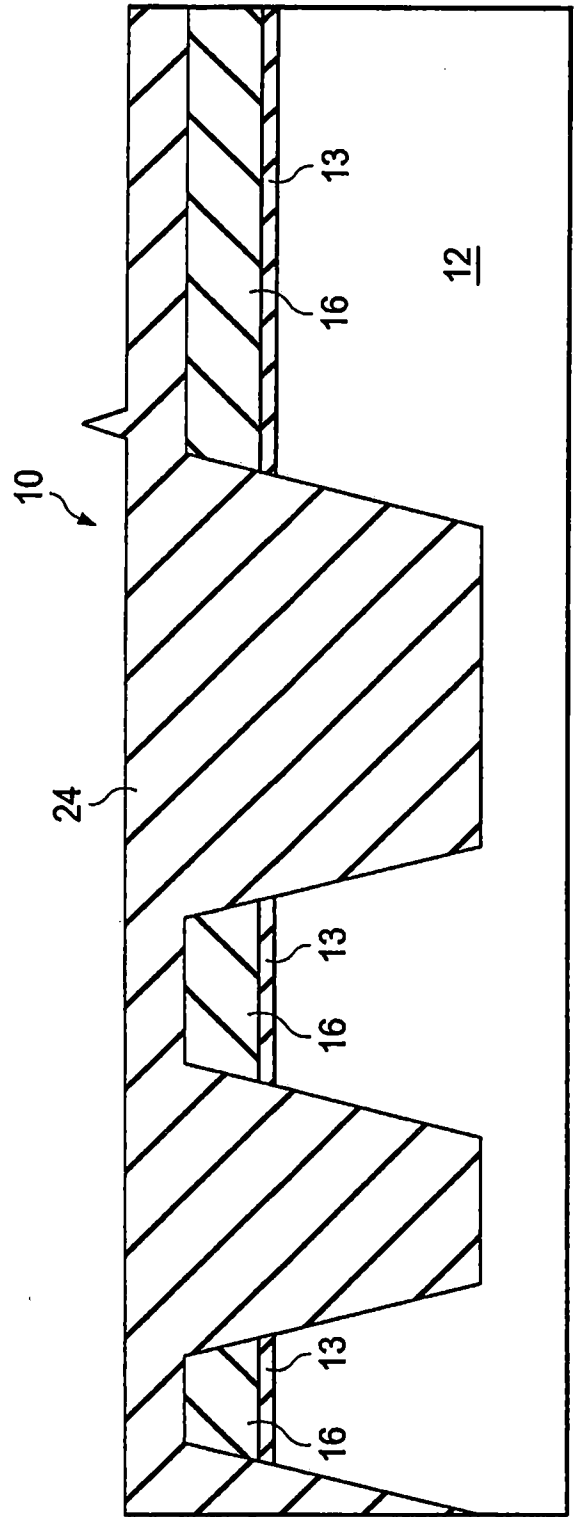


圖 1E

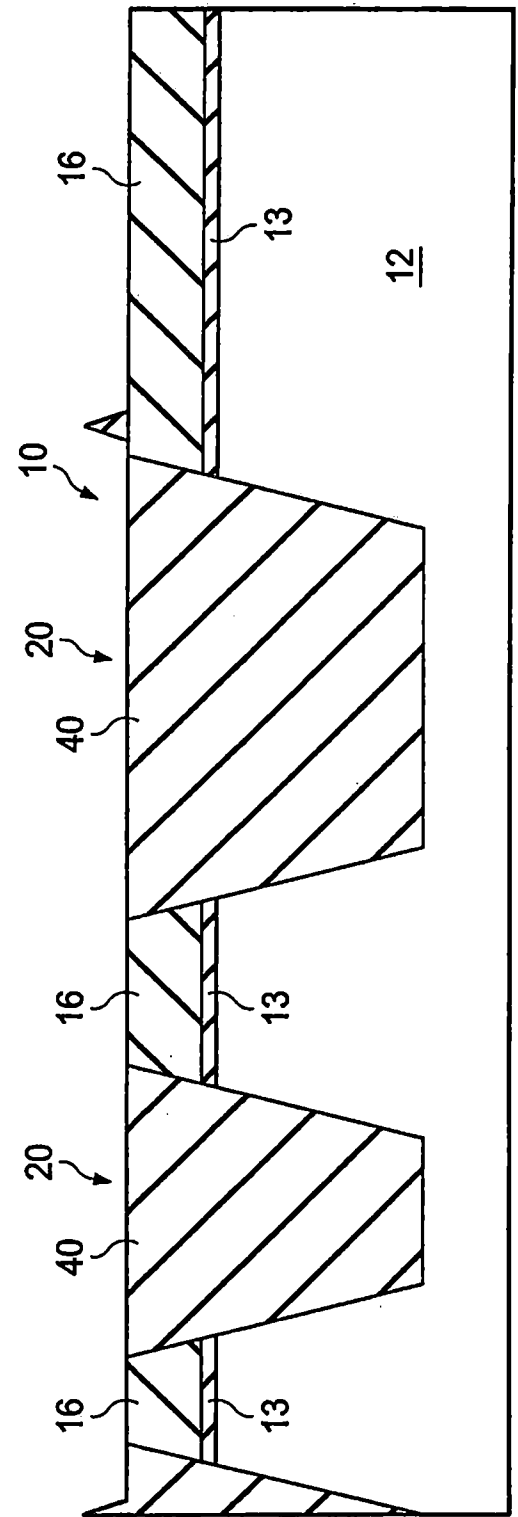


圖 1F

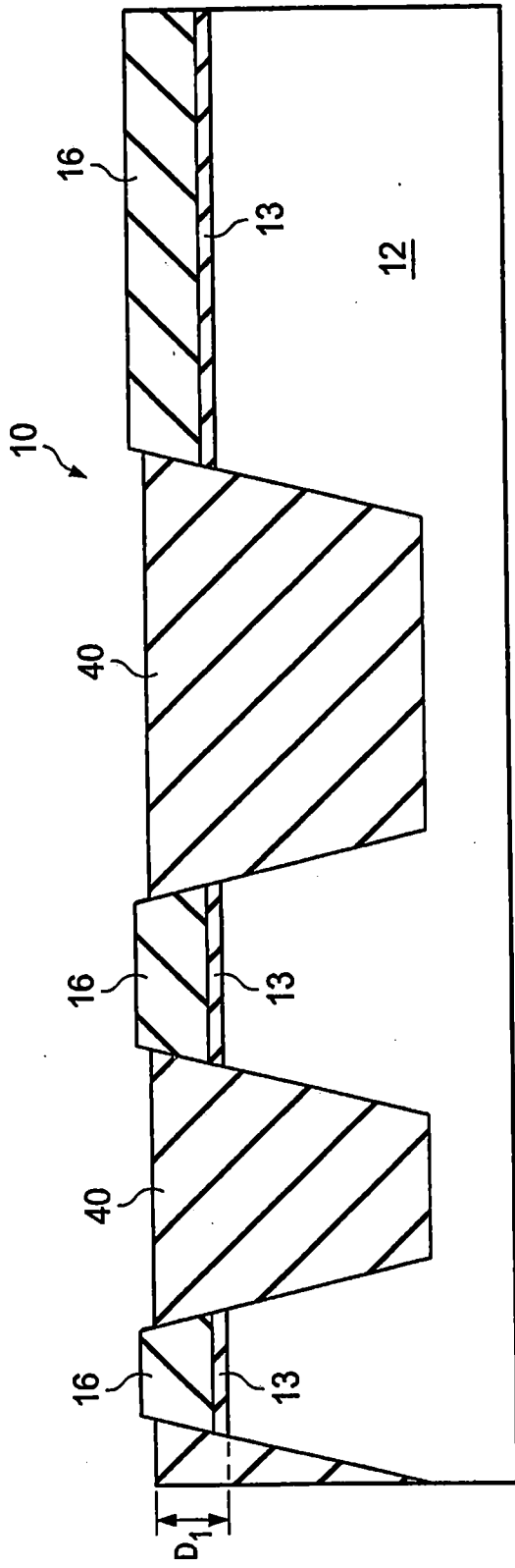


圖 1G

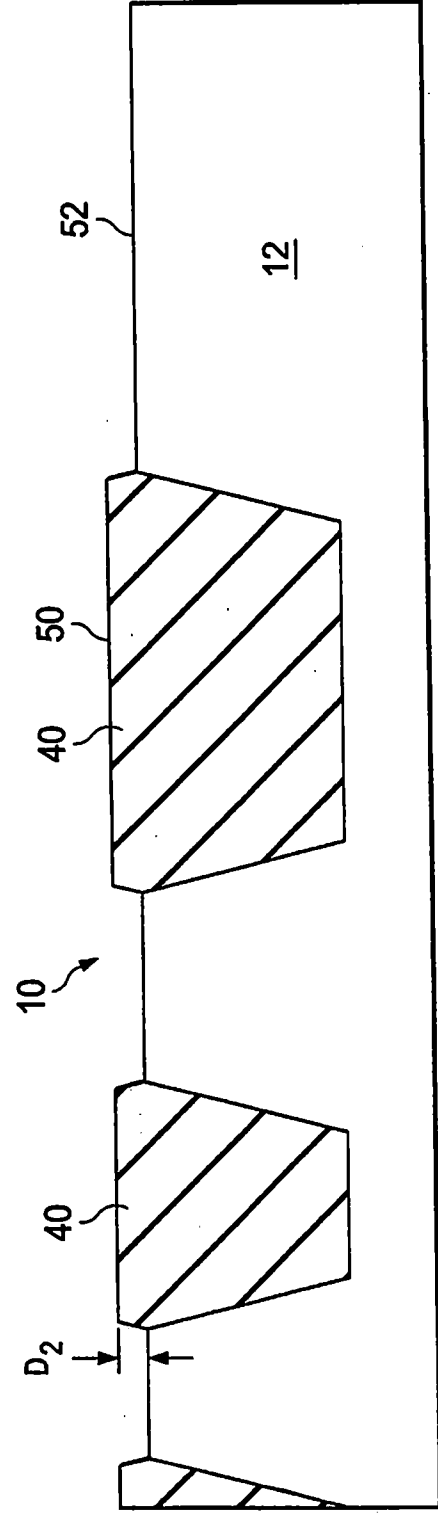


圖 1H

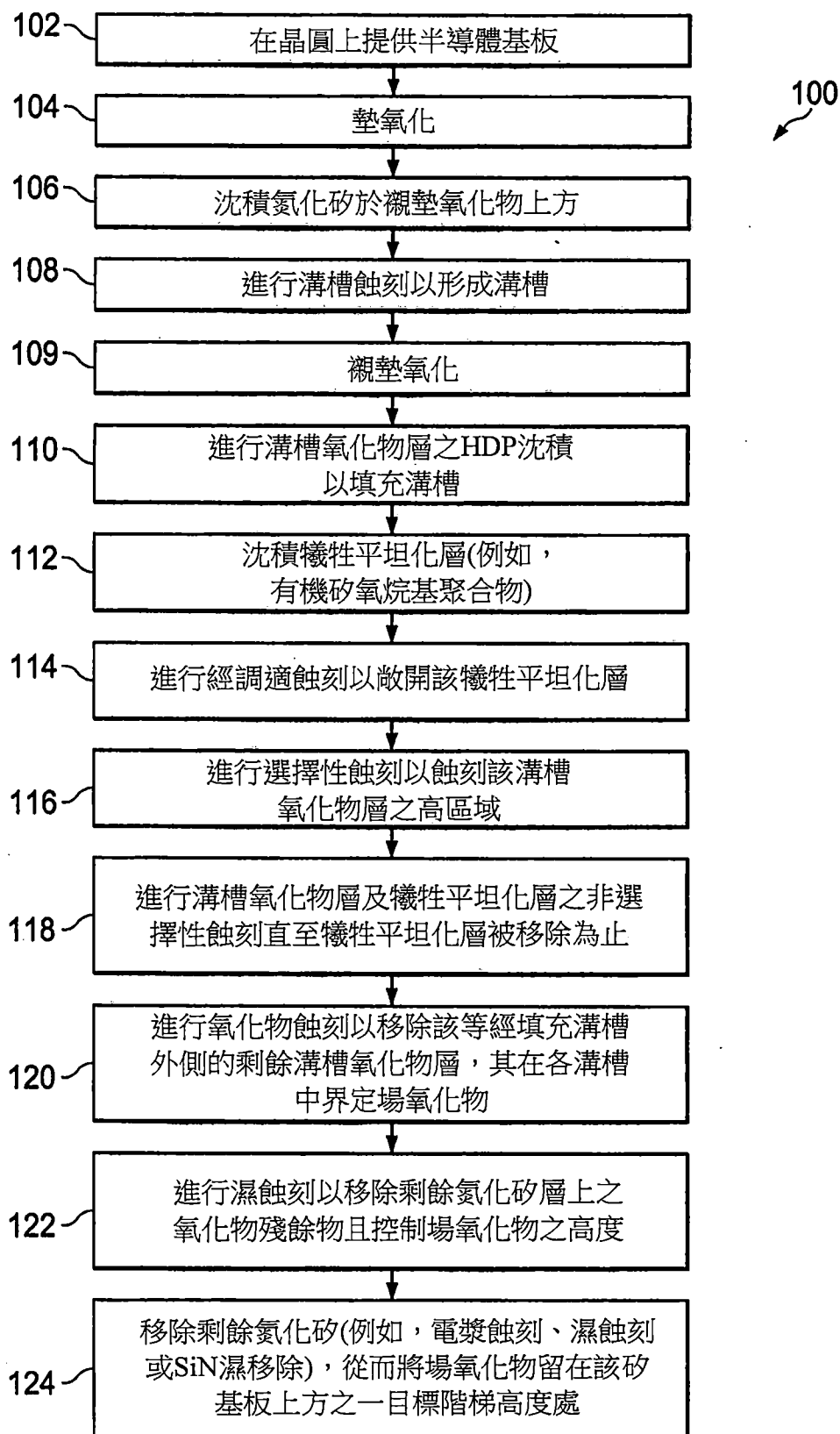


圖 2

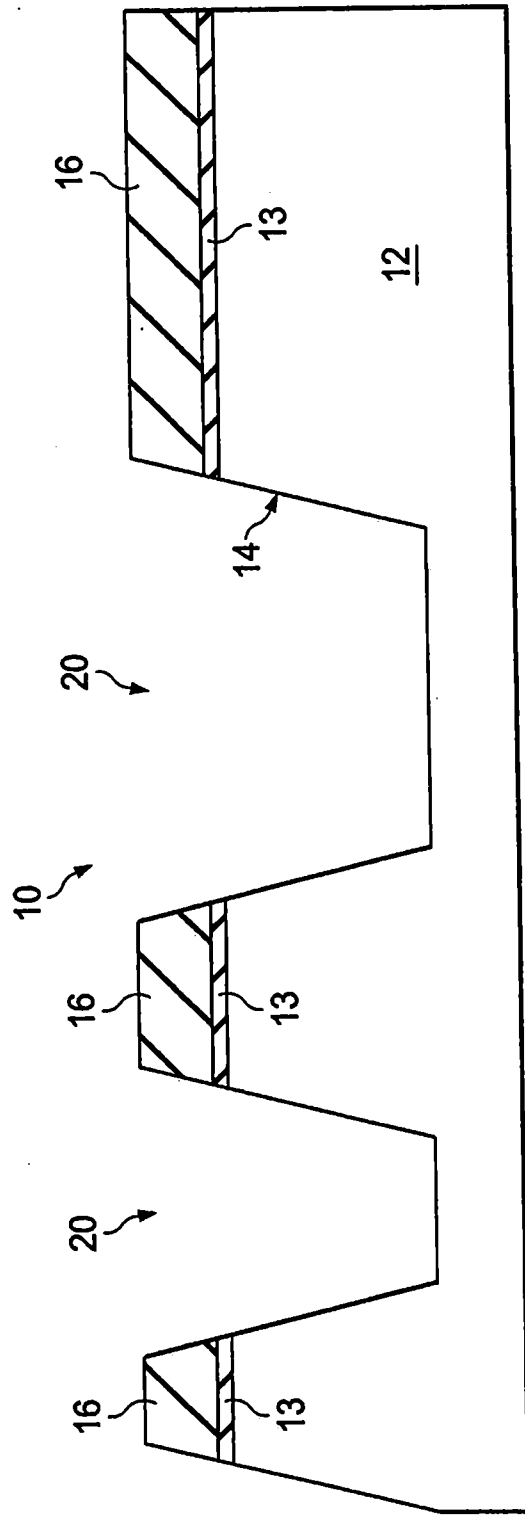


圖 3A

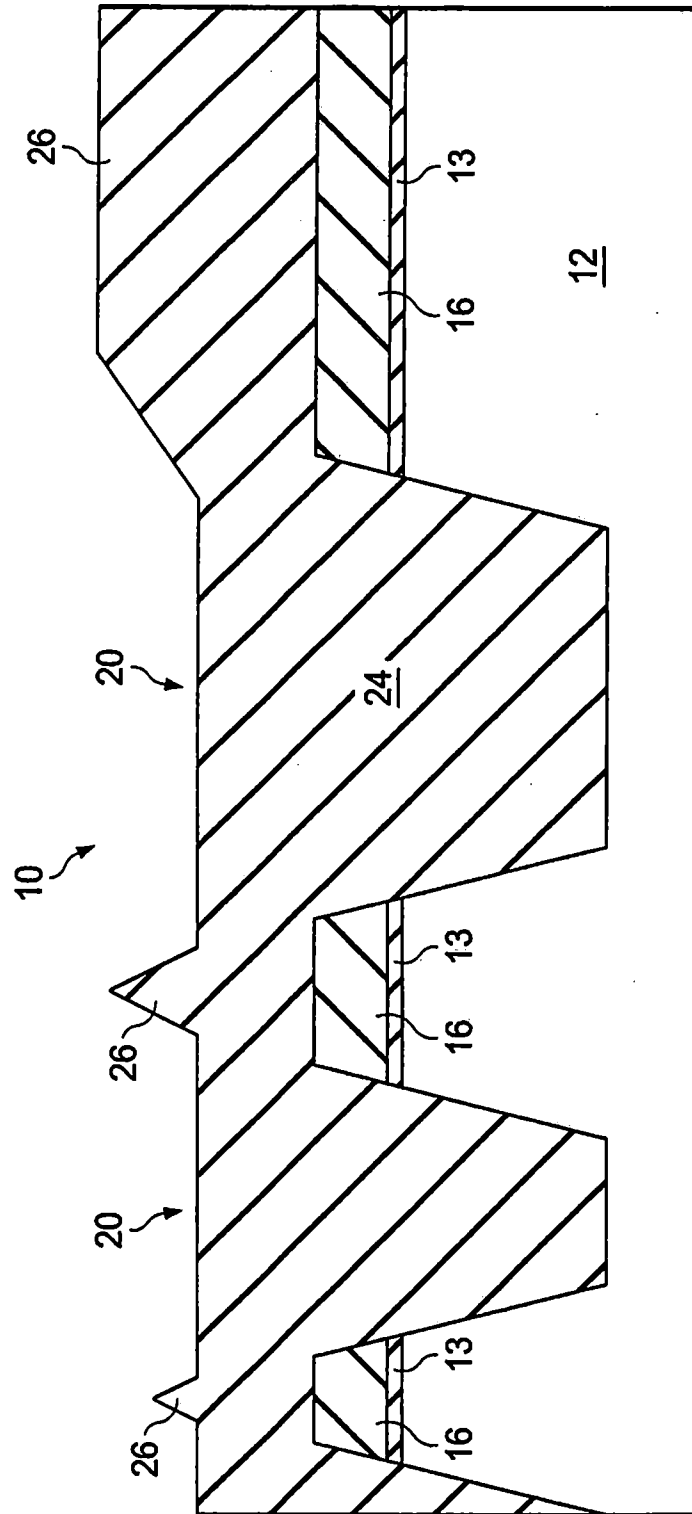


圖 3B

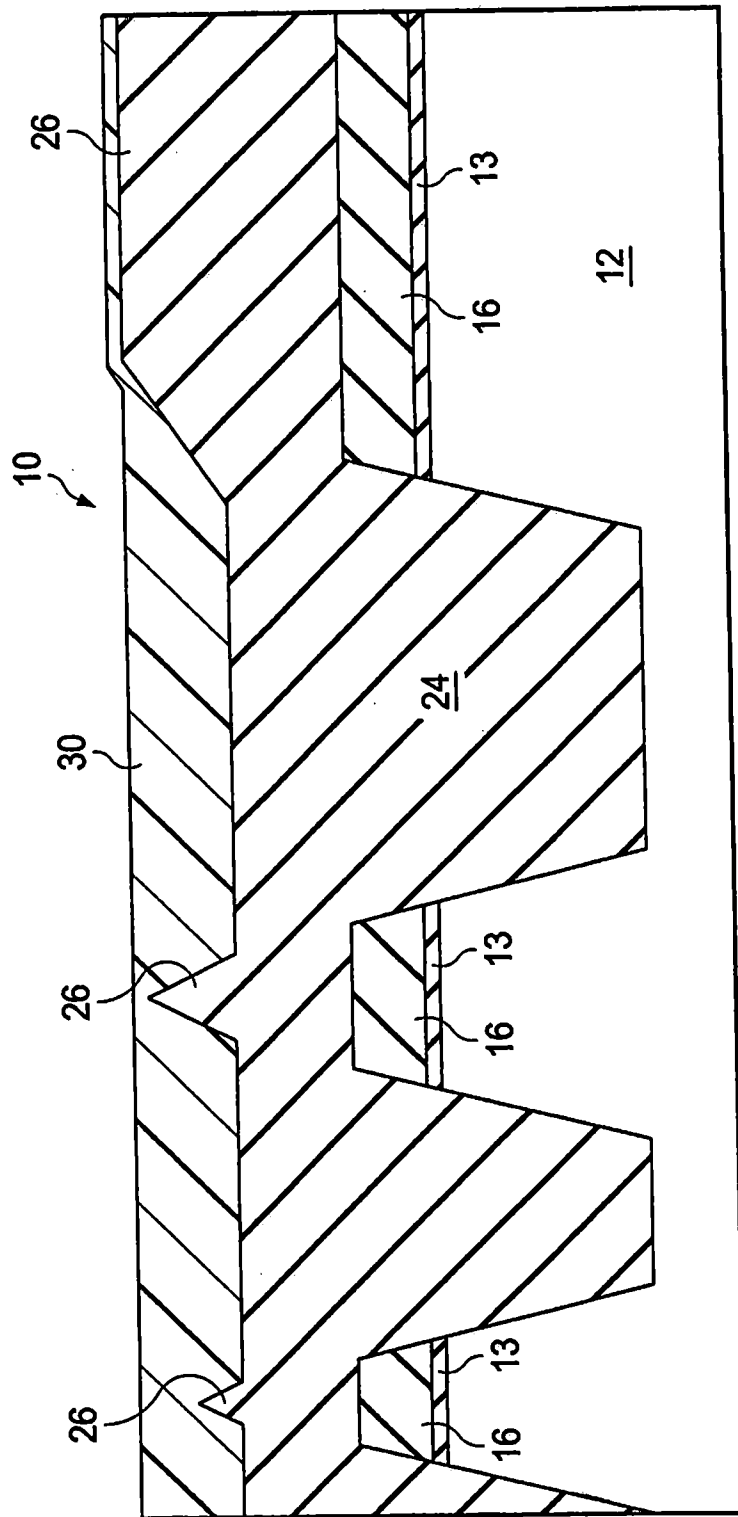


圖 3C

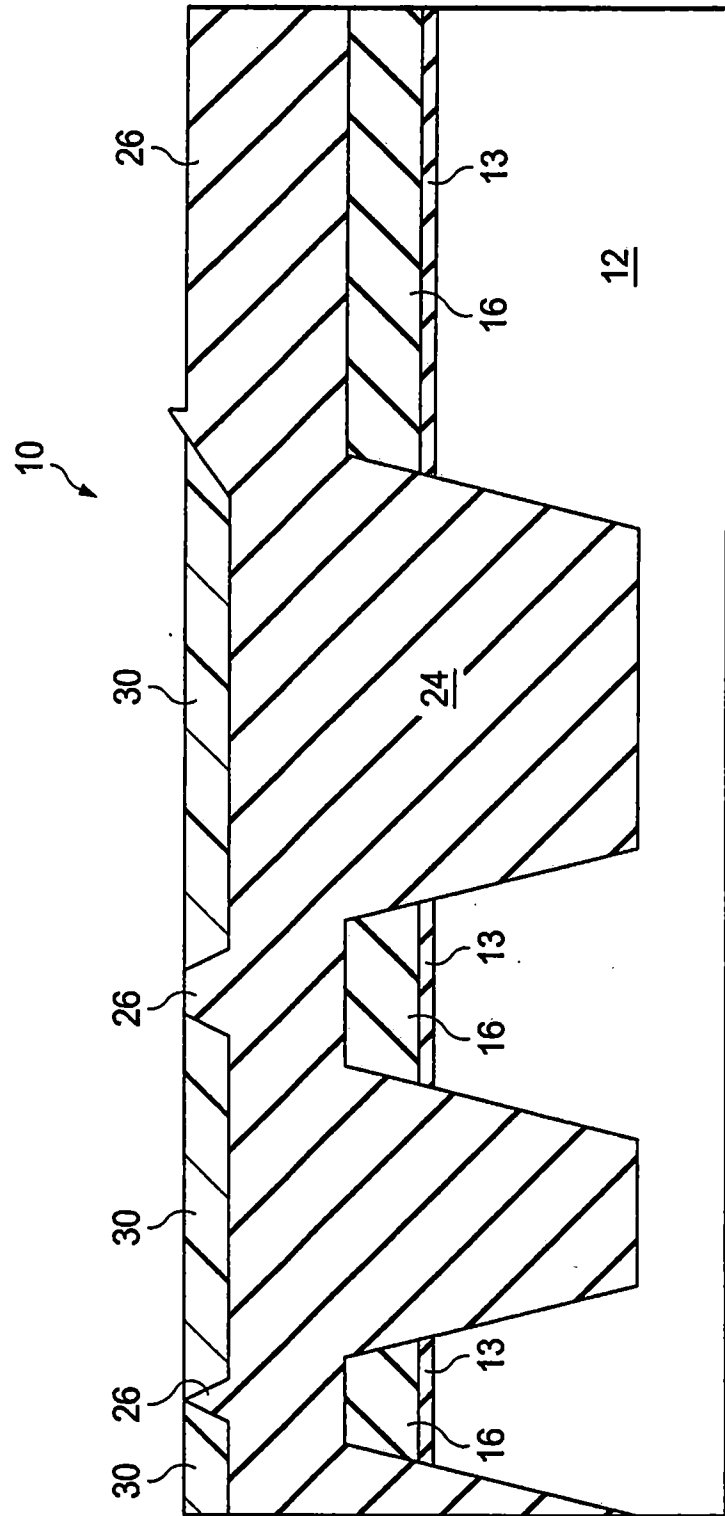


圖 3D

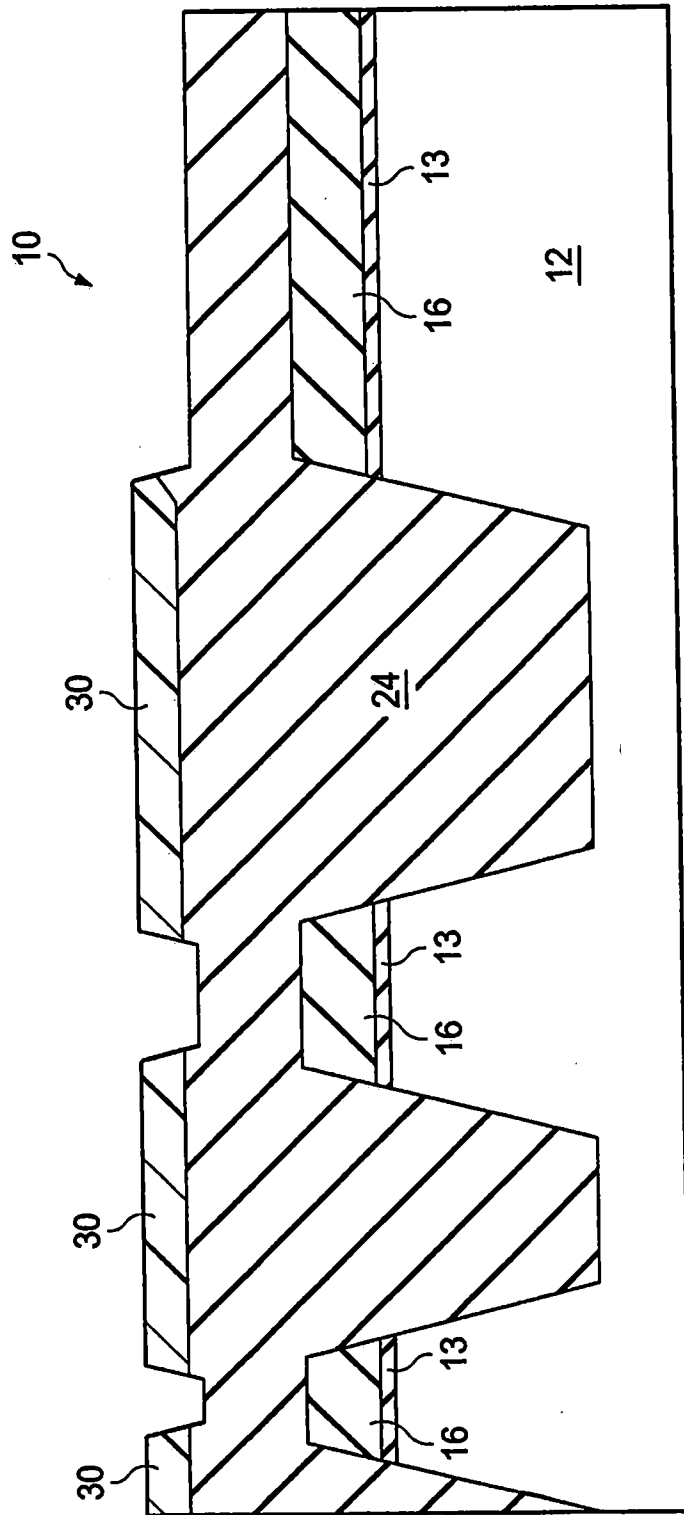


圖 3E

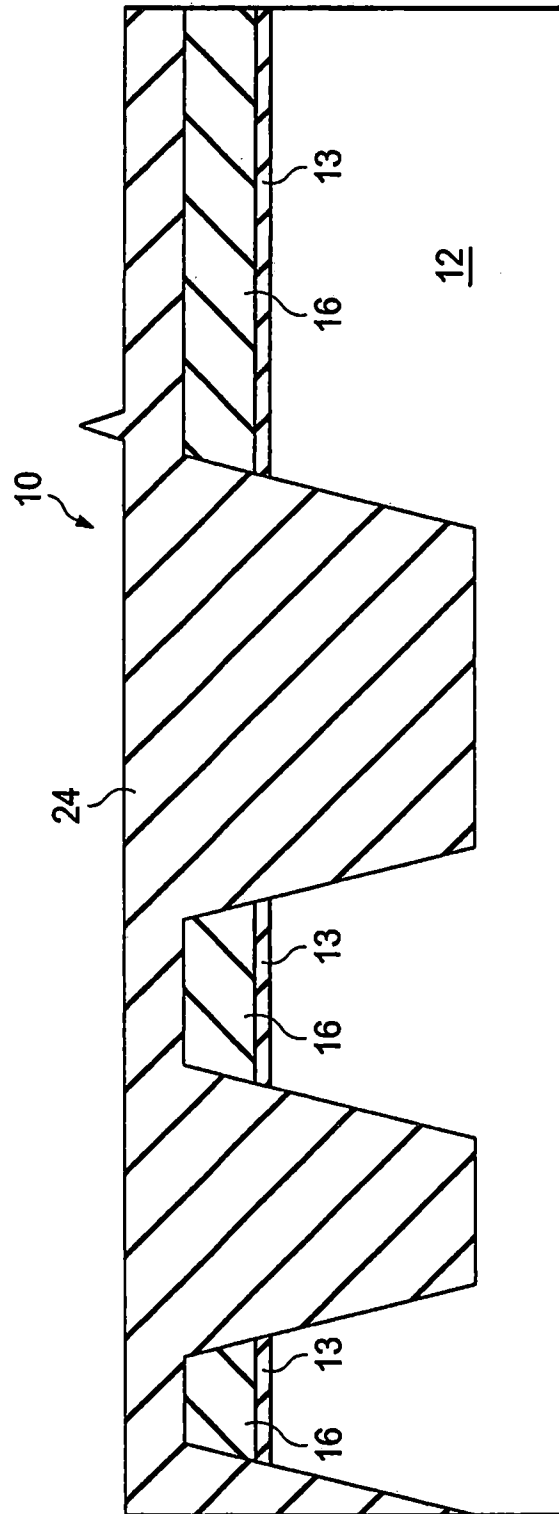


圖 3F

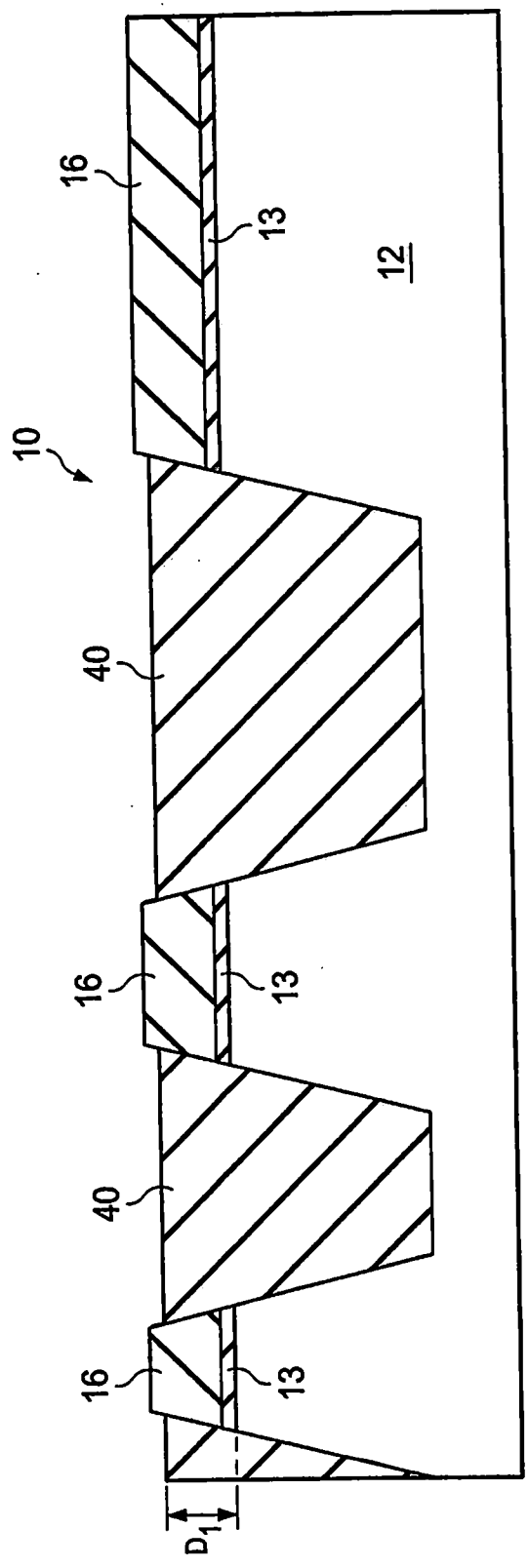


圖 3G

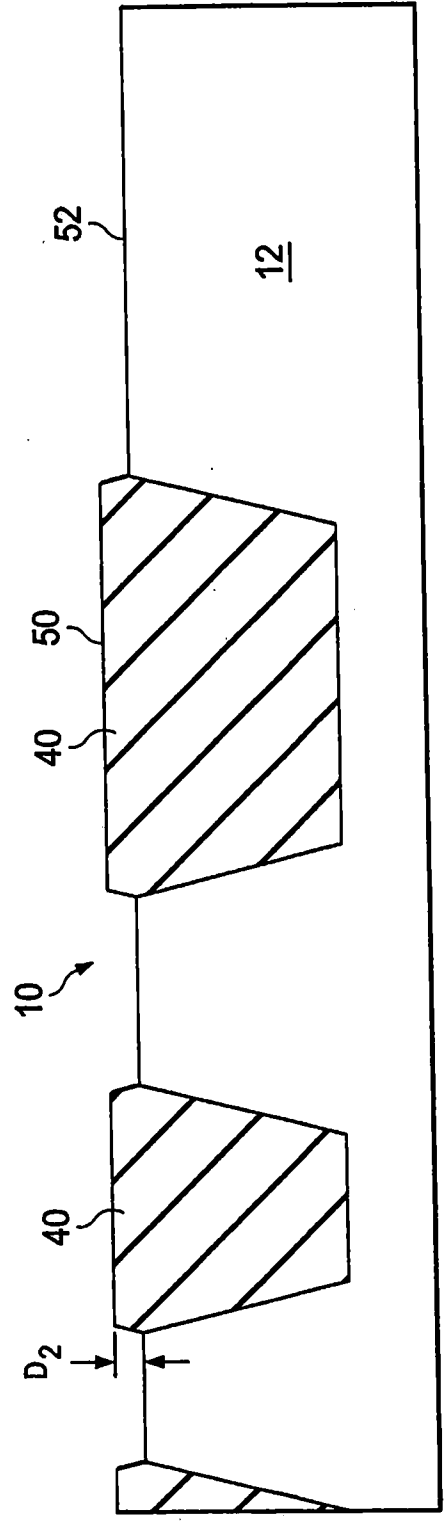


圖 3H

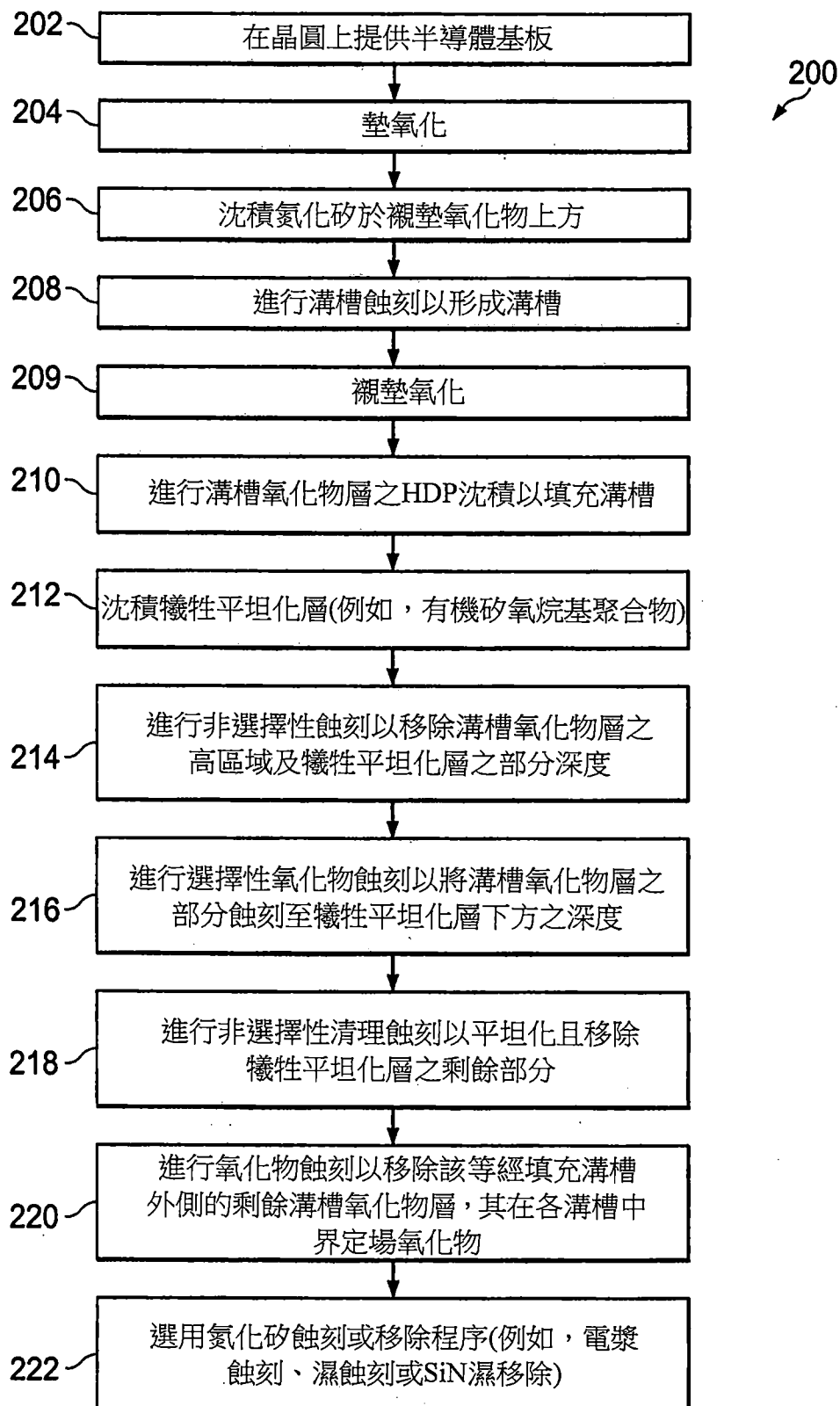


圖 4