

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4612848号  
(P4612848)

(45) 発行日 平成23年1月12日(2011.1.12)

(24) 登録日 平成22年10月22日(2010.10.22)

(51) Int.Cl.	F 1
HO4N 5/361 (2011.01)	HO4N 5/335 61O
HO4N 5/232 (2006.01)	HO4N 5/232 Z
HO4N 9/04 (2006.01)	HO4N 9/04 B
HO4N 101/00 (2006.01)	HO4N 101:00

請求項の数 8 (全 13 頁)

(21) 出願番号	特願2005-39522 (P2005-39522)
(22) 出願日	平成17年2月16日 (2005.2.16)
(65) 公開番号	特開2006-229473 (P2006-229473A)
(43) 公開日	平成18年8月31日 (2006.8.31)
審査請求日	平成20年2月18日 (2008.2.18)

(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(74) 代理人	100076428 弁理士 大塚 康徳
(74) 代理人	100112508 弁理士 高柳 司郎
(74) 代理人	100115071 弁理士 大塚 康弘
(74) 代理人	100116894 弁理士 木村 秀二
(72) 発明者	内田 峰雄 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

最終頁に続く

(54) 【発明の名称】撮像装置及びその制御方法

## (57) 【特許請求の範囲】

## 【請求項 1】

複数の画素から構成され、オフセット補正の基準となる画素信号が読み出される第1領域と、画像信号として利用する画素信号が読み出される第2領域とを含む撮像素子と、前記撮像素子から画素信号を読み出すための駆動信号を発生する駆動信号発生手段と、前記第1領域の画素信号に基づいてオフセット補正值を算出する算出手段と、前記オフセット補正值を記憶する記憶手段と、前記記憶したオフセット補正值を用いて、前記第2領域から読み出される画素信号を補正するオフセット補正手段と、

前記第1領域の画素信号の読み出し終了後に前記駆動信号発生手段が前記駆動信号の発生を停止するように制御し、読み出した前記第1領域の画素信号に基づいてオフセット補正值を前記算出手段が算出し、算出した前記オフセット補正值を前記記憶手段に記憶するように制御し、前記オフセット補正值の前記記憶手段への記憶後に、前記駆動信号発生手段が前記駆動信号の発生を再開して、前記第2領域の画素信号を読み出すように制御する制御手段と

を有することを特徴とする撮像装置。

## 【請求項 2】

前記撮像素子は、同時に複数の画素信号を読み出し可能な複数の読み出しチャンネルを有し、

前記算出手段は、前記複数の読み出しチャンネル毎に、前記第1領域の画素信号に基づ

10

20

いて前記複数の読み出しチャンネル間のオフセット差を補正するオフセット補正值を算出することを特徴とする請求項1に記載の撮像装置。

【請求項3】

前記算出手段は、前記複数の読み出しチャンネル毎にオフセット補正值を算出し、前記オフセット補正手段は、前記複数の読み出しチャンネル毎に画素信号を補正することを特徴とする請求項2に記載の撮像装置。

【請求項4】

前記撮像素子は、複数の色フィルタにより覆われており、

前記算出手段は、前記複数の色フィルタの各色に対応する画素信号毎に、前記第1領域の画素信号に基づいて前記各色間のオフセット差を補正するオフセット補正值を算出することを特徴とする請求項1に記載の撮像装置。 10

【請求項5】

前記算出手段は、前記複数の色フィルタの各色毎にオフセット補正值を算出し、前記オフセット補正手段は、前記複数の色フィルタの各色毎に画素信号を補正する複数の補正手段を有することを特徴とする請求項4に記載の撮像装置。

【請求項6】

複数の画素から構成され、オフセット補正の基準となる画素信号が読み出される第1領域と、画像信号として利用する画素信号が読み出される第2領域とを含む撮像素子と、前記撮像素子から画素信号を読み出すための駆動信号を発生する駆動信号発生手段とを有する撮像装置の制御方法であって、 20

前記第1領域の画素信号を読み出す第1読み出し工程と、

前記第1領域の画素信号の読み出し終了後に前記駆動信号発生手段が前記駆動信号の発生を停止する駆動停止工程と、

前記第1の領域の画素信号に基づいてオフセット補正值を算出する算出工程と、

前記算出工程で算出した前記オフセット補正值を記憶手段に記憶する記憶工程と、

前記記憶工程におけるオフセット補正值の前記記憶手段への記憶後に、前記駆動信号発生手段が前記駆動信号の発生を再開する駆動再開工程と、

前記第2領域の画素信号を読み出す第2読み出し工程と、

前記記憶したオフセット補正值を用いて、前記第2領域から読み出される画素信号を補正するオフセット補正工程と 30

を有することを特徴とする制御方法。

【請求項7】

前記撮像素子は、同時に複数の画素信号を読み出し可能な複数の読み出しチャンネルを有し、

前記第1の読み出し工程では、前記複数の読み出しチャンネル毎に、前記第1領域の画素信号を読み出し、

前記算出工程では、前記複数の読み出しチャンネル毎に、前記第1領域の画素信号に基づいて前記複数の読み出しチャンネル間のオフセット差を補正するオフセット補正值を算出することを特徴とする請求項6に記載の制御方法。 40

【請求項8】

前記撮像素子は、複数の色フィルタにより覆われており、

前記第1の読み出し工程では、前記複数の色フィルタの各色に対応する画素信号毎に、前記第1領域の画素信号を読み出し、

前記算出工程では、前記複数の色フィルタの各色に対応する画素信号毎に、前記第1領域の画素信号に基づいて前記各色間のオフセット差を補正するオフセット補正值を算出することを特徴とする請求項6に記載の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、CCDやCMOSイメージセンサ等の撮像素子を用いた撮像装置及びその制 50

御方法に関する。

【背景技術】

【0002】

従来、CCDやCMOSイメージセンサ等の撮像素子を使用したデジタルカメラやビデオカメラ等の撮像装置が普及している。

【0003】

図6は、従来のデジタルカメラやデジタルビデオカメラの構成を示すブロック図で、101は撮像素子であり、一般的にはCCDまたはCMOSセンサが使用される。102は撮像素子101からのアナログ信号をデジタル信号に変換するA/D変換器である。103はDSP(Digital Signal Processor)であり、A/D変換器102からのデータに対して各種補正処理及び現像処理を行う。またDSP103では、ROM106、RAM107等の各種メモリの制御、記録媒体108への画像データの書き込み処理が行われる。

10

【0004】

104は、撮像素子101、A/D変換器102、DSP103にクロック信号や制御信号を供給するタイミング発生回路であり、CPU105により制御される。105はDSP103、タイミング発生回路104の制御、及び測光、測距など不図示の各部を使ったカメラ機能の制御を行うCPUである。後述するスイッチ109～111、モードダイアル112が接続され、それぞれの状態に応じた処理を実行する。

【0005】

106はCPU105で実行されるカメラの制御プログラムやDSP103で用いる各種補正データを記憶するROM、107はDSP103で処理される画像データや補正データを一時的に記憶するRAMである。RAM107はROM106より高速のアクセスが可能である。108は撮影された画像を保存するコンパクトフラッシュ(登録商標)カード等の記録媒体であり、不図示のコネクタを介してカメラと接続される。

20

【0006】

109はカメラを起動させるための電源スイッチ(SW)、110は、不図示のシャッターボタンの第1の所定動作(例えば半押し)によりONとなり、測光処理、測距処理等の動作開始を指示するシャッタースイッチSW1、111は、不図示のシャッターボタンの第2の所定動作(例えば全押し)によりONとなり、不図示のミラー及びシャッターを駆動し、撮像素子101から読み出した信号をA/D変換器102、DSP103を介して記録媒体108に書き込む一連の撮像動作の開始を指示するシャッタースイッチSW2である。

30

【0007】

図7は、図6に示す構成を有する撮像装置の制御を示したフローチャートである。まず、ステップS101でカメラを起動する電源SW109がONされているか否か判定し、OFFならステップS101を繰り返す。ここで電源SW109がONされていれば、ステップS102でモードダイアル112が撮影モードに設定されているか否かを判別する。その他のモードに設定されていればステップS103で選択されているモードに応じた処理を行ってからステップS101へ戻り、撮影モードに設定されていればステップS104へ進む。

40

【0008】

ステップS104では、シャッタースイッチSW1(110)がONしているか否か判定する。SW1(110)がOFFである場合、ステップS101に戻って、上述した処理を繰り返し、SW1(110)がONである場合には、ステップS105に進む。

【0009】

ステップS105では、不図示の測光制御部及び測距制御部を用いて、絞り値およびシャッター速度を決定する測光処理、撮影レンズ焦点を被写体に合わせる測距処理が行われる。

【0010】

ステップS105の測光・測距処理が終了すると、続くステップS106でシャッター

50

スイッチ SW2 (111) の状態を判定する。SW2 が OFF である場合にはステップ S104 に戻って上述した処理を繰り返し、ON である場合にはステップ S107 で撮影処理が実行される。なお、この撮影処理の詳細については後述する。

【0011】

ステップ S107 の撮影処理が終了するとステップ S108 へ進み、撮影した画像データに対し、DSP103 で現像処理を行う。続いてステップ S109 で、現像処理の終了した画像データに対し圧縮処理を行って、圧縮した画像データを RAM107 の空き領域に格納する。

【0012】

ステップ S110 では、RAM107 に格納されている画像データを読み出して、記録媒体 108 への記録処理を実行する。記録処理終了後、ステップ S101 へ戻り、次の処理に備える。

10

【0013】

次に、ステップ S107 で行われる撮影処理動作の詳細について図 8 を参照して説明する。

【0014】

まずステップ S201 でミラーをミラーアップ位置に移動させ、ステップ S202 で、図 7 のステップ S105 の測光処理で得られた測光データに基づいて、所定の絞り値まで絞りを駆動する。ステップ S203 で撮像素子 101 の電荷クリア動作を行い、ステップ S204 で電荷蓄積を開始する。電荷蓄積開始後、ステップ S205 でシャッターを開き、撮像素子 101 の露光を開始する（ステップ S206）。

20

【0015】

その後、ステップ S207 で測光データに従って露光終了まで待ち、ステップ S208 でシャッターを閉じる。ステップ S309 で開放の絞り値まで絞りを駆動し、ステップ S210 ではミラーダウン位置までミラーを駆動する。ステップ S211 では設定した電荷蓄積時間が経過するまで待ち、撮像素子 101 の電荷蓄積を終了する（ステップ S212）。最後にステップ S213 で撮像素子 101 の信号が読み出され、一連の処理を終了してメインの処理へ復帰する。

【0016】

以上が一連のカメラ動作の説明である。

30

【0017】

また、撮像素子を使用した撮像装置においては、信号の読み出し時間を短縮し連写速度を上げるため、複数の読み出しライン（チャンネル）を用いる方法が一般的に知られている。図 9 に撮像素子 101 を複数チャンネル（ここでは 2 チャンネル）で構成した例を示す。401a, 401b, 403a, 403b はいずれも撮像素子 101 を構成する画素であり、図のように格子状に配置されている。これらの画素には、それぞれ R、G、B いずれかの色フィルタが載っており、例えば、水平方向に RG を繰り返す行と GB を繰り返す行を垂直方向に交互に繰り返すように色フィルタが配置されている。402a, 402b, 404a, 404b はスイッチであり、各列の画素信号を読み出しライン 405a, 405b に転送する。406a, 406b は読み出しライン 405a, 405b に転送された画素信号を增幅して出力するためのアンプである。

40

【0018】

上記構成を有する撮像素子 101 では、画素信号の読み出しは 1 行ずつ順に行われる。まず、スイッチ 402a, 402b が ON され、画素 401a, 401b の信号が読み出しライン 405a, 405b を介してアンプ 406a, 406b へそれぞれ転送される。続いてスイッチ 404a, 404b が ON され、画素 403a, 403b の信号が読み出しライン 405a, 405b に転送され、先ほどと同様にアンプ 406a, 406b を通して出力される。このような繰り返しにより 1 行分の画素信号を読み出し終えると、同様に次の行の信号を順に読みだす。

【0019】

50

このように複数の読み出しライン（チャンネル）を用いる場合には、チャンネル数分の画素を同時に読み出すことができるため、信号読み出し時間を短縮し連写速度を上げることが可能となる。

【0020】

また、上記撮像素子においては、暗電流成分を除去してダークオフセットレベルを所望の出力レベルに合わせ込むために、オフセットクランプ処理が行われるのが一般的である。このオフセットクランプ処理の回路は、センサ内部、或いは撮像素子の出力信号をアナログ - デジタル変換する A / D 変換器などに設けられる。

【0021】

上記のような複数チャンネル構成の撮像装置においては、回路オフセットの違いによってチャンネル毎にダークレベルが異なるチャンネル間オフセットが発生することがある。チャンネル間オフセットは、ノイズとして撮影画像の画質を劣化させると共に、ホワイトバランス演算を誤らせる原因ともなる。

【0022】

こうした回路オフセット成分の除去と画素暗電流成分の除去を目的として、オフセットクランプ回路が設けられるものもある（例えば、特許文献 1 参照）。

【0023】

この特許文献 1 では、OB 部が撮像素子の有効画素部（撮影画像の画像信号として利用する画素の領域）の左右領域に設けられており、各ライン毎に取得した OB 部の画素値を用いて黒レベルの補正を行う。

【0024】

【特許文献 1】特開 2002-335454 号公報

【発明の開示】

【発明が解決しようとする課題】

【0025】

チャンネル間オフセットは、時間の経過とともに温度や蓄積時間等の条件の変化に伴って変化することもあるので、撮影した画像データ毎にオフセット補正值を算出して補正するのが望ましい。しかしながら、オフセット補正值の算出には時間がかかるため、撮影時にリアルタイムで補正を行うことが難しいという問題があった。

【0026】

例えば、上述した特許文献 1 の構成では、各ライン毎に OB 部の画素値を用いてオフセット補正值を算出するため、補正值の算出速度が撮像素子の読み出し速度と比較して遅い撮像装置では、撮像素子の読み出し速度を算出速度に合わせて遅くしなければならず、撮像素子の読み出し速度を十分に生かすことができない。

【0027】

また、撮像素子から読み出した画素信号を、オフセット補正せずに OB 部の信号も含めて一旦 RAM 107 に書き込み、書き込んだ画素信号を再度読み出してオフセット補正する方法も考えられるが、この方法では、撮像素子の読み出し速度を上げることはできるものの、画素信号の書き込み及び読み込みに時間がかかるため、スループットにかかる時間は長くなってしまう。また、オフセット補正処理にかかる時間を短縮するために、過去に算出したオフセット補正值を用いて補正した場合には、温度変化、ノイズ、撮像素子の欠陥画素等の影響を受け、チャンネル間オフセットが発生してしまうことがある。

【0028】

本発明は上記問題点を鑑みてなされたものであり、撮像素子の読み出し速度をできるだけ落とすこと無く、温度・蓄積時間等の条件の変化にも対応した適切なオフセット補正をリアルタイムで行えるようにすることを目的とする。

【課題を解決するための手段】

【0029】

上記目的を達成するために、本発明の撮像装置は、複数の画素から構成され、オフセット補正の基準となる画素信号が読み出される第 1 領域と、画像信号として利用する画素信

10

20

30

40

50

号が読み出される第2領域とを含む撮像素子と、前記撮像素子から画素信号を読み出すための駆動信号を発生する駆動信号発生手段と、前記第1領域の画素信号に基づいてオフセット補正值を算出する算出手段と、前記オフセット補正值を記憶する記憶手段と、前記記憶したオフセット補正值を用いて、前記第2領域から読み出される画素信号を補正するオフセット補正手段と、前記第1領域の画素信号の読み出し終了後に前記駆動信号発生手段が前記駆動信号の発生を停止するように制御し、読み出した前記第1領域の画素信号に基づいてオフセット補正值を前記算出手段が算出し、算出した前記オフセット補正值を前記記憶手段に記憶するように制御し、前記オフセット補正值の前記記憶手段への記憶後に、前記駆動信号発生手段が前記駆動信号の発生を再開して、前記第2領域の画素信号を読み出すように制御する制御手段とを有する。

10

## 【0030】

また、複数の画素から構成され、オフセット補正の基準となる画素信号が読み出される第1領域と、画像信号として利用する画素信号が読み出される第2領域とを含む撮像素子と、前記撮像素子から画素信号を読み出すための駆動信号を発生する駆動信号発生手段とを有する撮像装置の本発明の制御方法は、前記第1領域の画素信号を読み出す第1読み出し工程と、前記第1領域の画素信号の読み出し終了後に前記駆動信号発生手段が前記駆動信号の発生を停止する駆動停止工程と、前記第1の領域の画素信号に基づいてオフセット補正值を算出する算出工程と、前記算出工程で算出した前記オフセット補正值を記憶手段に記憶する記憶工程と、前記記憶工程におけるオフセット補正值の前記記憶手段への記憶後に、前記駆動信号発生手段が前記駆動信号の発生を再開する駆動再開工程と、前記第2領域の画素信号を読み出す第2読み出し工程と、前記記憶したオフセット補正值を用いて、前記第2領域から読み出される画素信号を補正するオフセット補正工程とを有する。

20

## 【発明の効果】

## 【0035】

本発明によれば、撮像素子の読み出し速度をできるだけ落とすこと無く、温度・蓄積時間等の条件の変化にも対応した適切なオフセット補正をリアルタイムで行うことができる。

## 【発明を実施するための最良の形態】

## 【0036】

以下、添付図面を参照して本発明を実施するための最良の形態を詳細に説明する。

30

## 【0037】

## &lt;第1の実施形態&gt;

図1は、本発明の第1の実施形態における撮像装置の構成を示すブロック図である。なお、図6と同様の構成には同じ参照番号を付し、説明を省略する。図1において、508はO B部積分回路であり、A / D変換器102を介して撮像素子101から読み出される画素信号のうち、画素の遮光された部分(O p t i c a l B l a c k、以下、「O B部」と呼ぶ。)の画素信号を積分する。また509はD S P 1 0 3のオフセット補正部であり、減算器510及び補正值を保持するR A M 5 1 1により構成される。オフセット補正部509を通った信号は、画像データの一時記憶用のR A M 1 0 7に書き込まれる。

## 【0038】

40

上記構成を有する本第1の実施形態の撮像装置の基本動作は、図7及び図8を参照して説明したものと同様であるが、図8のステップS213で行われる撮像信号読み出し処理に特徴があるため、以下、その具体的な動作を図2のフローチャートを参照して説明する。

## 【0039】

図8のステップS212までの動作で撮像素子101への電荷蓄積が終了すると、まずステップS301において、撮像素子101から画素信号を読み出すための駆動信号の出力を開始する。図3は、撮像素子101の画素領域を示した概念図であり、読み出しあは撮像素子101の上側から1行ずつ行われる。この時点では、オフセット補正部509を通ってR A M 1 0 7に書き込まれる画像データはオフセット成分を含んでいる。

50

## 【0040】

読み出しが図3に示す積分開始行まで達すると、ステップS302でOB部の所定領域の信号の積分を開始する。この積分動作はDSP103のOB部積分回路508を用いて行われる。また、積分領域はレジスタ設定により予め設定しておくことができる。

## 【0041】

続くステップS303では積分領域の画素信号が全て読み出されるまで動作を継続し、読み出しが積分領域の終了行に達し、積分領域が全て読み出されたら、ステップS304で積分動作を終了する。

## 【0042】

積分終了後、ステップS305で撮像素子101の駆動信号を停止し、読み出し動作を中止する。読み出し中断後、ステップS306でDSP103はOB部積分回路508の積分結果からオフセット補正值の演算を行う。この補正值演算としては、例えば、積分結果からOB部の平均値を算出し、平均値と所望のダークレベルとの差分を取るといった方法が考えられる。勿論、本発明がオフセット補正值演算方法により制限されるものではないことは言うまでもなく、撮像装置の構成に適した方法によりオフセット補正值を算出すれば良い。

10

## 【0043】

オフセット補正值を算出したら、ステップS307において、算出した補正值をオフセット補正部509のRAM511に設定し、続いてステップS308で駆動信号出力を再開し、撮像素子101の開口部（露光領域）を含む残り部分の読み出しを行う。ステップS308の読み出し再開以降に読み出される画素信号からは、RAM511に設定されたオフセット補正值を用いて減算器510によりオフセット成分が除去され、RAM107に書き込まれることになる。

20

## 【0044】

そしてステップS309にて撮像素子101の最終行まで駆動信号の出力をを行い、撮像信号の読み出しを終了する。

## 【0045】

図4は上述した撮像装置の読み出し動作のタイミングチャートである。

## 【0046】

垂直同期信号、水平同期信号はDSP103からタイミング発生回路104に与えられる信号である。垂直同期信号は1画面の読み出し開始を指示し、水平同期信号は1行単位の時間を表す。

30

## 【0047】

垂直シフトレジスタ駆動信号は撮像素子101の選択行を切り換えていくための垂直シフトレジスタを駆動する信号であり、水平同期信号に基づいてタイミング発生回路104にて生成される。また、水平シフトレジスタ駆動信号は撮像素子101の各行を読み出す際に選択列を切り換えていくための水平シフトレジスタの駆動信号であり、水平同期信号に基づいてタイミング発生回路104にて生成される。

## 【0048】

図4に示すように、t1において図2のステップS304の読み出し開始と共にDSP103は垂直同期信号を出力すると共に、水平同期信号を一定周期で出力し始める。タイミング発生回路104は、水平同期信号に基づいて垂直、水平シフトレジスタ駆動信号を出力する。タイミング発生回路104は、t2で積分開始行に達した後も、垂直、水平シフトレジスタ駆動信号を出力し続ける。t3で読み出し動作が積分終了行に達すると、オフセット補正值演算が行われて読み出しが再開されるまでの間（図2のステップS306に対応）、DSP103は水平同期信号の出力を停止する（図2のステップS305に対応）。これによって、タイミング発生回路104での垂直、水平シフトレジスタ駆動信号の出力も停止し、読み出し動作は中断される。なお、ここでは垂直、水平シフトレジスタ駆動信号を例にとって説明しているが、タイミング発生回路104が生成する他の撮像素子駆動信号も当然停止される。

40

50

## 【0049】

t4でオフセット補正值の設定が終了すると(図2のステップS307に対応)、DSP103から再び水平同期信号が出力され、読み出し動作が再開される(図2のステップS308に対応)。上述したように、これ以降に読み出される画素信号に対しては、設定したオフセット補正值によるオフセット補正が行われる。

## 【0050】

このように、本第1の実施形態によれば、撮像素子の開口部の画素信号を読み出す前に、一旦読み出しを中断してオフセット補正值の算出を行い、得られたオフセット補正值を用いて引き続き読み出された有効画像領域(開口部)の画素信号をリアルタイムで処理するため、従来のようなオフセット補正をせずに一旦RAM107に書き込んだ画像データをオフセット補正のために再度読み出して補正する場合と比べて、撮像素子の読み込みからオフセット補正終了までの時間を短縮することが可能となる。

10

## 【0051】

また、撮影した画像と同じタイミングで得たオフセット補正值を用いることができるため、過去に算出したオフセット補正值を用いて補正する場合と比べて、温度・蓄積時間等の条件の変化にも対応したより正確なオフセット補正を行うことが可能となる。

## 【0052】

更に、オフセット補正をしない場合と比べても、オフセット補正值演算に要する時間のみが延びるだけで済むため、撮像素子の読み込み速度を最大限に生かしつつ高速にオフセット補正を行うことができ、連写撮影を行う場合にも、連写速度にほとんど影響を与えることなく済む。

20

## 【0053】

なお、上述した本実施の形態では、積分領域の読み出しが終了した時点で、一旦撮像素子101の読み出しを中断する場合について説明したが、オフセット補正值の演算を開始した後も水平同期信号の出力を続けて残りのOB部の読み出しを行い、図3の開口部(露光領域)に達した時点でオフセット補正值の演算が続いている場合に、水平同期信号の出力を停止する構成としても良い。

## 【0054】

また、撮像素子101がCMOSセンサであって、読み出し行を任意に選択できる構成を有する場合、まず図3の積分領域のみを読み出してオフセット補正值の演算を行い、オフセット補正值取得後に図3の開口部からすぐに読み出しを開始するようにしてもよい。

30

## 【0055】

また、水平同期信号を停止せず、タイミング発生回路104において垂直、水平シフトレジスタ駆動信号を始めとする撮像素子101の駆動信号を停止する構成としてもよい。この場合、DSP103或いはCPU105から、タイミング発生回路104にオフセット補正值の演算開始及び設定完了を知らせる信号を与える構成となる。

## 【0056】

また、オフセット補正值設定完了の信号を用いずに、オフセット補正值を演算するのに十分な駆動信号停止期間をタイミング発生回路104のレジスタ設定によって定める構成としてもよい。

40

## 【0057】

<第2の実施形態>

次に、本発明の第2の実施形態について説明する。

## 【0058】

本第2の実施形態では、図9に示すような2チャンネル読み出しの撮像素子を撮像素子101として用いる。その場合の撮像装置を図5に示す。図5に示すように、本第2の実施形態では、図1に示すOB部積分回路508及びオフセット補正部509を2系統分設け、各チャンネルのOB部の平均値がそれぞれ所望のダークレベルとなるようなオフセット補正值を設定する。なお、図1と同様の構成には同じ参照番号を付しており、チャンネル1に対応する構成には、図1に示す参照番号の後ろに「-1」を、チャンネル2に対応

50

する構成には「-2」を付加している。

【0059】

図2に示す構成を有する本第2の実施形態の撮像装置の動作は、上記第1の実施形態で図2を参照して説明した処理がチャンネル1、2毎に行われる点を除いて、上記第1の実施形態と同様である。

【0060】

なお、オフセット補正值は、チャンネル1、2それぞれについて算出しなくても良く、例えば、一方のチャンネルを他方のチャンネルに合わせるように、一方のチャンネルのオフセット補正值を算出し、オフセット補正を行うようにしても良い。

【0061】

また、上記第2の実施形態では2チャンネル読み出し構成について説明したが、勿論3チャンネル以上の多チャンネル読み出しの場合も同様の処理を行うことができる。

【0062】

また上記第2の実施形態では、積分値算出及びオフセット補正をチャンネル毎に行っていいるが、これを色フィルタ毎に行う構成としてもよい。

【0063】

上記のように本第2の実施形態によれば、多チャンネル読み出しの撮像素子を用いた場合に、高速且つ正確にチャンネル間のオフセット補正を行うことが可能となる。

【図面の簡単な説明】

【0064】

【図1】本発明の第1の実施形態における撮像装置の概略構成を示すブロック図である。

【図2】本発明の実施の形態における撮像素子からの撮像信号読み出し制御動作を示すフローチャートである。

【図3】本発明の実施の形態における撮像素子の画素領域を模式的に表した図である。

【図4】本発明の実施の形態における撮像素子からの撮像信号読み出しのタイミングチャートである。

【図5】本発明の第2の実施形態における撮像装置の概略構成を示すブロック図である。

【図6】従来のデジタルカメラの概略構成を示すブロック図である。

【図7】従来のデジタルカメラの動作を示すフローチャートである。

【図8】従来の撮像処理動作を示すフローチャートである。

【図9】2チャンネル読み出し構成の撮像素子を模式的に表した図である。

【符号の説明】

【0065】

101 撮像素子

102 A / D 変換器

103 D S P

104 タイミング発生回路

105 C P U

106 R O M

107 R A M

108 記録媒体

109 電源スイッチ

110 スイッチ S W 1

111 スイッチ S W 2

112 モードダイアル

508 O B 部積分回路

509 オフセット補正部

510 減算器

511 R A M

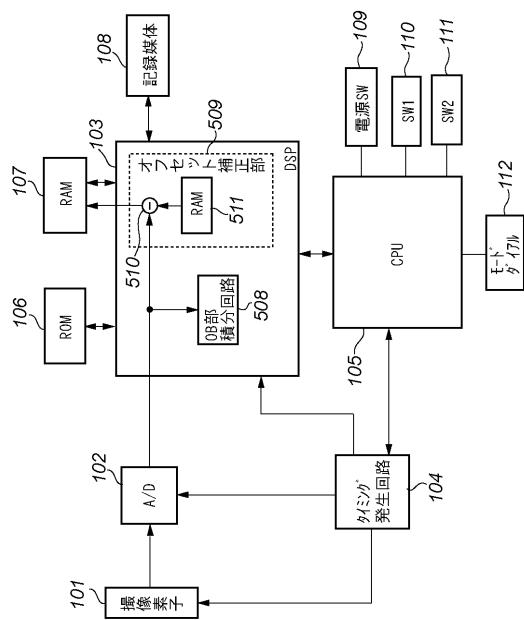
10

20

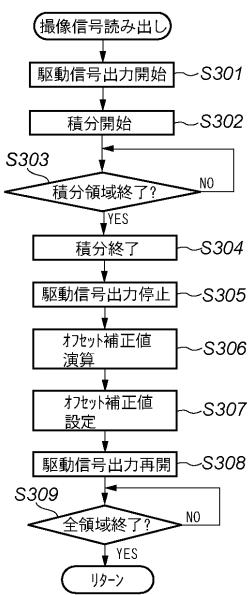
30

40

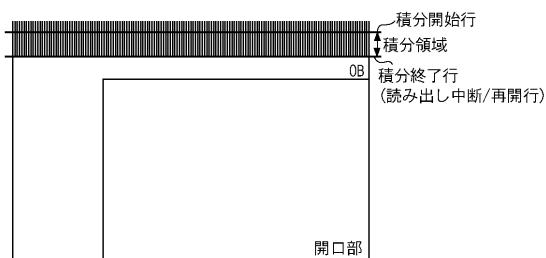
【図1】



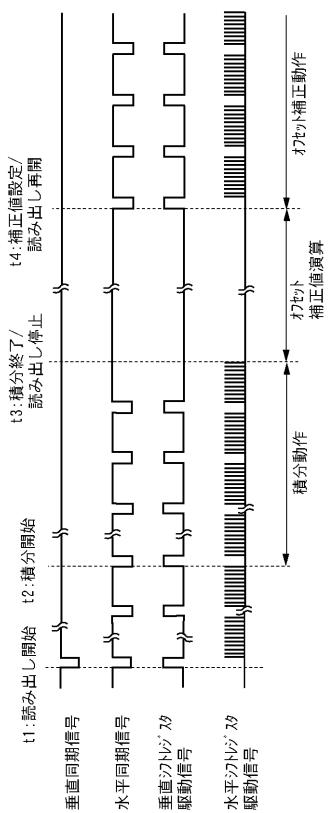
【図2】



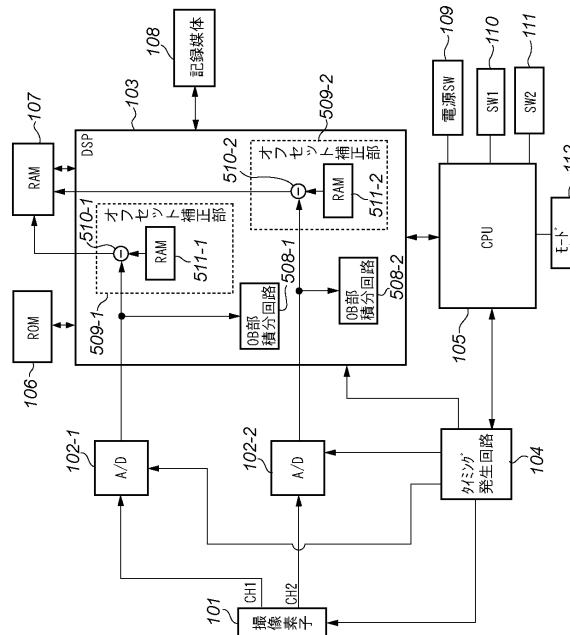
【図3】



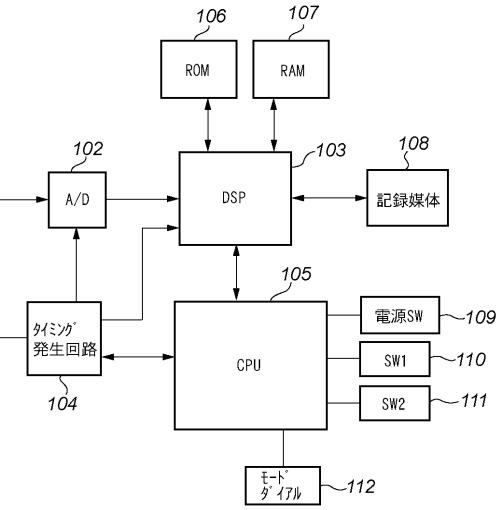
【図4】



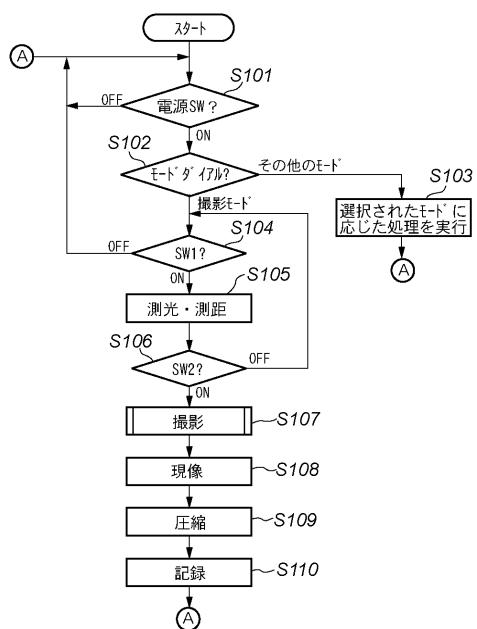
【図5】



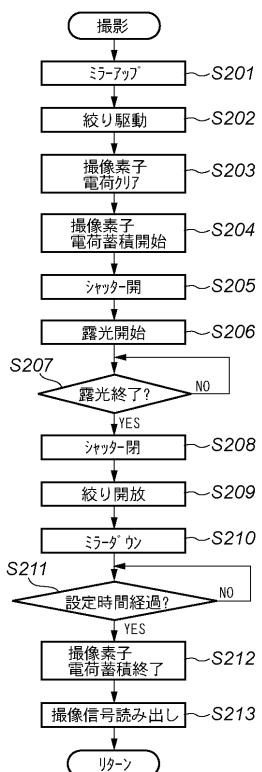
【図6】



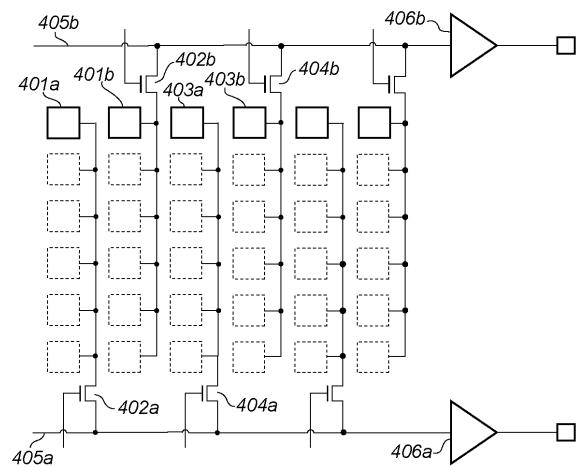
【図7】



【図8】



【図9】



---

フロントページの続き

審査官 鈴木 肇

(56)参考文献 特開昭63-215274(JP,A)  
特開2003-304452(JP,A)  
特開平04-142891(JP,A)  
特開平07-274077(JP,A)  
特開平06-350925(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/335  
H04N 5/222 - 5/257  
H04N 9/04 - 9/11