(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年9月27日(27.09.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/173364 A1

(51) 国際特許分類:
H02M 7/12 (2006.01)

(21) 国際出願番号： PCT/JP2017/041704

(22) 国際出願日： 2017年11月20日(20.11.2017)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2017-054626 2017年3月21日(21.03.2017) JP

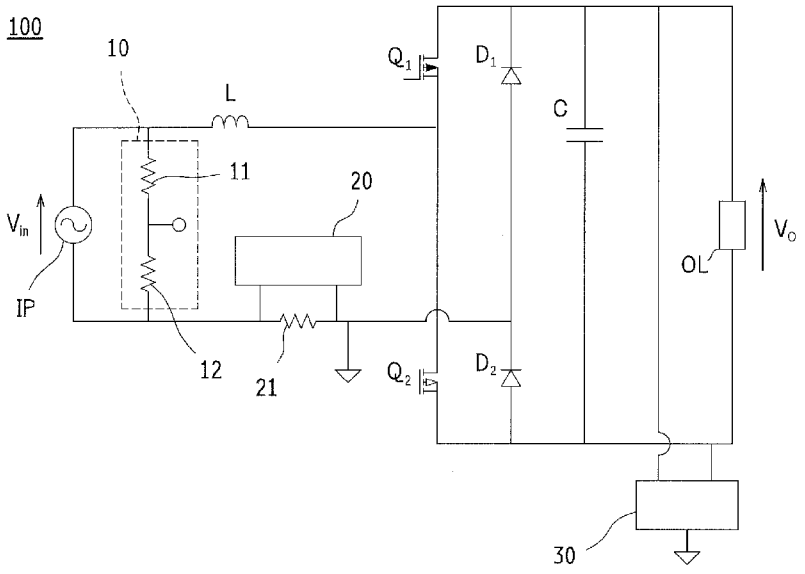
(71) 出願人: オムロン株式会社 (OMRON CORPORATION) [JP/JP]; 〒6008530 京都府京都市下京区塩小路通堀川東入南不動堂町８０１番地 Kyoto (JP).

(72) 発明者: 江 小龍(JIANG Xiaolong); 〒6008530 京都府京都市下京区塩小路通堀川東入南不動堂町８０１番地 オムロン株式会社内 Kyoto (JP). 大西 浩之(ONISHI Hiroyuki); 〒6008530 京都府京都市下京区塩小路通堀川東入南不動堂町８０１番地 オムロン株式会社内 Kyoto (JP). 長岡 真吾(NAGAOKA Shingo); 〒6008530 京都府京都市下京区塩小路通堀川東入南不動堂町８０１番地 オムロン株式会社内 Kyoto (JP).

(74) 代理人: 特許業務法人あーく特許事務所 (ARC PATENT ATTORNEYS' OFFICE); 〒5300057 大阪府大阪市北区曽根崎１丁目１番２号 Osaka (JP).

(54) **Title:** BRIDGELESS POWER FACTOR CORRECTION CIRCUIT

(54) 発明の名称： ブリッジレス力率改善回路



(57) **Abstract:** A bridgeless PFC circuit (100) is provided with: a boost inductor (L) for storing energy from an input power supply (IP) and converting low-voltage high-current to high-voltage low-current; switches (Q1, Q2) for performing a switching operation for intermittently storing energy into the boost inductor (L); rectifier elements (D1, D1) for preventing currents from reversely flowing from the respective switches (Q1, Q2); a current smoothing capacitor (C) for smoothing energy output from the boost inductor (L); an input voltage detection circuit (10) for detecting an input voltage (Vin) using

WO 2018/173364 A1

[続葉有]

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一　国際調査報告（条約第21条(3)）

one side of the input power supply (IP) as a reference potential; an inductor current detection circuit (20) for detecting inductor current by a resistor (21) inserted in a path of the inductor current; and an output voltage detection circuit (30) for detecting an output voltage (Vo) using the one side of the input power supply (IP) as the reference potential.

(57) 要約：ブリッジレスＰＦＣ回路（１００）は、入力電源（ＩＰ）からのエネルギーを蓄積して、低圧高電流から高圧低電流に変換する昇圧インダクタ（Ｌ）と、これに断続的にエネルギーを蓄積するためのスイッチング動作を行うスイッチ（Ｑ１、Ｑ２）と、これらからの各電流の逆流を防止する整流素子（Ｄ１、Ｄ１）と、昇圧インダクタ（Ｌ）より出力されたエネルギーを平滑化する電流平滑コンデンサ（Ｃ）と、入力電源（ＩＰ）の一方側を基準電位として入力電圧（Ｖin）を検出する入力電圧検出回路（１０）と、インダクタ電流の経路に挿入された抵抗（２１）によってインダクタ電流を検出するインダクタ電流検出回路（２０）と、出力電圧（Ｖｏ）を入力電源（ＩＰ）の一方側を基準電位として検出する出力電圧検出回路（３０）とを備える。

明　細　書

発明の名称 ： ブリッジレス力率改善回路

技術分野

[0001] 本発明は、整流用ブリッジを持たないブリッジレス力率改善（ＰＦＣ：Power Factor Correction）回路に関し、特に、トーテムポール・ブリッジレスＰＦＣ回路における電圧・電流センサの簡素化に関する。

背景技術

[0002] 従来、交流入力に接続されるスイッチング電源では、入力電力の力率を改善するとともに高調波電流を抑制するため、ＰＦＣ回路が用いられている。一般的には整流用ブリッジを設けたものも多いが、ブリッジ自体の損失が高効率化や小型化の妨げにもなるため、このような整流用ブリッジを持たないブリッジレスＰＦＣ回路も提案されている（例えば、特許文献１または特許文献２の図１０を参照）。

[0003] さらに、交流入力側に設けられたインダクタに対して、交流入力の正の半サイクルで高周波スイッチングの対象となるスイッチング素子と、負の半サイクルで高周波スイッチングの対象となるスイッチング素子とをそれぞれ接続したトーテムポール方式のブリッジレス力率コンバータも提案されている（例えば、特許文献３参照）。

先行技術文献

特許文献

[0004] 特許文献1：特開２００２－０１７０８７号公報

特許文献2：国際公開第２０１０／０６１６５４号

特許文献3：特開２０１２－０７０４９０号公報

発明の概要

発明が解決しようとする課題

[0005] 従来のブリッジレスＰＦＣ回路では、入力側の電圧、電流や出力側の電圧を測定する必要があるが、回路の入力側と出力側の間にはスイッチング動作

するスイッチング素子が存在し、特に入力側の電圧測定点と出力側の電圧測定点の電位は大きく異なるため、特許文献１のようにトランスなどの絶縁型の検出素子または検出回路を使用していた。そのため回路の複雑化を招いたり、高価な回路部品を使う必要があった。

[0006] 従来技術のこのような課題に鑑み、本発明の目的は、電圧・電流検出のために高価な回路部品を使用することなく回路の簡素化や全体の小型化およびコストダウンなどを可能とするブリッジレス力率改善回路を提供することである。

課題を解決するための手段

[0007] 上記目的を達成するため、本発明のブリッジレス力率改善回路は、交流の入力電源からのエネルギーを蓄積して、低圧高電流から高圧低電流に変換する昇圧インダクタと、この昇圧インダクタに断続的にエネルギーを蓄積するためのスイッチング動作を行うスイッチング素子と、このスイッチング素子からの電流の逆流を防止する整流素子と、前記昇圧インダクタより出力されたエネルギーを平滑化する平滑コンデンサと、前記昇圧インダクタを流れるインダクタ電流の経路に挿入された電流検出素子によって前記インダクタ電流を検出するインダクタ電流検出回路と、前記入力電源の一方側を基準電位として入力電圧を検出する入力電圧検出回路と、負荷への出力電圧を前記入力電源の前記一方側を基準電位として検出する出力電圧検出回路と、前記インダクタ電流検出回路によるインダクタ電流検出結果と、前記入力電圧検出回路による入力電圧検出結果と、前記出力電圧検出回路による出力電圧検出結果とに基づいて前記スイッチング動作を制御する制御部とを備えることを特徴とする。

[0008] ここで、出力電圧検出回路は、例えば、抵抗および差動増幅器で構成されてもよいが、これに限らない。また、電流検出素子としては、例えば抵抗が挙げられるが、これに限らない。この電流検出素子はいずれかの一端が前記基準電位に接続されており、前記インダクタ電流検出回路は、前記入力電源の一方側を基準電位として前記電流検出素子の両端の電圧を測定することに

より前記インダクタ電流を検出するようにしてもよい。

[0009] また、ブリッジレス力率改善回路として、具体的にはトーテムポール・ブリッジレス力率改善回路が挙げられるが、これに限らない。

[0010] このような構成のブリッジレス力率改善回路によれば、電圧・電流検出のために高価な回路部品を使用する必要がなくなり、回路の簡素化や全体の小型化およびコストダウンなどが可能となる。

発明の効果

[0011] 本発明のブリッジレス力率改善回路によれば、電圧・電流検出のために高価な回路部品を使用する必要がなくなり、回路の簡素化や全体の小型化およびコストダウンなどが可能となる。

図面の簡単な説明

[0012] [図1]本発明の一実施形態に係るトーテムポール・ブリッジレスＰＦＣ回路１００の概略構成を示す回路図である。

[図2]インダクタ電流検出回路２０の概略構成を例示する回路図である。

[図3]出力電圧検出回路３０の概略構成を例示する回路図である。

発明を実施するための形態

[0013] 以下、本発明に係る実施形態を、図面を参照して説明する。

[0014] ＜実施形態の全体構成＞

図１は本発明の一実施形態に係るトーテムポール・ブリッジレスＰＦＣ回路１００の概略構成を示す回路図である。

[0015] この図１に示すように、ブリッジレスＰＦＣ回路１００は、交流の入力電源ＩＰからの電力エネルギーを蓄積して、低圧高電流から高圧低電流に変換する昇圧インダクタＬと、この昇圧インダクタＬに断続的に電力エネルギーを蓄積するためのスイッチング動作を行うスイッチＱ１およびスイッチＱ２と、これらのスイッチＱ１およびスイッチＱ２からの各電流の逆流を防止する整流素子Ｄ１および整流素子Ｄ１と、昇圧インダクタＬより出力された電力エネルギーを平滑化する電流平滑コンデンサＣと、入力電源ＩＰの一方側を基準電位として入力電圧Ｖinを検出する入力電圧検出回路１０と、昇圧イ

ンダクタＬを流れるインダクタ電流の経路に挿入された抵抗２１の両端に発生する電圧によってインダクタ電流を検出するインダクタ電流検出回路２０と、出力負荷ＯＬへの出力電圧Ｖｏを入力電源ＩＰの一方側を基準電位として検出する出力電圧検出回路３０とを備えている。

[0016] ここで、抵抗２１は電流検出素子の一例であるが、このような電流検出素子は抵抗に限らない。

[0017] スイッチＱ１およびスイッチＱ２としては、例えば電界効果トランジスタ（ＦＥＴ）やＩＧＢＴなどのスイッチング素子が挙げられるが、これらに限らない。

[0018] また、スイッチＱ１およびスイッチＱ２は、入力電圧検出回路１０、インダクタ電流検出回路２０、および出力電圧検出回路３０による各検出結果に基づいて出力電圧Ｖｏが一定となるように、それぞれのスイッチング動作（オン／オフやタイミングなど）が制御部（不図示）によって制御される。

[0019] 入力電圧検出回路１０は、直列接続された抵抗１１および抵抗１２で構成されている。入力電圧Ｖinが分圧された電圧を検出すれば、抵抗１１と抵抗１２の比に基づいて入力電圧Ｖinを算出することができる。

[0020] 出力電圧検出回路３０は、抵抗３１～３４および差動増幅器３５で構成されているが、詳細は後述する。

[0021] また、差動増幅器２７（詳細は後述）および差動増幅器３５の電源は共通であり、基準電位を０Ｖとした±１５Ｖの電圧が供給される。

[0022] ＜インダクタ電流検出回路２０の具体例＞

図２はインダクタ電流検出回路２０の概略構成を例示する回路図である。ただし、このような構成に限るわけではない。

[0023] この図２に示すように、インダクタ電流検出回路２０は、インダクタ電流を検出するための抵抗２１に加えて、抵抗２２～２５、コンデンサ２６、および差動増幅器２７を備えている。抵抗２１の一端が抵抗２３を介して差動増幅器２７の反転入力に接続されるとともに基準電位に接続されており、抵抗２１の他端は抵抗２４を介して差動増幅器２７の非反転入力に接続されて

いる。また、差動増幅器２７の反転入力と出力とが抵抗２２を介して接続されるとともに、この抵抗２２と並列にコンデンサ２６が接続されている。

[0024] このような構成を用いて抵抗２１の両端の電圧を測定する。この電圧と抵抗２１の抵抗値を用いて抵抗２１に流れる電流を計算することにより、インダクタ電流検出回路２０はインダクタ電流を検出することができる。

[0025] また、ブリッジレスＰＦＣ回路１００は、入力電源ＩＰから１００Ｖ～２４０Ｖの入力電圧Ｖinが供給され、このインダクタ電流検出回路２０には、数Ａ～数十Ａの電流が流れる。例えば、抵抗２１の値を５ｍΩとしたときに抵抗２１の両端にかかる電圧は最大７５ｍＶ程度である。

[0026] したがって、差動増幅器２７の反転入力の電圧は基準電位と同じとなり、また非反転入力の電圧は最大７５ｍＶ程度となるので、差動増幅器２７の入力電圧を低くすることができる。

[0027] このとき、測定すべき電流の周波数は回路のスイッチング周波数に関係するが、電流形状は三角波となるため周波数は高い。例えば、スイッチング周波数が１ＭＨｚのとき、５次高調波まで含むと仮定すれば、５ＭＨｚ程度まで測定可能でなければならない。

[0028] ＜出力電圧検出回路３０の具体例＞

図３は出力電圧検出回路３０の概略構成を例示する回路図である。

[0029] この図３に示すように、抵抗３１および抵抗３２は直列接続されており、その接続点が差動増幅器３５の非反転入力に接続されている。抵抗３１の一端（抵抗３２とは反対側）は出力負荷ＯＬの一方側（図１参照）に接続されるとともに、抵抗３２の一端（抵抗３１とは反対側）は入力電源ＩＰ側の基準電位（図１参照）に接続されている。また、抵抗３３および抵抗３４も直列接続されており、その接続点が差動増幅器３５の反転入力に接続されている。抵抗３３の一端（抵抗３４とは反対側）は出力負荷ＯＬの他方側（図１参照）に接続されるとともに、抵抗３４の一端（抵抗３３とは反対側）は入力電源ＩＰ側の基準電位（図１参照）に接続されている。

[0030] これにより、入力電源ＩＰ側を基準電位として出力負荷の両端の電位差を

測定することにより出力電圧Ｖｏを検出することができる。なお、抵抗３２に対する抵抗３１の抵抗値比は、例えば数十倍とすればよい。抵抗３４に対する抵抗３３の抵抗値比も同様である。例えば、抵抗３１および抵抗３３の値をそれぞれ４９３ｋΩ、抵抗３２および抵抗３４の値をそれぞれ１０ｋΩとする。

[0031] 出力電圧検出回路３０が測定すべき出力電圧Ｖｏは４００Ｖ程度であるが、基準電位から見たときの出力負荷ＯＬのスイッチＱ１側の電圧は５００Ｖ程度となり、スイッチＱ２側の電圧は１００Ｖ程度となる。この場合でも、差動増幅器３５の反転入力は１Ｖ程度、非反転入力は０．２Ｖ程度の電圧となるので、差動増幅器３５の入力電圧を低くすることができる。カットオフ周波数も２０Ｈｚ程度に対応できればよい。

[0032] なお、本発明は、その主旨または主要な特徴から逸脱することなく、他のいろいろな形で実施することができる。そのため、上述の実施形態はあらゆる点で単なる例示にすぎず、限定的に解釈してはならない。本発明の範囲は特許請求の範囲によって示すものであって、明細書本文にはなんら拘束されない。さらに、特許請求の範囲の均等範囲に属する変形や変更は、全て本発明の範囲内のものである。

[0033] この出願は、日本で２０１７年３月２１日に出願された特願２０１７－０５４６２６号に基づく優先権を請求する。その内容はこれに言及することにより、本出願に組み込まれるものである。また、本明細書に引用された文献は、これに言及することにより、その全部が具体的に組み込まれるものである。

産業上の利用可能性

[0034] 本発明は、例えば、ＡＣ－ＤＣコンバータや電源装置などに好適である。

符号の説明

[0035] １００　ブリッジレスＰＦＣ回路

１０　入力電圧検出回路

１１、１２　抵抗

２０	インダクタ電流検出回路
２２～２５	抵抗
２６	コンデンサ
２７	差動増幅器
３０	出力電圧検出回路
３１～３４	抵抗
３５	差動増幅器
Ｃ	電流平滑コンデンサ
Ｄ１、Ｄ２	整流素子
ＩＰ	入力電源
Ｌ	昇圧インダクタ
ＯＬ	出力負荷
Ｑ１、Ｑ２	スイッチ
Ｖin	入力電圧
Ｖｏ	出力電圧

請求の範囲

[請求項1] 交流の入力電源からのエネルギーを蓄積して、低圧高電流から高圧低電流に変換する昇圧インダクタと、

この昇圧インダクタに断続的にエネルギーを蓄積するためのスイッチング動作を行うスイッチング素子と、

このスイッチング素子からの電流の逆流を防止する整流素子と、

前記昇圧インダクタより出力されたエネルギーを平滑化する平滑コンデンサと、

前記昇圧インダクタを流れるインダクタ電流の経路に挿入された電流検出素子によって前記インダクタ電流を検出するインダクタ電流検出回路と、

前記入力電源の一方側を基準電位として入力電圧を検出する入力電圧検出回路と、

負荷への出力電圧を前記入力電源の前記一方側を基準電位として検出する出力電圧検出回路と、

前記インダクタ電流検出回路によるインダクタ電流検出結果と、前記入力電圧検出回路による入力電圧検出結果と、前記出力電圧検出回路による出力電圧検出結果とに基づいて前記スイッチング動作を制御する制御部とを備えることを特徴とするブリッジレス力率改善回路。

[請求項2] 請求項１に記載のブリッジレス力率改善回路において、

前記出力電圧検出回路は、抵抗および差動増幅器で構成されていることを特徴とするブリッジレス力率改善回路。

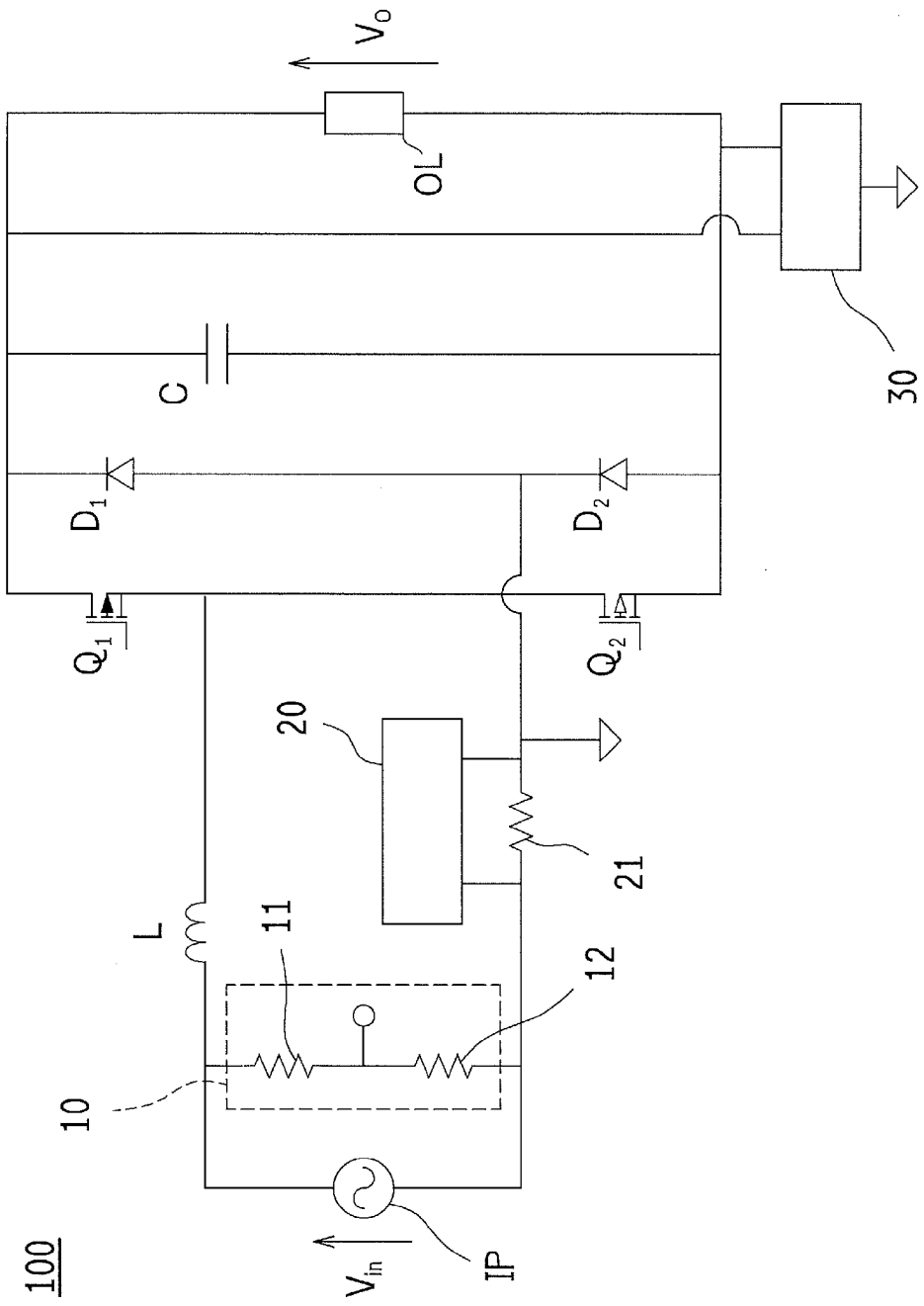
[請求項3] 請求項１に記載のブリッジレス力率改善回路において、

前記電流検出素子はいずれかの一端が前記基準電位に接続されており、

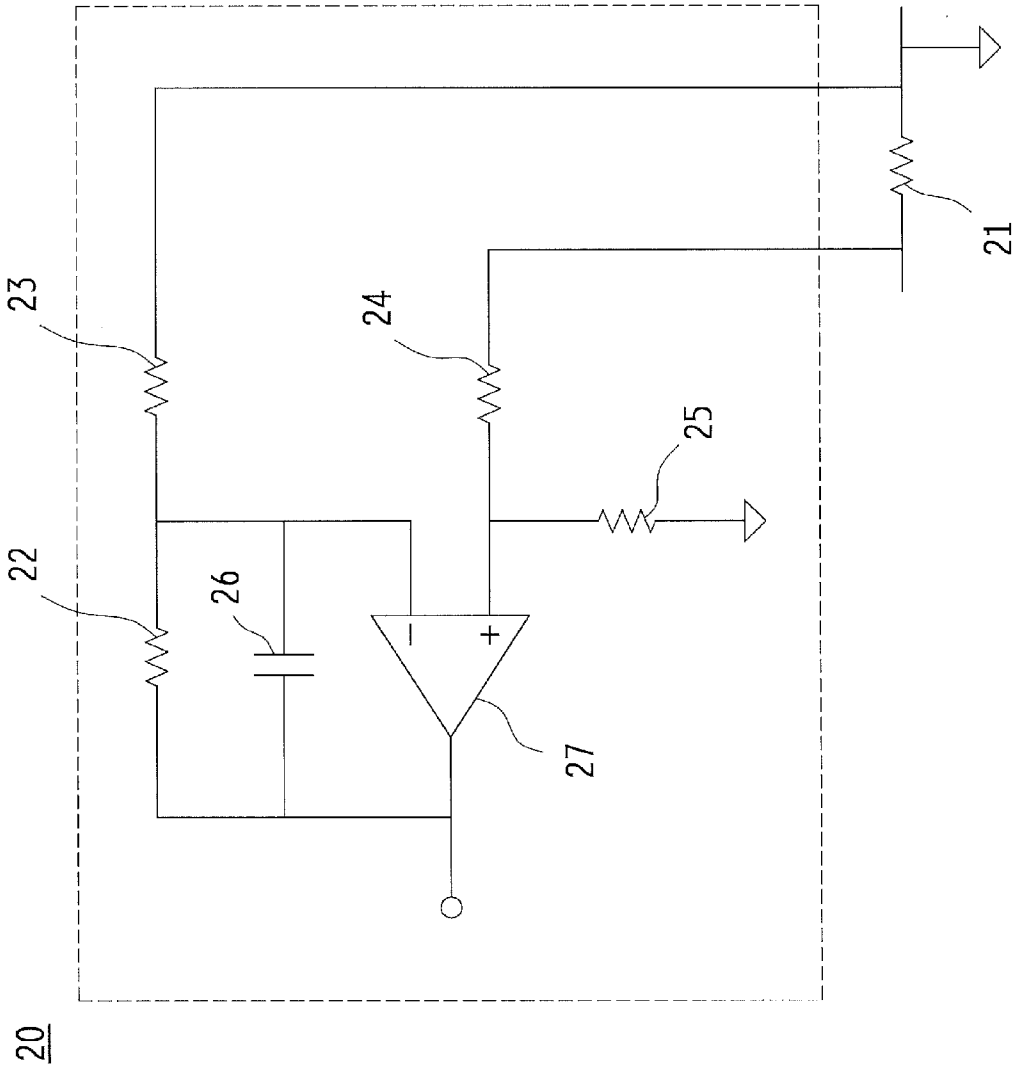
前記インダクタ電流検出回路は、前記入力電源の一方側を基準電位として前記電流検出素子の両端の電圧を測定することにより前記インダクタ電流を検出することを特徴とするブリッジレス力率改善回路。

[請求項4] トーテムポール・ブリッジレス力率改善回路であることを特徴とする、請求項１～３のいずれか１項に記載のブリッジレス力率改善回路。

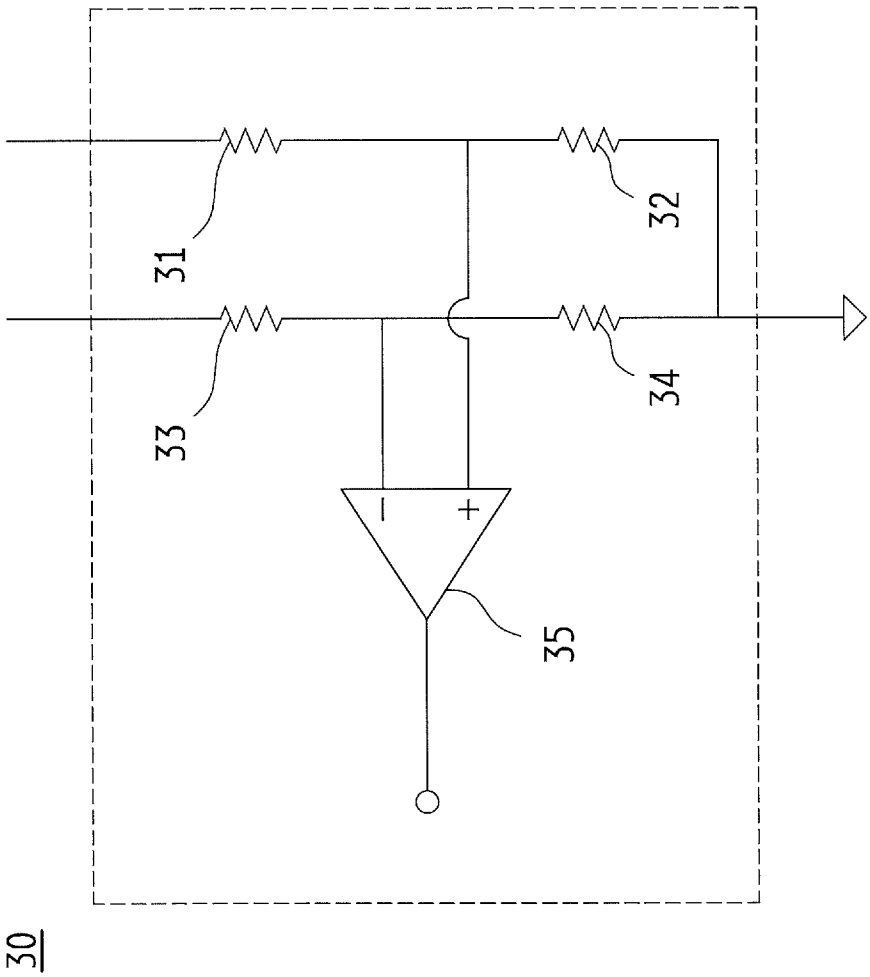
[図1]



[図2]



[図3]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/041704

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl. H02M7/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. H02M7/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2018
Registered utility model specifications of Japan 1996-2018
Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-019637 A (FUJITSU LTD.) 26 January 2012, paragraphs [0020]-[0065], [0073]-[0075], fig. 1, 2, 6, 9 & US 2012/0008351 A1, paragraphs [0037]-[0082], [0090]-[0092], fig. 1, 2, 6, 9 & EP 2405562 A1	1-4
Y	US 9590494 B1 (TRANSPHORM INC.) 07 March 2017, column 5, line 63 to column 6, line 17, fig. 4 (Family: none)	1-4
Y	JP 2016-152655 A (TOSHIBA TEC CORP.) 22 August 2016, paragraph [0003], fig. 11 (Family: none)	4

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
17.01.2018	30.01.2018
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１７／０４１７０４

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H02M7/12(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H02M7/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１８年
日本国実用新案登録公報	１９９６－２０１８年
日本国登録実用新案公報	１９９４－２０１８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2012-019637 A（富士通株式会社）2012.01.26，段落［００２０］－［００６５］，［００７３］－［００７５］，図１－２，６，９ & US 2012/0008351 A1，段落［００３７］－［００８２］，［００９０］－［００９２］，図１－２，６，９ & EP 2405562 A1	1-4
Y	US 9590494 B1（TRANSPHORM INC.）2017.03.07，第５欄第６３行－第６欄第１７行，図４（ファミリーなし）	1-4

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１７．０１．２０１８	３０．０１．２０１８

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｇ　３３５７
宮本　秀一
電話番号　０３－３５８１－１１０１　内線　３５２６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2016-152655 A（東芝テック株式会社）2016.08.22，段落［０００３］，図１１（ファミリーなし）	4