

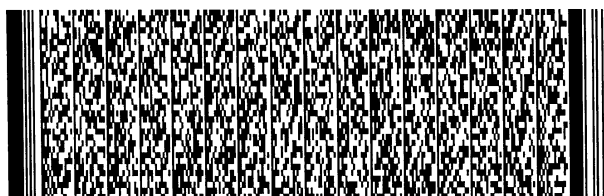
# 公告

|               |       |             |         |
|---------------|-------|-------------|---------|
| 申請日期：92-5-27  | IPC分類 | H01L 27/115 | I220570 |
| 申請案號：92114299 |       |             |         |

(以上各欄由本局填註)

## 發明專利說明書

|                    |                       |                                                                                  |
|--------------------|-----------------------|----------------------------------------------------------------------------------|
| 一、<br>發明名稱         | 中 文                   | 可微縮化分開式快閃記憶細胞元結構及其無接點快閃記憶陣列                                                      |
|                    | 英 文                   | Scalable split-gate flash cell structure and its contactless flash memory arrays |
| 二、<br>發明人<br>(共1人) | 姓 名<br>(中文)           | 1. 吳慶源                                                                           |
|                    | 姓 名<br>(英文)           | 1. Ching-Yuan Wu                                                                 |
|                    | 國 籍<br>(中英文)          | 1. 中華民國 TW                                                                       |
|                    | 住居所<br>(中 文)          | 1. 新竹市東區綠水里17鄰博愛街75號之6                                                           |
|                    | 住居所<br>(英 文)          | 1. No. 75-6, Po-Ai street, Hsinchu, Taiwan                                       |
| 三、<br>申請人<br>(共1人) | 名稱或<br>姓 名<br>(中文)    | 1. 矽基科技股份有限公司                                                                    |
|                    | 名稱或<br>姓 名<br>(英文)    | 1. Silicon-Based Technology Corp.                                                |
|                    | 國 籍<br>(中英文)          | 1. 中華民國 TW                                                                       |
|                    | 住居所<br>(營業所)<br>(中 文) | 1. 新竹科學工業園區研發一路23號1樓 (本地址與前向貴局申請者不同)                                             |
|                    | 住居所<br>(營業所)<br>(英 文) | 1. 1F, No. 23, R&D Rd. , S. B. I. P. , Hsinchu, Taiwan                           |
|                    | 代表人<br>(中文)           | 1. 張瑞鈺                                                                           |
|                    | 代表人<br>(英文)           | 1. Jane Chang                                                                    |



一、本案已向

|            |      |    |                  |
|------------|------|----|------------------|
| 國家(地區)申請專利 | 申請日期 | 案號 | 主張專利法第二十四條第一項優先權 |
|------------|------|----|------------------|

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



## 五、發明說明 (1)

## (1)發明所屬之技術領域

本發明與一種分開式 (split-gate) 快閃記憶細胞元結構及其快閃記憶陣列有關，尤其是與一種可微縮化分開式快閃記憶細胞元結構及其無接點 (contactless) 快閃記憶陣列有關。

## (2)先前技術

一個疊堆閘 (stacked-gate) 快閃記憶細胞元係被公認是一個電晶體的細胞元且可以根據基本邏輯功能來組成非或型 (NOR-type)、非及型 (NAND-type) 或及型 (AND-type) 陣列。上述之非及型快閃記憶陣列係透過共源／汲擴散區將該疊堆閘快閃記憶細胞元加予串接，因此根據一個字串內之細胞元的數目，其細胞元尺寸可以製造成介於  $4F^2$  和  $5F^2$  之間。然而，當一個字串內的細胞元數目增加時，其串聯電阻將大幅增加，因而造成讀的速度降低。

上述之非或型快閃記憶陣列可以透過共源擴散管線及形成於共汲擴散區的位元線接觸 (contact) 來將該疊堆閘快閃記憶細胞元加予並聯來組成。通常，由於該位元線接觸的關係，該非或型快閃記憶陣列的單位細胞元尺寸係大於  $6F^2$ ，然而其讀的速度比該非及型快閃記憶陣列快得很多。上述之非或型快閃記憶陣列可以將該疊堆閘快閃記憶細胞元加予並聯且形成於埋層共源／汲擴散位元線之間來消除每一個細胞元的位元線接觸，然而該埋層共汲擴散位元線係透過一個汲選擇電晶體接至一個數據線而一個接觸



## 五、發明說明 (2)

點及該埋層共源位元線係接至一個共接地擴散線。這裡可以清楚地看到，該非或型快閃記憶陣列的細胞元尺寸可以製造成比該非及型快閃記憶陣列的小；另外，當該疊堆閘快閃記憶細胞元的數目增加時，該埋層共源／汲擴散位元線陣列之讀的速度比該非及型快閃記憶陣列快的很多。

上述之埋層共源／汲擴散位元線陣列的一個典型實例如圖一所示，其中複數疊堆閘快閃細胞元(10~25)係形成於相鄰埋層共源／汲擴散位元線(BL's)之間且複數字線(WL's)係與該埋層共源／汲擴散位元線(BL's)互為垂直。上述之疊堆閘快閃記憶細胞元(10~25)的每一個係藉由通道熱電子注入法(CHEI)來寫入且可以藉由富勒-諾得漢(Fowler-Nordheim)穿透法將儲存於一個漂浮閘的電子穿透至該埋層共源擴散位元線或一個半導體基板來擦洗。

這裡可以清楚地看到，若該疊堆閘快閃記憶細胞元進一步加予微縮化時，位於該埋層共源／汲擴散位元線之間的該疊堆閘快閃記憶細胞元尚有一些問題存在：抵穿效應將是一個主要關切點；當源／汲接面深度加予微縮化時，該埋層共源／汲擴散位元線的片電阻將大幅增加；通道熱電子注入法的寫入效率較低且一個高密度快閃記憶陣列的寫入時間將變長；以及一個高密度快閃記憶陣列的超擦洗(over-erase)問題會造成較長的驗證時間。

因此，本發明的一個主要目的係提供一個可微縮化分閘式快閃記憶細胞元結構及其無接點快閃記憶陣列來消除或降低上述之微縮化疊堆閘快閃記憶細胞元及其快閃記憶

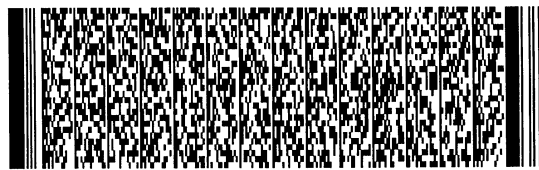


## 五、發明說明 (3)

陣列所面臨的問題。

## (3)發明內容

本發明揭示一種可微縮化分閘式快閃記憶細胞元結構及其無接點快閃記憶陣列。上述之可微縮化分閘式快閃記憶細胞元結構形成於一種第一導電型的一個半導體基板之上至少包含一個可微縮化分閘區形成於一個共源區及一個可微縮化共汲區之間。上述之可微縮化分閘區藉由一個第三側邊牆介電墊層來定義至少包含一個可微縮化控制閘導電島具有其第一部份形成於一個可微縮化漂浮閘島之上方及其第二部份形成於一個閘介電層的一部份表面之上，其中上述之可微縮化漂浮閘島係藉由一個第二側邊牆介電墊層來定義且具有一個閘間介電層形成於其頂部表面之上及一個複晶矽氧化物層形成於其內側邊牆之上以及一個離子佈植區至少包含一個淺離子佈植區以作為臨界電壓的調整及一個深離子佈植區以形成一個抵穿禁止區係形成於該閘介電層的一部份表面之下的該半導體基板的一個表面部份。上述之共源區至少包含一種第二導電型的一個共源擴散區形成於該半導體基板的一個表面部份及一對回蝕第一側邊牆介電墊層形成於鄰近可微縮化分閘區的側邊牆之上且置於該穿透介電層的一部份表面之上。上述之可微縮化共汲區至少包含該第二導電型的一個共汲擴散區及一對回蝕第四側邊牆介電墊層形成於鄰近可微縮化分閘區的側邊牆之上。一個金屬字線與該可微縮化控制閘導電島積體化連



## 五、發明說明 (4)

結，其中上述之金屬字線、該閘間介電層及該可微縮化漂浮閘島係同時成形。一個細胞元隔離區至少包含該第一導電型的一個隔離離子佈植區或一個淺凹槽隔離 (STI) 區係形成於該金屬字線之外及位於該共源區及該共汲區之間的該半導體基板之每一個側邊表面部份。上述之共源區／該可微縮化共汲區進一步包含一個共源／汲導電層形成於該對回蝕第一／第四側邊牆介電墊層之間且置於該共源／汲擴散區之內的該第二導電型的一個高摻雜共源／汲擴散區之上及一個回蝕第一／第二平面化氧化物層形成於該對回蝕第一／第四側邊牆介電墊層之間且置於該共源／汲導電層之上。上述之可微縮化控制閘導電島至少包含一個回蝕平面化控制閘導電島以組成一種第一型可微縮化分閘式快閃記憶細胞元結構或一個回蝕平面化控制閘導電島覆蓋有一個平面化覆蓋導電島以組成一種第二型可微縮化分閘式快閃記憶細胞元結構。

根據控制閘導電島的結構，本發明揭示兩種無接點快閃記憶陣列。該第一型無接點快閃記憶陣列至少包含複數共源導電管線及複數共汲導電管線平行地形成且與複數金屬字線互為垂直，其中上述之複數金屬字線的每一個係與複數回蝕平面化控制閘導電島積體化連結。上述之第二型無接點快閃記憶陣列至少包含複數共源導電線及複數共汲導電管線平行地形成且與複數金屬字線互為垂直，其中上述之複數金屬字線的每一個係與複數回蝕平面化控制閘導電島覆蓋有複數平面化覆蓋導電島積體化連結。



## 五、發明說明 (5)

## (4)發明實施方式

現請參見圖二 A至圖二 L，其中顯示製造本發明之第一型可微縮化分閘式快閃記憶細胞元結構及其無接點快閃記憶陣列的製程步驟及其剖面圖。

圖二 A顯示一個穿透介電層 301係形成於一種第一導電型的一個半導體基板 300之上；一個第一導電層 302係形成於該穿透介電層 301之上；一個閘間介電層 303係形成於該第一導電層 302之上；以及一個單幕介電層 304係形成於該閘間介電層 303之上。上述之穿透介電層 301係一個熱二氧化矽層或一個氮化(nitrided)熱二氧化矽層且其厚度係介於 80埃和 120埃之間。上述之第一導電層 302係由摻雜複晶矽或摻雜非晶矽所組成且利用低壓化學氣相堆積(LPCVD)法來堆積，其厚度係介於 1000 埃和 3000 埃之間。上述之閘間介電層 303係一個二氧化矽-氮化矽-二氧化矽(ON0)層且其等效二氧化矽厚度係介於 100埃和 150埃之間。上述之閘間介電層 303可以是一個熱複晶矽氧化物(poly-oxide)層或一個氮化熱複晶矽氧化物層且其厚度係介於 150 埃和 250埃之間。上述之單幕介電層 304係一個氮化矽層且利用 LPCVD法來堆積，其厚度係介於 2000埃和 5000埃之間。

圖二 B 顯示複數共源區(CSR)係藉由一個第一單幕光阻(PR1)步驟(未圖示)來成形；然後，位於該複數共源區(CSR)的每一個之內的該單幕介電層 304、該閘間介電層 303 及該第一導電層 302 係循序地利用非等向乾式蝕刻法



## 五、發明說明 (6)

加予去除；接著，一種第二導電型的一個共源擴散區 305a 係以一個自動對準的方式跨過該穿透介電層 301 佈植摻雜質於該複數共源區 (CSR) 的每一個之內的該半導體基板 300 的一個表面部份內。該共源擴散區 305a 至少包含一個淡摻雜 (lightly-doped) 共源擴散區或一個高摻雜 (heavily-doped) 共源擴散區形成於一個淡摻雜共源擴散區之內。由圖二 B 可以清楚地看到，一個虛擬閘區 (VGR) 係形成於該共源區 (CSR) 之間且至少包含一對可微縮化分閘區 (SSGR) 及一個可微縮化共汲區 (SCDR) 形成於該對可微縮化分閘區 (SSGR) 之間。

圖二 C 顯示一對第一側邊牆介電墊層 (spacers) 306a 係形成於鄰近虛擬閘區 (VGR) 的側邊牆之上且置於該複數共源區 (CSR) 的每一個之內的該穿透介電層 301 的一部份表面之上。該對第一側邊牆介電墊層 306 係由二氧化矽所組成且利用 LPCVD 法來堆積，係先堆積一個二氧化矽層 306 於圖二 B 所示的結構表面之上再回蝕所堆積之二氧化矽層 306 的一個厚度。

圖二 D 顯示位於該複數共源區 (CSR) 的每一個之內的該對第一側邊牆介電墊層 306a 之間的該穿透介電層 301 係利用非等向乾式蝕刻法或一個稀釋氫氟酸的泡浸法來加予去除；然後，一個回蝕第二導電層 307b 係形成於該對第一側邊牆介電墊層 306a 之間的該共源擴散區 305a 之上；接著，該回蝕第二導電層 307b 係佈植一個高劑量的摻雜質來作為一個摻雜質擴散源，以形成該第二導電型的一個高摻雜共



## 五、發明說明 (7)

源擴散區 305b 於該共源擴散區 305a 之內。上述之回蝕第二導電層 307b 係由摻雜複晶矽所組成且利用 LPCVD 法來堆積，係先堆積一個厚的第二導電層 307 來填滿位於該對第一側邊牆介電墊層 306a 之間的空隙再利用化學-機械磨平 (CMP) 法加予平面化並以該罩幕介電層 304a 作為一個磨平停止層 (polishing stop)，接著回蝕該平面化第二導電層 307a 使其具有 300 埃和 1000 埃之間的厚度。

圖二 E 顯示一個回蝕覆蓋導電層 307d 係形成於該回蝕第二導電層 307b 之上，接著一個第一平面化氧化物層 308a 係形成於該對第一側邊牆介電墊層 306a 之間的該回蝕覆蓋導電層 307d 之上。上述之回蝕覆蓋導電層 307d 至少包含鎢 (W) 或矽化鎢 ( $WSi_2$ ) 且利用 LPCVD 法或濺鍍法來堆積，係利用該回蝕第二導電層 307b 的相同製程步驟來形成。這裡值得注意的是，該回蝕覆蓋導電層 307d 連同該回蝕第二導電層 307b 係組成一個共源導電管線 307d/307b 來大幅降低由埋層共源擴散區 305b/305a 的共源位元線電阻而該埋層共源擴散區 305b/305a 的接面深度可以進一步加予微縮化。上述之第一平面化氧化物層 308a 係由二氧化矽、磷玻璃 (P-glass) 或硼磷玻璃 (BP-glass) 所組成且利用 LPCVD 法、高密度電漿 (HDP) CVD 或電漿增強型 (PE) CVD 法來堆積，係先堆積一個氧化物層 308 於該對第一側邊牆介電墊層 306a 之間的空隙，再利用 CMP 法將所堆積之氧化物層 308 加予平面化並以該成形罩幕介電層 304a 作為一個磨平停止層。

圖二 F 顯示位於該複數虛擬閘區 (VGR) 的每一個之內的



## 五、發明說明 (8)

該成形單幕介電層 304a 係利用熱磷酸或非等向乾式蝕刻法來加予去除；然後，一對第二側邊牆介電墊層 309a 係形成於鄰近共源區 (CSR) 之內的該對第一側邊牆介電墊層 306a 的側邊牆之上且置於該複數虛擬閘區 (VGR) 的每一個之內的該成形閘間介電層 303a 的每一個側邊部份之上來定義一對漂浮閘區 (FGR)；接著，位於該對第二側邊牆介電墊層 309a 之間的該成形閘間介電層 303a 及該成形第一導電層 302a 係循序地利用非等向乾式蝕刻法來加予去除；然後，以一個自動對準的方式執行一個離子佈植製程，將摻雜質跨過該成形穿透介電層 301a 佈植於該複數虛擬閘區 (VGR) 的每一個之內的該對第二側邊牆介電墊層 309a 之間的該半導體基板 300 的一個表面部份來形成該第一導電型的一個離子佈植區 310a。該對第二側邊牆介電墊層 309a 係由氮化矽所組成且利用 LPCVD 法來堆積，係先堆積一個氮化矽層 309 再回蝕所堆積之氮化矽層 309 的一個厚度。上述之離子佈植區 310a 至少包含一個淺離子佈植區如一個虛線所標示以作為臨界電壓的調整及一個深離子佈植區如打 x x x 號所標示以形成一個抵穿禁止區 (punch-through stop)。

圖二 G 顯示位於該複數虛擬閘區 (VGR) 的每一個之內的該對第二側邊牆介電墊層 309a 之間的該穿透介電層 301a 係利用一個稀釋氫氟酸泡浸法或非等向乾式蝕刻法來加予去除；然後，進行一個熱氧化製程來同時成長一個複晶矽氧化物層 311a 於該漂浮閘層 302b 的每一個內側邊牆之上及一個閘間介電層 311 位於該複數虛擬閘區 (VGR) 的每一個之內的

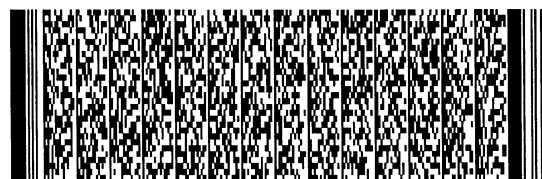


## 五、發明說明 (9)

該對第二側邊牆介電墊層 309a 之間的該半導體基板 300 之上。

圖二 H 顯示該對第二側邊牆介電墊層 309a 係利用熱磷酸加予去除；然後，一個回蝕平面化導電層 312b 係形成於該複數虛擬閘區 (VGR) 的每一個之內的該成形閘間介電層 303b、該複晶矽氧化物層 311a 及該閘介電層 311b 之上；接著，一對第三側邊牆介電墊層 313a 係形成於鄰近共源區 (CSR) 的該對第一側邊牆介電墊層 306a 的側邊牆之上且置於該回蝕平面化導電層 312b 的每一個側邊部份來定義一對可微縮化分閘區 (SSGR) 及位於該複數虛擬閘區 (VGR) 的每一個之內的該對可微縮化分閘區 (SSGR) 之間的一個可微縮化共汲區 (SCDR)。上述之回蝕平面化導電層 312b 係由摻雜複晶矽所組成且利用 LPCVD 法來堆積，係先堆積一個厚的摻雜複晶矽層 312 來填平該複數虛擬閘區 (VGR) 的每一個之內的空隙再利用 CMP 法或回蝕技術將所堆積之厚的摻雜複晶矽層 312 加予平面化來形成一個平面化導電層 312a，接著回蝕該平面化導電層 312 至所預定的一個厚度。該對第三側邊牆介電墊層 313a 係由氮化矽所組成且利用 LPCVD 法來堆積，係先堆積一個氮化矽層 313 再回蝕所堆積之氮化矽層的一個厚度。從圖二 F 及圖二 H 可以清楚地看到，該可微縮化分閘區 (SSGR) 的每一個至少包含一個漂浮閘區 (FGR) 及一個選擇閘區 (SGR)。

圖二 I 顯示位於該複數虛擬閘區 (VGR) 的每一個之內的該對第三側邊牆介電墊層 313a 之間的該回蝕平面化導電



## 五、發明說明 (10)

層 312b 係利用非等向乾式蝕刻法來加予去除以形成一對可微縮化控制閘導電層 312c；然後，以一個自動對準的方式執行一個離子佈植製程，將摻雜質跨過該閘介電層 311b 佈植於該複數虛擬閘區 (VGR) 的每一個之內的該半導體基板 300 的一個表面部份來形成該第二導電型的一個共汲擴散區 314a。上述之共汲擴散區 314a 至少包含一個淡摻雜共汲擴散區或一個高摻雜共汲擴散區形成於一個淡摻雜共汲擴散區之內。

圖二 J 顯示一對第四側邊牆介電墊層 315a 係形成於鄰近可微縮化分閘區 (SSGR) 的側邊牆之上並且置於該可微縮化共汲區 (SCDR) 的每一個之內的該對第三側邊牆介電墊層 313a 之間的該閘介電層 311b 的側邊表面之上；然後，位於該可微縮化共汲區 (SCDR) 的每一個之內的該對第四側邊牆介電墊層 315a 之間的該閘介電層 311b 係利用非等向乾式蝕刻法或稀釋氫氟酸泡浸法來加予去除；接著，一個共汲導電管線 316d/316b 係形成於該對第四側邊牆介電墊層 315a 之間的該共汲擴散區 314a 之上；然後，一個第二平面氧化物層 317a 係形成於該共汲導電管線 316d/316b 之上。該對第四側邊牆介電墊層 315a 係由二氧化矽所組成且利用 LPCVD 法來堆積，係先堆積一個二氧化矽層 315 再回蝕所堆積之二氧化矽層 315 的一個厚度。上述之共汲導電管線 316d/316b 及位於該可微縮化共汲區 (SCDR) 的每一個之內的該第二導電型的一個高摻雜共汲擴散區 314b 係與該共源區 (CSR) 的每一個之內的相同製程步驟來形成。上述之第

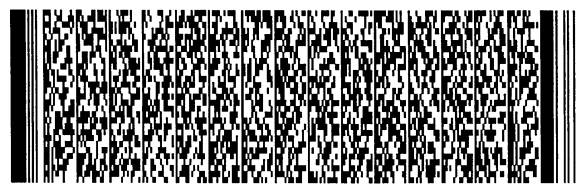


### 五、發明說明 (11)

二平面化氧化物層 317a係由二氧化矽、磷玻璃或硼磷玻璃所組成且利用 LPCVD法、HDPCVD法或 PECVD法來堆積，係先堆積一個氧化物層 317來填滿該可微縮化共汲區 (SCDR) 的每一個之內的空隙再利用 CMP法將所堆積之氧化物層 317加予平面化並與該對第三側邊牆介電墊層 313a作為一個磨平停止層。

圖二 K顯示位於該共源區 (CSR)的每一個之內的該對第一側邊牆介電墊層 306a及該第一平面化氧化物層 308a及位於該可微縮化共汲區 (SCDR)的每一個之內的該對第四側邊牆介電墊層 315a及該第二平面化氧化物層 317a係利用非等向乾式蝕刻法或溼式蝕刻法先回蝕至該可微縮化控制閘導電層 312c的一個頂部表面水平；然後，位於該複數虛擬閘區 (VGR) 的每一個之內的該對第三側邊牆介電墊層 313a係利用熱磷酸或非等向乾式蝕刻法來加予去除。

圖二 L顯示一個金屬層 318係形成於所形成的結構表面之上且藉由一個第二罩幕光阻 (PR2)步驟 (未圖示) 來加予成形，以形成複數金屬字線 (WL) 318a；然後，該可微縮化控制閘導電層 312c、該閘間介電層 303b、該複晶矽氧化物層 311a及該可微縮化漂浮閘層 302b係同時藉由該第二罩幕光阻 (PR2) 步驟來成形及循序地去除，以形成該可微縮化控制閘導電島 312d 及可微縮化漂浮閘島 302c；接著，以一個自動對準的方式執行一個離子佈植製程來形成該第一導電型的複數隔離離子佈植區 319a(未圖示)於該複數金屬字線 (WL) 318a之間及該共源區 (CSR)與該可微縮化共汲區



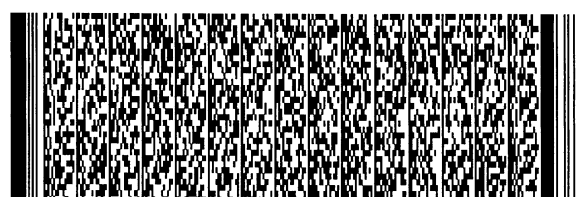
## 五、發明說明 (12)

(SCDR)之間的該半導體基板 300 之表面部份。上述之金屬層 318 至少包含一個鎢 (W)、銅 (Cu)或鋁 (Al) 層置於一個障礙金屬層諸如一個氮化鈦 (TiN) 或氮化鉭 (TaN) 之上而該可微縮化控制閘導電層 312c 在未形成該金屬層 318 之前可以加予矽化 (silicided) 來形成矽化鈦 ( $\text{TiSi}_2$ ) 或矽化鈷 ( $\text{CoSi}_2$ ) 的一個薄的表面層。這裡值得注意的是，上述之隔離離子佈植區 319a 可以輕易地利用淺凹槽隔離 (STI) 區來加予取代。

現請參見圖三 A 至圖三 C，其中揭示製造本發明之第二型可微縮化分閘式快閃記憶細胞元結構及其無接點快閃記憶陣列之接續圖二 J 的製程步驟及其剖面圖。

圖三 A 顯示位於該複數共源區 (CSR) 的每一個之內的該對第一側邊牆介電墊層 306a 及該第一平面化氧化物層 308a 及位於該複數可微縮化共汲區 (SCDR) 的每一個之內的該對第四側邊牆介電墊層 315a 及該第二平面化氧化物層 317a 係利用非等向乾式蝕刻法來回蝕，以去除該第一／第四側邊牆介電墊層 306a／315a 之彎曲部份；然後，位於該複數虛擬閘區 (VGR) 的每一個之內的該對第三側邊牆介墊層 313a 係利用熱磷酸或非等向乾式蝕刻法來加予去除。

圖三 B 顯示一個平面化覆蓋導電層 320a 係填滿位於該複數可微縮化分閘區 (SSGR) 的每一個之內的空隙；然後，一個金屬層 318 係形成於所形成的結構表面之上。上述之平面化覆蓋導電層 320a 係由矽化鎢 ( $\text{WSi}_2$ ) 或鎢 (W) 所組成且利用 LPCVD 法或濺鍍法來堆積。上述之金屬層 318 係如圖

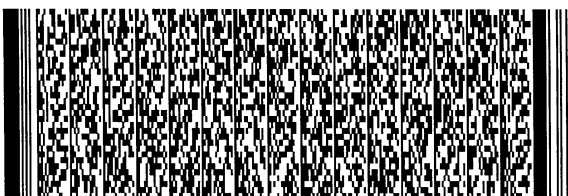


## 五、發明說明 (13)

二 L所描述的相同製程步驟來形成。

圖三 C顯示該金屬層 318係利用一個第二罩幕光阻 (PR2) 步驟 (未圖示) 來成形，以形成複數金屬字線 (WL) 318a；然後，該平面化覆蓋導電層 320a、該可微縮化控制閘導電層 312c、該閘間介電層 303b、該複晶矽氧化物層 311a及該可微縮化漂浮閘層 302b 係藉由該第二罩幕光阻步驟 (未圖示) 來循序地去除，以形成可微縮化複合控制閘導電島 320b/ 312d及可微縮化漂浮閘島 302c；接著，以一個自動對準的方式執行一個離子佈植的製程，佈植摻雜質於該複數金屬字線 (WL) 318a之間及位於該共源區 (CSR)及該可微縮化共汲區 (SCDR) 之間的半導體基板 300表面部份來形成該第一導電型的複數隔離離子佈植區 319a(未圖示)。比較圖二 L 及圖三 C 可以清楚地看到，圖三 C 之位於該金屬字線 (WL) 318a 與該共源 / 汲導電管線 307d/ 307b、316d/ 316b之間的雜散電容較小。

現請參見圖四，其中顯示本發明之該第一 / 第二型可微縮化分閘式快閃記憶細胞元結構及其無接點快閃記憶陣列的一個綜合頂視佈建圖。如圖四所示，複數共源導電管線 307d/ 307b及複數共汲導電管線 316d/ 316b係交變地形成且與複數金屬字線 (WL) 318a互為垂直。上述之複數金屬字線 (WL) 318a的每一個係與位於該可微縮化分閘區 (SSGR) 之間的可微縮化控制閘導電島 312d或可微縮化複合控制閘導電島 320b/ 312d積體化連結，如虛線打 x 號所標示。上述之共源導電管線 307d/ 307b的每一個係形成於一對回蝕



## 五、發明說明 (14)

第一側邊牆介電墊層 306b(306c)的每一個之間的一個高摻雜共源擴散區 305b之上而該共汲導電管線 316d/316b係形成於一對回蝕第四側邊牆介電墊層 315b(315c)之間的一個高摻雜共汲擴散區 314b之上。複數隔離離子佈植區 319a的每一個如打×××號所標示係形成於該複數金屬字線(WL) 318a及該複數共源/汲區(CS/DR)之外的該半導體基板 300之表面部份。

現請參見圖五 A至圖五 D及圖六 A至圖六 D，其中顯示本發明之該第一/第二型可微縮化分閘式快閃記憶細胞元結構及其無接點快閃記憶陣列的各種不同剖面圖。圖四所標示之沿著一個 A-A'線的一個剖面圖係分別顯示於圖二 L及圖三 C中；圖五 A至圖五 D顯示圖二 L所示之簡要剖面圖而圖六 A至圖六 D顯示圖三 C所示之簡要剖面圖。

圖五 A 顯示圖四所標示之沿著一個 D-D'線的一個剖面圖，其中一個共源導電管線 307d/307b 係形成於一個共源擴散區 305a 之內的一個高摻雜共源擴散區 305b 之上；一個回蝕第一平面化氧化物層 308b係形成於該共源導電管線 307d/307b 之上以及複數金屬字線(WL) 318a係交變地形成於該回蝕第一平面化氧化物層 308b之上。

圖五 B 顯示圖四所標示之沿著一個 C-C'線的一個剖面圖，其中位於該漂浮閘區(FGR)的每一個之內的該金屬字線 318a、該可微縮化控制閘導電島 312d、該閘間介電層 303c及該可微縮化漂浮閘島 302c係同時藉由一個第二罩幕光阻(PR2)步驟來成形；以及一個隔離離子佈植區 319a係



## 五、發明說明 (15)

以一個自動對準的方式跨過該穿透介電層 301a 佈植摻雜質於相鄰金屬字線 (WL) 318a 之間的該半導體基板 300 之一個表面部份。

圖五 C 顯示圖四所標示之沿著一個 D-D' 線的一個剖面圖，其中位於該選擇閘區 (SGR) 的每一個之內的該金屬字線 (WL) 318a 連同該可微縮化控制閘導電島 312d 係同時藉由該第二罩幕光阻 (PR2) 步驟來成形；一個離子佈植區 310b 至少包含一個淺離子佈植區如一個虛線所標示以作為臨界電壓的調整及一個深離子佈植區如打 x x x 號所標示以形成一個抵穿禁止區係形成於該選擇閘區 (SGR) 的每一個之內的一個閘介電層 311d 之下；以及如圖五 B 所描述之該隔離離子佈植區 319a 係形成於相鄰金屬字線 (WL) 318a 之間的該半導體基板 300 的一個表面部份。

圖五 D 顯示圖四所標示之沿著一個 E-E' 線的一個剖面圖，其中一個共汲導電管線 316d/316b 係形成於一個共汲擴散區 314a 之內的一個高摻雜共汲擴散區 314b 之上；一個回蝕第二平面化氧化物層 317b 係形成於該共汲導電管線 316d/316b 之上；以及複數金屬字線 (WL) 318a 係交變地形成於該回蝕第二平面化氧化物層 317b 之上。

圖六 A 顯示圖四所標示之沿著一個 B-B' 線的一個剖面圖，其中圖五 A 之內的該回蝕第一平面化氧化物層 308b 係由一個較厚的回蝕第一平面化氧化物層 308c 所取代。

圖六 B 顯示圖四所標示之沿著一個 C-C' 線的一個剖面圖，其中圖五 B 之內的該可微縮化控制閘導電島 312d 係覆



## 五、發明說明 (16)

蓋有一個平面化覆蓋導電島 320b。

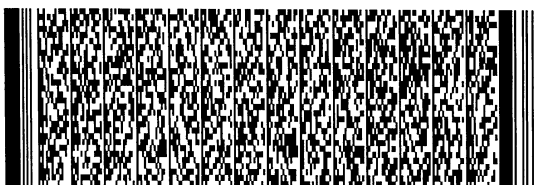
圖六 C 顯示圖四所標示之沿著一個 D-D' 線的一個剖面圖，其中圖五 C 之內的該可微縮化控制閘導電島 312d 係覆蓋有一個平面化覆蓋導電島 320b。

圖六 D 顯示圖四所標示之沿著一個 E-E' 線的一個剖面圖，其中圖五 D 之內的該回蝕第二平面化氧化物層 317b 係由一個較厚的回蝕第二平面化氧化物層 317c 所取代。

圖七顯示本發明之該第一／第二可微縮化分閘式快閃記憶細胞元結構及其無接點快閃記憶陣列的一個簡要電路代表圖，其中複數共源導電管線 (BL1) 307d / 307b 及複數共汲導電管線 (BL2) 316d / 316b 係交變地形成；複數第一／第二型可微縮化分閘式快閃記憶細胞元 (201~225) 係形成於相鄰共源導電管線 (BL1) 307d / 307b 及共汲導電管線 (BL2) 316d / 316b 之間以及複數金屬字線 (WL) 318a 係與該複數共源／汲導電管線 (BL1 及 BL2) 307d / 307b 、 316d / 316b 互為垂直而該複數金屬字線 (WL) 318a 的每一個係與每一列之內的該可微縮化控制閘導電島 312d 或該可微縮化複合控制閘導電島 320b / 312d 積體化連結。

這裡值得強調的是，本發明之兩種無接點快閃記憶陣列所述之隔離離子佈植區 319a 可以利用淺凹槽隔離 (STI) 區的形成來加予取代且該第一導電型的該半導體基板 300 可以是一個該第一導電型的擴散井 (well) 形成於該第二導電型的擴散井之內。

基於此，本發明之該第一／第二型可微縮化分閘式快



## 五、發明說明 (17)

閃記憶細胞元結構及其無接點快閃記憶陣列的特色及優點可以歸納如下：

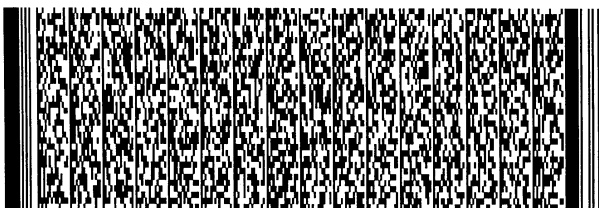
(a) 本發明之該可微縮化分閘式快閃記憶細胞元結構利用側邊牆墊層技術提供一個可微縮化細胞元尺寸等於或小於  $4F^2$ 。

(b) 本發明之該可微縮化分閘式快閃記憶細胞元結構提供一個可微縮化漂浮閘島藉由中間通道熱電子注入法 (MCHEI) 來提升寫入的效率及降低寫入的功率。

(c) 本發明之該可微縮化分閘式快閃記憶細胞元結構及其無接點快閃記憶陣列係以一個自動對準的方式比先前技術需要較少的罩幕光阻步驟來製造。

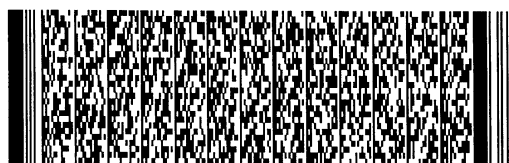
(d) 本發明之該可微縮化分閘式快閃記憶細胞元結構及其無接點快閃記憶陣列提供該複數金屬字線的每一個之金屬層與該可微縮化控制閘導電島或該可微縮化複合控制閘導電島積體化連結來大幅降低字線電阻。

(e) 本發明之兩種無接點快閃記憶陣列提供該埋層共源／汲擴散位元線的每一個之一個高導電管線來大幅降低微縮化源／汲接面深度的位元線電阻。



## 圖式簡單說明

312c 可微縮化控制閘導電層 312d 可微縮化控制閘導電島  
313a 第三側邊牆介電墊層 314a 共汲擴散區  
314b 高摻雜共汲擴散區 315a 第四側邊牆介電墊層  
315b/ 315c 回蝕第四側邊牆介電墊層  
316d/ 316b 共汲導電管線 317a 第二平面化氧化物層  
317b/ 317c 回蝕第二平面化氧化物層  
318 金屬層 318a 金屬字線  
319a 隔離離子佈植區 320a 平面化覆蓋導電層  
320b 平面化覆蓋導電島



四、中文發明摘要 (發明名稱：可微縮化分閘式快閃記憶細胞元結構及其無接點快閃記憶陣列)

一種可微縮化分閘式快閃記憶細胞元結構至少包含一個可微縮化分閘區形成於一個共源區及一個可微縮化共汲區之間，其中上述之可微縮化分閘區至少包含一個可微縮化控制閘導電島與該共源區／該可微縮化共汲區互為垂直的一個金屬字線互為垂直。一個可微縮化漂浮閘島覆蓋有一個閘間介電層係置於一個穿透介電層之上且位於該可微縮化控制閘導電島的一個第一部份之下，其中一個複晶矽氧化物層係形成於該可微縮化漂浮閘島的一個內側邊牆之上而一個閘介電層係置於該可微縮化控制閘導電島之一個第二部份之下。上述之共源區／該可微縮化共汲區至少包含一個共源／汲擴散區具有一個高導電層覆蓋於其上來組成兩種無接點快閃記憶陣列。

五、(一)、本案代表圖為：第圖二 L圖

(二)、本案代表圖之元件代表符號簡單說明：

六、英文發明摘要 (發明名稱：Scalable split-gate flash cell structure and its contactless flash memory arrays)

A scalable split-gate flash cell structure comprises a scalable split-gate region being formed between a common-source region and a scalable common-drain region, wherein the scalable split-gate region comprises a scalable control-gate conductive island being integrated with a metal word line formed transversely to the common-source region/ the scalable common-drain region. A



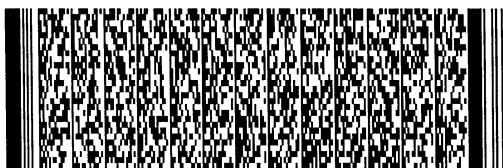
四、中文發明摘要 (發明名稱：可微縮化分開式快閃記憶細胞元結構及其無接點快閃記憶陣列)

元件代表符號：

|                   |                 |
|-------------------|-----------------|
| 300 半導體基板         | 301/ 301a 穿透介電層 |
| 302c 可微縮化漂浮閘島     | 303c 成形閘間介電層    |
| 305a 共源擴散區        | 305b 高摻雜共源擴散區   |
| 306b 回蝕第一側邊牆介電墊層  |                 |
| 307d/ 307b 共源導電管線 |                 |
| 308b 回蝕第一平面化氧化物層  |                 |
| 310b 離子佈植區        | 311c 複晶矽氧化物層    |
| 311d 閘介電層         | 312d 可微縮化控制閘導電島 |
| 314a 共汲擴散區        | 314b 高摻雜共汲擴散區   |
| 315b 回蝕第四側邊牆介電墊層  |                 |
| 316d/ 316b 共汲導電管線 |                 |
| 317b 回蝕第二平面化氧化物層  |                 |

六、英文發明摘要 (發明名稱：Scalable split-gate flash cell structure and its contactless flash memory arrays)

scalable floating-gate island being capped with an intergate dielectric layer is formed on a tunneling dielectric layer under a first portion of the scalable control-gate conductive island, wherein a poly-oxide layer is formed over an inner sidewall of the scalable floating-gate island and a gate dielectric layer is formed under a second portion of the scalable control-gate conductive island. The



四、中文發明摘要 (發明名稱：可微縮化分閘式快閃記憶細胞元結構及其無接點快閃記憶陣列)

318a 金屬字線

六、英文發明摘要 (發明名稱：Scalable split-gate flash cell structure and its contactless flash memory arrays)

common-source region/ the scalable common-drain region comprises a common-source/drain diffusion region capped with a highly conductive layer for forming different contactless flash memory arrays.



## 六、申請專利範圍

1. 一種可微縮化分閘式快閃記憶細胞元結構，至少包含：

一種第一導電型的一個半導體基板；

一個可微縮化分閘區形成於該半導體基板之上，其中上述之可微縮化分閘區係介於一個共源區及一個可微縮化共汲區之間；

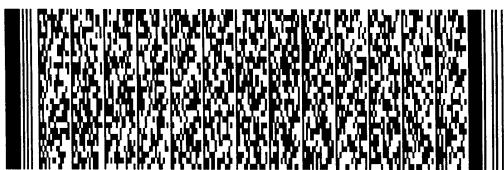
該可微縮化分閘區至少包含一個可微縮化控制閘導電島具有其第一部份形成於一個可微縮化漂浮閘島之上方及其第二部份形成於一個閘介電層的一部份表面之上，其中上述之可微縮化漂浮閘島具有一個閘間介電層形成於其頂部表面之上及一個複晶矽氧化物層形成於其內側邊牆之上係形成於一個穿透介電層的一部份表面之上；

該共源區藉由一個第一罩幕光阻步驟來定義至少包含一種第二導電型的一個共源擴散區藉由一個自動對準的方式佈植摻雜質於該半導體基板的一個表面部份；

該可微縮化共汲區至少包含該第二導電型的一個共汲擴散區藉由一個自動對準的方式佈植摻雜質於該半導體基板的一個表面部份；

一個金屬字線與該可微縮化控制閘導電島積體化連結並與該共源區及該可微縮化共汲區互為垂直，其中上述之金屬字線、該可微縮化控制閘導電島、該閘間介電層及該可微縮化漂浮閘島係同時藉由一個第二罩幕光阻步驟來成形；以及

兩個細胞元隔離區形成於該金屬字線之外且位於該共源區及該可微縮化共汲區之間的該半導體基板之表面部份



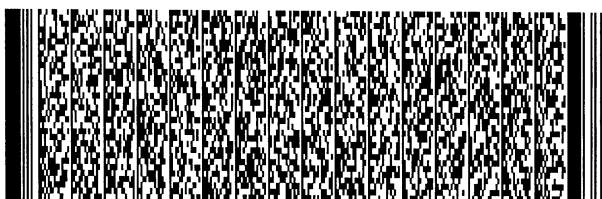
## 六、申請專利範圍

。

2. 如申請專利範圍第 1 項所述之可微縮化分閘式快閃記憶細胞元結構，其中上述之共源區進一步至少包含一對回蝕第一側邊牆介電墊層形成於鄰近可微縮化分閘區的側邊牆之上且置於該穿透介電層的一部份表面之上、一個共源導電層形成於該對回蝕第一側邊牆介電墊層之間且置於形成於該共源擴散區之內的一個高摻雜共源擴散區之上以及一個回蝕第一平面化氧化物層形成於該對回蝕第一側邊牆介電墊層之間且置於該共源導電層之上。

3. 如申請專利範圍第 1 項所述之可微縮化分閘式快閃記憶細胞元結構，其中上述之可微縮化共汲區進一步包含一對回蝕第四側邊牆介電墊層形成於鄰近可微縮化分閘區的側邊牆之上且置於該閘介電層的一部份表面之上、一個共汲導電層形成於該對回蝕第四側邊牆介電墊層之間且置於形成於該共汲擴散區之內的一個高摻雜共汲擴散區之上以及一個回蝕第二平面化氧化物層形成於該對回蝕第四側邊牆介電墊層之間且置於該共汲導電層之上。

4. 如申請專利範圍第 1 項所述之可微縮化分閘式快閃記憶細胞元結構，其中上述之可微縮化漂浮閘島藉由形成於該共源區的一個側邊牆之上的一個第二側邊牆介電墊層來定義至少包含一個摻雜複晶矽或摻雜非晶矽島。



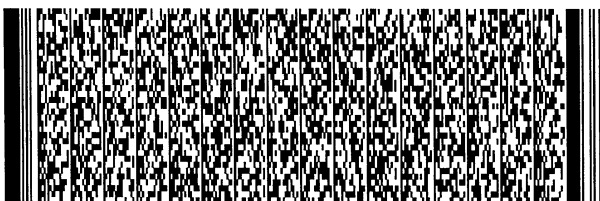
## 六、申請專利範圍

5. 如申請專利範圍第1項所述之可微縮化分閘式快閃記憶細胞元結構，其中上述之可微縮化控制閘導電島藉由形成於該共源區的一個側邊牆之上的一個第三側邊牆介電墊層來定義至少包含一個摻雜複晶矽島或一個摻雜複晶矽島覆蓋有一個鎢(W)島或一個矽化鎢( $WSi_2$ )島。

6. 如申請專利範圍第1項所述之可微縮化分閘式快閃記憶細胞元結構，其中上述之共源／汲擴散區至少包含一個高摻雜擴散區或一個高摻雜擴散區形成於一個淡摻雜擴散區之內。

7. 如申請專利範圍第1項所述之可微縮化分閘式快閃記憶細胞元結構，其中上述之金屬字線至少包含一個金屬層形成於一個障礙金屬層之上而該金屬層至少包含鋁(Al)、銅(Cu)或鎢(W)。

8. 如申請專利範圍第1項所述之可微縮化分閘式快閃記憶細胞元結構，其中上述之第一導電型的一個離子佈植區至少包含一個淺離子佈植區以作為臨界電壓的調整及一個深離子佈植區以作為抵穿禁止區係形成於位於該可微縮化分閘區之內的該閘介電層之下的該半導體基板之一個表面部份。



## 六、申請專利範圍

9. 如申請專利範圍第1項所述之可微縮化分開式快閃記憶細胞元結構，其中上述之細胞元隔離區至少包含該第一導電型的一個隔離離子佈植區或一個淺凹槽隔離(STI)區。

10. 一種可微縮化分開式快閃記憶細胞元結構，至少包含：

一種第一導電型的一個半導體基板；

一個可微縮化分開區形成於該半導體基板之上，其中上述之可微縮化分開區係介於一個共源區及一個可微縮化共汲區之間；

該可微縮化分開區至少包含一個可微縮化控制閘導電島具有其第一部份形成於一個可微縮化漂浮閘島之上方及其第二部份形成於一個閘介電層的一部份表面之上，其中上述之可微縮化漂浮閘島具有一個閘間介電層形成於其頂部表面之上及一個複晶矽氧化物層形成於其內側邊牆之上係形成於一個穿透介電層的一部份表面之上；

該共源區藉由一個第一罩幕光阻步驟來定義至少包含一種第二導電型的一個共源擴散區藉由一個自動對準的方式佈植摻雜質於該半導體基板的一個表面部份、一對回蝕第一側邊牆介電墊層形成於鄰近可微縮化分開區的側邊牆之上且置於該穿透介電層的一部份表面之上、一個共源導電層形成於該對回蝕第一側邊牆介電墊層之間且置於形成於該共源擴散區之內的一個高摻雜共源擴散區之上以及一個回蝕第一平面化氧化物層形成於該對回蝕第一側邊牆介電墊層之間且置於該共源導電層之上；



## 六、申請專利範圍

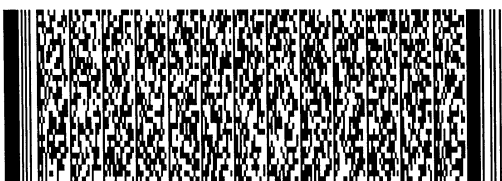
該可微縮化共汲區至少包含該第二導電型的一個共汲擴散區藉由一個自動對準的方式佈植摻雜質於該半導體基板的一個表面部份、一對回蝕第四側邊牆介電墊層形成於鄰近可微縮化分閘區的側邊牆之上且置於該閘介電層的一部份表面之上、一個共汲導電層形成於該對回蝕第四側邊牆介電墊層之間且置於形成於該共汲擴散區之內的一個高摻雜共汲擴散區之上以及一個回蝕第二平面氧化物層形成於該對回蝕第四側邊牆介電墊層之間且置於該共汲導電層之上；

一個金屬字線與該可微縮化控制閘導電島積體化連結並與該共源區及該可微縮化共汲區互為垂直，其中上述之金屬字線、該可微縮化控制閘導電島、該閘間介電層及該可微縮化漂浮閘島係同時藉由一個第二罩幕光阻步驟來成形；以及

兩個細胞元隔離區形成於該金屬字線之外且位於該共源區及該可微縮化共汲區之間的該半導體基板之表面部份。

11. 如申請專利範圍第10項所述之可微縮化分閘式快閃記憶細胞元結構，其中上述之可微縮化漂浮閘島藉由形成於該共源區的一個側邊牆之上的一個第二側邊牆介電墊層來定義至少包含一個摻雜複晶矽或摻雜非晶矽島。

12. 如申請專利範圍第10項所述之可微縮化分閘式快閃記



#### 六、申請專利範圍

憶細胞元結構，其中上述之該可微縮化控制閘導電島藉由形成於該共源區的一個側邊牆之上的一個第三側邊牆介電墊層來定義至少包含一個摻雜複晶矽島或一個摻雜複晶矽島覆蓋有一個鎢(W)島或一個矽化鎢( $WSi_2$ )島。

13. 如申請專利範圍第10項所述之可微縮化分閘式快閃記憶細胞元結構，其中上述之共源／汲擴散區至少包含一個高摻雜擴散區或一個高摻雜擴散區形成於一個低摻雜擴散區之內而該共源／汲導電層至少包含一個高摻雜複晶矽層覆蓋有一個矽化鎢( $WSi_2$ )或鎢(W)層。

14. 如申請專利範圍第10項所述之可微縮化分閘式快閃記憶細胞元結構，其中上述之金屬字線至少包含一個金屬層形成於一個障礙金屬層之上而該金屬層至少包含鋁(Al)、銅(Cu)或鎢(W)。

15. 如申請專利範圍第10項所述之可微縮化分閘式快閃記憶細胞元結構，其中上述之第一導電型的一個離子佈植區至少包含一個淺離子佈植區以作為臨界電壓的調整及一個深離子佈植區以作為抵穿禁止區係形成於位於該可微縮化分閘區之內的該閘介電層之下的該半導體基板之一個表面部份。

16. 如申請專利範圍第10項所述之可微縮化分閘式快閃記



## 六、申請專利範圍

憶細胞元結構，其中上述之細胞元隔離區至少包含該第一導電型的一個隔離離子佈植區或一個淺凹槽隔離（STI）區。

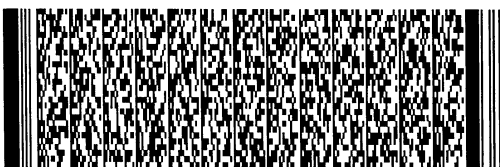
## 17. 一種無接點快閃記憶陣列，至少包含：

一種第一導電型的一個半導體基板；

複數共源區及複數可微縮化共汲區交變地形成於該半導體基板之上，其中一個可微縮化分閘區係形成於該複數共源區的每一個及其鄰近可微縮化共汲區之間；

該複數共源區的每一個至少包含一種第二導電型的一個共源擴散區形成於該半導體基板的一個表面部份、一對回蝕第一側邊牆介電墊層形成於鄰近可微縮化分閘區的側邊牆之上且置於一個穿透介電層的一部份表面之上、一個共源導電管線形成於該對回蝕第一側邊牆介電墊層之間且置於形成於該共源擴散區之內的該第二導電型的一個高摻雜共源擴散區之上以及一對回蝕第一平面化氧化物層形成於該對回蝕第一側邊牆介電墊層之間且置於該共源導電管線之上；

該複數可微縮化共汲區的每一個至少包含該第二導電型的一個共汲擴散區形成於該半導體基板的一個表面部份、一對回蝕第四側邊牆介電墊層形成於鄰近可微縮化分閘區的側邊牆之上且置於一個閘介電層的一部份表面之上、一個共汲導電管線形成於該對回蝕第四側邊牆介電墊層之間且置於形成於該共汲擴散區之內的該第二導電型的一個



## 六、申請專利範圍

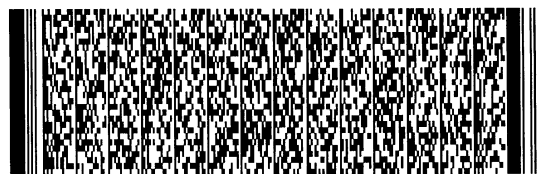
高摻雜共汲擴散區之上以及一個回蝕第二平面氧化物層形成於該對回蝕第四側邊牆介電墊層之間且置於該共汲導電管線之上；

該可微縮化分閘區的每一個至少包含複數可微縮化控制閘導電島交變地形成並具有該可微縮化控制閘導電島的一個第一部份形成於一個可微縮化漂浮閘島的上方及該可微縮化控制閘導電島的一個第二部份形成於一個閘介電層之一部份表面之上，其中上述之可微縮化漂浮閘島具有一個閘間介電層形成於其頂部表面之上及一個複晶矽氧化物層形成於其內側邊牆之上係形成於該穿透介電層的一部份表面之上；

複數金屬字線與該複數共源區及該複數可微縮化共汲區互為垂直並具有該複數金屬字線的每一個與該可微縮化控制閘導電島積體化連結，其中上述之複數金屬字線、該可微縮化控制閘導電島、該閘間介電層及該可微縮化漂浮閘島係藉由一個罩幕光阻的步驟來同時成形；以及

複數細胞元隔離區形成於該複數金屬字線、該複數共源區及該複數可微縮化共汲區之外的該半導體基板之表面部份。

18. 如申請專利範圍第17項所述之無接點快閃記憶陣列，其中位於該可微縮化分閘區的每一個之內的該複數可微縮化漂浮閘島藉由形成於該共源區的一個側邊牆之上的一個第二側邊電墊層來定義至少包含摻雜複晶矽或摻雜非晶矽



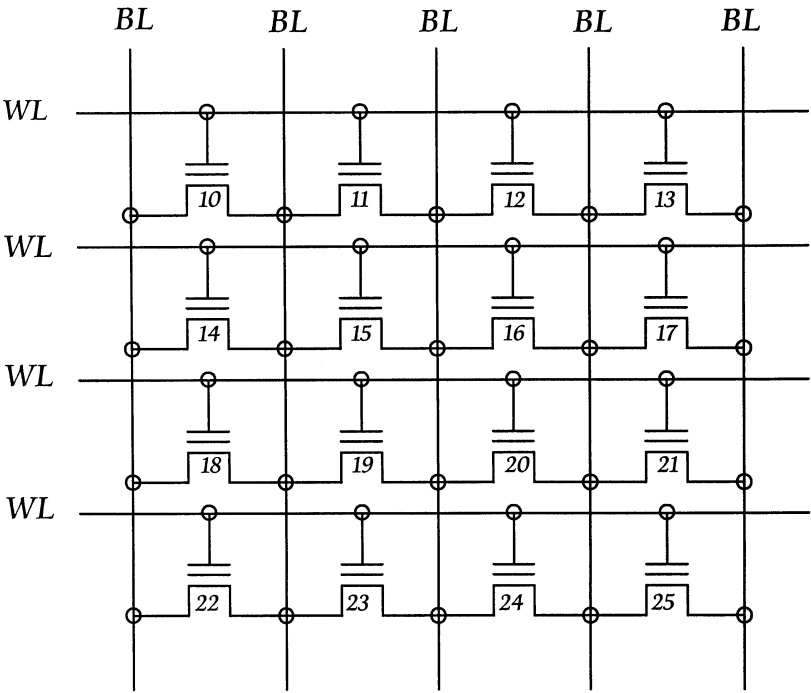
## 六、申請專利範圍

島而位於該可微縮化分閘區的每一個之內的該複數可微縮化控制閘導電島藉由形成於該共源區的一個側邊牆之上的一個第三側邊牆介電墊層來定義至少包含複數摻雜複晶矽島或複數摻雜複晶矽島覆蓋有複數鎢(W)或矽化鎢( $WSi_2$ )島。

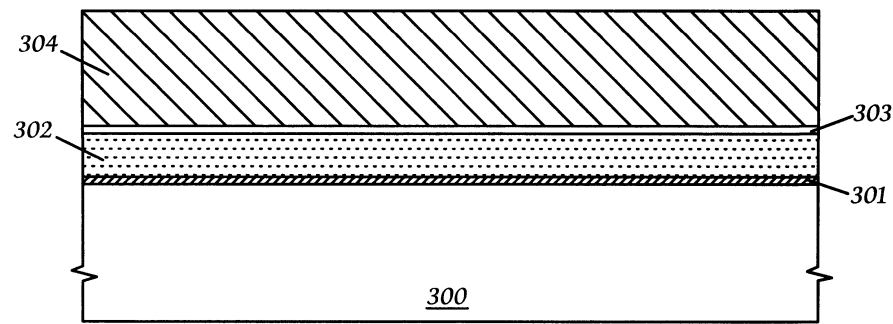
19. 如申請專利範圍第17項所述之無接點快閃記憶陣列，其中上述之複數細胞元隔離區的每一個至少包含該第一導電型的一個隔離離子佈植區或一個淺凹槽隔離(STI)區而該第一導電型的一個離子佈植區至少包含一個淺離子佈植區以作為臨界電壓的調整及一個深離子佈植區以形成一個抵穿禁止區係形成於該可微縮化控制閘導電島之該第二部份之下的該半導體基板之一個表面部份。

20. 如申請專利範圍第17項所述之無接點快閃記憶陣列，其中上述之複數共源／汲擴散區的每一個至少包含一個高摻雜擴散區或一個高摻雜擴散區形成於一個低摻雜擴散區之內而該複數共源／汲導電管線的每一個至少包含一個高摻雜複晶矽層或一個高摻雜複晶矽層覆蓋有一個鎢(W)或矽化鎢( $WSi_2$ )層。

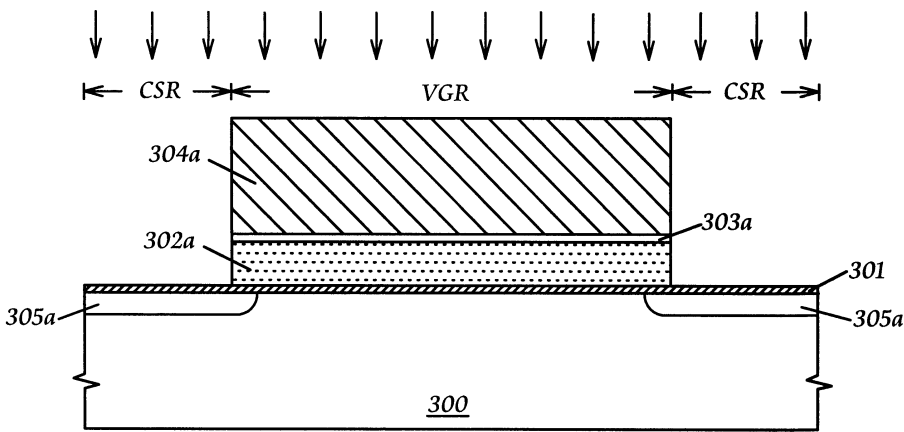




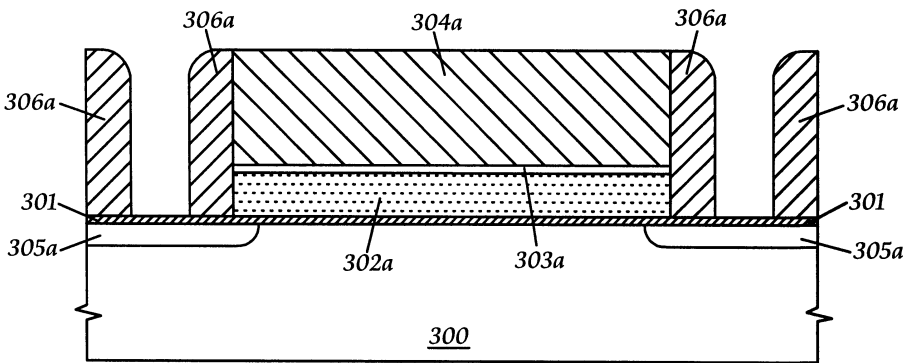
圖一(先前技術)



圖二A

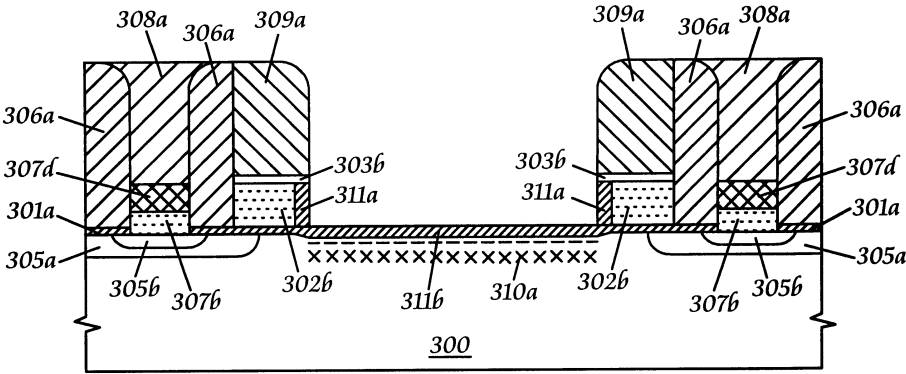


圖二B

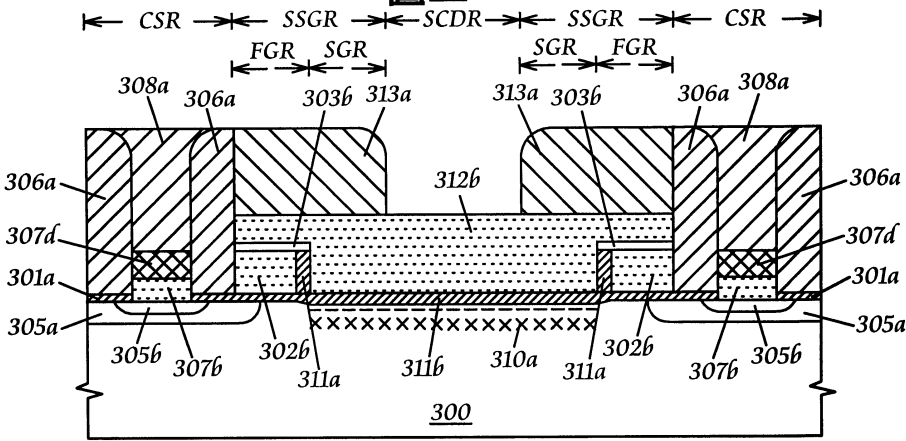


圖二C

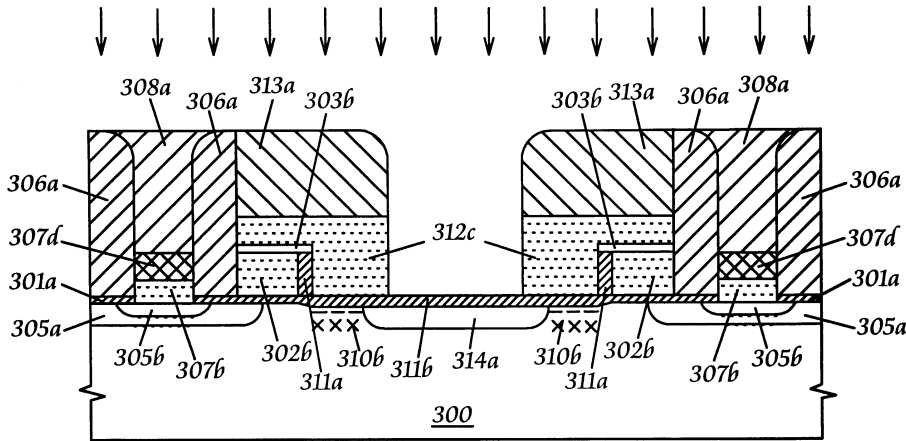
圖二F



圖二G

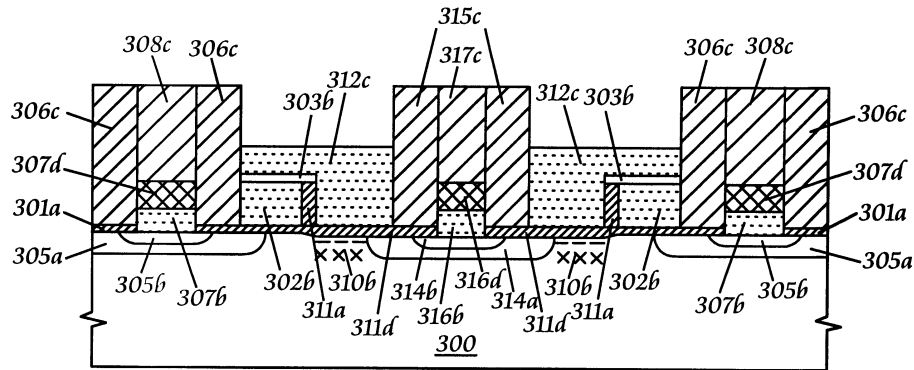


圖二H

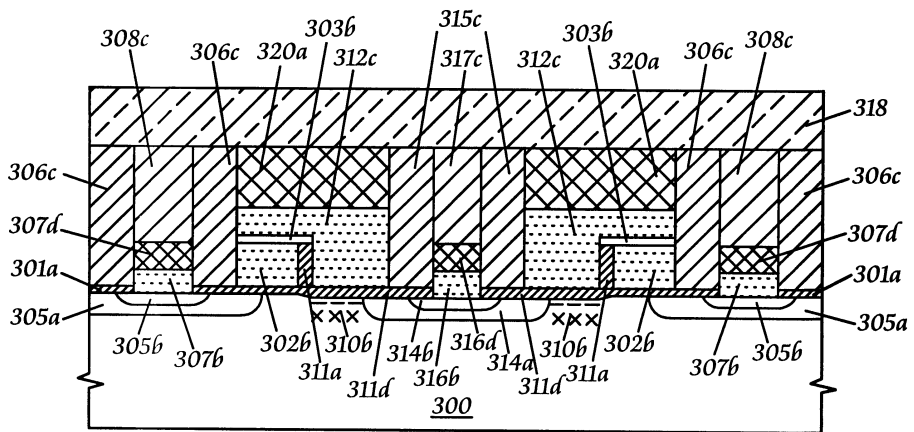


圖二I

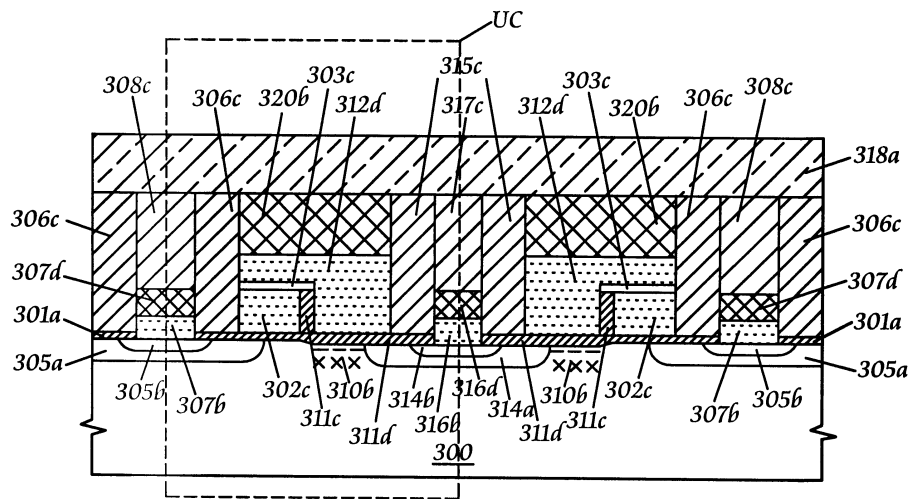
圖二L



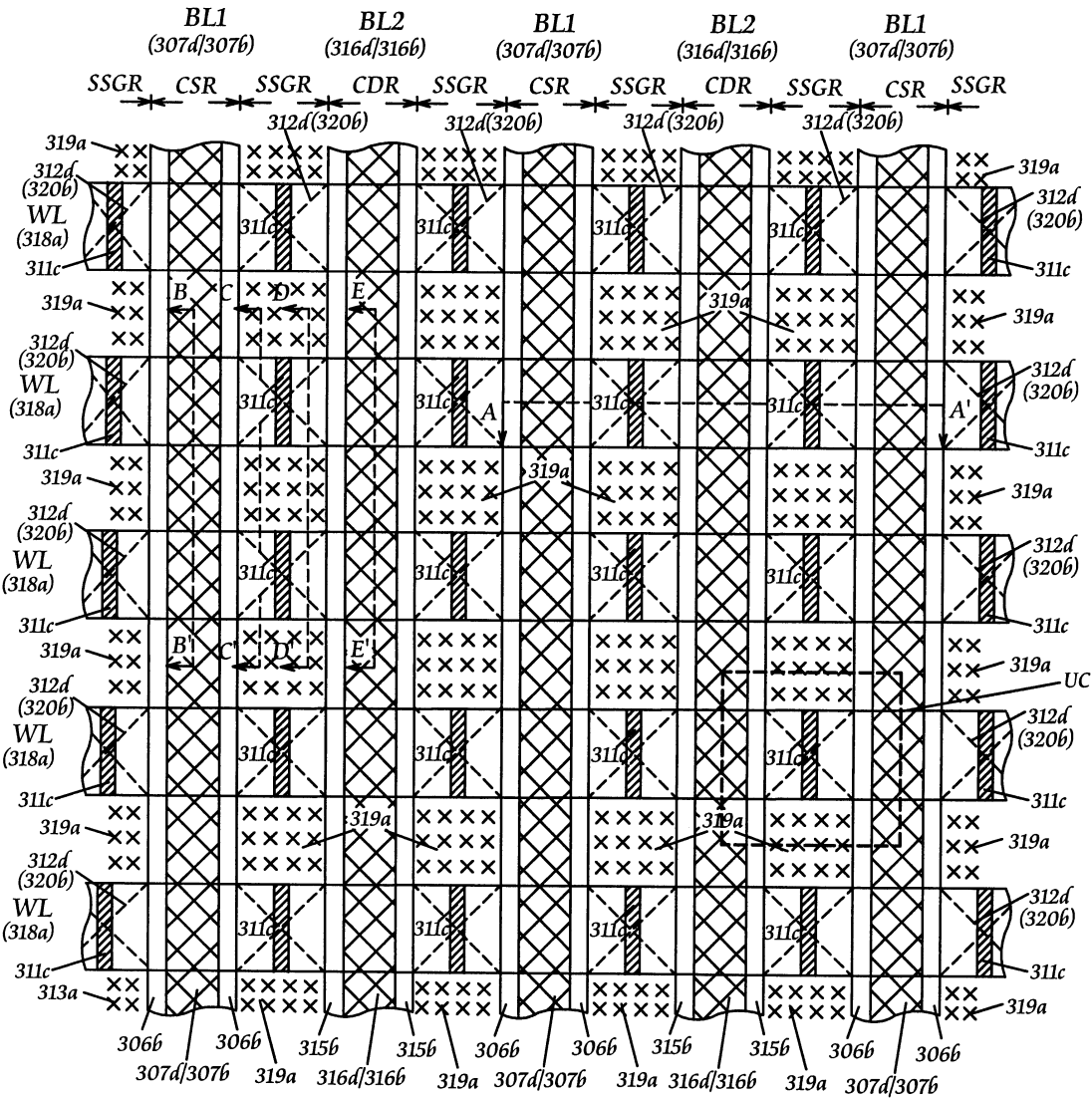
圖三A



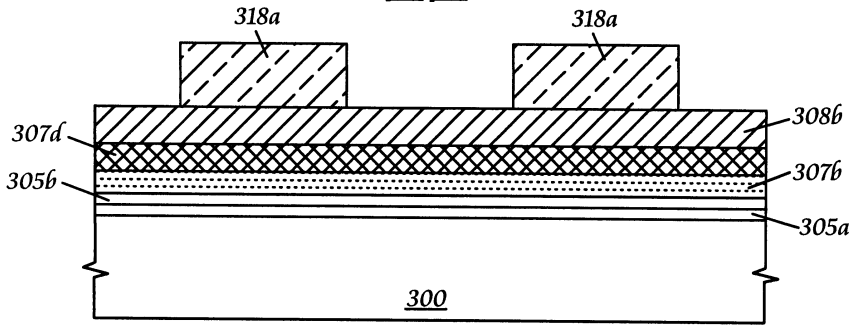
圖三B



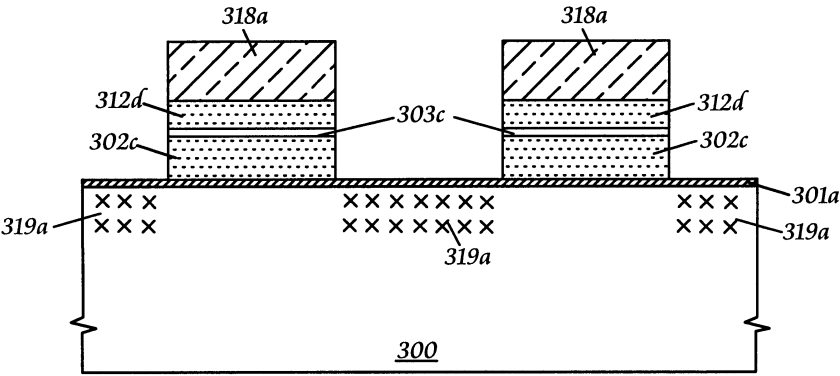
圖三C



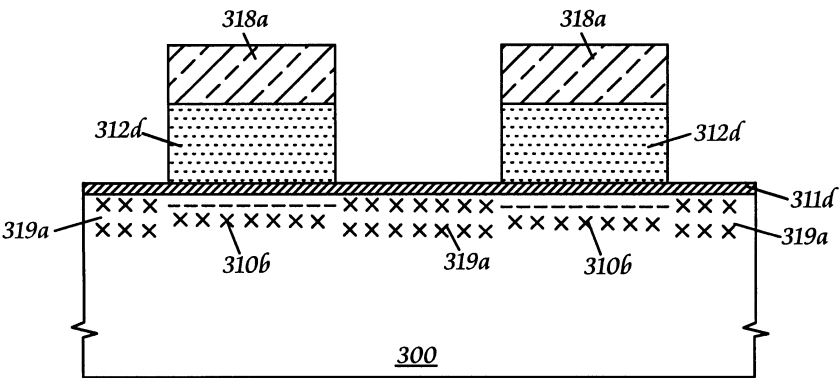
圖四



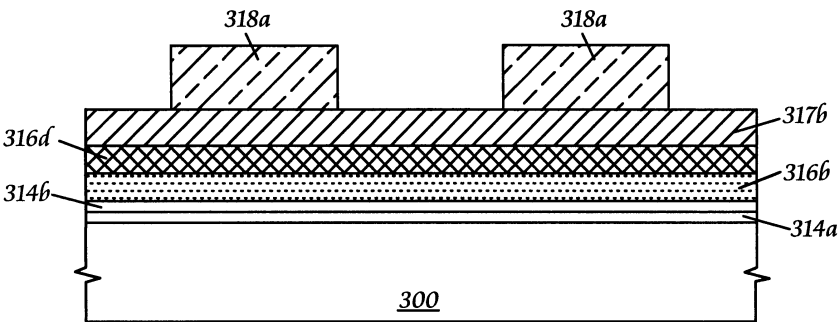
圖五A



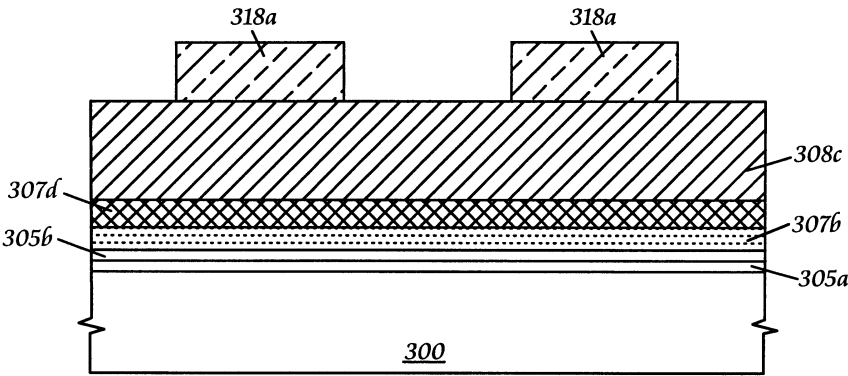
圖五B



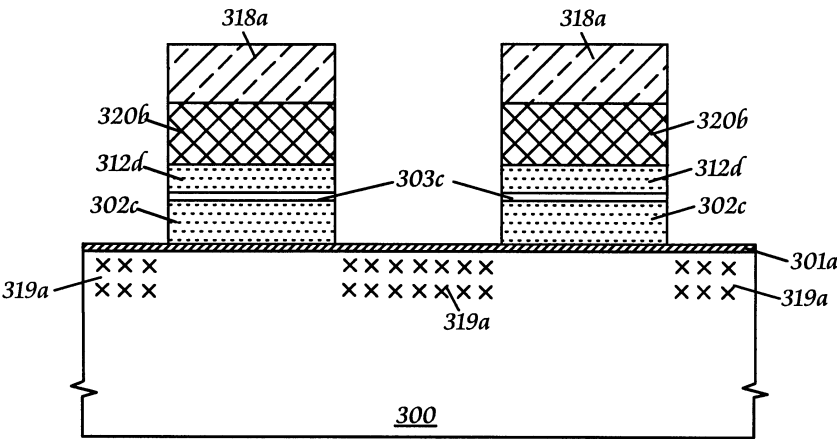
圖五C



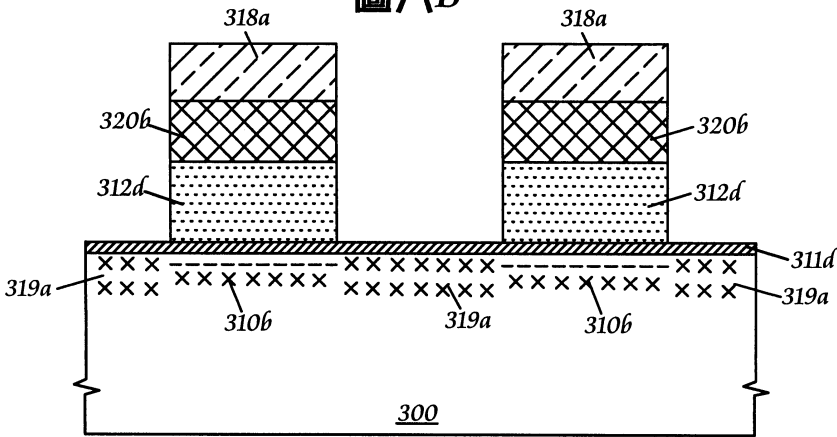
圖五D



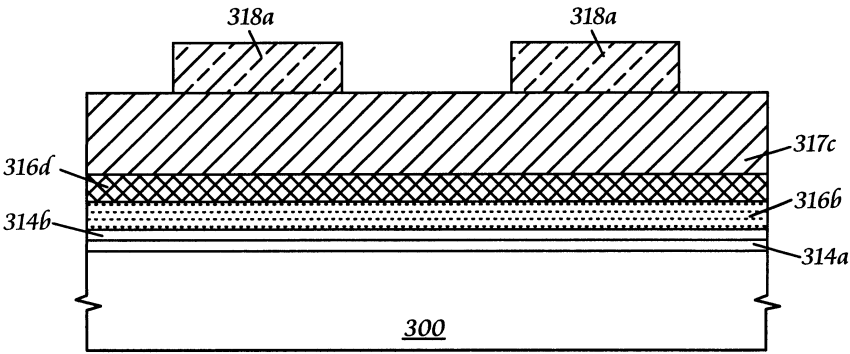
圖六A



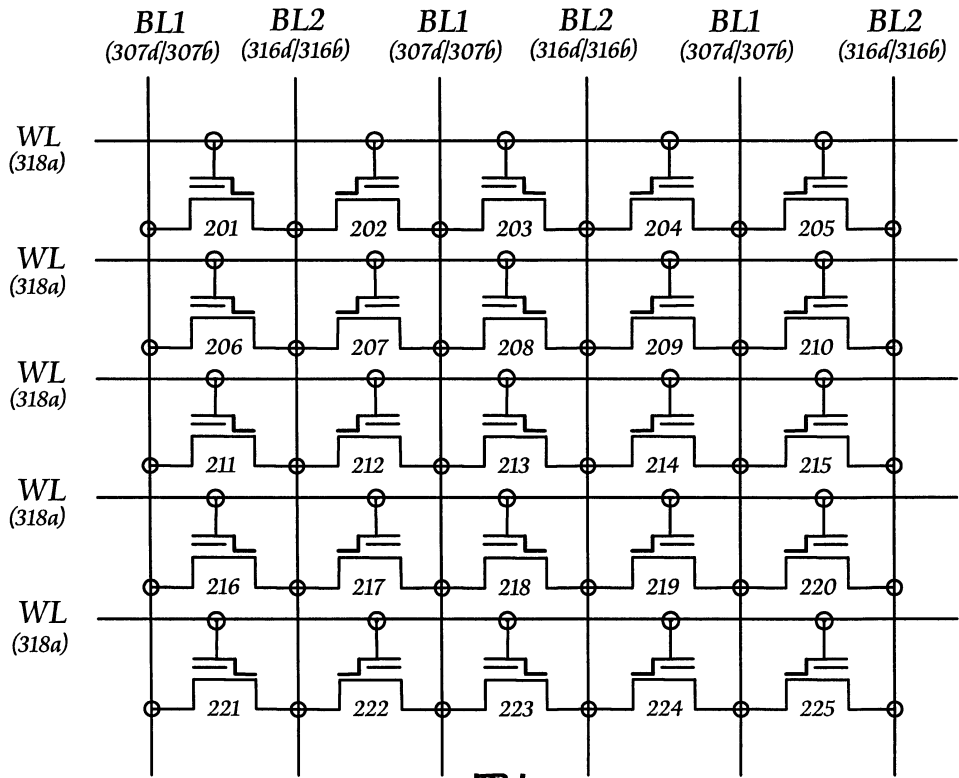
圖六B



圖六C



圖六D



圖七

93519 補充

## 圖式簡單說明

圖一顯示先前技術之疊堆閘快閃記憶細胞元陣列具有埋層共源／汲擴散位元線的一個電路代表圖。

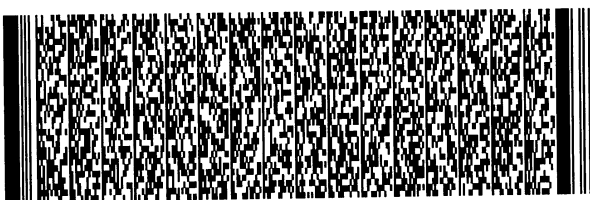
圖二A至圖二L揭示製造本發明之一種第一型可微縮化分閘式快閃記憶細胞元結構及其無接點快閃記憶陣列的製程步驟及其剖面圖。

圖三A至圖三C揭示製造本發明之一種第二型可微縮化分閘式快閃記憶細胞元結構及其無接點快閃記憶陣列之接續圖二J的製程步驟及其剖面圖。

圖四揭示本發明之該第一／第二型可微縮化分閘式快閃記憶細胞元結構及其無接點快閃記憶陣列的一個簡要綜合頂視佈建圖。

圖五A至圖五D揭示該第一型可微縮化分閘式快閃記憶細胞元結構及其無接點快閃記憶陣列之圖四所標示的各種不同剖面圖，其中圖四所標示之沿著一個A-A'線的一個剖面圖係顯示於圖二L中；圖五A顯示圖四所標示之沿著一個B-B'線的一個剖面圖；圖五B顯示圖四所標示之沿著一個C-C'線的一個剖面圖；圖五C顯示圖四所標示之沿著一個D-D'線的一個剖面圖；以及圖五D顯示圖四所標示之沿著一個E-E'線的一個剖面圖。

圖六A至圖六D揭示該第二型可微縮化分閘式快閃記憶細胞元結構及其無接點快閃記憶陣列之圖四所標示的各種不同剖面圖，其中圖四所標示之沿著一個A-A'線的一個剖面圖係顯示於圖三C中；圖六A顯示圖四所標示之沿著一個B-B'線的一個剖面圖；圖六B顯示圖四所標示之沿著一個



83年5月19日

## 圖式簡單說明

C-C' 線的一個剖面圖；圖六C 顯示圖四所標示之沿著一個 D-D' 線的一個剖面圖；以及圖六D 顯示圖四所標示之沿著一個 E-E' 線的一個剖面圖。

圖七揭示本發明之該第一／第二型可微縮化分開式快閃記憶細胞元結構及其無接點快閃記憶陣列的一個簡要綜合電路代表圖。

## 代表圖號說明：

|                    |             |             |            |
|--------------------|-------------|-------------|------------|
| 300                | 半導體基板       | 301 / 301a  | 穿透介電層      |
| 302                | 第一導電層       | 302a        | 成形第一導電層    |
| 302b               | 可微縮化漂浮閘層    | 302c        | 可微縮化漂浮閘島   |
| 303                | 閘間介電層       |             |            |
| 303a / 303b / 303c | 成形閘間介電層     |             |            |
| 304                | 單幕介電層       | 304a        | 成形單幕介電層    |
| 305a               | 共源擴散區       | 305b        | 高摻雜共源擴散區   |
| 306a               | 第一側邊牆介電墊層   |             |            |
| 306b / 306c        | 回蝕第一側邊牆介電墊層 |             |            |
| 307d / 307b        | 共源導電管線      | 308a        | 第一平面化氧化物層  |
| 308b               | 回蝕第一平面化氧化物層 |             |            |
| 309a               | 第二側邊牆介電墊層   | 310a / 310b | 離子佈植區      |
| 311b / 311d        | 閘間介電層       | 311a / 311c | 複晶矽氧化物層    |
| 312a               | 平面化第二導電層    | 312b        | 回蝕平面化第二導電層 |

