

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

美國 2001 年 12 月 21 日 10/026,257 ☒有主張優先權

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

五、發明說明 (1)

發明背景

概言之，本發明與在半導體裝置上製造跨接結構有關。更明確地說，本發明與用於製造跨接結構的雙鑲嵌製程有關，且跨接結構中使用低-k的介電材料。

有數種不同的雙鑲嵌製程可用於製造跨接結構。其中之一如圖 1 至 4 所示的完全-孔道-優先(full via-first; FVF)。如圖 1 所示，在蝕刻前，結構 10 中可能具有一跨接層 11，金屬跨接物 18 成形於其中。覆於層 11 與金屬跨接物 18 上的是壁障層 14。在壁障層 14 上方是被中間止蝕層 15 隔開的兩層介電層 12 及 13。其上製作有圖案的光阻層(PR)16 沈積於介電層 13 之上。

使用照相製版術在元件或結構 10 的光阻層 16 上製作孔道圖案。如圖 12 所示，蝕刻貫穿介電層 12、13 及止蝕層 15 直達壁障層 14 以形成孔道 17。接著去除半導體裝置上的光阻層 16，並重新被覆一新的光阻層(圖中未顯示)。再在新的光阻層上製作溝的圖案。如圖 3 所示，蝕刻穿過介電層 13 直達止蝕層 15 以形成溝 18。接著剝除新光阻層。接著選擇性地蝕刻孔道 17 中露出的止蝕層 15 及絕緣壁障層 14。接著在溝 18 及孔道 17 中沈積一銅的壁障薄層(圖中未顯示)及一銅膜 19。使用化學機械拋磨法將半導體裝置整平以形成如圖 4 所示的跨接結構。

如上所述，在蝕穿介電層 12、13 形成孔道 17 之後，要在裝置 10 上沈積一層新的光阻材料填入孔道 17。使用自整平抗反射塗布/光阻或 ARC/光阻提供一平表面以供照

五、發明說明 (2)

相製版設備良好的聚焦。使用 ARC/ 光阻的缺點包括有可能形成微溝槽以及爲了去除孔道中的 ARC 而拖長蝕刻所需的時間，且不保證能完全清除孔道內的 ARC。這些問題導致良品率降低及裝置的可靠度不佳。

還有另一問題是 ARC/ 光阻與“低-K 介電材料”中之胺雜質間的交互作用。介電常數低的介電材料即是所謂的低-K 介電材料，用於製造半導體裝置之跨接結構愈來愈受歡迎。典型上，低-K 介電材料的介電常數大約是 3.0。不過，當光阻材料與低-K 介電材料接觸時，低-K 介電材料或其中的雜質會與光阻材料產生化學反應。

在形成溝的期間，低-K 介電材料與光阻材料間的反應會加劇，除了表面反應之外，還會與孔道產生反應。光阻材料與低-K 介電材料間的反應會阻礙溝圖案的形成，且因此無法使用傳統的 FVF 雙鑲嵌製程製造跨接結構。

這些缺點導致要使用另一種雙鑲嵌製程，該製程包括在低-K 介電材料上沈積一遮罩層(也稱爲“硬遮罩層”)。在本文中所使用的遮罩層包括一層膜、或組合膜，這些膜在跨接結構中覆於介電材料上，做爲光阻層與介電材料間的壁障層。遮罩層也稱爲硬遮罩層或光阻遮罩，這些名詞在本揭示中可交替使用。在蝕刻製程期間，遮罩層保護特定區域的介電材料。

在習知技術中，硬遮罩典型上包括兩層特性不同的膜。兩層遮罩膜中，第一遮罩膜通常是由碳化矽(SiC)或氮化矽(Si₃N₄)構成，第二遮罩膜是由二氧化矽(SiO₂)構成。在照

五、發明說明 (3)

相製版與蝕刻孔道及溝的期間，兩硬遮罩膜防止光阻材料與低-K介電材料接觸。此外，第一遮罩膜(SiC或Si₃N₄)保護低-K介電材料不會被化學機械拋磨。它也做為沈積在溝或孔道中之金屬膜的絕緣體或擴散壁障，其功用是防止從沈積在溝中的導電金屬洩漏表面電流或金屬離子。第二硬遮罩膜是做為犧牲層，溝或孔道從該處開始蝕刻，且在所有製程完成後被去除。當該層上的孔道或溝圖案轉移到下方的介電層時，該層也有助於保護下方的介電層。

結合遮罩層的雙鑲嵌製程是在具有兩層硬遮罩中的部分-溝-優先(partial-trench-first, 也稱為“PTF-2LM”), 以及在兩層硬遮罩中的部分-孔道-優先(partial-via-first, 也稱為“PVF-2LM”)。現以圖 5-8 說明 PTF-2LM 雙鑲嵌製程。圖 5 所示半導體裝置 20 的介電材料包括孔道介電層 22 及溝介電層 21, 沈積在下方的跨接層 23 之上, 跨接層 23 內有導電線 24。一絕緣壁障層 25 沈積於金屬層 23 與孔道介電層 22 之間。一止蝕層 26 沈積於孔道介電層 22 與溝介電層 21 之間。具有第一遮罩膜 27A 及第二遮罩膜 27B 的遮罩層 27 覆於介電材料之上。在遮罩層上沈積一光阻層 28 以製作溝特徵的圖案。

關於圖 6, 先在光阻層 28 中製作溝的圖案, 接著蝕刻穿過第二遮罩膜 27B 到達第一遮罩膜 27A。接著去除光阻層 28, 並以新的光阻層 28A 填滿溝 30。關於圖 7, 在新的光阻層 28A 中製作孔道 29 的圖案, 接著蝕刻穿過介電層 21 及 22 到達絕緣壁障層 25。接著剝除新的光阻層 28A。

五、發明說明 (4)

如圖 8 所示，繼續蝕刻已製作在遮罩層 27 中的圖案，且將溝 30 特徵蝕刻穿過溝介電層 21 直到止蝕層 26。由於此處沒有光阻材料保護，因此蝕刻的化學藥品要經過挑選，俾使在蝕刻溝介電層 21 期間，遮罩層的第一遮罩膜不會被蝕刻。在一分開的蝕刻程序中，溝 30 內的止蝕層 26 及孔道 29 內的絕緣壁障層 25 被選擇性地蝕刻(圖中未顯示)，以使孔道 29 可以將成形在溝 30 中的導電線連接到下方的導電線 24。

孔道 29 將成形在溝 30 中的導電線連接到下方的導電線 24。為獲得最佳的良品率與可靠度，孔道與溝特徵必須完美地對齊。在上述的 PTF-2LHM 雙鑲嵌製程中，首先是溝 30 與下方的導電線 24 對齊，接著是孔道 29 與溝 30 或導電線 24 對齊。如果溝 30 與導電線 24 未對齊，將影響孔道 29 的對齊或導電率。如果孔道 29 相對於溝 30 也未對齊，誤差即更加大。對不齊的跨接特徵會致使漏電加劇，孔道接觸電阻及孔道鏈電阻增加，這些都會導致良品率下降。

因此，較佳的做法是先對齊孔道與其下方的金屬線並蝕刻孔道，其製程如圖 9-12 中所示的 PVF-2LHM 雙鑲嵌製程。先在光阻層 31 上製作孔道 39 特徵，接著將其蝕刻到雙遮罩層 32 的第二遮罩膜 32B。剝除光阻層 31 並覆以新的光阻層 46。接著在新的光阻層 46 上製作溝特徵 30。首先使用能蝕刻第一遮罩膜 32A 的化學蝕刻藥品蝕刻孔道 39 穿過遮罩層 32 的第一遮罩膜 32A 到達溝介電層 33 中一既定深度。接著蝕刻光阻層 46 中的溝 30 特徵進入遮罩層 32 的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明（ 5）

第二遮罩膜 32B。接著蝕刻穿過孔道介電層 34 到達絕緣壁障層 37 以形成孔道 39，如圖 11 所示。關於圖 12，接著，按照先前製作在光阻層以及蝕刻在遮罩層 32 之第二遮罩膜 32B 上的特徵蝕刻穿過溝介電層 33 以形成溝 30。在分開蝕刻的程序中，溝 30 內的止蝕層 38 及孔道 39 內的絕緣壁障層 37 乃是被選擇性地蝕刻。接著，孔道 39 將下方的導電線 36 連接到成形在溝 30 中的導電線。

在 PVF-2LHM 雙鑲嵌製程中的對齊誤差會造成孔道的寬度縮小。如圖 13 所示的半導體裝置中有一孔道 41，蝕刻到具有第一遮罩膜 40A 及第二遮罩膜 40B 的遮罩層 40 內一既定深度。接著在遮罩層 40 上沈積一光阻層 42，圖中所示之製作在光阻層 42 中的溝特徵 43 圖案通過第二遮罩膜 40B。如圖 13 中的虛線所示，溝特徵 43 與遮罩層 40 中已部分蝕刻的孔道 41 並未對齊。當穿過光阻層 42 及介電材料繼續蝕刻孔道 41 時，在介電材料中並未完全蝕刻出完整孔道 41 的尺寸。圖 14 中的虛線代表孔道 41 的原始尺寸。不過，孔道 41 的原始尺寸並未完全落於製作在新光阻層 42 中之溝特徵 43 的圖案內，因此，在介電材料中無法蝕刻出完整尺寸的孔道 41。因此，孔道的尺寸被縮小。接著再在介電材料中蝕刻溝 45，對齊的誤差造成溝 45 偏離導電線 44。孔道的尺寸縮小可能導致孔道的接觸電阻及鏈電阻增加，使得裝置的可靠度及良品率不佳。

發明概述

五、發明說明 (6)

本發明使用創新的遮罩層解決前述以雙鑲嵌製造跨接結構時的問題。此遮罩層用於低-K介電材料時特別有效。在本說明書中所使用的低-K介電材料或低-K介電層包括有機矽酸鹽介電材料及有機介電材料，所具有的介電常數大約為 3。

遮罩層是沈積在介電材料上，介電材料覆於下方的金屬層之上。遮罩層具 4 層遮罩膜，包括做為絕緣膜及 / 或鈍化膜的第一遮罩膜（也稱為“鈍化遮罩膜”。剩下的 3 層遮罩膜包括第二遮罩膜、第三遮罩膜及第四遮罩膜，都沈積在第一遮罩膜之上。

遮罩膜的成分為第一遮罩膜的蝕刻特性實質上與第三遮罩膜的蝕刻特性相同，而第二遮罩膜的蝕刻特性實質上與及第四遮罩膜相同。本說明書中所使用的“蝕刻特性”一詞指的是膜或層成分的特性，包括蝕刻速率、對特定蝕刻藥品的蝕刻選擇性及 / 或蝕刻程序。

第一遮罩膜及第三遮罩膜的材料包括二氧化矽或碳化矽，它們是吾人所熟知用於遮罩膜的膜成分。或者，這些膜的材料也可以是氮化矽或某些其它適合的化合物，只要相對於介電材料具有可接受之蝕刻選擇性的材料即可。第二遮罩膜與第四遮罩膜也是選用相同的材料構成，相對於介電材料也要具有適當的蝕刻選擇性。

雙鑲嵌製程是在遮罩層中製作圖案與蝕刻孔特徵及溝特徵。在遮罩層中將孔特徵蝕刻到一既定深度或貫穿前 3 層膜。在遮罩層中也將溝特徵蝕刻到一既定深度，但僅貫

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (7)

穿第一遮罩膜。雙鑲嵌製程也可結合 PVF 程序，在形成溝前先在遮罩層中成形孔道，以避免 PTF 程序可能發生的對齊問題。

在孔道與溝先蝕刻入遮罩層且將所有光阻材料從裝置去除之前，不先將孔道及 / 或溝轉移到下方的介電材料中。按此方法，孔道可以完全轉移到介電材料，即使某溝與下方跨接層中的溝未對齊，孔道的寬度也不會縮減。

接著按照製作及蝕刻在遮罩層中的特徵圖案在介電材料中蝕刻孔道與溝。在蝕刻孔道、溝、止蝕層或絕緣層之各步驟期間或當製程完成時的化學機械拋磨期間，犧牲層的去除視所選擇之膜或層的蝕刻化學藥品而定。在將孔道及溝蝕刻到介電層內之後，接著在其內沈積導電金屬，使用化學機械拋磨法整平導電金屬以完成跨接結構。

圖式簡單說明

為進一步瞭解本發明，以下將配合附圖詳細描述，其中：

圖 1 到 4 說明完全 - 孔道 - 優先的雙鑲嵌製程；

圖 5 到 8 說明具有 2 層硬遮罩之部分 - 溝 - 優先 (PTF-2LHM) 的雙鑲嵌製程；

圖 9 到 12 說明具有 2 層硬遮罩之部分 - 孔道 - 優先 (PTF-2LHM) 的雙鑲嵌製程；

圖 13-14 說明 PVF-2LHM 雙鑲嵌製程所造成的孔道尺寸縮小；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (8)

圖 15-26 說明創新的遮罩層及本發明的雙鑲嵌製程；以及

圖 27-29 說明當半導體裝置上的溝未對齊時，創新的遮罩層及本發明的雙鑲嵌製程。

元件表

- 11 跨接層
- 18 金屬跨接物
- 14 壁障層
- 12 介電層
- 13 介電層
- 15 中間止蝕層
- 16 製作有圖案的光阻層(PR)
- 17 孔道
- 18 溝
- 19 銅膜
- 20 半導體裝置
- 21 溝介電層
- 22 孔道介電層
- 23 跨接層
- 24 導電線
- 25 絕緣壁障層
- 26 止蝕層
- 27 遮罩層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (9)

27A 第一遮罩膜

27B 第二遮罩膜

28 光阻層

30 溝

31 光阻層

32 雙遮罩層

39 孔道

32B 第二遮罩膜

46 新的光阻層

32A 第一遮罩膜

33 溝介電層

34 孔道介電層

37 絕緣壁障層

38 止蝕層

41 孔道

40 遮罩層

40A 第一遮罩膜

40B 第二遮罩膜

42 光阻層

43 溝特徵

45 溝

44 導電線

51 孔道介電層

52 溝介電層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (10)

- 53 跨接層
- 54 導電金屬
- 55 壁障層
- 56 止蝕層
- 57 遮罩層
- 58 第一遮罩膜
- 59 第二遮罩膜
- 60 第三遮罩膜
- 61 第四遮罩膜
- 62 光阻層
- 64 光阻層
- 65 溝
- 66 導電金屬
- 67 光阻層
- 69 溝特徵
- 68 孔道
- 75 溝
- 73 第四遮罩膜

較佳實施例詳細說明

如圖 1 所示之包括跨接層的積體電路裝置截面圖，其中低-K介電材料包括孔道介電層 51 與溝介電層 52，成形在具有導電金屬 54 的跨接層 53 上方。在本說明書中，孔道介電層是指介電層中供成形孔道用的部分。溝介電層是

五、發明說明 (1)

指介電層中供成形溝用的部分。首先在壁障層 55 上沈積孔道介電層 51。孔道介電層 51 可以是任何有機矽酸鹽或有機的低-K 介電材料，其介電常數大約為 3.0。標準的介電材料及這類低-K 介電材料可以使用 Novellus 製造的 CORAL 或是 Applied Materials 製造的 BLACK DIAMOND，或是 Dow Chemical Company, Inc.製造的 SILK。接著在孔道介電層 51 上沈積止蝕層 56。接著在止蝕層 56 上成形溝介電層 52，溝介電層 52 的介電材料與孔道介電層 51 相同。

典型上，孔道介電層 51 的厚度範圍從大約 3000 埃到大約 6000 埃，溝介電層 52 的厚度範圍從大約 1500 埃到大約 6000 埃。止蝕層 56 及絕緣壁障層 55 的厚度範圍大約到 500 埃。

上述的膜厚例並非意欲將本發明限制在此厚度範圍。可用於絕緣壁障層 55 的材料通常包括氮化矽 (Si_3N_4) 或碳化矽 (SiC)。二氧化矽 (SiO_2) 是典型的材料，但不適用於壁障層；不過，止蝕層可以是包括二氧化矽、氮化矽或碳化矽這三種材料中的任一種。

遮罩層 57 沈積在溝介電層 52 之上。遮罩層 57 做為介電材料與沈積在遮罩層 57 上之光阻層 62 間的壁障。在圖 15 中的遮罩層 57 具有 4 層遮罩膜，包括第一遮罩膜 58、第二遮罩膜 59、第三遮罩膜 60 及第四遮罩膜 61。遮罩膜 58 到 61 的厚度範圍都是從大約 200 埃到 1000 埃，所選用的材料相對於介電材料必須具有夠高的蝕刻選擇性，以便能將製作在遮罩層中的孔道或溝圖案特徵有效地轉移到下

五、發明說明 (12)

方的介電材料中。適用於遮罩膜的典型材料包二氧化矽、氮化矽或碳化矽。

以下進一步詳細解釋本發明。在本發明中，第一遮罩膜 58 具有的蝕刻特性(即蝕刻化學藥品及 / 或程序)與第三遮罩膜 60 實質上相同。同樣地，第二遮罩膜 59 的蝕刻特性也與第四遮罩膜 61 實質上相同。如果第一遮罩膜 58 的成分是氮化矽，則第三遮罩膜 60 的成分也以氮化矽為佳；且如果第二遮罩膜 59 的成分是二氧化矽或碳化矽，則第四遮罩膜 61 的成分也是二氧化矽或碳化矽。因此，遮罩膜 58 到 61 的成分及蝕刻特性可從第一遮罩膜 58 換成第四遮罩膜 61。

第一遮罩膜 58 是一鈍化層。按其定義，鈍化層可保護下方的介電層 51 及 52 不被污染。此外，第一遮罩膜 58 也做為絕緣體。第一遮罩膜 58 中剩下的部分成為跨接結構的一部分，用以防止導電線間的表面漏電。第一遮罩膜 58 也可稱為鈍化遮罩膜。

本發明的雙鑲嵌製程描繪於圖 16 到 25。本發明的雙鑲嵌製程大體上是依循上述具有兩層硬遮罩之部分-孔道-優先的設計，但在有些方面不同，因此要用到 4 層硬遮罩。首先在光阻層 62 上製作孔道特徵的圖案，並蝕刻遮罩層 57 到達第一遮罩膜 58 以形成孔道 63。接著去除光阻層 62，如圖 17 所示。接著在遮罩層 57 上方成形一新的光阻層 64，光阻層 64 填入孔道 63 中。接著將溝特徵的圖案製作在光阻層 64 上。如圖 18 所示，接著蝕刻遮罩層 57 到達第三

五、發明說明 (13)

遮罩膜 60 以形成溝 65。

在本發明中，遮罩層 57 具有兩層額外的遮罩膜，藉以在將孔道 63 及溝 65 蝕刻到下方的介電材料之前，先將溝 65 蝕刻到遮罩層 57 內。如圖 19 所示，在將特徵 63 及 65 蝕刻到介電材料內之前，已先將光阻層 64 去除。如以下更詳細的解釋，保留遮罩層 57 中的溝 65 以避免孔道的尺寸縮小。

關於圖 20，蝕刻第一遮罩膜 58 中保留在孔道 63 尺寸內的部分，在同一步驟中，第三遮罩膜 60 中之溝 65 尺寸的部分也一併被蝕刻。如前所述，第一遮罩膜 58 與第三遮罩膜 60 具有相同的蝕刻特性及蝕刻速率或是由相同的化合物構成，因此，遮罩膜 56 及 60 的這些部分都在同一蝕刻步驟中被去除。

在圖 21 中，蝕刻穿過遮罩層 57 及溝介電層 52 到達止蝕層 56 以形成孔道 63。現在已將孔道蝕刻到介電材料內，接下來可將犧牲層 59-61 去除；不過，遮罩層 57 中的溝特徵要繼續保留，以便將溝 65 轉移到下方的介電材料中。如圖 22 所示，當溝 65 被蝕刻到第二遮罩膜 59 中時，第四遮罩膜 61 被去除。由於第二遮罩膜 59 的蝕刻特性與第四遮罩膜 61 相同，因此第二遮罩膜 59 在溝 65 圖案內的部分也一併被去除。

此外，在說明的實施例中，止蝕層的蝕刻特性與第二遮罩膜及第四遮罩膜的蝕刻特性相同。因此，在部分的第四遮罩膜 61 與第二遮罩膜 59 被去除的同時，止蝕層 56 也

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (14)

被去除，如圖 23 所示。或者，如果止蝕層之材料的蝕刻特性與第一遮罩膜及第三遮罩膜 60 相同，在蝕刻止蝕層的蝕刻程序期間，部分的遮罩膜 58 及 60 也被去除。

在一分開的步驟中將第一遮罩膜 58 位在溝 65 內的另一部分去除，因此，第一遮罩膜 58、第二遮罩膜 59 及第三遮罩膜 60 定義了溝 65。

接著向下蝕刻孔道介電層 51 直到壁障層 55 以形成孔道 63，同時蝕刻穿過溝介電層 52 形成溝 65，如圖 24 所示。接著選擇性地蝕刻壁障層 55 以露出導電線 54，且一併去除第三遮罩膜 60 剩下的部分，如圖 25 所示。現在遮罩層 57 中剩下第一遮罩膜 58 與第二遮罩膜 59。第一遮罩膜 58 是鈍化層，在處理完成後它將成為裝置結構的一部分。

如圖 26 所示，在孔道 63 及溝 65 中沈積導電金屬 66。使用濺射法或化學氣相沈積技術(CVD)先沈積一層薄的銅壁障層及銅種層(seed layer)，接著使用電鍍法沈積厚的銅膜以填滿孔道 63 與溝 65。使用化學機械整平(CMP)法去除超出溝 65 外的導電金屬，並去除殘餘的遮罩膜 59-60，因此，第一遮罩膜 58 只剩下毗鄰導電金屬 66 的部分。按此方法，使用雙鑲嵌製程形成了圖 26 中所示的跨接結構，包括了孔道 63 電氣地連接下方的導電線 54 與成形在溝 65 中的導電線。

關於圖 27 至 29，其中顯示製作在光阻層 67 中的溝特徵 69 圖案並未與孔道 68 對齊。孔道 68 的圖案已事先製作在光阻層內並蝕刻到遮罩層 66 中。接著將光阻層去除並更

五、發明說明 (15)

換成新的光阻層 67，如圖 27 所示。將溝特徵 69(以虛線表示)的圖案製作到光阻層 67 中；不過，溝特徵 69 並未與孔道 68 對齊，或朝孔道 68 的一側位移。

接著蝕刻穿過光阻層 67 及第四遮罩膜 73 進入遮罩層 66 形成溝 75。如圖 29 所示，當光阻層 67 被去除時，孔道 68 及溝 75 成形在遮罩層 66 中。光阻材料從孔道 68 中去除，因此，溝 75 的對齊誤差不會導致孔道 68 的尺寸縮水。

在本發明中，溝 75 的圖案是製作在遮罩層 66 中，在進一步蝕刻溝或孔道前，可先將裝置中的光阻層剝除。當將光阻層 67 去除後，孔道 68 的整個寬度都暴露於蝕刻程序中，因此，即使是溝未對齊，也不會使孔道的尺寸縮水。

雖然本文顯示及描述了本發明的較佳實施例，但須瞭解，所提供的這些實施例只是用於說明，並非限制本發明。熟悉此方面技術之人士應瞭解，本發明可做各種的變化、修改及替換，都不會偏離本發明。例如，本發明不需要限於本文所揭示的最佳方法，其它的應用也同等受惠於本發明的教導。因此，本發明僅受所附申請專利範圍之精神與範圍的限制。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱：

用於半導體裝置之雙鑲嵌製程之遮罩層及跨接結構之形成方法

一種用於製造半導體裝置之跨接結構的遮罩層，該遮罩層具有4層遮罩膜。第一遮罩膜與第三遮罩膜具有實質上相同的蝕刻速率。第二遮罩膜與第四遮罩膜也具有實質上相同但與第一及第三遮罩膜之蝕刻速率不同的蝕刻速率。一孔道蝕刻入第一遮罩膜中。接著將溝蝕刻入遮罩層的第三遮罩膜中。接著在介電材料中蝕刻孔道與溝。接著去除第二、第三及第四遮罩膜，而剩下的第一遮罩膜做為介電材料的鈍化層。將導電金屬沈積到孔道及溝內。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱：

A MASK LAYER AND INTERCONNECT STRUCTURE FOR DUAL DAMASCENE FABRICATION OF A SEMICONDUCTOR DEVICE

A mask layer having four mask films used in the fabrication of an interconnect structure of a semiconductor device. The first mask film and the third mask film have substantially equal etch rates. The second mask film and the fourth have substantially equal etch rates film, and different from that of the etch rate of the first and third mask films. A via is etched to the first mask film. Then a trench is etched to the third mask film of the mask layer. The via and trench are then etched in a dielectric material. The second, third and fourth mask films are removed and the first mask film remains a passivation layer for the dielectric material. A conductive metal is deposited in the via and trench.

訂

六、申請專利範圍¹

1.一種成形半導體裝置之跨接結構的方法，跨接結構具有沈積在其下方跨接層上的介電材料，且具有一延伸穿過介電材料的孔道，用以建立下方導體與介電材料上部分中之溝間的連接，其步驟包括：

(a)在介電材料上成形一遮罩層；

(b)在遮罩層內成形到達遮罩層之第一既定深度的孔道；

(c)在遮罩膜內成形到達遮罩層之第二既定深度的溝，其深度淺於成形在遮罩層中之孔道的該第一既定深度；

(d)成形一貫穿介電材料到達下方導體的孔道，其尺寸對應於成形在遮罩層中之孔道的尺寸；以及，

(e)在介電材料中成形到達電材料中既定深度的溝，其尺寸對應於成形在遮罩層中的溝尺寸。

2.如申請專利範圍第1項之方法，進一步包括從半導體裝置去除既定量之遮罩層並在介電材料上留下遮罩層中之一層膜的步驟。

3.如申請專利範圍第1項之方法，其中該介電材料包括成形在跨接層上方的孔道介電層，沈積在孔道介電層與跨接層間的壁障層，成形在孔道介電層上方的溝介電層，以及沈積在溝介電層與孔道介電層間的止蝕層。

4.如申請專利範圍第3項之方法，其中蝕刻孔道的該步驟包括蝕刻穿過孔道介電層及壁障層以形成孔道，且蝕刻溝的步驟包括蝕刻穿過溝介電層以形成溝。

5.如申請專利範圍第4項之方法，進一步包括從半導體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍 ²

裝置去除既定量之遮罩層並在介電材料上留下遮罩層中之一層膜的步驟。

6.一種使用沈積在介電材料上之遮罩層成形跨接結構的方法，其介電材料已先沈積於其下方的跨接層上，其步驟包括：

(a)在介電材料上成形具有已知蝕刻特性組的第一遮罩膜；

(b)在第一遮罩膜上成形具有與第一遮罩膜之蝕刻特性不同之已知蝕刻特性組的第二遮罩膜；

(c)在第二遮罩膜上成形蝕刻特性與第一遮罩膜之蝕刻特性實質上相同的第三遮罩膜；

(d)在第三遮罩膜上成形蝕刻特性與第二遮罩膜之蝕刻特性實質上相同的第四遮罩膜；以及

(e)採多步驟選擇性地蝕刻遮罩層以形成跨接結構。

7.如申請專利範圍第6項之方法，進一步的步驟包括成形一貫穿介電材料到達下方跨接層的孔道，並在介電材料內成形一到達介電材料之既定深度的溝。

8.如申請專利範圍第6項之方法，進一步的步驟包括在遮罩層內成形到達第一遮罩膜的孔道以及在遮罩層內成形到達第三遮罩膜的溝。

9.如申請專利範圍第8項之方法，進一步的步驟包括成形貫穿介電材料的孔道以及成形到達介電材料之既定深度的溝。

10.如申請專利範圍第8項之方法，進一步的步驟包括

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍 ³

成形貫穿介電材料的孔道，在遮罩層中成形到達第一遮罩膜的溝，並在介電材料中成形到達介電材料之既定深度的溝。

11.如申請專利範圍第 10 項之方法，進一步包括從半導體裝置去除第三及第四遮罩膜的步驟。

12.如申請專利範圍第 10 項之方法，進一步包括從半導體裝置去除第二、第三及第四遮罩膜的步驟。

13.如申請專利範圍第 8 項之方法，進一步的步驟包括在跨接層上方成形孔道介電層，在孔道介電層上方成形溝介電層，以及在溝介電層與孔道介電層間成形止蝕層。

14.如申請專利範圍第 13 項之方法，貫穿止蝕層與從半導體裝置蝕刻第四遮罩膜以成形孔道是同時的步驟。

15.如申請專利範圍第 8 項之方法，進一步包括在介電材料層與跨接層間成形壁障層的步驟。

16.如申請專利範圍第 15 項之方法，貫穿壁障層與從半導體裝置去除第三遮罩膜以成形孔道是同時的步驟。

17.如申請專利範圍第 16 項之方法，進一步的步驟包括穿過溝介電層成形溝，並同時去除暴露於溝內的止蝕層及第二遮罩膜。

18.一種使用沈積在介電材料上之遮罩層成形跨接結構的方法，其介電材料已先沈積於其下方的跨接層上，其步驟包括：

(a)在下方的跨接層上成形孔道介電層；

(b)在孔道介電層上成形溝介電層；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

4

(c)在孔道介電層與溝介電層間成形止蝕層；

(d)在孔道介電層與跨接層間成形壁障層；

(e)在在介電材料上成形具有已知蝕刻特性組的第一遮罩膜；

(f)在第一遮罩膜上成形具有與第一遮罩膜之蝕刻特性不同之已知蝕刻特性組的第二遮罩膜；

(g)在第二遮罩膜上成形蝕刻特性與第一遮罩膜之蝕刻特性實質上相同的第三遮罩膜；

(h)在第三遮罩膜上成形蝕刻特性與第二遮罩膜之蝕刻特性實質上相同的第四遮罩膜。

19.如申請專利範圍第 18 項之方法，進一步的步驟包括在在遮罩層內成形到達第一遮罩膜的孔道以及在遮罩層內成形到達第三遮罩膜的溝，且溝與孔道重疊。

20.如申請專利範圍第 19 項之方法，進一步的步驟包括成形貫穿介電材料層及壁障層且尺寸對應於成形在遮罩層中之孔道尺寸的孔道，成形貫穿溝介電層且尺寸對應於成形在遮罩層中之溝尺寸的溝，且在溝介電層中的該溝與在孔道介電層中的孔道相重疊。

21.如申請專利範圍第 20 項之方法，進一步包括從半導體裝置去除第四遮罩膜及第三遮罩膜的步驟。

22.如申請專利範圍第 21 項之方法，進一步包括去除第二遮罩膜的步驟。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

圖 1

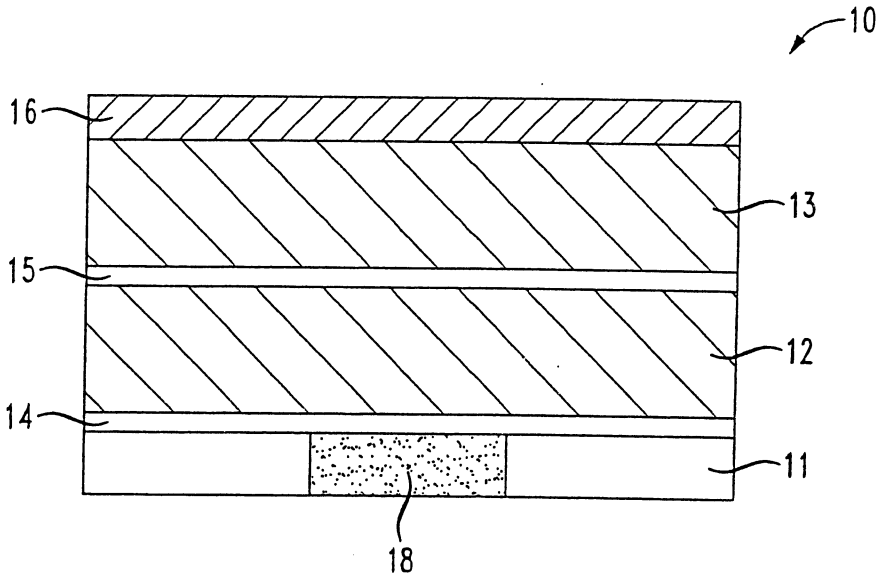


圖 2

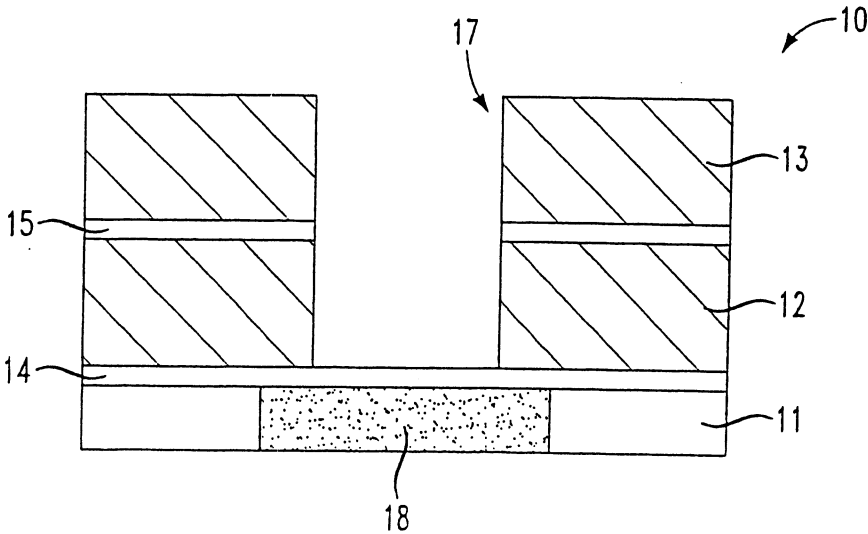


圖 3

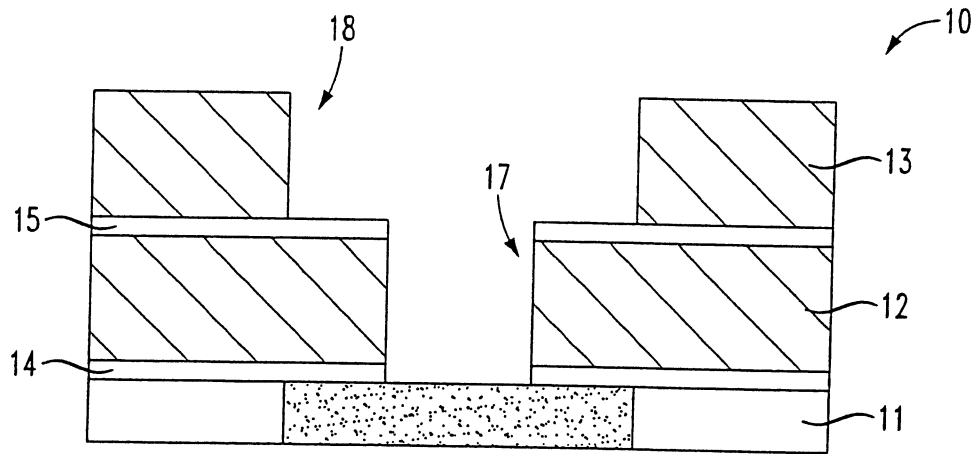


圖 4

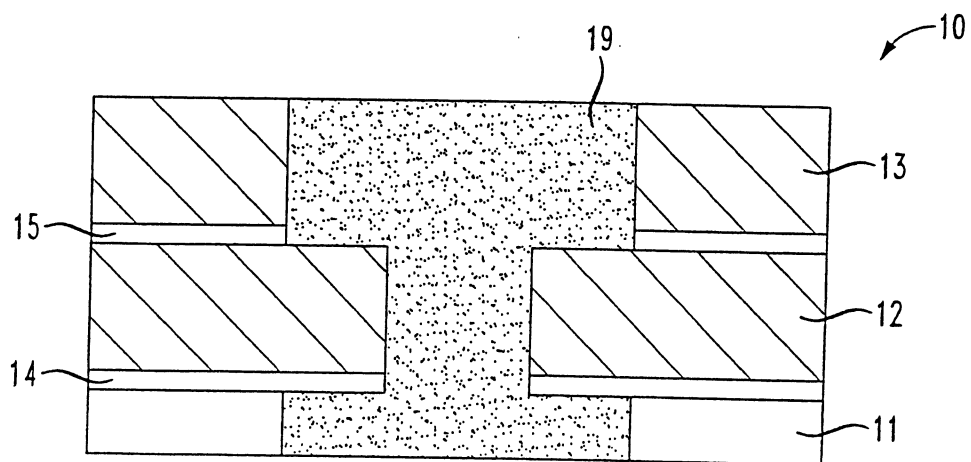


圖 5

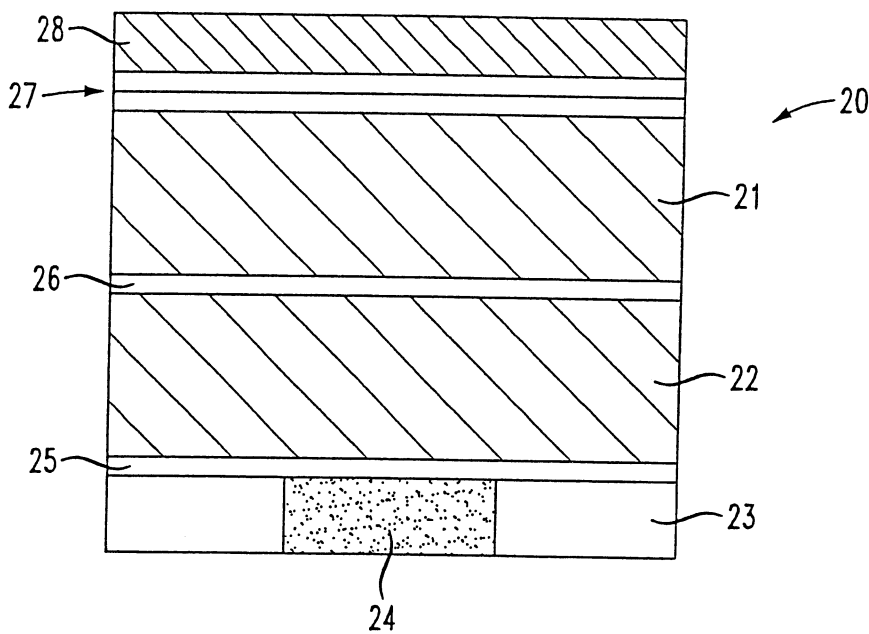


圖 6

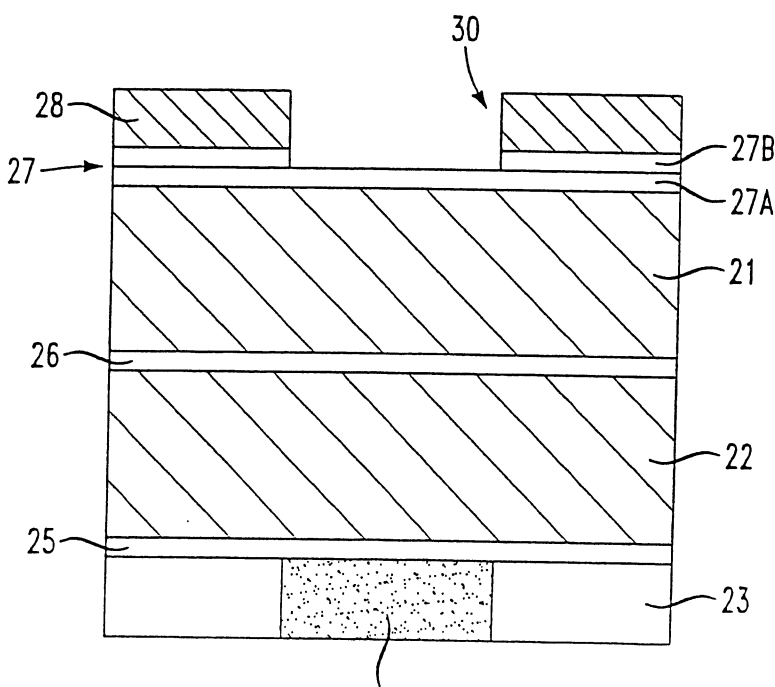


圖 7

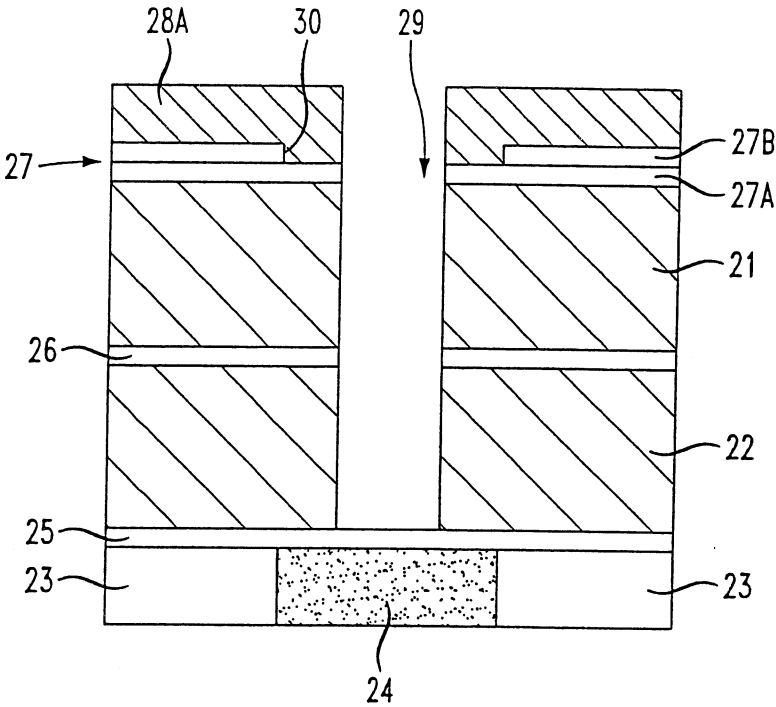


圖 8

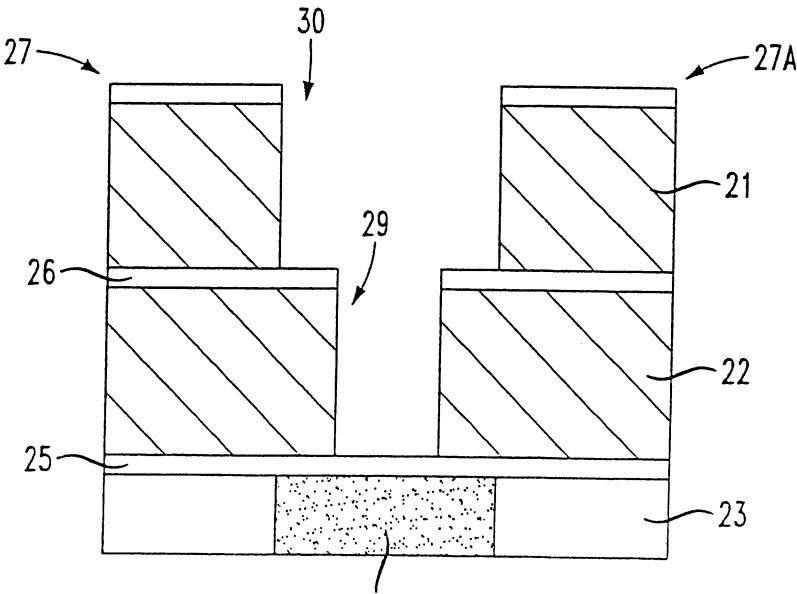


圖 9

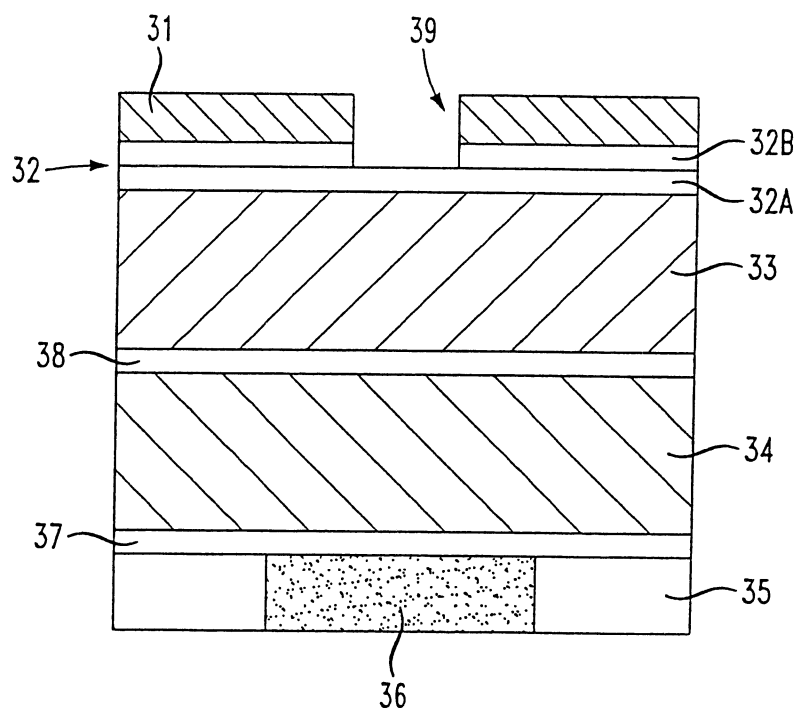


圖 10

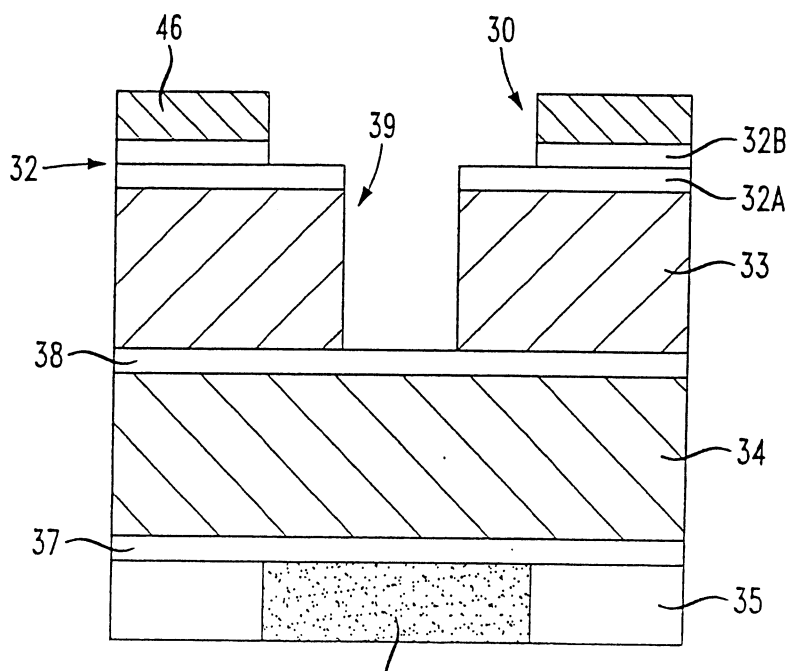


圖 11

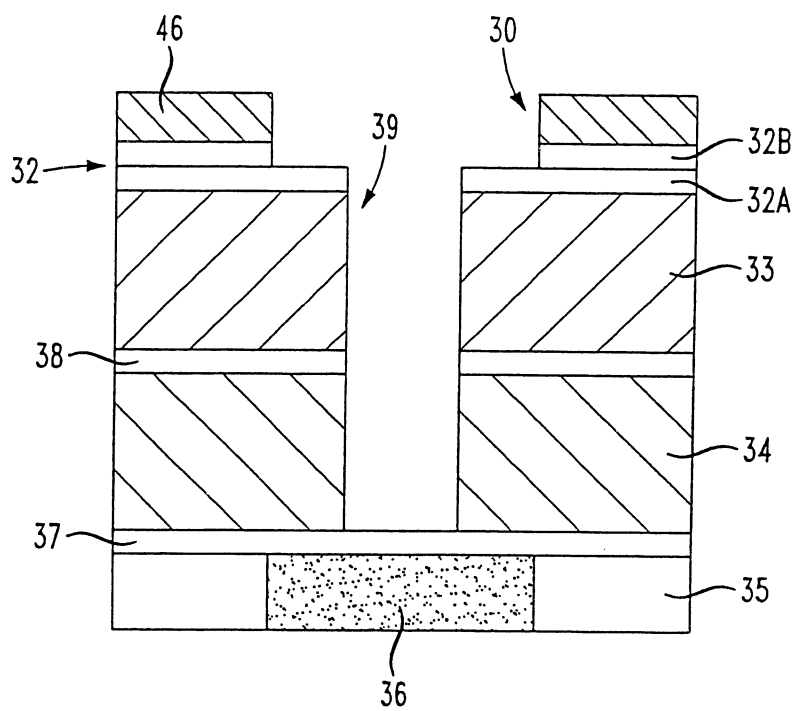


圖 12

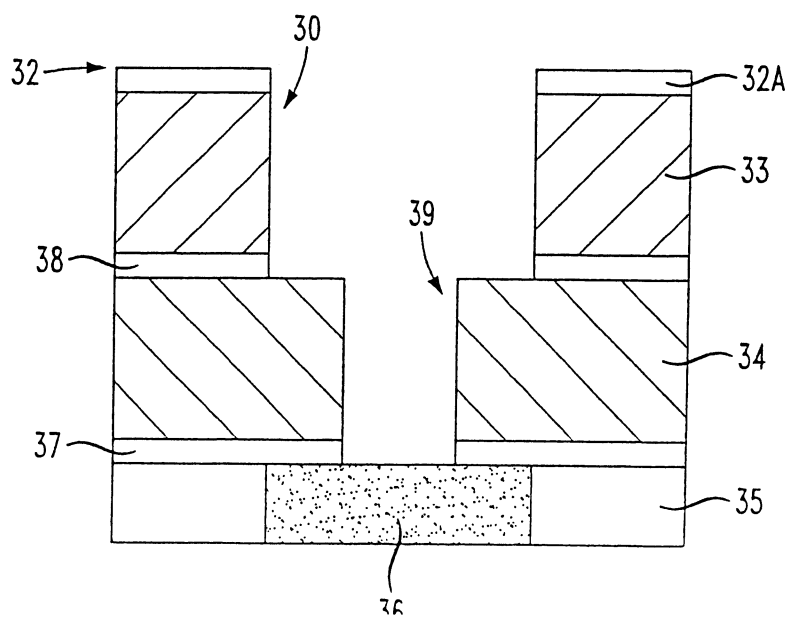


圖 13

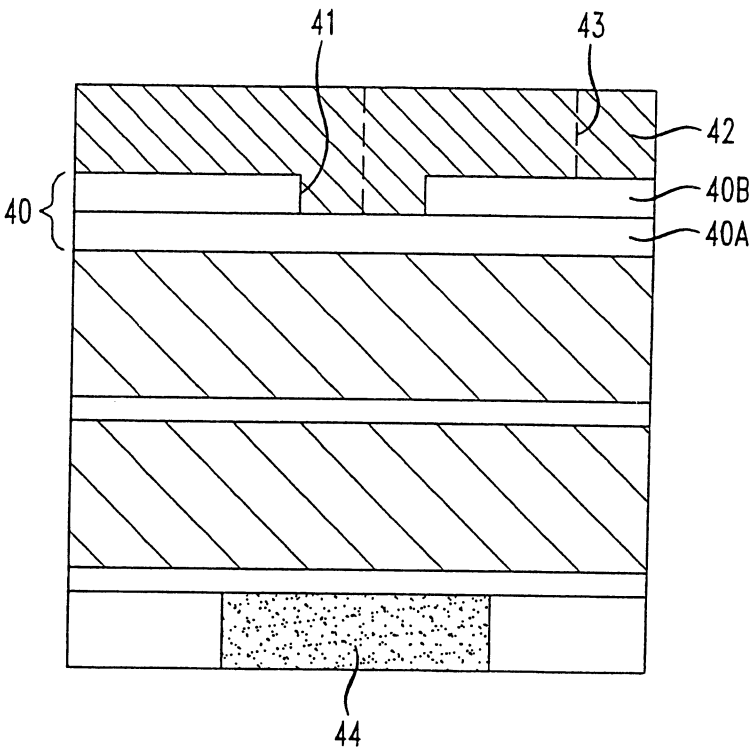


圖 14

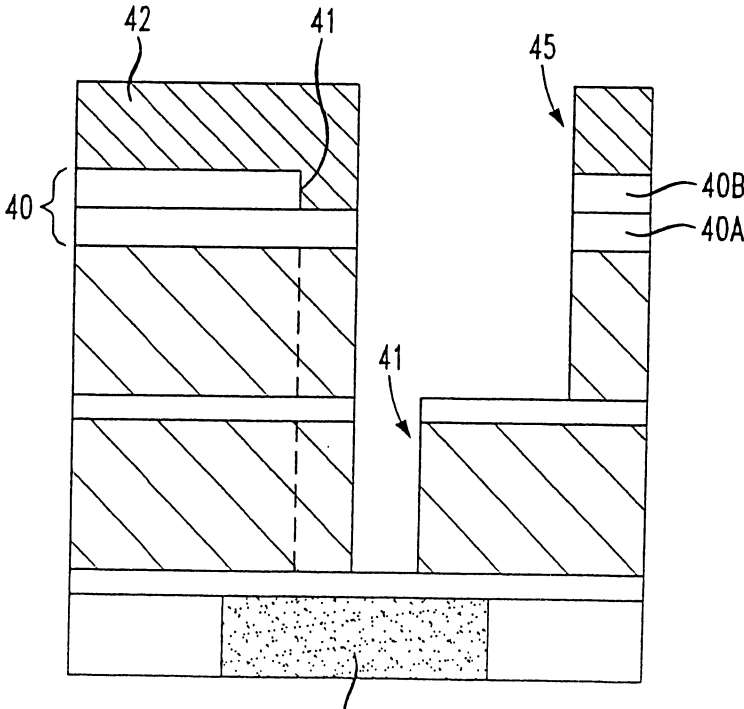


圖 15

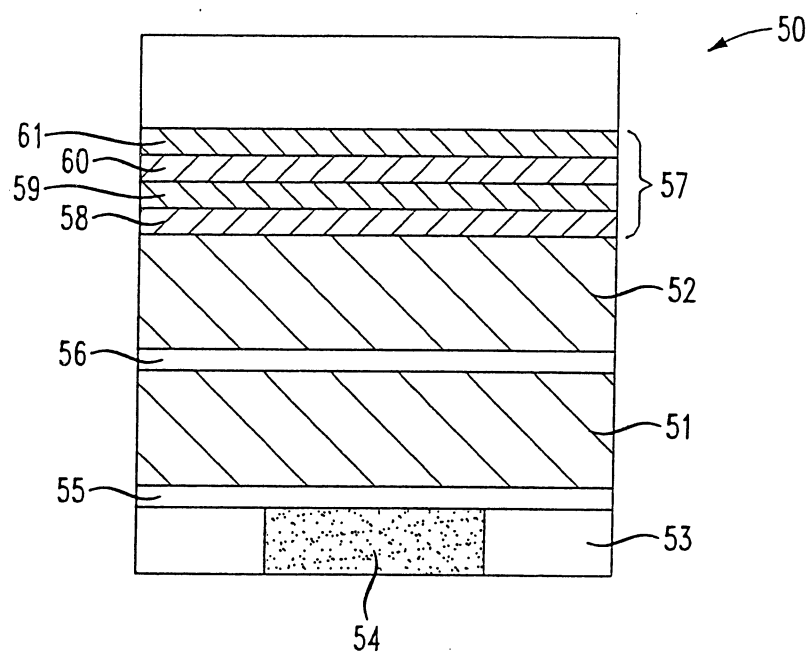


圖 16

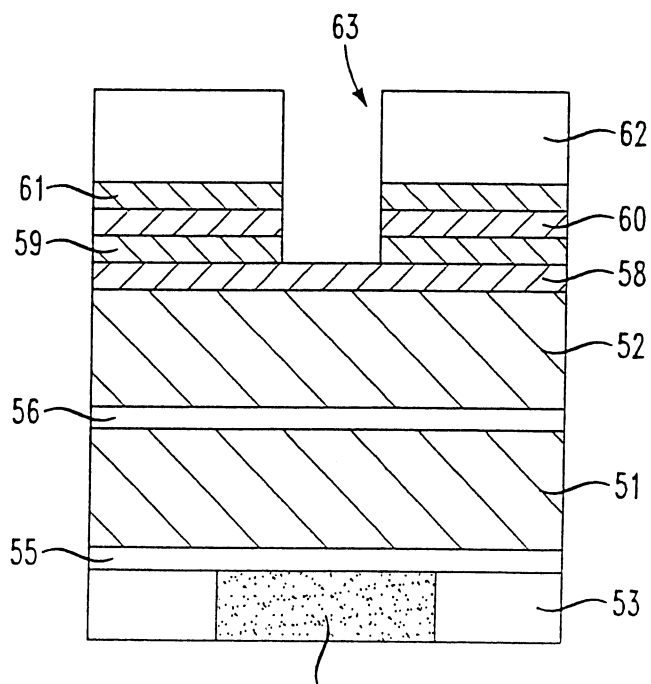


圖 17

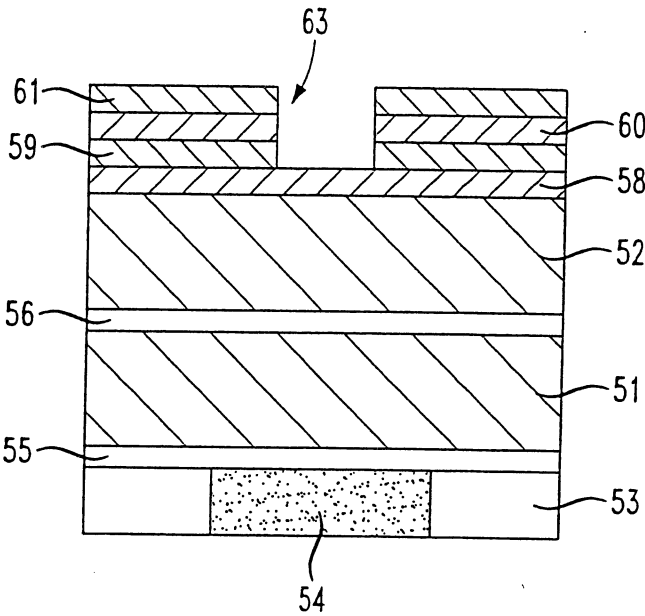


圖 18

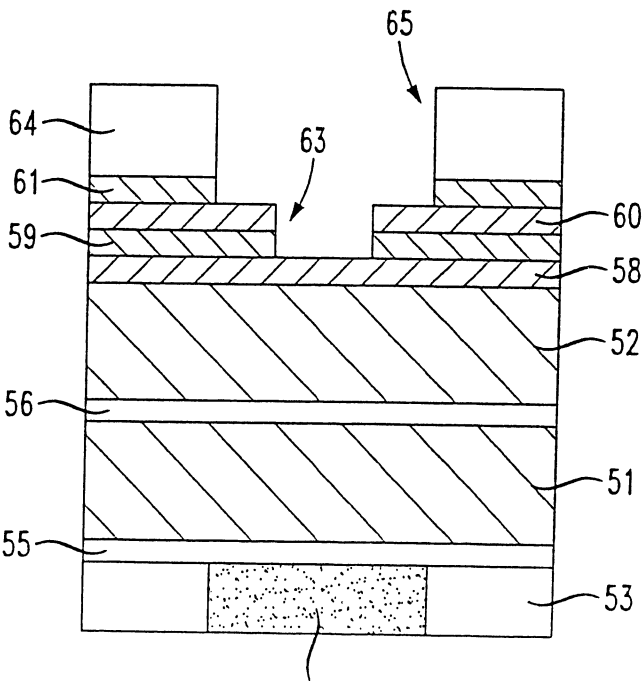


圖 19

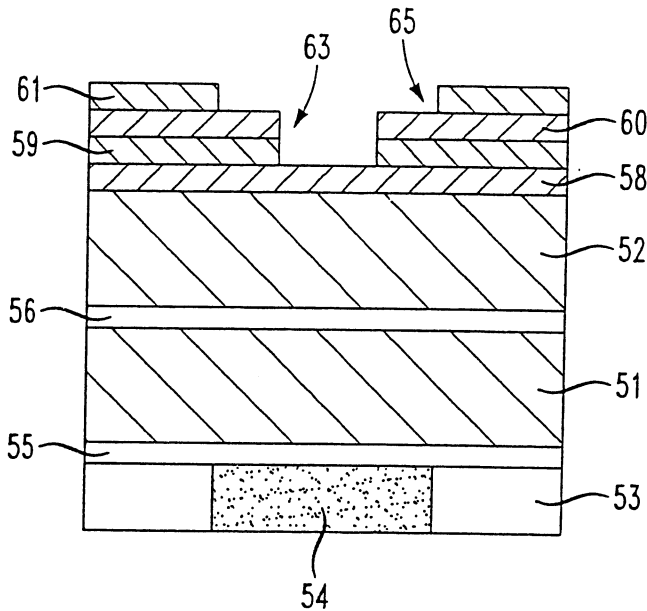


圖 20

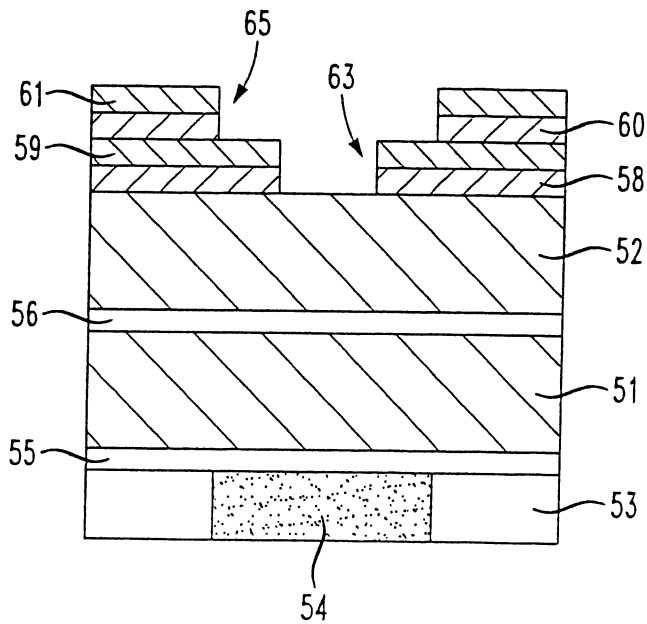


圖 21

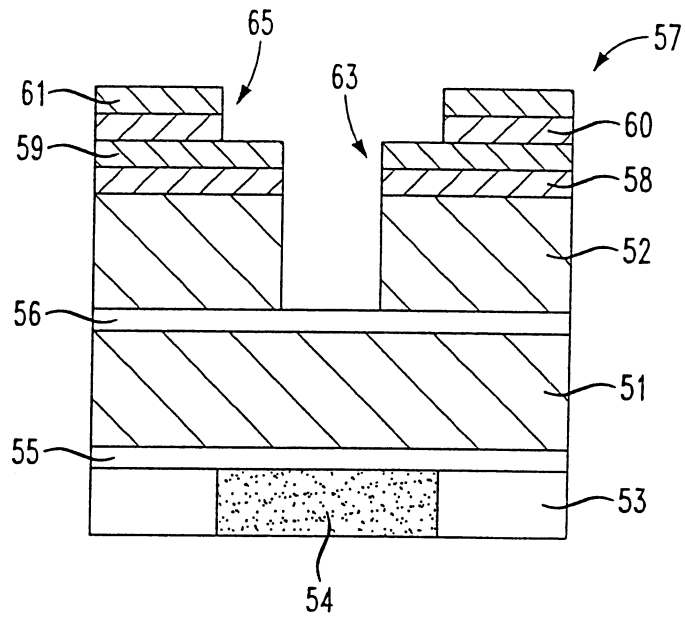


圖 22

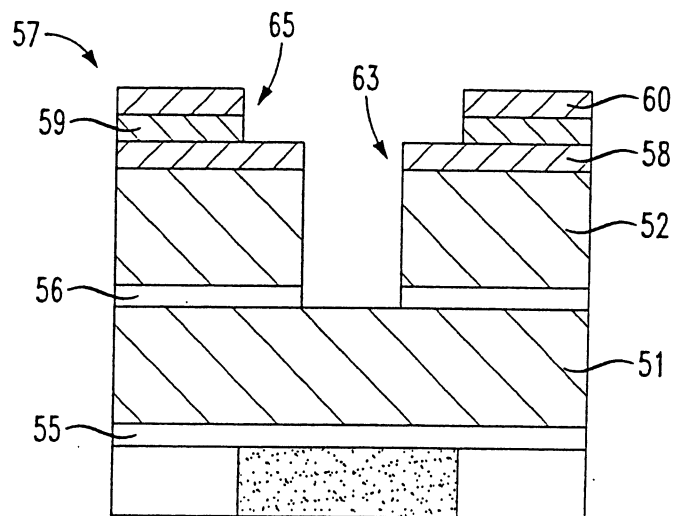


圖 23

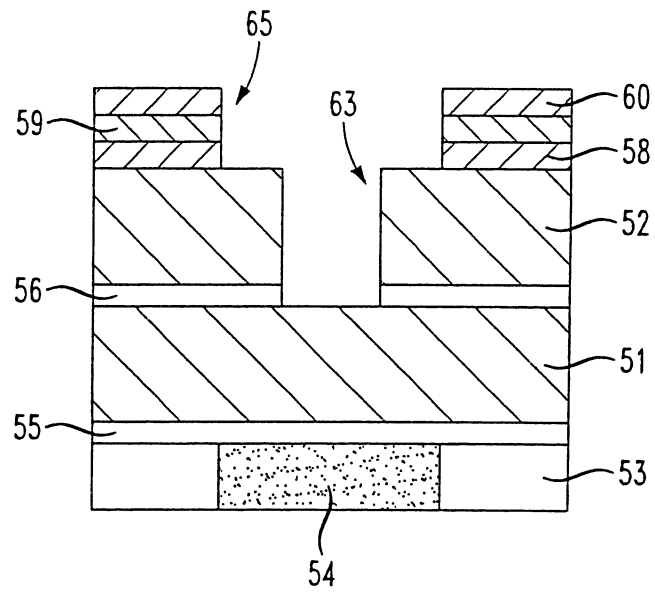


圖 24

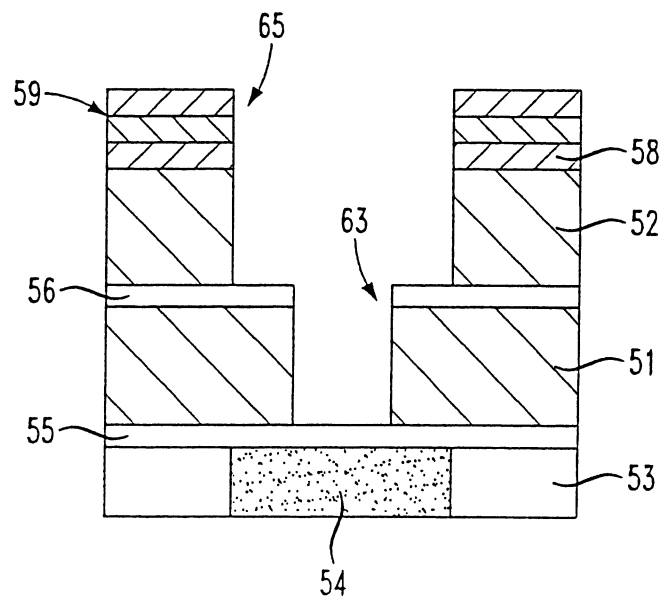


圖 25

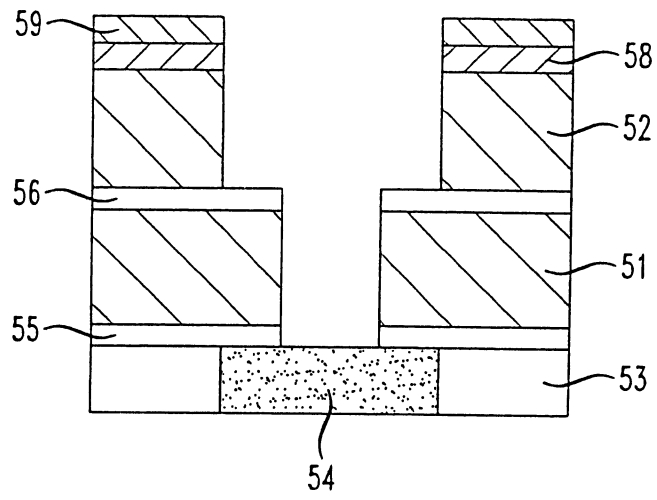


圖 26

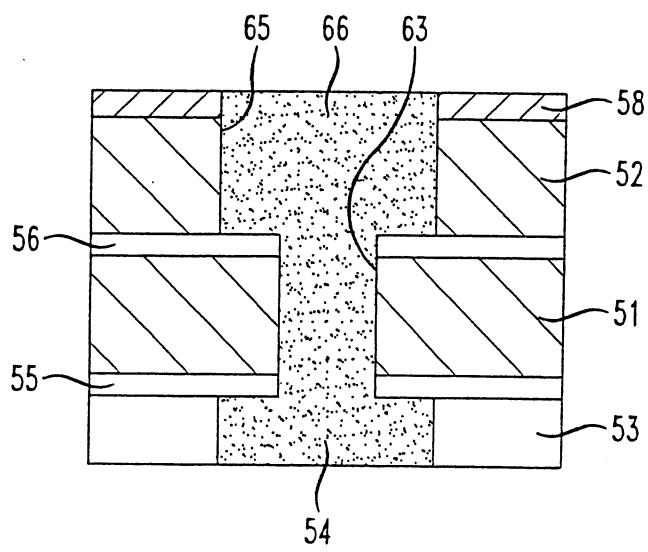


圖 27

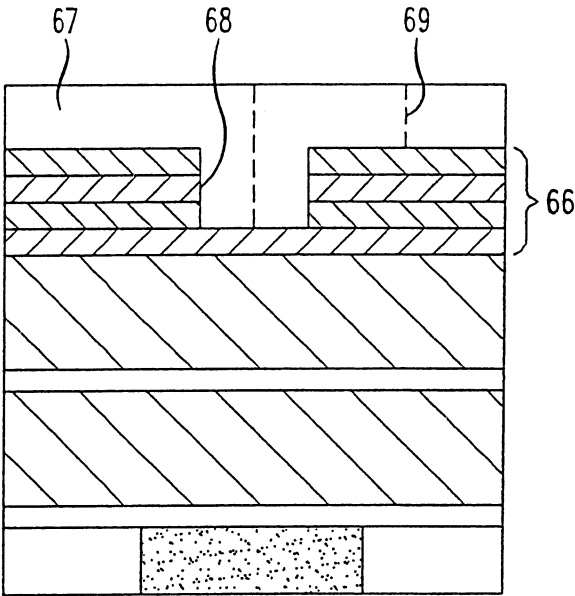


圖 28

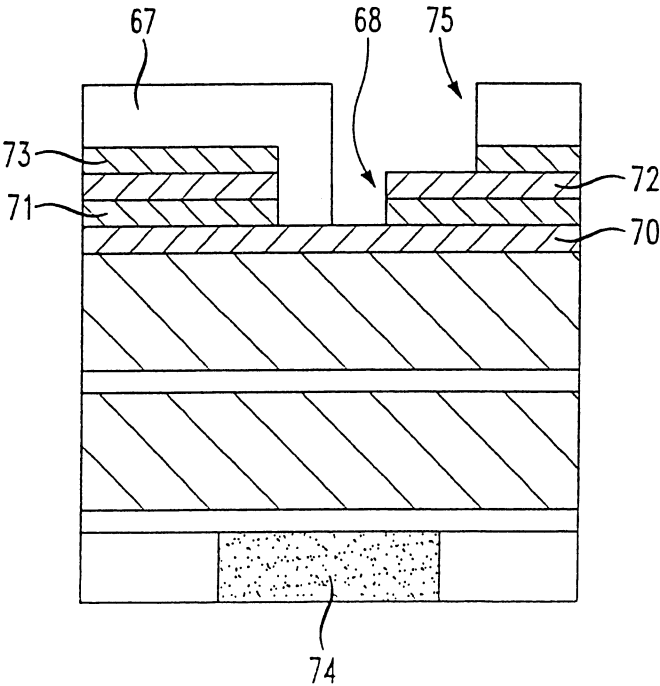
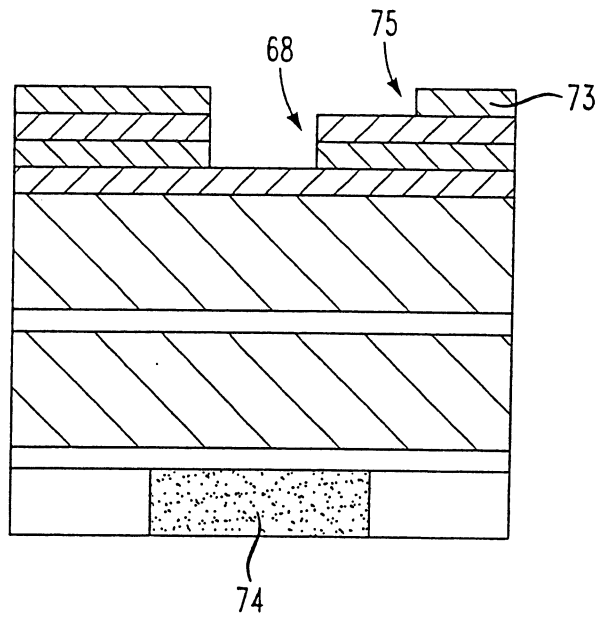


圖 29



- (一)、本案指定代表圖為：第 19 圖
(二)、本代表圖之元件代表符號簡單說明：

51 孔道介電層
52 溝介電層
53 跨接層
54 導電金屬
55 壁障層
56 止蝕層
58 第一遮罩膜
59 第二遮罩膜
60 第三遮罩膜
61 第四遮罩膜
63 孔道
65 溝

申請日期	91 年 11 月 21 日
案 號	91133996
類 別	H01L 23/11 ; 23/11

A4
C4

P 5 21

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	用於半導體裝置之雙鑲嵌製程之遮罩層及跨接結構之形成方法
	英 文	A mask layer and interconnect structure for dual damascene fabrication of a semiconductor device
二、發明 人	姓 名	(1) 羅伯特·黃 Huang, Robert Y.S. (2) 史考特·傑森 Jessen, Scott (3) 薩伯拉曼南·卡西奇顏 Karthikeyan, Subramanian
	國 籍	(1) 美國佛羅里達州奧科伊黑傑克橡木大道二二三六號 2236 Blackjack Oak Boulevard, Ocoee, FL 34761, U.S.A.
	住、居所	(2) 美國佛羅里達州奧蘭多巴那爾湖圓環六六二二號 6622 Banner Lake Circle, #8202, Orlando, FL 32821, U.S.A. (3) 美國佛羅里達州奧蘭多多伊十字廣場二二〇七號 2207 Doe Crossing Court, Orlando, FL 32837 U.S.A.
三、申請人	姓 名 (名稱)	(1) 艾基爾系統股份有限公司 Agere Systems Inc.
	國 籍	(1) 美國
	住、居所 (事務所)	(1) 美國佛羅里達州奧蘭多南約翰青年公園路九三三三號 9333 S. John Young Parkway, Orlando, FL 32819-8698, U.S.A.
	代 表 人 姓 名	(1) 佛迪納德·羅梅諾 Romano, Ferdinand M.

裝

訂

線

92年5月1日(×)正替換頁

申請日期	91 年 11 月 21 日
案 號	91133996
類 別	

A4
C4

(以上各欄由本局填註)

發 明 型 專 利 說 明 書

一、發明 新型名稱	中 文	
	英 文	
二、發明 創作人	姓 名	(4) 約書亞·李 Li, Joshua Jia (5) 伊沙艾·歐爾阿得吉 Oladeji, Isaiah O. (6) 科特·史丹樂 Steiner, Kurt George
	國 籍	(4) 美國佛羅里達州奧蘭多森林步道巷八六一五號 8615 Forest Run Lane, Orlando, FL 32836, U.S.A.
三、申請人	住、居所	(5) 美國佛羅里達州哥沙塞汝林路一六〇八號 1608 Cerulean Way, Gotha, FL 34734, U.S.A.
	代 表 人 姓 名	(6) 美國佛羅里達州歐蘭多沙石道七六〇三號 7603, Sandstone Drive, Orlando, Florida 32836, U.S.A.

92年5月1日(八)正督核頁

申請日期	91 年 11 月 21 日
案 號	91133996
類 別	

A4

C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 新型名稱	中 文	
	英 文	
二、發明 創作人	姓 名	(7) 約瑟夫·泰勒 Taylor, Joseph Ashley
	國 籍	(7) 美國佛羅里達州奧蘭多倫佑恩圓環二五四六號 2546 Runyon Circle, Orlando, FL 32837, U.S.A.
	住、居所	
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	