

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁶
H04L 29/06(11) 공개번호 특 1997-0056528
(43) 공개일자 1997년 07월 31일

(21) 출원번호	특 1995-0049404
(22) 출원일자	1995년 12월 13일
(71) 출원인	대우전자 주식회사 배순훈
(72) 발명자	서울특별시 남대문로 5가 541번지 (우: 100-095) 김정섭
(74) 대리인	서울특별시 동작구 사당동 64-3 이재화, 주인중

심사청구 : 없음**(54) 아날로그 버스/I²C 버스 프로토콜 변환기****요약**

본 발명은 아날로그 버스(analog bus)를 통해 수신한 데이터를 I²C(I²C: Integrated Integrated Circuit)버스 방식 데이터로 변환하기 위한 아날로그 버스/I²C 버스 프로토콜 변환기에 관한 것이다.

본 발명의 프로토콜 변환기는 아날로그 버스의 어드레스 라인을 통해 수신된 아날로그 어드레스를 디지털 값으로 변환하기 위한 제1아날로그/디지털 변환기와, 상기 아날로그 버스의 데이터 라인을 통해 수신된 아날로그 데이터를 디지털 값으로 변환하기 위한 제2아날로그/디지털 변환기와, 상기 제1아날로그/디지털 변환기로부터의 병렬 디지털 어드레스를 입력 인에이블 신호에 따라 수신하기 위한 제1 3상태 입력 버퍼와, 상기 제2아날로그/디지털 변환기로부터의 병렬 디지털 데이터를 입력 인에이블 신호에 따라 수신하기 위한 제2 3상태 입력 버퍼와, 상기 제1 및 제2 3상태 입력 버퍼에 각각 연결되어 래치 인에이블 신호의 인가에 따라 각각 어드레스 및 데이터를 래치하기 위한 제1 및 제2래치와, 상기 제1래치로부터 입력된 8비트 어드레스를 제1클럭에 동기하여 직렬 데이터 라인으로 출력하는 제1시프트 레지스터와, 상기 제2래치로부터 입력된 8비트 데이터를 제2클럭에 동기하여 직렬 데이터 라인으로 출력하는 제2시프트 레지스터와, 상기 제1 및 제2시프트 레지스터에 대한 상기 제1 및 제2클럭의 제공하며, I²C 버스 프로토콜을 만족하는데 필요한 스타트 및 스톱신호, 리드 및 라이트 신호, 수신확인 및 수신확인 불능 신호를 포함한 각종 제어신호를 변환된 어드레스 및 데이터 출력 전후에 삽입하여 직렬 데이터 라인으로 출력하며, 이와 동시에 동기 클럭을 클럭라인으로 출력하기 위한 로직 발생 수단과, 변환기 내에 필요한 각종 클럭을 발생하는 클럭 발생기와, 상기 어드레스와 데이터에 대한 규정 비트 수신을 카운팅하기 위한 카운터로 구성되는 것을 특징으로 한다.

대표도**도 4****명세서**

[발명의 명칭]

아날로그 버스/I²C 버스 프로토콜 변환기

[도면의 간단한 설명]

제4도는 본 발명에 따른 아날로그 버스/I²C 버스 프로토콜 변환기의 심볼 블록도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위**청구항 1**

아날로그 버스의 어드레스 라인을 통해 수신된 아날로그 어드레스를 디지털 값으로 변환하기 위한 제1아날로그/디지털 변환기와, 상기 아날로그 버스의 데이터 라인을 통해 수신된 아날로그 데이터를 디지털 값으로 변환하기 위한 제2아날로그/디지털 변환기와, 상기 제1아날로그/디지털 변환기로부터의 병렬 디지털 어드레스를 입력 인에이블 신호에 따라 수신하기 위한 제1 3상태 입력 버퍼와, 상기 제2아날로그/디지털 변환기로부터의 병렬 디지털 데이터를 입력 인에이블 신호에 따라 수신하기 위한 제2 3상태 입력

버퍼와, 상기 제1 및 제2 3상태 입력 버퍼에 각각 연결되어 래치 인에이블신호의 인가에 따라 각각 어드레스 및 데이터를 래치하기 위한 제1 및 제2래치와, 상기 제1래치로부터 입력된 8비트 어드레스를 제1클럭에 동기하여 직렬 데이터 라인으로 출력하는 제1시프트 레지스터와, 상기 제2래치로부터 입력된 8비트 데이터를 제2클럭에 동기하여 직렬 데이터 라인으로 출력하는 제2시프트 레지스터와, 상기 제1 및 제2시프트 레지스터에 대한 상기 제1 및 제2클럭을 제공하며, I^2C 버스 프로토콜을 만족하는데 필요한 스타트 및 스톱신호, 리드 및 라이트 신호, 수신확인 및 수신확인 불능 신호를 포함한 각종 제어신호를 변환된 어드레스 및 데이터 출력 전후에 삽입하여 직렬 데이터 라인으로 출력하며, 이와 동시에 동기 클럭을 클럭라인으로 출력하기 위한 로직 발생 수단과, 변환기 내에 필요한 각종 클럭을 발생하는 클럭 발생기와, 상기 어드레스와 데이터에 대한 규정 비트 수신을 카운팅하기위한 카운터로 구성되는 것을 특징으로 하는 아날로그/ I^2C 버스 프로토콜 변환기.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면4

