



(12)发明专利申请

(10)申请公布号 CN 107564458 A

(43)申请公布日 2018.01.09

(21)申请号 201711024210.4

(22)申请日 2017.10.27

(71)申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

申请人 鄂尔多斯市源盛光电有限责任公司

(72)发明人 付弋珊 樊君 李付强 张寒

(74)专利代理机构 北京三高永信知识产权代理
有限责任公司 11138

代理人 滕一斌

(51) Int. Cl.

G09G 3/20(2006.01)

G11C 19/28(2006.01)

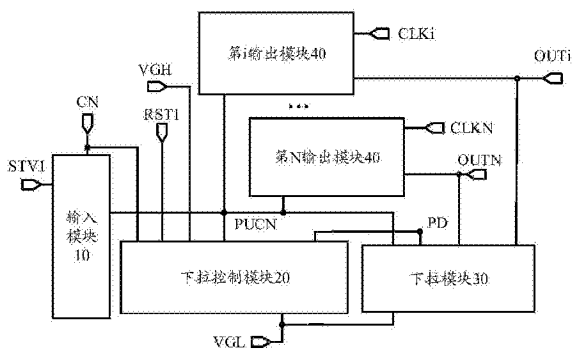
权利要求书3页 说明书12页 附图6页

(54)发明名称

移位寄存器单元、驱动方法、栅极驱动电路及显示装置

(57)摘要

本发明公开了一种移位寄存器单元、驱动方法、栅极驱动电路及显示装置,属于显示技术领域。该移位寄存器单元包括:输入模块、下拉控制模块、下拉模块和N个输出模块;输入模块用于向上拉节点输出来自第一控制信号端的第一控制信号;N个输出模块中,第i个输出模块用于向第i驱动信号输出端输出来自第i时钟信号端的第i时钟信号;下拉控制模块用于向下拉节点输出来自第一直流电源端的第一电源信号,以及在上拉节点的控制下,向下拉节点输出来自第二直流电源端的第二电源信号;下拉模块用于向每个驱动信号输出端和上拉节点输出第二电源信号。该移位寄存器减少了栅极驱动电路所占的版图面积。



1. 一种移位寄存器单元,其特征在于,所述移位寄存器单元包括:

输入模块、下拉控制模块、下拉模块和N个输出模块,所述N为大于或等于2的整数;

所述输入模块分别与第一输入信号端、第一控制信号端和上拉节点连接,用于在来自所述第一输入信号端的输入信号的控制下,向所述上拉节点输出来自所述第一控制信号端的第一控制信号;

所述N个输出模块中,第i个输出模块分别与N个时钟信号端中第i时钟信号端、所述上拉节点和N个驱动信号输出端中第i驱动信号输出端连接,所述第i个输出模块用于在所述上拉节点的控制下,向所述第i驱动信号输出端输出来自所述第i时钟信号端的第i时钟信号,且所述N个驱动信号输出端中每个驱动信号输出端与一条栅线连接,所述i为大于0且小于等于N的整数;

所述下拉控制模块分别与所述第一控制信号端、第一复位时钟信号端、第一直流电源端、第二直流电源端、所述上拉节点和所述下拉节点连接,用于在所述第一控制信号和来自所述第一复位时钟信号端的第一复位时钟信号的控制下,向所述下拉节点输出来自所述第一直流电源端的第一电源信号,以及在所述上拉节点的控制下,向所述下拉节点输出来自所述第二直流电源端的第二电源信号;

所述下拉模块分别与所述第二直流电源端、每个驱动信号输出端、所述上拉节点和下拉节点连接,用于在所述下拉节点的控制下,分别向每个驱动信号输出端和所述上拉节点输出所述第二电源信号;

其中,所述N个时钟信号端和所述第一复位时钟信号端依次输出处于第一电位的时钟信号。

2. 根据权利要求1所述的移位寄存器单元,其特征在于,所述第i个输出模块包括:第一晶体管;

所述第一晶体管的栅极与所述上拉节点连接,所述第一晶体管的第一极与所述第i时钟信号端连接,所述第一晶体管的第二极与所述第i驱动信号输出端连接。

3. 根据权利要求2所述的移位寄存器单元,其特征在于,所述第i个输出模块还包括:第二晶体管;

所述第二晶体管的栅极与所述第一直流电源端连接,所述第二晶体管的第一极与所述上拉节点连接,所述第二晶体管的第二极与所述第一晶体管的栅极连接。

4. 根据权利要求2所述的移位寄存器单元,其特征在于,所述第i个输出模块还包括:第一电容器;

所述第一电容器的一端与所述第一晶体管的栅极连接,所述第一电容器的另一端与所述第一晶体管的第二极连接。

5. 根据权利要求1至4任一所述的移位寄存器单元,其特征在于,所述输入模块包括:第三晶体管;

所述第三晶体管的栅极与所述第一输入信号端连接,所述第三晶体管的第一极与所述第一控制信号端连接,所述第三晶体管的第二极与所述上拉节点连接。

6. 根据权利要求5所述的移位寄存器单元,其特征在于,所述输入模块还包括:第二电容器;

所述第二电容器的一端与所述上拉节点连接,所述第二电容器的另一端与所述第二直

流电源端连接。

7. 根据权利要求5所述的移位寄存器单元,其特征在于,所述输入模块还与第二输入信号端和第二控制信号端连接;

所述输入模块还包括:第四晶体管;

所述第四晶体管的栅极与所述第二输入信号端连接,所述第四晶体管的第一极与所述第二控制信号端连接,所述第四晶体管的第二极与所述上拉节点连接。

8. 根据权利要求1至4任一所述的移位寄存器单元,其特征在于,所述下拉控制模块包括:第五晶体管、第六晶体管、第七晶体管和第三电容器;

所述第五晶体管的栅极与所述第一控制信号端连接,所述第五晶体管的第一极与所述第一复位时钟信号端连接,所述第五晶体管的第二极与所述第七晶体管的栅极连接;

所述第六晶体管的栅极与所述上拉节点连接,所述第六晶体管的第一极与第二直流电源端连接,所述第六晶体管的第二极与所述下拉节点连接;

所述第七晶体管的第一极与第一直流电源端连接,所述第七晶体管的第二极与所述下拉节点连接;

所述第三电容器的一端与所述下拉节点连接,所述第三电容器的另一端与所述第二直流电源端连接。

9. 根据权利要求8所述的移位寄存器单元,其特征在于,所述下拉控制模块还与第二复位时钟信号端和第二控制信号端连接;

所述下拉控制模块还包括:第八晶体管;

所述第八晶体管的栅极与所述第二控制信号端连接,所述第八晶体管的第一极与所述第二复位时钟信号端连接,所述第八晶体管的第二极与所述第七晶体管的栅极连接;

所述第二复位时钟信号端、所述N个时钟信号端和所述第一复位时钟信号端依次输出处于第一电位的时钟信号。

10. 根据权利要求1至4任一所述的移位寄存器单元,其特征在于,所述下拉模块包括:第一下拉子模块和N个第二下拉子模块;

所述第一下拉子模块分别与所述下拉节点,所述第二直流电源端和所述上拉节点连接,用于在所述下拉节点的控制下,向所述上拉节点输出所述第二电源信号;

所述N个第二下拉子模块中的第i个第二下拉子模块分别与所述下拉节点,所述第二直流电源端和所述第i驱动信号输出端连接,用于在所述下拉节点的控制下,向所述第i驱动信号输出端输出所述第二电源信号。

11. 根据权利要求10所述的移位寄存器单元,其特征在于,

所述第一下拉子模块包括:第九晶体管,所述第九晶体管的栅极与所述下拉节点连接,所述第九晶体管的第一极与所述第二直流电源端连接,所述第九晶体管的第二极与所述上拉节点连接;

所述N个第二下拉子模块中,第i个第二下拉子模块包括:第十晶体管,所述第十晶体管的栅极与所述下拉节点连接,所述第十晶体管的第一极与所述第二直流电源端连接,所述第十晶体管的第二极与所述第i驱动信号输出端连接。

12. 根据权利要求1至4任一所述的移位寄存器单元,其特征在于,所述移位寄存器单元还包括:放电模块;

所述放电模块分别与放电控制端、所述下拉节点和所述第二直流电源端连接,用于在来自所述放电控制端的放电控制信号下,向所述下拉节点输出来自所述第二直流电源端的第三电源信号,所述第三电源信号的电位为第一电位。

13. 一种移位寄存器单元的驱动方法,其特征在于,所述方法用于驱动如权利要求1至12任一所述的移位寄存器单元,所述方法包括:充电阶段、N个输出阶段和降噪阶段;

所述充电阶段中,第一控制信号端输出的第一控制信号为第一电位,第一输入信号端输出的输入信号为第一电位,所述输入模块在所述输入信号的控制下,向上拉节点输出所述第一控制信号;

所述N个输出阶段的第i输出阶段中,N个时钟信号端中第i时钟信号端输出的第i时钟信号为第一电位,所述上拉节点保持第一电位,第i个输出模块在所述上拉节点的控制下,向第i驱动信号输出端输出所述第i时钟信号,所述i为大于0且小于等于N的整数;

所述降噪阶段中,所述第一控制信号为第一电位,第一复位时钟信号端输出的第一复位时钟信号为第一电位,所述下拉控制模块在所述第一复位时钟信号的控制下,向下拉节点输出来自第一直流电源端的第一电源信号,所述下拉模块在所述下拉节点的控制下,分别向所述上拉节点和每个驱动信号输出端输出来自第二电源端的第二电源信号;

其中,所述N个时钟信号端和所述第一复位时钟信号端依次输出处于第一电位的时钟信号,所述第一电源信号为第一电位,所述第二电源信号为第二电位。

14. 一种栅极驱动电路,其特征在于,所述栅极驱动电路包括M个级联的如权利要求1至12任一所述的移位寄存器单元,所述M为大于1的整数;

所述M个移位寄存器单元中,第j个移位寄存器单元的第N驱动信号输出端与第j+1个移位寄存器单元的第一输入信号端连接,所述j为小于M的正整数。

15. 根据权利要求14所述的栅极驱动电路,其特征在于,所述M个移位寄存器单元包括两组移位寄存器单元,所述两组移位寄存器单元分别设置在显示面板相对的两侧。

16. 一种显示装置,其特征在于,所述显示装置包括权利要求14或15所述的栅极驱动电路。

移位寄存器单元、驱动方法、栅极驱动电路及显示装置

技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种移位寄存器单元、驱动方法、栅极驱动电路及显示装置。

背景技术

[0002] 显示装置在显示图像时,需要利用栅极驱动电路(英文:Gate Driver on Array;简称:GOA)对像素单元进行扫描,栅极驱动电路(也称移位寄存器)包括多个级联的移位寄存器单元,每个移位寄存器单元对应一行像素单元,由多个移位寄存器单元实现对显示装置的像素单元的逐行扫描驱动,以显示图像。

[0003] 但随着显示装置中像素数目的提高,栅极驱动电路在一帧时间内所需扫描的行数增加,以及对超窄边框显示装置的需求,这就要求移位寄存器单元的版图面积要更小。相关技术中有一种移位寄存器单元,它通常通过多个晶体管和电容器来控制电路输出信号的电位的高低。

[0004] 但是,相关技术中每个移位寄存器单元所包括的元件较多,使得栅极驱动电路在显示装置中所占用的版图面积较大。

发明内容

[0005] 本发明提供了一种移位寄存器单元、驱动方法、栅极驱动电路及显示装置,可以解决相关技术中栅极驱动电路占用版图面积较大的问题。所述技术方案如下:

[0006] 第一方面,提供了一种移位寄存器单元,所述移位寄存器单元包括:

[0007] 输入模块、下拉控制模块、下拉模块和N个输出模块,所述N为大于或等于2的整数;

[0008] 所述输入模块分别与第一输入信号端、第一控制信号端和上拉节点连接,用于在来自所述第一输入信号端的输入信号的控制下,向所述上拉节点输出来自所述第一控制信号端的第一控制信号;

[0009] 所述N个输出模块中,第i个输出模块分别与N个时钟信号端中第i时钟信号端、所述上拉节点和N个驱动信号输出端中第i驱动信号输出端连接,所述第i个输出模块用于在所述上拉节点的控制下,向所述第i驱动信号输出端输出来自所述第i时钟信号端的第i时钟信号,且所述N个驱动信号输出端中每个驱动信号输出端与一条栅线连接,所述i为大于0且小于等于N的整数;

[0010] 所述下拉控制模块分别与所述第一控制信号端、第一复位时钟信号端、第一直流电源端、第二直流电源端、所述上拉节点和所述下拉节点连接,用于在所述第一控制信号和来自所述第一复位时钟信号端的第一复位时钟信号的控制下,向所述下拉节点输出来自所述第一直流电源端的第一电源信号,以及在所述上拉节点的控制下,向所述下拉节点输出来自所述第二直流电源端的第二电源信号;

[0011] 所述下拉模块分别与所述第二直流电源端、每个驱动信号输出端、所述上拉节点和下拉节点连接,用于在所述下拉节点的控制下,分别向每个驱动信号输出端和所述上拉

节点输出所述第二电源信号；

[0012] 其中,所述N个时钟信号端和所述第一复位时钟信号端依次输出处于第一电位的时钟信号。

[0013] 可选地,所述第i个输出模块包括:第一晶体管;

[0014] 所述第一晶体管的栅极与所述上拉节点连接,所述第一晶体管的第一极与所述第i时钟信号端连接,所述第一晶体管的第二极与所述第i驱动信号输出端连接。

[0015] 可选地,所述第i个输出模块还包括:第二晶体管;

[0016] 所述第二晶体管的栅极与所述第一直流电源端连接,所述第二晶体管的第一极与所述上拉节点连接,所述第二晶体管的第二极与所述第一晶体管的栅极连接。

[0017] 可选地,所述第i个输出模块还包括:第一电容器;

[0018] 所述第一电容器的一端与所述第一晶体管的栅极连接,所述第一电容器的另一端与所述第一晶体管的第二极连接。

[0019] 可选地,所述输入模块包括:第三晶体管;

[0020] 所述第三晶体管的栅极与所述第一输入信号端连接,所述第三晶体管的第一极与所述第一控制信号端连接,所述第三晶体管的第二极与所述上拉节点连接。

[0021] 可选地,所述输入模块还包括:第二电容器;

[0022] 所述第二电容器的一端与所述上拉节点连接,所述第二电容器的另一端与所述第二直流电源端连接。

[0023] 可选地,所述输入模块还与第二输入信号端和第二控制信号端连接;

[0024] 所述输入模块还包括:第四晶体管;

[0025] 所述第四晶体管的栅极与所述第二输入信号端连接,所述第四晶体管的第一极与所述第二控制信号端连接,所述第四晶体管的第二极与所述上拉节点连接。

[0026] 可选地,所述下拉控制模块包括:第五晶体管、第六晶体管、第七晶体管和第三电容器;

[0027] 所述第五晶体管的栅极与所述第一控制信号端连接,所述第五晶体管的第一极与所述第一复位时钟信号端连接,所述第五晶体管的第二极与所述第七晶体管的栅极连接;

[0028] 所述第六晶体管的栅极与所述上拉节点连接,所述第六晶体管的第一极与第二直流电源端连接,所述第六晶体管的第二极与所述下拉节点连接;

[0029] 所述第七晶体管的第一极与第一直流电源端连接,所述第七晶体管的第二极与所述下拉节点连接;

[0030] 所述第三电容器的一端与所述下拉节点连接,所述第三电容器的另一端与所述第二直流电源端连接。

[0031] 可选地,所述下拉控制模块还与第二复位时钟信号端和第二控制信号端连接;

[0032] 所述下拉控制模块还包括:第八晶体管;

[0033] 所述第八晶体管的栅极与所述第二控制信号端连接,所述第八晶体管的第一极与所述第二复位时钟信号端连接,所述第八晶体管的第二极与所述第七晶体管的栅极连接;

[0034] 所述第二复位时钟信号端、所述N个时钟信号端和所述第一复位时钟信号端依次输出处于第一电位的时钟信号。

[0035] 可选地,所述下拉模块包括:第一下拉子模块和N个第二下拉子模块;

[0036] 所述第一下拉子模块分别与所述下拉节点,所述第二直流电源端和所述上拉节点连接,用于在所述下拉节点的控制下,向所述上拉节点输出所述第二电源信号;

[0037] 所述N个第二下拉子模块中的第i个第二下拉子模块分别与所述下拉节点,所述第二直流电源端和所述第i驱动信号输出端连接,用于在所述下拉节点的控制下,向所述第i驱动信号输出端输出所述第二电源信号。

[0038] 可选地,所述第一下拉子模块包括:第九晶体管,所述第九晶体管的栅极与所述下拉节点连接,所述第九晶体管的第一极与所述第二直流电源端连接,所述第九晶体管的第二极与所述上拉节点连接;

[0039] 所述N个第二下拉子模块中,第i个第二下拉子模块包括:第十晶体管,所述第十晶体管的栅极与所述下拉节点连接,所述第十晶体管的第一极与所述第二直流电源端连接,所述第十晶体管的第二极与所述第i驱动信号输出端连接。

[0040] 可选地,所述移位寄存器单元还包括:放电模块;

[0041] 所述放电模块分别与放电控制端、所述下拉节点和所述第二直流电源端连接,用于在来自所述放电控制端的放电控制信号下,向所述下拉节点输出来自所述第二直流电源端的第三电源信号,所述第三电源信号的电位为第一电位。

[0042] 第二方面,提供一种移位寄存器单元的驱动方法,所述方法用于驱动如第一方面任一所述的移位寄存器单元,所述方法包括:充电阶段、N个输出阶段和降噪阶段;

[0043] 所述充电阶段中,第一控制信号端输出的第一控制信号为第一电位,第一输入信号端输出的输入信号为第一电位,所述输入模块在所述输入信号的控制下,向上拉节点输出所述第一控制信号;

[0044] 所述N个输出阶段的第i输出阶段中,N个时钟信号端中第i时钟信号端输出的第i时钟信号为第一电位,所述上拉节点保持第一电位,第i个输出模块在所述上拉节点的控制下,向第i驱动信号输出端输出所述第i时钟信号,所述i为大于0且小于等于N的整数;

[0045] 所述降噪阶段中,所述第一控制信号为第一电位,第一复位时钟信号端输出的第一复位时钟信号为第一电位,所述下拉控制模块在所述第一复位时钟信号的控制下,向下拉节点输出来自第一直流电源端的第一电源信号,所述下拉模块在所述下拉节点的控制下,分别向所述上拉节点和每个驱动信号输出端输出来自第二电源端的第二电源信号;

[0046] 其中,所述N个时钟信号端和所述第一复位时钟信号端依次输出处于第一电位的时钟信号,所述第一电源信号为第一电位,所述第二电源信号为第二电位。

[0047] 第三方面,提供一种栅极驱动电路,所述栅极驱动电路包括M个级联的如第一方面任一所述的移位寄存器单元,所述M为大于1的整数;

[0048] 所述M个移位寄存器单元中,第j个移位寄存器单元的第N驱动信号输出端与第j+1个移位寄存器单元的第一输入信号端连接,所述j为小于M的正整数。

[0049] 可选地,所述M个移位寄存器单元包括两组移位寄存器单元,所述两组移位寄存器单元分别设置在显示面板相对的两侧。

[0050] 第四方面,提供一种显示装置,所述显示装置包括第三方面所述的栅极驱动电路。

[0051] 第五方面,提供了一种存储介质,所述存储介质内存储有计算机程序,所述计算机程序被处理器执行时实现第二方面所述的移位寄存器单元的驱动方法。

[0052] 本发明提供的技术方案带来的有益效果是:

[0053] 本发明提供了一种移位寄存器单元、驱动方法、栅极驱动电路及显示装置,该移位寄存器单元中包括N个输出模块,且每个输出模块可以在上拉节点的控制下,向第i驱动信号输出端输出第i时钟信号,由于该移位寄存器单元能够分别通过该N个输出模块输出的信号驱动N行像素单元,相对于相关技术,每个移位寄存器单元只能驱动一行像素单元,采用本发明实施例提供的移位寄存器单元可以减少栅极驱动电路中所需的移位寄存器单元的个数,进而可以有效减少栅极驱动电路在显示装置中所占用的版图面积,有利于超窄边框的实现。

附图说明

[0054] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

- [0055] 图1是本发明实施例提供的一种移位寄存器单元的结构示意图;
- [0056] 图2是本发明实施例提供的另一种移位寄存器单元的结构示意图;
- [0057] 图3是本发明实施例提供的又一种移位寄存器单元的结构示意图;
- [0058] 图4是本发明实施例提供的再一种移位寄存器单元的结构示意图;
- [0059] 图5是本发明实施例提供的一种移位寄存器单元的驱动方法的流程图;
- [0060] 图6是本发明实施例提供的一种移位寄存器单元的驱动过程的时序图;
- [0061] 图7是本发明实施例提供的一种栅极驱动电路的结构示意图;
- [0062] 图8是本发明实施例提供的另一种移位寄存器单元的驱动过程的时序图。

具体实施方式

[0063] 为使本发明的目的、技术方案和优点更加清楚,下面将结合附图对本发明实施方式作进一步地详细描述。

[0064] 本发明所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件,根据在电路中的作用本发明的实施例所采用的晶体管主要为开关晶体管。由于这里采用的开关晶体管的源极、漏极是对称的,所以其源极、漏极是可以互换的。在本发明实施例中,将其中源极称为第一级,漏极称为第二级。按附图中的形态规定晶体管的中间端为栅极、信号输入端为源极、信号输出端为漏极。此外,本发明实施例所采用的开关晶体管可以包括P型开关晶体管和N型开关晶体管中的任一种,其中,P型开关晶体管在栅极为低电平时导通,在栅极为高电平时截止,N型开关晶体管在栅极为高电平时导通,在栅极为低电平时截止。此外,本发明各个实施例中的多个信号都对应第一电位和第二电位,第一电位和第二电位仅代表该信号的电位有2个状态量,不代表全文中第一电位或第二电位具有特定的数值。

[0065] 在本发明下述实施例中,以各晶体管为N型晶体管,且第一电位相对于第二电位为高电位为例进行说明。

[0066] 图1是本发明实施例提供的一种移位寄存器单元的结构示意图,参考图1,该移位寄存器单元可以包括:

[0067] 输入模块10、下拉控制模块20、下拉模块30和N个输出模块40,N为大于或等于2的整数。

[0068] 输入模块10分别与第一输入信号端STV1、第一控制信号端CN和上拉节点PUCN连接,用于在来自第一输入信号端STV1的输入信号的控制下,向上拉节点PUCN输出来自第一控制信号端CN的第一控制信号。

[0069] N个输出模块40中,第i个输出模块40分别与N个时钟信号端中第i时钟信号端CLK_i、上拉节点PUCN和N个驱动信号输出端中第i驱动信号输出端OUT_i连接,第i个输出模块40用于在上拉节点PUCN的控制下,向第i驱动信号输出端OUT_i输出来自第i时钟信号端CLK_i的第i时钟信号,且N个驱动信号输出端中每个驱动信号输出端与一条栅线连接,用于向显示面板输出栅极驱动信号,i为大于0且小于等于N的整数。

[0070] 下拉控制模块20分别与第一控制信号端CN、第一复位时钟信号端RST1、第一直流电源端VGH、第二直流电源端VGL、上拉节点PUCN和下拉节点PD连接,用于在第一控制信号和来自第一复位时钟信号端RST1的第一复位时钟信号的控制下,向下拉节点PD输出来自第一直流电源端VGH的第一电源信号,以及在上拉节点PUCN的控制下,向下拉节点PD输出来自第二直流电源端VGL的第二电源信号。

[0071] 下拉模块30分别与第二直流电源端VGL、每个驱动信号输出端、上拉节点PUCN和下拉节点PD连接,用于在下拉节点PD的控制下,分别向每个驱动信号输出端和上拉节点PUCN输出第二电源信号。

[0072] 其中,N个时钟信号端和第一复位时钟信号端RST1可以依次输出处于第一电位的时钟信号。

[0073] 综上所述,本发明实施例提供的移位寄存器单元中包括N个输出模块40,且每个输出模块40可以在上拉节点PUCN的控制下,向第i驱动信号输出端OUT_i输出输出第i时钟信号,由于该移位寄存器单元能够分别通过该N个输出模块40输出的信号驱动N行像素单元,相对于相关技术,每个移位寄存器单元只能驱动一行像素单元,采用本发明实施例提供的移位寄存器单元可以减少栅极驱动电路中所需的移位寄存器单元的个数,进而可以有效减少栅极驱动电路在显示装置中所占用的版图面积,有利于超窄边框的实现。

[0074] 进一步地,请参考图2,输入模块10还可以与第二输入信号端STV2和第二控制信号端CNB连接,以便于栅极驱动电路既能够工作在正扫模式下又能够工作在反扫模式下。当第一控制信号端CN输出的第一控制信号为第一电位,且第二控制信号端CNB输出的第二控制信号为第二电位时,栅极驱动电路工作在正扫模式下;当第一控制信号端CN输出的第一控制信号为第二电位,且第二控制信号端CNB输出的第二控制信号为第一电位时,栅极驱动电路工作在反扫模式下。

[0075] 并且,请继续参考图2,该移位寄存器单元还包括:放电模块50。该放电模块50分别与放电控制端EN、下拉节点PD和第二直流电源端VGL连接,用于在来自放电控制端EN的放电控制信号下,向下拉节点PD输出来自第二直流电源端VGL的第三电源信号,该第三电源信号的电位为第一电位。第二直流电源输出的信号的电位可调,当需要对显示面板放电时,可将该第二直流电源输出的信号的电位调节为第一电位,当不需对显示面板放电时,可将该第二直流电源输出的信号的电位调节为第二电位。

[0076] 图3是本发明实施例提供的另一种移位寄存器单元的结构示意图,如图3所示,第i

个输出模块40可以包括：第一晶体管M1。

[0077] 第一晶体管M1的栅极与上拉节点PUCN连接，第一晶体管M1的第一极与第i时钟信号端CLK_i连接，第一晶体管M1的第二极与第i驱动信号输出端OUT_i连接。该多个输出模块40的设置，使一个移位寄存器单元能够驱动多行像素，进而减少栅极驱动电路中元件的数量。

[0078] 进一步的，图4是本发明实施例提供的又一种移位寄存器单元的结构示意图，请参考图4，第i个输出模块40还包括：第二晶体管M2。

[0079] 第二晶体管M2的栅极与第一直流电源端VGH连接，第二晶体管M2的第一极与上拉节点PUCN连接，第二晶体管M2的第二极与第一晶体管M1的栅极连接。该第二晶体管M2用于保证输出模块40输出的电压的稳定性。也即是，该第一晶体管M1的栅极可以通过第二晶体管M2与上拉节点PUCN连接。

[0080] 可选地，如图4所示，第i个输出模块40还可以包括：第一电容器C1。该第一电容器C1的一端与第一晶体管M1的栅极连接，两者连接的节点为子上拉节点PU_i，第一电容器C1的另一端与第一晶体管M1的第二极连接。由于电容的耦合效应，该第一电容器C1能够在第i时钟信号端输出的第i时钟信号为第一电位时，进一步提高第一晶体管M1栅极的电压，使第一晶体管M1始终保持开启状态，从而保证该第i个输出模块40的稳定输出。

[0081] 请参考图3和图4，输入模块10可以包括：第三晶体管M3。该第三晶体管M3的栅极与第一输入信号端STV1连接，第三晶体管M3的第一极与第一控制信号端CN连接，第三晶体管M3的第二极与上拉节点PUCN连接。

[0082] 如图4所示，输入模块10还可以包括：第二电容器C2。第二电容器C2的一端与上拉节点PUCN连接，第二电容器C2的另一端与第二直流电源端VGL连接。该第二电容器C2用于稳定上拉节点PUCN的电压。

[0083] 并且，如图4所示，输入模块10还与第二输入信号端STV2和第二控制信号端CNB连接。相应的，输入模块10还可以包括：第四晶体管M4。

[0084] 该第四晶体管M4的栅极与第二输入信号端STV2连接，第四晶体管M4的第一极与第二控制信号端CNB连接，第四晶体管M4的第二极与上拉节点PUCN连接。该结构保证了栅极驱动电路既能够工作在正扫模式下又能够工作在反扫模式下。

[0085] 请继续参考图3和图4，下拉控制模块20包括：第五晶体管M5、第六晶体管M6、第七晶体管M7和第三电容器C3。

[0086] 该第五晶体管M5的栅极与第一控制信号端CN连接，第五晶体管M5的第一极与第一复位时钟信号端RST1连接，第五晶体管M5的第二极与第七晶体管M7的栅极连接。

[0087] 该第六晶体管M6的栅极与上拉节点PUCN连接，第六晶体管M6的第一极与第二直流电源端VGL连接，第六晶体管M6的第二极与下拉节点PD连接。

[0088] 该第七晶体管M7的第一极与第一直流电源端VGH连接，第七晶体管M7的第二极与下拉节点PD连接。

[0089] 该第三电容器C3的一端与下拉节点PD连接，第三电容器C3的另一端与第二直流电源端VGL连接。该第三电容器C3用于稳定下拉节点PD的电压。

[0090] 进一步地，如图4所示，下拉控制模块20还与第二复位时钟信号端RST2和第二控制信号端CNB连接。相应地，下拉控制模块20还包括：第八晶体管M8。

[0091] 该第八晶体管M8的栅极与第二控制信号端CNB连接，第八晶体管M8的第一极与第

二复位时钟信号端RST2连接,第八晶体管M8的第二极与第七晶体管M7的栅极连接。其中,该第二复位时钟信号端RST2、N个时钟信号端和第一复位时钟信号端RST1可以依次输出处于第一电位的时钟信号。

[0092] 请继续参考图3和图4,下拉模块30可以包括:第一下拉子模块301和N个第二下拉子模块302。

[0093] 第一下拉子模块301分别与下拉节点PD,第二直流电源端VGL和上拉节点PUCN连接,用于在下拉节点PD的控制下,向上拉节点PUCN输出第二电源信号。

[0094] N个第二下拉子模块302中的第i个第二下拉子模块分别与下拉节点PD,第二直流电源端VGL和第i驱动信号输出端OUTi连接,用于在下拉节点PD的控制下,向第i驱动信号输出端OUTi输出第二电源信号。该N个第二下拉子模块的设置能够保证对N个驱动信号输出端的降噪作用。

[0095] 其中,第一下拉子模块包括:第九晶体管M9,该第九晶体管M9的栅极与下拉节点PD连接,第九晶体管M9的第一极与第二直流电源端VGL连接,第九晶体管M9的第二极与上拉节点PUCN连接。

[0096] N个第二下拉子模块302中,第i个第二下拉子模块包括:第十晶体管M10,第十晶体管M10的栅极与下拉节点PD连接,第十晶体管M10的第一极与第二直流电源端VGL连接,第十晶体管M10的第二极与第i驱动信号输出端OUTi连接。

[0097] 请继续参考图4,该放电模块50包括:第十一晶体管M11,该第十一晶体管M11的栅极与放电控制端EN连接,第十一晶体管M11的第一极与第二直流电源端VGL连接,第十一晶体管M11的第二极与下拉节点PD连接。显示面板的放电过程中,该第二直流电源端VGL输出处于第一电位的第三电源信号,在放电控制端EN输出的放电控制信号下,可以使得第十一晶体管M11开启,该放电模块50能够向下拉节点PD输出该处于第一电位的第三电源信号,使下拉模块30开始工作,对上拉节点PUCN和各个驱动信号输出端进行降噪,以便于显示面板上的所有行像素均处于暗态,实现对显示面板的放电。例如:可以在显示面板异常断电时,或者,在完成一帧图像的扫描后,控制放电控制端EN输出处于第一电位的放电控制信号,使下拉模块30开始工作,以实现显示面板的放电。

[0098] 综上所述,本发明实施例提供的移位寄存器单元中包括个输出模块,且每个输出模块可以在上拉节点的控制下,向第i驱动信号输出端输出输出第i时钟信号,由于该移位寄存器单元能够分别通过该N个输出模块输出的信号驱动N行像素单元,相对于相关技术,每个移位寄存器单元只能驱动一行像素单元,采用本发明实施例提供的移位寄存器单元可以减少栅极驱动电路中所需的移位寄存器单元的个数,进而可以有效减少栅极驱动电路在显示装置中所占用的版图面积,有利于超窄边框的实现。

[0099] 图5是本发明实施例提供的一种移位寄存器单元的驱动方法的流程图,该方法可以用于驱动如图1至图4任一所示的移位寄存器单元,参考图1,该移位寄存器单元单元可以包括:输入模块10、下拉控制模块20、下拉模块30和N个输出模块40,该方法可以包括:充电阶段、N个输出阶段和降噪阶段,具体如下:

[0100] 步骤501、充电阶段中,第一控制信号端CN输出的第一控制信号为第一电位,第一输入信号端STV1输出的输入信号为第一电位,输入模块10在输入信号的控制下,向上拉节点PUCN输出第一控制信号。

[0101] 步骤502、N个输出阶段的第i输出阶段中，N个时钟信号端中第i时钟信号端CLK_i输出的第i时钟信号为第一电位，上拉节点PUCN保持第一电位，第i个输出模块40在上拉节点PUCN的控制下，向第i驱动信号输出端OUT_i输出第i时钟信号，i为大于0且小于等于N的整数。

[0102] 步骤503、降噪阶段中，第一控制信号为第一电位，第一复位时钟信号端RST1输出的第一复位时钟信号为第一电位，下拉控制模块20在第一复位时钟信号的控制下，向下拉节点PD输出来自第一直流电源端VGH的第一电源信号，下拉模块30在下拉节点PD的控制下，分别向上拉节点PUCN和每个驱动信号输出端输出来自第二电源端的第二电源信号。

[0103] 其中，N个时钟信号端和第一复位时钟信号端RST1依次输出处于第一电位的时钟信号，第一电源信号为第一电位，第二电源信号为第二电位。

[0104] 可选地，该移位寄存器单元的驱动方法还包括：在步骤501和步骤502中，下拉控制模块20在上拉节点PUCN的控制下，向下拉节点PD输出来自第二直流电源端VGL的第二电源信号。

[0105] 综上所述，本发明实施例提供的移位寄存器单元的驱动方法，该驱动方法可以包括充电阶段、N个输出阶段和降噪阶段，移位寄存器单元在该N个输出阶段中每个输出阶段输出的信号可以驱动一行像素单元，相比于相关技术中移位寄存器单元的驱动方法中，对每个移位寄存器单元进行驱动时，移位寄存器单元输出的信号驱动一行像素单元，采用本发明实施例提供的移位寄存器单元的驱动方法，对每个移位寄存器单元进行驱动时，移位寄存器单元输出的信号可以驱动N行像素单元，该移位寄存器单元的驱动方法的驱动效率较高。

[0106] 图6是本发明实施例提供的一种移位寄存器单元的驱动过程的时序图，以图4所示的移位寄存器单元中包括两个输出模块40，且第一控制信号持续为高电平（例如可以为8V），第二控制信号持续为低电平（例如可以为-8V），以该移位寄存器单元中的各晶体管为N型晶体管，且每个移位寄存器单元与4个时钟信号端连接为例，详细介绍本发明实施例提供的移位寄存器单元的驱动原理。

[0107] 参考图6，充电阶段t₁中，第一控制信号端CN输出的第一控制信号为高电平，第一输入信号端STV1输出的第一输入信号为高电平，所有时钟信号端输出的时钟信号均为低电平，此时，第三晶体管M3开启，第一控制信号端CN向上拉节点PUCN输出第一控制信号，为该上拉节点PUCN充电。进一步的，由于第一直流电源VGH输出的第一电源信号为高电平，且第二晶体管M2的栅极均与第一直流电源VGH连接，第二晶体管M2开启，上拉节点PUCN通过第一输出模块中的第二晶体管M2向第一子上拉节点PU1输入信号，通过第二输出模块中的第二晶体管M2向第二子上拉节点PU2输入信号，为第一子上拉节点PU1和第二子上拉节点PU2充电，使其电位均有一定程度的升高，该两个输出模块中的第一晶体管M1开启，第一时钟信号端CLK1向第一驱动信号输出端OUT1输出处于第二电位的第二时钟信号CK1，第二时钟信号端CLK2向第一驱动信号输出端OUT2输出处于第二电位的第二时钟信号CK2。并且，由于上拉节点PUCN为高电平，可以使得第六晶体管M6开启，第二直流电源端VGL向下拉节点PD输出处于低电位的第二电源信号，从而使得下拉模块30中的各晶体管关断。

[0108] 第一输出阶段t₂中，第一时钟信号端CLK1输出的第一时钟信号CK1为高电平，其他时钟信号端输出的时钟信号为低电平，上拉节点PUCN保持为高电平，由于在充电阶段t₁中，

第一子上拉节点PU1有一定程度的升高,在其控制下第一晶体管M1微开启,第一时钟信号端CLK1向第一晶体管M1的第二级输出第一时钟信号CK1。当该第一时钟信号CK1在第一输出阶段t2跳变至高电平后,由于第一电容器C的耦合效应,第一子上拉节点PU1的电平会随着第一晶体管M1的第二级电平的升高而进一步升高,使第一子上拉节点PU1的电平与上拉节点PUCN的电平相等。此时,第一晶体管M1完全开启,第一时钟信号端CLK1向该第一驱动信号输出端OUT1输出处于高电平的第一时钟信号CK1,以驱动显示面板中的像素单元。

[0109] 第二输出阶段t3中,第二时钟信号端CLK2输出的第二时钟信号CK2为高电平,其他时钟信号端输出的时钟信号为低电平,上拉节点PUCN保持为高电平,由于在充电阶段t1中,第二子上拉节点PU2有一定程度的升高,在其控制下第一晶体管M1微开启,第二时钟信号端CLK2向第一晶体管M1的第二级输出第二时钟信号CK2。当该第二时钟信号CK2在第二输出阶段t3跳变至高电平后,由于第一电容器C的耦合效应,第二子上拉节点PU2的电平会随着第一晶体管M1的第二级电平的升高而进一步升高,使第二子上拉节点PU2的电平与上拉节点PUCN的电平相等。此时,第一晶体管M1完全开启,第二时钟信号端CLK2向第二驱动信号输出端OUT2输出处于高电平的第二时钟信号CK2,以驱动显示面板中的像素单元。

[0110] 进一步的,在第一输出阶段t2和第二输出阶段t3中,由于上拉节点PUCN为高电平,可以使得第六晶体管M6开启,使第二直流电源端VGL向下拉节点PD输出处于低电平的第二电源信号,从而使得下拉模块30中的各晶体管关断,避免对上拉节点PUCN、第一驱动信号输出端OUT1以及第二驱动信号输出端OUT2的电平造成影响,保证了移位寄存器单元输出信号的稳定性。

[0111] 此外,在第一输出阶段t2和第二输出阶段t3中,第一子上拉节点PU1的电平和第二子上拉节点PU2的电平在进一步升高后,其电平与上拉节点PUCN的电平相等,使得每个第二晶体管M2的第一极和第二极的电平均为高电平,可以避免第二晶体管M2的漏电流影响上拉节点PUCN的电平,进一步保证了移位寄存器单元输出信号的稳定性。

[0112] 需要说明的是,在上述第一输出阶段t2和第二输出阶段t3,由于第一晶体管M1具有较宽的沟道,该第一晶体管M1也有一定的耦合效应,因此,即使移位寄存器单元中未设置第一电容器C1,第一子上拉节点PU1和第二子上拉节点PU2的电平也会随着第一晶体管M1的第二级电平的升高而进一步的升高。

[0113] 进一步的,在降噪阶段t4中,第一直流电源VGH输出的第一电源信号为高电平,第一复位时钟信号端RST1输出的第一复位时钟信号CK3为高电平,其他时钟信号端输出的时钟信号为低电平,在处于高电平的第一控制信号的控制下,第五晶体管M5开启,第一复位时钟信号端RST1通过第五晶体管M5向第七晶体管M7的栅极输出处于高电平的第一复位时钟信号CK3,使得第七晶体管M7开启,第一直流电源VGH通过第七晶体管M7向下拉节点PD输出处于高电平的第一电源信号,第九晶体管M9和第十晶体管M10在该下拉节点PD的驱动下开启,此时第二直流电源端VGL可以分别向上拉节点PUCN、第一驱动信号输出端OUT1和第二驱动信号输出端OUT2输出处于低电平的第二电源信号,从而对上拉节点PUCN、第一驱动信号输出端OUT1和第二驱动信号输出端OUT2进行降噪。

[0114] 从图6可以看出,上拉节点PUCN的电位在降噪阶段即会被拉低,即上拉节点PUCN的电位只需保持三个时钟信号的脉冲时长,而相关技术中,上拉节点的电压在下一级移位寄存器单元单元输出时才会被拉低,相对于相关技术,本发明实施例中的移位寄存器单元的

驱动方法减小了上拉节点PUCN的电位的保持时长,可以避免显示面板上的一些顽固不良的发生,保证了产品的质量。

[0115] 在实际应用中,该各个电源端和信号端输出的信号的具体电平值可以根据实际电路需要进行调整,例如,第一电源信号的电平可以为8V,第二电源信号的电平可以为-8V,每个时钟信号的高电平也可以为8V,本发明实施例对此不做限定。

[0116] 需要说明的是,在上述实施例中,均是以上述晶体管为N型晶体管,且第一电位为相对于该第二电位高电位为例进行的说明。当然,上述晶体管还可以采用P型晶体管,当上述晶体管采用P型晶体管时,该第一电位相对于该第二电位可以为低电位,且该各个信号端的电位变化可以与图6所示的电位变化相反。

[0117] 综上所述,本发明实施例提供的移位寄存器单元的驱动方法,该驱动方法可以包括充电阶段、N个输出阶段和降噪阶段,移位寄存器单元在该N个输出阶段中每个输出阶段输出的信号可以驱动一行像素单元,相比于相关技术中移位寄存器单元的驱动方法中,对每个移位寄存器单元进行驱动时,移位寄存器单元输出的信号驱动一行像素单元,采用本发明实施例提供的移位寄存器单元的驱动方法,对每个移位寄存器单元进行驱动时,移位寄存器单元输出的信号可以驱动N行像素单元,该移位寄存器单元的驱动方法的驱动效率较高。

[0118] 本发明实施例提供了一种栅极驱动电路,参考图7,该栅极驱动电路可以包括M个级联的移位寄存器单元00,其中,M为大于1的整数,且每个移位寄存器单元00可以为如图1至图4任一所示的移位寄存器单元。该M个移位寄存器单元中,第j个移位寄存器单元的第N驱动信号输出端与第j+1个移位寄存器单元的第一输入信号端STV1连接,j为小于M的正整数。

[0119] 并且,该M个移位寄存器单元可以包括两组移位寄存器单元,两组移位寄存器单元分别设置在显示面板相对的两侧。例如:可以将该M个移位寄存器单元中,第一级移位寄存器单元、第三级移位寄存器单元、第五级移位寄存器单元等奇数级移位寄存器单元设置在显示面板的左侧,将该M个移位寄存器单元中,第二级移位寄存器单元、第四级移位寄存器单元、第六级移位寄存器单元等偶数级移位寄存器单元设置在显示面板的右侧。将两组移位寄存器单元分别设置在显示面板相对的两侧,能够减小显示面板上元件的布局密度,且保证TFT在显示装置中的设置呈现出较均匀的状态,改善显示面板的局部发热情况。

[0120] 需要说明的是,图7所示的栅极驱动电路包括M个移位寄存器单元,该M个移位寄存器单元分别为:第一级移位寄存器单元GOA1、第二级移位寄存器单元GOA2、第三级移位寄存器单元GOA3、...、第M-1级移位寄存器单元GOAM-1和第M级移位寄存器单元GOAM。在正扫模式下,GOA1、GOA2、GOA3、...、GOAM-1和GOAM依次输出栅极驱动信号,且第j级移位寄存器单元的第N驱动信号输出端与第j+1级移位寄存器单元的第一输入信号端STV1连接,j为小于M的正整数;在反扫模式下,GOAM、GOAM-1、...、GOA3、GOA2和GOA1依次输出栅极驱动信号,且第k级移位寄存器单元的第一驱动信号输出端与第k-1级移位寄存器单元的第二输入信号端STV2连接,k为大于1且小于等于M的正整数。

[0121] 并且,当M个移位寄存器单元工作在正扫模式下时,每个移位寄存器单元中与N个输出模块40对应的N个时钟信号端,从第一时钟信号端至第N时钟信号端依次输出处于第一电位的时钟信号,使第一输出模块40至第N输出模块40依次输出栅极驱动信号;当M个移位

寄存器单元工作在反扫模式下时,每个移位寄存器单元中与N个输出模块40对应的N个时钟信号端,从第N个时钟信号端至第一时钟信号端依次输出处于第一电位的时钟信号,使第N个输出模块40至第一输出模块40依次输出栅极驱动信号。

[0122] 综上所述,本发明实施例提供的栅极驱动电路M个移位寄存器单元中,第j个移位寄存器单元的第N驱动信号输出端与第j+1个移位寄存器单元的第一输入信号端STV1连接,使上一级移位寄存器单元的输出作为下一级移位寄存器单元的输入信号,能够有效较少输入信号端的数量,进而降低移位寄存器单元的驱动功耗,且有利于超窄边框的实现。

[0123] 进一步地,当移位寄存器单元中包括两个输出模块时,栅极驱动电路中可以设置有8个时钟信号端,该8个时钟信号端分别输出时钟信号CK1至CK8,如图6所示,该8个时钟信号中每个时钟信号的占空比均为八分之一,并且可以依次输出高电平的时钟信号。并且,请参考图7,第一级移位寄存器单元GOA1的第一时钟信号端CLK1中输入的时钟信号可以为CK1,第二时钟信号端CLK2输入的时钟信号可以为CK2,第一复位时钟信号端RST1输入的时钟信号可以为CK3,第二复位时钟信号端RST2输入的时钟信号可以为CK8,其中,如图6所示,时钟信号CK8、CK1、CK2和CK3依次输出高电平;第二级移位寄存器单元GOA2的第一时钟信号端CLK1中输入的时钟信号可以为CK3,第二时钟信号端CLK2输入的时钟信号可以为CK4,第一复位时钟信号端RST1输入的时钟信号可以为CK5,第二复位时钟信号端RST2输入的时钟信号可以为CK2,其中,时钟信号CK2、CK3、CK4和CK5依次输出高电平;第三级移位寄存器单元GOA3的第一时钟信号端CLK1中输入的时钟信号可以为CK5,第二时钟信号端CLK2输入的时钟信号可以为CK6,第一复位时钟信号端RST1输入的时钟信号可以为CK7,第二复位时钟信号端RST2输入的时钟信号可以为CK4,其中,时钟信号CK4、CK5、CK6和CK7依次输出高电平;第四级移位寄存器单元GOA4的第一时钟信号端CLK1中输入的时钟信号可以为CK7,第二时钟信号端CLK2输入的时钟信号可以为CK8,第一复位时钟信号端RST1输入的时钟信号可以为CK1,第二复位时钟信号端RST2输入的时钟信号可以为CK6,其中,时钟信号CK6、CK7、CK8和CK1依次输出高电平。该栅极驱动电路可以以4个移位寄存器单元为单位,重复以上连接。

[0124] 或者,栅极驱动电路中也可以仅设置有4个时钟信号端,该4个时钟信号端分别输出时钟信号CK1至CK4,如图8所示,该4个时钟信号中每个时钟信号的占空比均为四分之一,并且可以依次输出高电平的时钟信号。示例地,第一级移位寄存器单元GOA1的第一时钟信号端CLK1中输入的时钟信号可以为CK1,第二时钟信号端CLK2输入的时钟信号可以为CK2,第一复位时钟信号端RST1输入的时钟信号可以为CK3;第二级移位寄存器单元GOA2的第一时钟信号端CLK1中输入的时钟信号可以为CK3,第二时钟信号端CLK2输入的时钟信号可以为CK4,第一复位时钟信号端RST1输入的时钟信号可以为CK1。该栅极驱动电路可以以2个移位寄存器单元为单位重复以上连接。这样,可以减少时钟信号端的数量,进而降低显示面板的成本。

[0125] 需要说明的是,在实际应用中,栅极驱动电路中还可以设置16个时钟信号端,本发明实施例对此不做限定。

[0126] 本发明实施例提供一种显示装置,该显示装置可以包括如图7所示的栅极驱动电路。该显示装置可以为:液晶面板、电子纸、有机发光二极管(英文:Organic Light-Emitting Diode,简称:OLED)面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相

框、导航仪等任何具有显示功能的产品或部件。

[0127] 本发明实施例还提供了一种存储介质,该存储介质内存储有计算机程序,计算机程序被处理器执行时实现本发明实施例提供的移位寄存器单元的驱动方法。

[0128] 以上所述仅为本发明的较佳实施例,并不用以限制本发明,凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

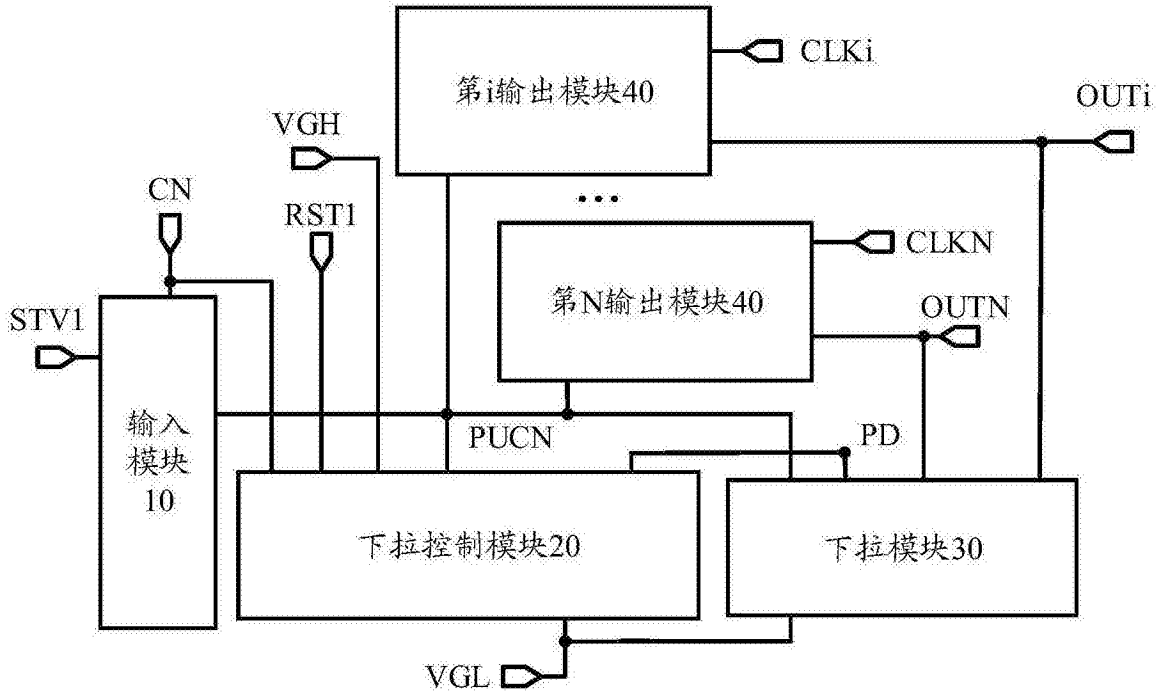


图1

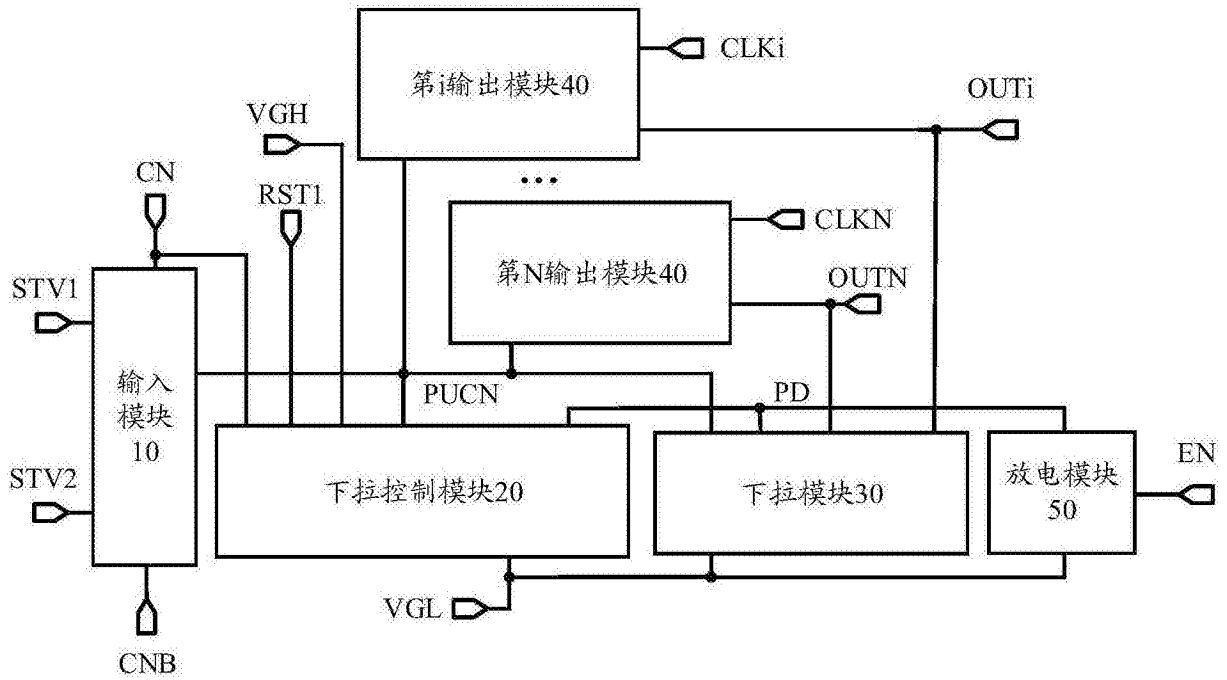


图2

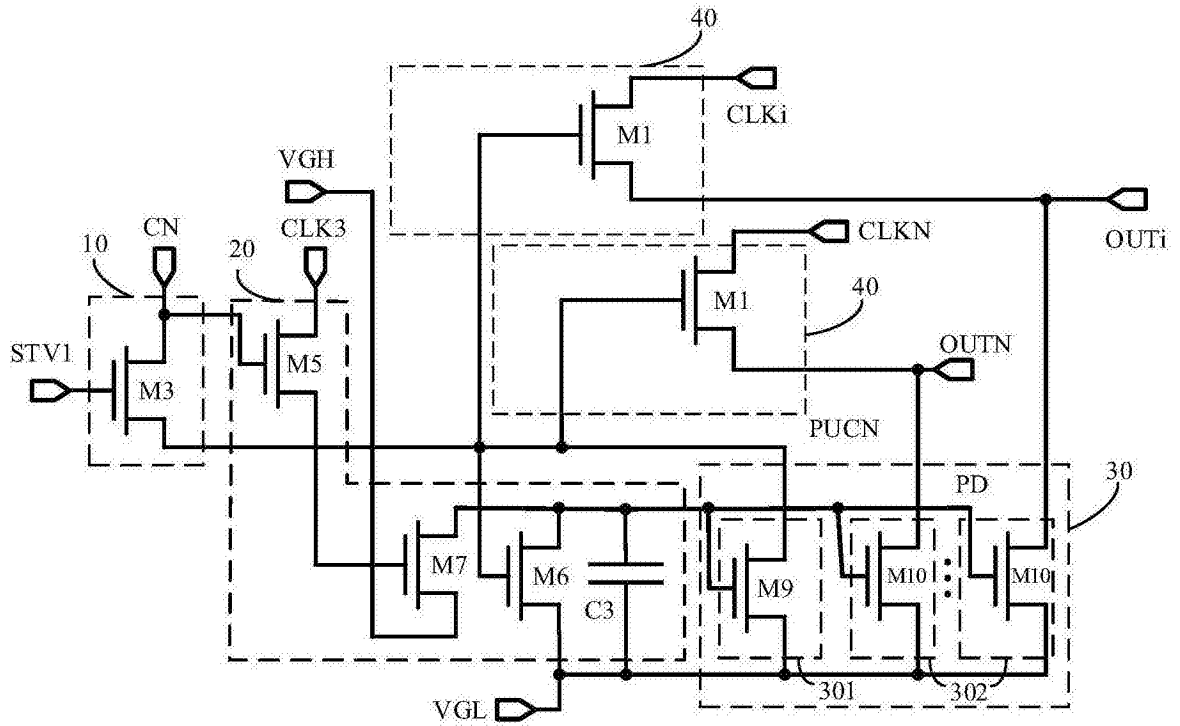


图3

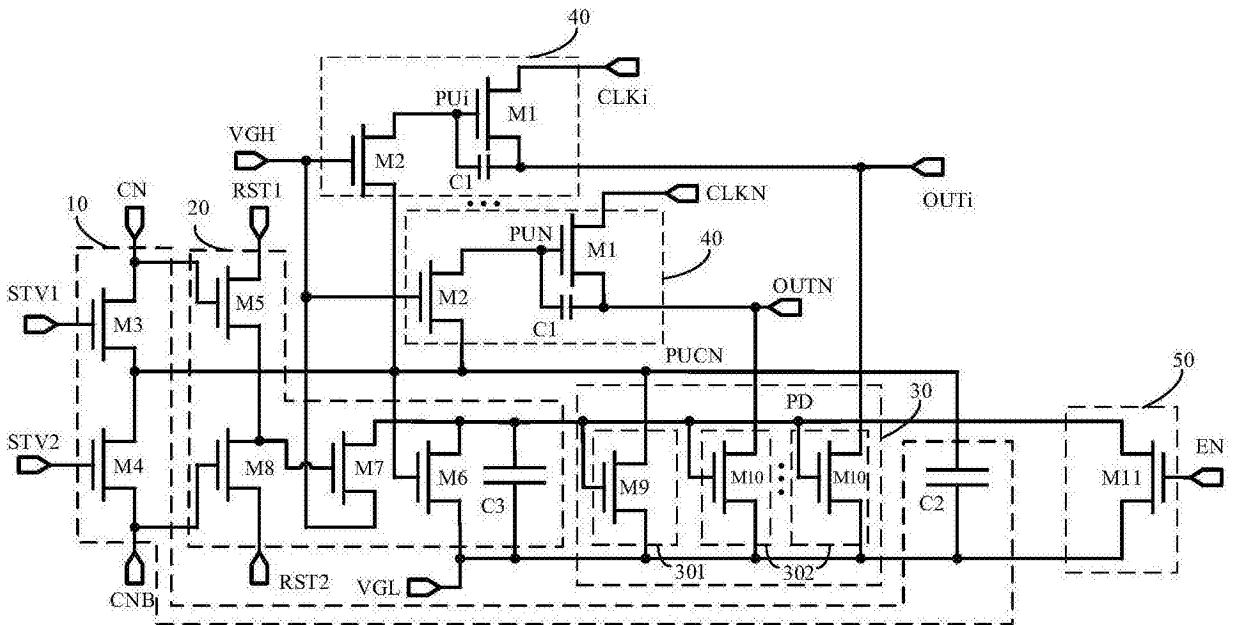


图4

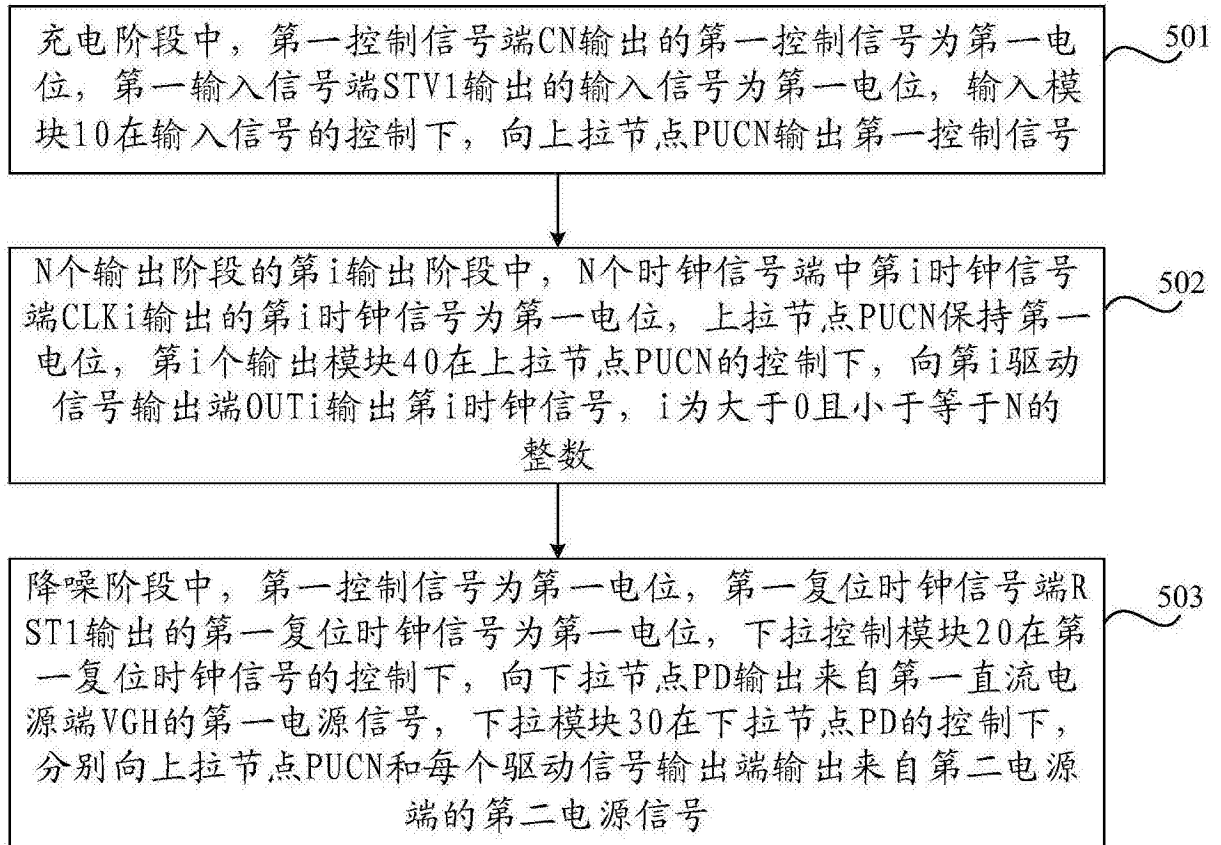


图5

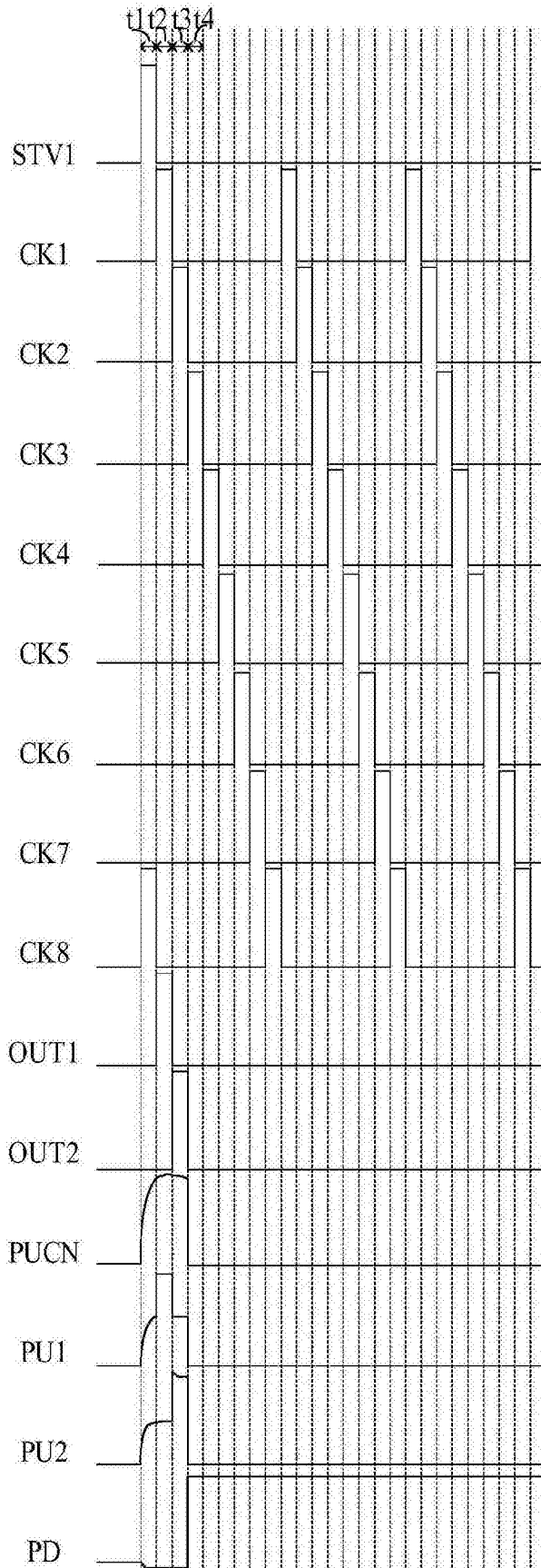


图6

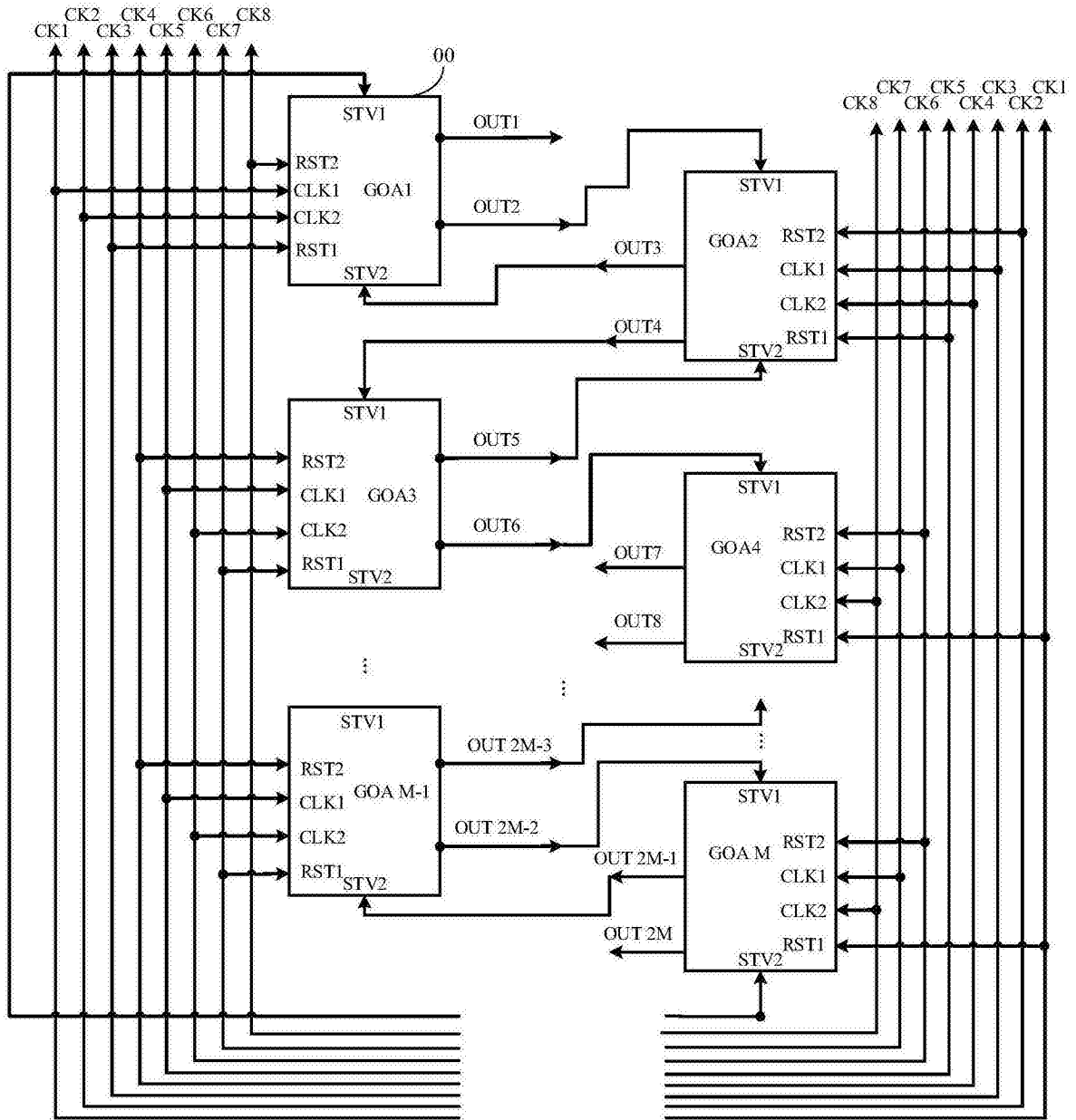


图7

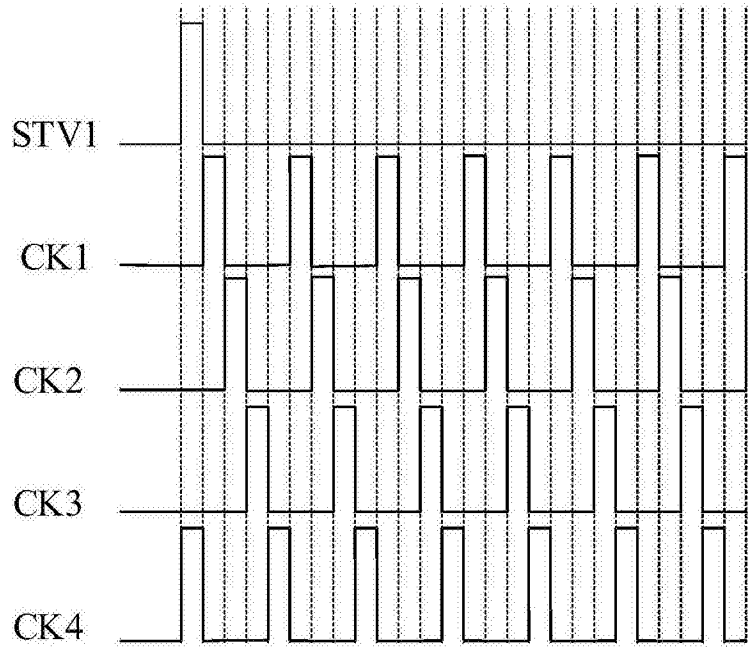


图8