(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4046267号
(P4046267)

(45)発行日　平成20年2月13日(2008.2.13)　(24)登録日　平成19年11月30日(2007.11.30)

(51)Int.Cl.		F I		
G09F 9/30	(2006.01)	G09F	9/30	338
H01L 27/32	(2006.01)	G09F	9/30	365Z
G09G 3/20	(2006.01)	G09G	3/20	624B
G09G 3/30	(2006.01)	G09G	3/20	641D
H01L 29/786	(2006.01)	G09G	3/20	642C

請求項の数 9　(全 37 頁)　最終頁に続く

(21)出願番号　特願2002-87223(P2002-87223)
(22)出願日　平成14年3月26日(2002.3.26)
(65)公開番号　特開2003-280557(P2003-280557A)
(43)公開日　平成15年10月2日(2003.10.2)
審査請求日　平成17年3月16日(2005.3.16)

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(74)代理人　100099173
弁理士　澁谷　孝
(72)発明者　犬飼　和隆
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　瀬尾　哲史
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　山崎　舜平
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

最終頁に続く

(54)【発明の名称】表示装置

(57)【特許請求の範囲】
【請求項１】
複数の画素と、電流信号が入力される複数の信号線とを有し、
前記複数の画素それぞれは、マルチドレイン素子と、第１のＴＦＴと、容量素子と、前記電流信号に応じた輝度で発光するＥＬ素子と、第２のＴＦＴとを有し、
前記マルチドレイン素子は、絶縁表面上に半導体薄膜によって形成される活性層と、前記活性層に接する絶縁膜と、前記絶縁膜を介して前記活性層と重なるゲート電極とを有し、
前記活性層は、少なくとも１つのチャネル形成領域と、ｎ（ｎは３以上の自然数）個の不純物領域とを有し、
前記ｎ個の不純物領域のうちｍ（ｍは３以上ｎ以下の自然数）個の不純物領域それぞれは、異なる接続電極と接し、
前記ｎ個の不純物領域それぞれは、前記チャネル形成領域と接し、
前記ｍ個の不純物領域のうち任意の２個の不純物領域は、前記活性層中を前記チャネル形成領域のみを介して接続される表示装置であって、
前記第２のＴＦＴの第１の端子が前記ＥＬ素子の一方の電極に電気的に接続され、
前記第２のＴＦＴのゲート電極は、前記第１のＴＦＴのゲート電極と電気的に接続され、
前記容量素子の一方の電極は、前記第１のＴＦＴのゲート電極と電気的に接続され、
前記第１のＴＦＴの第１の端子と、前記第１のＴＦＴのゲート電極と、前記複数の信号

線のうちの１本とは、それぞれ異なる前記接続電極に電気的に接続されていることを特徴とする表示装置。

【請求項２】

複数の画素と、電流信号が入力される複数の信号線とを有し、

前記複数の画素それぞれは、マルチドレイン素子と、第１のＴＦＴと、容量素子と、前記電流信号に応じた輝度で発光するＥＬ素子と、第２のＴＦＴとを有し、

前記マルチドレイン素子は、絶縁表面上に半導体薄膜によって形成される活性層と、前記活性層に接する絶縁膜と、前記絶縁膜を介して前記活性層と重なるゲート電極とを有し、

前記活性層は、少なくとも１つのチャネル形成領域と、ｎ（ｎは３以上の自然数）個の不純物領域とを有し、

前記ｎ個の不純物領域のうちｍ（ｍは３以上ｎ以下の自然数）個の不純物領域それぞれは、異なる接続電極と接し、

前記ｎ個の不純物領域それぞれは、チャネル形成領域との間に、前記不純物領域より不純物濃度の低い低濃度不純物領域を有し、

前記ｍ個の不純物領域のうち、任意の２個の不純物領域は、前記活性層中を前記チャネル形成領域、及び前記低濃度不純物領域のみを介して接続される表示装置であって、

前記第２のＴＦＴの第１の端子が前記ＥＬ素子の一方の電極に電気的に接続され、

前記第２のＴＦＴのゲート電極は、前記第１のＴＦＴのゲート電極と電気的に接続され、

前記容量素子の一方の電極は、前記第１のＴＦＴのゲート電極と電気的に接続され、

前記第１のＴＦＴの第１の端子と、前記第１のＴＦＴのゲート電極と、前記複数の信号線のうちの１本とは、それぞれ異なる前記接続電極に電気的に接続されていることを特徴とする表示装置。

【請求項３】

請求項１または請求項２において、

前記第１のＴＦＴの第２の端子と前記第２のＴＦＴの第２の端子とは、同じ配線に電気的に接続されていることを特徴とする表示装置。

【請求項４】

請求項１乃至請求項３のいずれか一項において、

前記ＥＬ素子は、第１の電極と、第２の電極と、前記第１の電極と前記第２の電極間に挟まれたＥＬ層とを有し、

前記複数の画素は、第１の色で発光するＥＬ層を有する第１の画素と、前記第１の色とは異なる色で発光するＥＬ層を有する第２の画素とを有し、

前記第１の画素の前記ＥＬ層の端部は、前記第２の画素の前記ＥＬ層の端部と重ねて形成されていることを特徴とする表示装置。

【請求項５】

請求項１乃至請求項４のいずれか一項において、

前記ＥＬ素子は、第１の電極と、第２の電極と、前記第１の電極と前記第２の電極間に挟まれたＥＬ層とを有し、

前記ＥＬ層は、第１の機能材料と前記第１の機能材料とは別の機能を有する第２の機能材料の両方が添加された混合領域を有することを特徴とする表示装置。

【請求項６】

請求項１乃至請求項５のいずれか一項において、

前記ＥＬ素子は、第１の電極と、第２の電極と、前記第１の電極と前記第２の電極間に挟まれたＥＬ層とを有し、

前記ＥＬ素子の前記第１の電極と前記第２の電極の一方は陽極で、もう一方は陰極であり、

前記陽極の電位を前記陰極の電位より低くする手段を有することを特徴とする表示装置。

【請求項７】
請求項１乃至請求項６のいずれか一項において、
前記ＥＬ素子は、第１の電極と、第２の電極と、前記第１の電極と前記第２の電極間に挟まれたＥＬ層とを有し、
前記ＥＬ層は、高分子材料、低分子材料または中分子材料の１つまたは複数を有することを特徴とする表示装置。
【請求項８】
請求項１乃至請求項７のいずれか一項に記載の前記表示装置を用いることを特徴とする表示システム。
【請求項９】
請求項１乃至請求項７のいずれか一項に記載の前記表示装置を用いることを特徴とする電子機器。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、画素毎に発光素子が設けられた表示装置に関する。特に、画素毎にトランジスタが設けられ、発光素子の発光を制御するアクティブマトリクス型の表示装置に関する。更に、表示装置を用いた電子機器に関する。
【０００２】
【従来の技術】
画素毎に発光素子及び発光素子の発光を制御するトランジスタを配置したアクティブマトリクス型の表示装置が提案されている。特に、トランジスタとして、薄膜トランジスタ（以下、ＴＦＴと表記する）を用いたアクティブマトリクス型の表示装置が注目を集めている。
【０００３】
ここで発光素子とは、第１の電極と、第２の電極とを有し、第１の電極と第２の電極の間に流れる電流量によって輝度が変化する素子を示すものとする。発光素子として、エレクトロルミネッセンスを利用した素子（ＥＬ素子と表記する）が注目されている。特に、有機物を利用したＥＬ素子を有機ＥＬ素子やＯＬＥＤ（Organic Light Emitting Diode）素子（ＯＬＥＤｅｖｉｃｅ、ＯＥＬＤとも言う）ともいう。ＥＬ素子を用いた表示装置（以下、ＥＬ表示装置と表記する）が注目されている。
【０００４】
ここでＥＬ素子とは、陽極と、陰極と、陽極と陰極に間に挟まれたＥＬ層とを有する構成の素子を示すものとする。陽極と陰極がそれぞれ第１の電極及び第２の電極に対応し、これらの電極間に電圧を印加することによって、電極間に電流が流れる。流れた電流量に応じてＥＬ素子は発光する。
【０００５】
なお、ＥＬ素子は一重項励起子からの発光（蛍光）を利用するものと、三重項励起子からの発光（燐光）を利用するものの両方を含むものとする。
【０００６】
ＥＬ層は、積層構造とすることができる。代表的には、コダック・イーストマン・カンパニーのTangらが提案した「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。ここで、電子輸送層とは、正孔移動度よりも電子移動度が高い性質（電子輸送機能）を有する材料（以下、電子輸送材料と表記する）によって構成される層である。また、発光層は、発光を呈する性質（発光機能）を有する材料（以下、発光材料と表記する）により構成される層である。正孔輸送層は、電子移動度よりも正孔移動度が高い性質（正孔輸送機能）を有する材料（以下、正孔輸送材料と表記する）により構成される層である。また他にも、陽極上に正孔注入層／正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。ここで、電子注入層は、陰極から電子を受け

取る電子注入性（電子注入機能）を有する材料（以下、電子注入材料と表記する）により構成される層である。また、正孔注入層は、陽極から正孔を受け取る正孔注入性（正孔注入機能）を有する材料（以下、正孔注入材料と表記する）により構成される層である。なお、陰極と陽極の間に設けられる全ての層を総称してＥＬ層と呼ぶ。上記構造でなるＥＬ層に、一対の電極（陽極及び陰極）から所定の電圧をかけると、ＥＬ層内でキャリアの再結合が起こって発光する。

【０００７】

なお、ＥＬ素子の陽極と陰極に挟まれた層を総称してＥＬ層を表記する。ＥＬ層は有機物で形成されていても良いし、無機物で形成されていても良い。また、有機物と無機物の両方によって形成されていてもよい。

【０００８】

ＥＬ表示装置は、応答性に優れ、低電圧で動作し、また視野角が広い等の利点を有するため、次世代のフラットパネルディスプレイとして注目されている。アクティブマトリクス型のＥＬ表示装置において、各画素のＥＬ素子の輝度を、ＥＬ素子の陽極と陰極間に、所定の電圧を印加することによって制御する手法と、ＥＬ素子の陽極と陰極間に、所定の電流を流すことによって制御する手法とがある。前者を電圧制御型と呼び、後者を電流制御型と呼ぶことにする。

【０００９】

電流制御型の画素の構成例を以下に挙げる。なお、電流制御型の画素であって、ビデオ信号が表現する、輝度情報に線型に対応する電流信号（以下、信号電流と表記する）が、各画素に信号線（ソース信号線）に入力される構成の画素を例に挙げる。

【００１０】

各画素は、入力された信号電流をドレイン電流とするようなＴＦＴと、前記ＴＦＴのゲート電圧を保持する容量部とを有する。つまり、入力された信号電流を電圧（ゲート電圧）に変換し、前記電圧を保持する機能を有する。また、各画素は、容量部によって記憶された電圧を再び電流に変換する機能を有し、変換された電流を、ソース信号線より信号電流が入力されなくなった後もＥＬ素子に流し続ける。ソース信号線に入力する信号電流を変化させることによって、ＥＬ素子に流れる電流を変化させ、ＥＬ素子の発光輝度を制御し、階調を表現する。

【００１１】

図１０に従来の電流制御型の画素の一例を示し、その駆動方法を説明する。図１０の構成の画素は、特開２００１－１４７６５９公報に記載されている。図１０において、画素は、ＥＬ素子７０９、選択ＴＦＴ７０４、駆動ＴＦＴ７０７、カレントＴＦＴ７０６、容量素子（保持容量）７０８、保持ＴＦＴ７０５、ソース信号線Ｓ、第１のゲート信号線Ｇ、第２のゲート信号線ＧＨ、電源線Ｗによって構成される。

【００１２】

なお、ＴＦＴのソース端子またはドレイン端子の一方を、第１の端子とよび、もう一方を第２の端子と呼ぶことにする。

【００１３】

選択ＴＦＴ７０４のゲート電極は、第１のゲート信号線Ｇに接続されている。選択ＴＦＴ７０４の第１の端子はソース信号線Ｓに接続され、第２の端子は、カレントＴＦＴ７０６の第１の端子及び保持ＴＦＴ７０５の第１の端子に接続されている。カレントＴＦＴ７０６の第２の端子は、電源線Ｗに接続されている。保持ＴＦＴ７０５の第２の端子は、保持容量７０８の一方の電極及び駆動ＴＦＴ７０７のゲート電極に接続されている。保持容量７０８の保持TFT７０５と接続されていない側は、電源線Ｗに接続されている。保持ＴＦＴ７０５のゲート電極は、第２のゲート信号線ＧＨに接続されている。駆動ＴＦＴ７０７の第１の端子はＥＬ素子７０９の一方の電極７０９ａと接続され、第２の端子は電源線Ｗに接続されている。ＥＬ素子７０９のもう一方の電極７０９ｂは、一定の電位に保たれている。また、ソース信号線Ｓに入力する信号電流の電流値は、ビデオ信号入力電流源７７７により制御される。なお、ＥＬ素子７０９の電極７０９ａを画素電極と呼び、もう一方

の電極７０９ｂを対向電極と呼ぶことにする。

【００１４】

ここでは、駆動ＴＦＴ７０７とカレントＴＦＴ７０６の極性は同じで、駆動ＴＦＴ７０７のＩｄ－Ｖｇｓ特性は、カレントＴＦＴ７０６のＩｄ－Ｖｇｓ特性と等しいものとして考える。また、選択ＴＦＴ７０４、保持ＴＦＴ７０５をNチャネル型ＴＦＴとし、駆動ＴＦＴ７０７、カレントＴＦＴ７０６をPチャネル型ＴＦＴで構成し、画素電極７０９ａを陽極とした構成の画素を例に示す。

【００１５】

図１０の構成の画素の駆動方法を図１１及び図１２を用いて説明する。なお、図１１において選択ＴＦＴ７０４及び保持ＴＦＴ７０５は、オン状態・オフ状態がわかりやすいように、スイッチで表記した。また、（ＴＡ１）～（ＴＡ３）それぞれの画素の状態は、図１２のタイミングチャートにおける期間ＴＡ１～ＴＡ３の状態に対応している。

【００１６】

図１２において、Ｇ＿１、Ｇ＿２はそれぞれ、第１のゲート信号線Ｇ、第２のゲート信号線ＧＨの電位を示す。また、｜Ｖｇｓ｜は、駆動ＴＦＴ７０７のゲート電圧（ゲート・ソース間電圧）の絶対値である。I_{EL}は、ＥＬ素子７０９を流れる電流を示す。I_{Video}は、ビデオ信号入力電流源７７７によって定められた電流値である。

【００１７】

期間ＴＡ１において、第１のゲート信号線Ｇ及び第２のゲート信号線ＧＨの信号により選択ＴＦＴ７０４及び保持ＴＦＴ７０５がオンの状態となる。こうして電源線Ｗが、カレントＴＦＴ７０６、保持ＴＦＴ７０５及び選択ＴＦＴ７０４を介して、ソース信号線Ｓと接続される。ソース信号線Ｓには、ビデオ信号入力電流源７７７によって定められた電流量I_{Video}が流れるため、十分に時間が経過し定常状態となると、カレントＴＦＴ７０６のドレイン電流はI_{Video}となる。こうしてカレントＴＦＴ７０６のドレイン電流I_{Video}に対応するゲート電圧が、保持容量７０８に保持される。その後期間ＴＡ２において、第２のゲート信号線ＧＨの信号が変化し、保持ＴＦＴ７０５がオフの状態となる。駆動ＴＦＴ７０７には、I_{Video}のドレイン電流が流れている。こうして信号電流I_{Video}が、電源線Ｗより駆動ＴＦＴ７０７のソース・ドレイン間を介してＥＬ素子７０９に入力される。ＥＬ素子７０９は、信号電流I_{Video}に応じた輝度で発光する。

【００１８】

図１０に示した構成では、上記手法によってＥＬ素子７０９の陽極７０９ａから陰極７０９ｂに電流が流れ、ＥＬ素子７０９が発光する場合は、カレントＴＦＴ７０６の第２の端子はソース端子に相当し、第１の端子はドレイン端子に相当する。また、駆動ＴＦＴ７０７の第２の端子はソース端子に相当し、第１の端子はドレイン端子に相当する。

【００１９】

次に期間ＴＡ３において、第１のゲート信号線Ｇの信号が変化し、選択ＴＦＴ７０４がオフの状態となる。選択ＴＦＴ７０４がオフ状態となった後も、信号電流I_{Video}が、電源線Ｗより駆動ＴＦＴ７０７のソース・ドレイン間を介してＥＬ素子７０９に入力され続け、ＥＬ素子７０９は発光し続ける。

【００２０】

期間ＴＡ１～ＴＡ３の一連の動作を信号電流I_{Video}の書き込み動作と呼ぶことにする。その際、信号電流I_{Video}をアナログ的に変化させることによって、ＥＬ素子７０９の輝度を変化させ、階調を表現する。

【００２１】

上記のような、電流制御型の表示装置では、駆動ＴＦＴ７０７は、飽和領域で動作する。ここで、駆動ＴＦＴ７０７のドレイン電流は、ソース信号線Ｓより入力される信号電流によって定められている。つまり、同じ画素内の駆動ＴＦＴ７０７とカレントＴＦＴ７０６の電流特性がそろっていれば、駆動ＴＦＴ７０７は、閾値電圧や移動度等のバラツキがあっても、一定のドレイン電流を流し続けるようにゲート電圧が自動的に変化する。

【００２２】

【発明が解決しようとする課題】
ＥＬ素子において、その陽極と陰極間の電圧と、流れる電流量の関係（Ｉ－Ｖ特性）は、ＥＬ素子を使用する環境温度や、ＥＬ素子の劣化等の影響によって変化する。そのため、従来の電圧制御型の画素構成では、ＥＬ素子の両電極間に同じ電圧を印加していても、ＥＬ素子を使用する環境温度や、ＥＬ素子の劣化等の影響によって、流れる電流が変化してしまう。その結果、ＥＬ素子の輝度が変化してしまう。
【００２３】
しかし電流制御型の画素構成では、ＥＬ素子を使用する環境温度や、ＥＬ素子の劣化等の影響に対して、ＥＬ素子に流れる電流を、ほぼ一定に保つことができる。
【００２４】
ここで、図９に、ＥＬ素子を流れる電流を一定にした場合の、ＥＬ素子の劣化の時間的変化を示す。縦軸がＥＬ素子の輝度Ｌであり、横軸が時間tである。曲線９００は、ＥＬ素子を流れる電流を一定に保った場合の輝度の変化を示す。時間がｔ０の場合、ＥＬ素子の輝度Lを１００％とする。ＥＬ素子は、一定の電流が流れ続けた時間に依存して劣化が進む。こうして、ＥＬ素子の陽極と陰極の間に同じ電流値の電流が流れている場合にも、輝度が低下してしまう。よって、電流制御型の画素においても、ＥＬ素子の劣化による発光輝度のばらつきが問題となる。そこで本発明は、ＥＬ素子の劣化等による電流特性の変化による輝度の変化を低減し、ほぼ一定の輝度で発光させることが可能な表示装置を提供することを課題とする。
【００２５】
【課題を解決するための手段】
本発明の表示装置では、ＥＬ素子の劣化によるＥＬ素子を流れる電流の変化を抑制するために、電流制御型の画素構成を用いる。電流制御型の画素としては、公知の構成の画素を自由に用いることができる。
【００２６】
例えば、第１の電極と、第２の電極と、前記第１の電極と前記第２の電極間に挟まれたＥＬ層とを有するＥＬ素子と、
前記複数の画素外部より入力される第１の電流を、電圧に変換する手段と、
前記電圧を保持する手段と、
前記電圧を第２の電流に変換し、ＥＬ素子の前記第１の電極と前記第２の電極間に流す手段とを有する構成の電流制御型の画素とすることができる。
【００２７】
上記のような電流制御型の画素を用いた上で、さらにＥＬ素子の劣化も低減するために、以下の３つの手段（第１の手段～第３の手段）のうち、少なくとも１つを組み合わせて用いる。こうして、相乗的にＥＬ素子の劣化を低減する。
【００２８】
そこで、まずこれら３つの手段それぞれについて説明し、その後電流制御型の画素を用いる上で、これらの手段と組み合わせる手法について説明する。
【００２９】
第１の手段は、画素の開口率を大きくするための手段である。画素中でＥＬ素子の画像表示に寄与する面積（以下、発光面積をいう）を大きく設定する。発光面積を大きく設定することによって、同じ輝度を表現する際にＥＬ素子に流す電流の密度を小さくすることができる。ここで、ＥＬ素子は、流れる電流密度に比例して劣化が進行する。よって、開口率を大きくし発光時の電流密度を小さくすることで、ＥＬ素子の劣化を抑制することができる。
【００３０】
そのため、以下の２つの構成（第１の構成や第２の構成）のうちの１つまたは両方を用いる。第１の構成及び第２の構成について順に説明する。
【００３１】
第１の構成として、各画素においてTFT等の素子が占める割合を小さくする。これは、画

素の有するTFT等の素子を介してＥＬ素子から放射された光を視認するタイプの表示装置では、画素の有するTFT等の素子が占める面積を小さくすることによって、開口率を上げることができるためである。

【００３２】

第１の構成では、各画素において以下に示すように３つ以上のノードを同時に短絡または開放することができるスイッチ素子を用いる。なお、複数のノードが短絡された状態とは、前記複数のノードのうちの任意の２つのノード間において、電気的接続が取られた状態を示すものとする。また、複数のノードが開放された状態とは、前記複数のノードのうちの任意の２つのノードにおいて、電気的接続が無い状態を示すものとする。

【００３３】

第１の構成のスイッチ素子について、もう少し詳細に説明する。スイッチ素子は、絶縁表面上に半導体薄膜によって形成される活性層と、前記活性層に接する絶縁膜と、前記絶縁膜を介して前記活性層と重なるゲート電極とを含み、前記活性層は、少なくとも１つのチャネル形成領域と、ｎ（ｎは、３以上の自然数）個の不純物領域（不純物元素が添加された領域）を有し、前記ｎ個の不純物領域のうちｍ（ｍは、３以上ｎ以下の自然数）個の不純物領域は、それぞれ、異なる接続電極と接している。また、前記ｎ個の不純物領域はそれぞれ、チャネル形成領域と接している。

【００３４】

なお、前記ｎ個の不純物領域はそれぞれ、チャネル形成領域との間に、前記不純物領域より不純物濃度の低い領域（以下、低濃度不純物領域と表記する）を有していても良い。

【００３５】

このとき、前記ｍ個の不純物領域のうち、任意の２個の不純物領域は、前記活性層中を、前記チャネル形成領域のみを介して接続される。または、前記ｍ個の不純物領域のうち、任意の２個の不純物領域は、前記チャネル領域と、前記低濃度不純物領域のみを介して接続される。または、前記ｍ個の不純物領域のうち、任意の２個の不純物領域は、前記チャネル領域と、前記ｎ個の不純物領域のうちの前記ｍ個の不純物領域以外を介して接続される。または、前記ｍ個の不純物領域のうち、任意の２個の不純物領域は、前記チャネル領域と、前記低濃度不純物領域と、前記ｎ個の不純物領域のうちの前記ｍ個の不純物領域以外を介して接続される。

【００３６】

上記構成のスイッチ素子（以下、マルチドレイン素子とも表記する）は、前記ゲート電極の電位によって、前記チャネル形成領域にチャネルを形成する場合と、形成しない場合とを選択することができる。こうして、前記ｍ個の不純物領域にそれぞれ接続された接続電極のうち任意の２つの接続電極間を、導通状態とする場合と、非導通状態とする場合を選択することができる。こうして、全ての接続電極を同時に短絡または開放することができる。上記構成のスイッチ素子（マルチドレイン素子）を用いることによって、従来、複数のＴＦＴを用いて、３つ以上のノードを短絡または開放していた動作を、１つの素子で行うことができる。

【００３７】

こうして、画素中で素子（スイッチング素子）の占める面積を低減することができる。

【００３８】

第２の構成ではとしては、画素部に異なる発光色のＥＬ素子が配置されると限定した場合に、各発光色に対応するＥＬ素子のＥＬ層の境界を重ねて配置する。ここで従来のＥＬ表示装置では、絶縁体によって形成された土手によって境界を設定され、各発光色に対応するＥＬ素子のＥＬ層が塗り分けられていた。一方、本発明の第２の構成では、各発光色に対応するＥＬ素子のＥＬ層の境界を重ねて配置することによって塗り分けのための土手を省略している。このように土手を省略した分、ＥＬ素子の画像表示に寄与する面積を大きくすることが可能である。

【００３９】

なお第２の構成では、画素の有するＴＦＴ等の素子を介して画像を視認するタイプの表示

装置に限定されない。つまり、画素の有するＴＦＴ等の素子が形成された基板とは逆の側から画像を視認するタイプの表示装置であってもよい。

【００４０】

第２の構成では、第１の発光色で発光するＥＬ素子のＥＬ層（第１のＥＬ層）と、第２の発光色で発光するＥＬ素子のＥＬ層（第２のＥＬ層）の端部を重ねて配置する。

【００４１】

以上が、画素の開口率を大きくし、同じ輝度を表現する際にＥＬ素子に流す電流の密度を小さくする、第１の手段の説明であった。次いで、第２の手段について説明する。

【００４２】

第２の手段では、各画素に配置されたＥＬ素子として、劣化の少ないものを用いる。以下に、そのＥＬ素子の構成について説明する。

【００４３】

ＥＬ素子を形成するＥＬ層を、正孔注入材料からなる正孔注入層、正孔輸送材料からなる正孔輸送層、発光材料からなる発光層、電子輸送材料からなる電子輸送層、電子注入材料からなる電子注入層等が、明確に区別されるような積層構造ではなく、正孔注入材料、正孔輸送材料、発光材料、電子輸送材料、電子注入材料等の材料のうち、複数の材料が混合され層（混合層：混合領域）を有する構成（以下、混合接合型のＥＬ素子と表記する）とすることができる。なお、正孔注入材料、正孔輸送材料、発光材料、電子輸送材料、電子注入材料等は、それぞれ別の機能を有する機能材料と呼ぶことにする。

【００４４】

例えば、ＥＬ素子のＥＬ層を、第１の機能材料が添加された第１の領域と、第１の機能材料とは別の機能を有する第２の機能材料が添加された第２の領域と、前記第１の機能材料と前記第２の材料の両方が添加された混合領域とを有する構成とする。

【００４５】

なお上記構成において、第１の機能材料のみが添加された領域（第１の領域）が存在せず、第１の機能材料と第２の機能材料の混合領域内部で濃度の割合が変化する（濃度勾配を有する）構成であってもよい。また、第１の機能材料のみが添加された領域（第１の領域）及び第２の機能材料のみが添加された領域（第２の領域）が存在せず、第１の機能材料と第２の機能材料の混合領域内部で濃度の割合が変化する（濃度勾配を有する）構成であってもよい。また、前記濃度の割合は、陽極や陰極からの距離に依存して変化する構成であってもよい。更に、前記濃度の割合の変化は連続的であってもよい。濃度勾配の設定の仕方は、自由に設定することが可能である。

【００４６】

明確な積層構造を有するＥＬ素子においては、それぞれ異なる機能材料によって構成される層の界面での電荷の蓄積等が問題となる。層の界面での電荷の蓄積は、ＥＬ素子の寿命を縮める大きな要因である。一方、混合接合型のＥＬ素子では、明確な層の界面が存在せず、電荷の蓄積を低減することができる。こうして、混合接合型のＥＬ素子では、その寿命を長くすることができる。また、駆動電圧も低くすることができる。

【００４７】

また、ＥＬ素子の電極に接するＥＬ層の部分に、金属材料を添加した構成であってもよい。この構成のＥＬ素子も混合接合型のＥＬ素子と呼ぶことにする。上記構成によって、ＥＬ素子の電極の酸化を防止し、且つ、電極からのキャリアの注入効率を高めることができる。こうして、混合接合型のＥＬ素子では、その寿命を長くすることができる。また、駆動電圧も低くすることができる。

【００４８】

なお、ＥＬ素子のＥＬ層は、有機物からなるものに限定されない。無機物から形成されていてもよい。また、有機物と無機物の両方から形成されていてもよい。

【００４９】

本発明は上記構成によって、ＥＬ素子の劣化等による電流特性の変化による輝度の変化を低減し、ほぼ一定の輝度で発光させることが可能な表示装置を提供することができる。

【００５０】
以上が、第２の手段についての説明であった。次いで、第３の手段について説明する。
【００５１】
第３の手段では、ＥＬ素子の劣化の進行を抑制する。この手段では、ＥＬ素子に定期的に逆バイアスの電圧を印加する。こうしてＥＬ素子の劣化を抑制する。
【００５２】
以上が、第１の手段～第３の手段それぞれに関する説明であった。これらの手段は、それぞれＥＬ素子の劣化を抑制する上で有効である。次いで、電流制御型の画素を用いる上で、これらの手段を組み合わせる手法について説明する。
【００５３】
始めに、電流制御型の画素において、第１の手段（第１の構成または第２の構成）を組み合わせる場合について説明する。
【００５４】
例えば、電流制御型の画素において第１の構成を組み合わせることができる。以下にその構成を示す。
【００５５】
複数の画素と、電流信号が入力される複数の信号線とを有し、
前記複数の画素それぞれは、マルチドレイン素子と、第１のＴＦＴと、容量素子と、前記電流信号に応じた輝度で発光するＥＬ素子と、前記ＥＬ素子と直列に接続された前記第２のＴＦＴとを有し、
前記マルチドレイン素子は、絶縁表面上に半導体薄膜によって形成される活性層と、
前記活性層に接する絶縁膜と、
前記絶縁膜を介して前記活性層と重なるゲート電極とを有し、
前記活性層は、少なくとも１つのチャネル形成領域と、
ｎ（ｎは、３以上の自然数）個の不純物領域とを有し、
前記ｎ個の不純物領域のうちｍ（ｍは、３以上ｎ以下の自然数）個の不純物領域それぞれは、異なる接続電極と接し、
前記ｎ個の不純物領域はそれぞれ、チャネル形成領域と接し、
前記ｍ個の不純物領域のうち任意の２個の不純物領域は、前記活性層中を、前記チャネル形成領域のみを介して接続される表示装置であって、
前記第２のＴＦＴのゲート電極は、前記第１のＴＦＴのゲート電極と接続され、
前記容量素子の一方の電極は、前記第１のＴＦＴのゲート電極に接続され、
前記第１のＴＦＴの第１の端子と、前記第１のＴＦＴのゲート電極と、前記複数の信号線のうちの１本とは、それぞれ異なる前記接続電極に接続されていることを特徴とする表示装置とする。
【００５６】
こうして、電流制御型の画素において開口率を大きくし、ＥＬ素子の劣化を抑制することができる。
【００５７】
複数の画素と、電流信号が入力される複数の信号線とを有し、
前記複数の画素それぞれは、マルチドレイン素子と、第１のＴＦＴと、容量素子と、前記電流信号に応じた輝度で発光するＥＬ素子と、前記ＥＬ素子と直列に接続された前記第２のＴＦＴとを有し、
前記マルチドレイン素子は、絶縁表面上に半導体薄膜によって形成される活性層と、
前記活性層に接する絶縁膜と、
前記絶縁膜を介して前記活性層と重なるゲート電極とを有し、
前記活性層は、少なくとも１つのチャネル形成領域と、
ｎ（ｎは、３以上の自然数）個の不純物領域とを有し、
前記ｎ個の不純物領域のうちｍ（ｍは、３以上ｎ以下の自然数）個の不純物領域それぞれは、異なる接続電極と接し、

前記ｎ個の不純物領域は、それぞれ、チャネル形成領域との間に、前記不純物領域より不純物濃度の低い低濃度不純物領域を有し、
前記ｍ個の不純物領域のうち、任意の２個の不純物領域は、前記活性層中を、前記チャネル形成領域、及び前記低濃度不純物領域のみを介して接続される表示装置であって、
前記第２のＴＦＴのゲート電極は、前記第１のＴＦＴのゲート電極と接続され、
前記容量素子の一方の電極は、前記第１のＴＦＴのゲート電極に接続され、
前記第１のＴＦＴの第１の端子と、前記第１のＴＦＴのゲート電極と、前記複数の信号線のうちの１本とは、それぞれ異なる前記接続電極に接続されていることを特徴とする表示装置とする。

【００５８】

なお、前記第２のＴＦＴの第１の端子が前記ＥＬ素子の一方の電極に接続され、前記第１のＴＦＴの第２の端子と前記第２のＴＦＴの第２の端子とは、同じ配線に接続されていることを特徴とする表示装置であってもよい。

【００５９】

こうして、電流制御型の画素において開口率を大きくし、ＥＬ素子の劣化を抑制することができる。

【００６０】

また、電流制御型の画素に第１の構成を組み合わせた場合において、更に第２の構成を組み合わせることができる。以下にその構成を示す。

【００６１】

前記複数の画素は、第１の色で発光する第１の画素と、前記第１の色とは異なる色で発光する第２の画素とを有し、
前記第１の画素の前記ＥＬ素子の前記ＥＬ層の端部は、前記第２の画素の前記ＥＬ素子の前記ＥＬ層の端部と重ねて形成する

【００６２】

こうして、電流制御型の画素において更に開口率を大きくし、ＥＬ素子の劣化をさらに抑制することができる。

【００６３】

また、電流制御型の画素に第１の構成または第２の構成の１つまたは複数を組み合わせた場合において、更に第２の手段を組み合わせることができる。以下にその構成を示す。

【００６４】

前記ＥＬ素子は、第１の電極と、第２の電極と、前記第１の電極と前記第２の電極間に挟まれたＥＬ層とを有し、
前記ＥＬ層は、第１の機能材料と前記第１の機能材料とは別の機能を有する第２の機能材料の両方が添加された混合領域を有する構成とする。

【００６５】

こうして、ＥＬ素子の劣化をさらに抑制することができる。

【００６６】

また、電流制御型の画素に第１の構成、第２の構成及び第２の手段のいずれか１つまたは複数を組み合わせた場合において、更に第３の手段を組み合わせることができる。つまり上記構成において、前記ＥＬ素子の陽極の電位を前記ＥＬ素子の陰極の電位より低くする手段を有する構成とする。

【００６７】

こうして、ＥＬ素子の劣化をさらに抑制することができる。

【００６８】

次いで、電流制御型の画素に第２の構成を組み合わせた構成について説明する。

【００６９】

複数の画素を有し、
前記複数の画素それぞれは、第１の電極と第２の電極と前記第１の電極と前記第２の電極間に挟まれたＥＬ層とを有するＥＬ素子と、

前記ＥＬ素子の前記第１の電極と前記第２の電極の間を流れる電流を一定に定める手段とを有する表示装置であって、
前記複数の画素は、第１の色で発光する第１の画素と、前記第１の色とは異なる色で発光する第２の画素とを有し、
前記第１の画素の前記ＥＬ素子の前記ＥＬ層の端部は、前記第２の画素の前記ＥＬ素子の前記ＥＬ層の端部と重ねて形成されていることを特徴とする表示装置とする。
【００７０】
こうして、電流制御型の画素において開口率を大きくし、ＥＬ素子の劣化を抑制することができる。
【００７１】
複数の画素と、電流信号が入力される複数の信号線とを有し、
前記複数の画素それぞれは、第１の電極と、第２の電極と、前記第１の電極と前記第２の電極間に挟まれたＥＬ層とを有するＥＬ素子と、
前記複数の信号線それぞれより前記複数の画素それぞれに入力される第１の電流を、電圧に変換する手段と、
前記電圧を保持する手段と、
前記電圧を第２の電流に変換し、前記ＥＬ素子の前記第１の電極と前記際２の電極間に流す手段とを有する表示装置であって、
前記複数の画素は、第１の色で発光する第１の画素と、前記第１の色とは異なる色で発光する第２の画素とを有し、
前記第１の画素の前記ＥＬ素子の前記ＥＬ層の端部は、前記第２の画素の前記ＥＬ素子の前記ＥＬ層の端部と重ねて形成されていることを特徴とする表示装置とする。
【００７２】
こうして、電流制御型の画素において更に開口率を大きくし、ＥＬ素子の劣化をさらに抑制することができる。
【００７３】
また、電流制御型の画素に第２の構成を組み合わせた場合において、更に第２の手段を組み合わせることができる。以下にその構成を示す。
【００７４】
前記ＥＬ素子は、第１の電極と、第２の電極と、前記第１の電極と前記第２の電極間に挟まれたＥＬ層とを有し、
前記ＥＬ層は、第１の機能材料と前記第１の機能材料とは別の機能を有する第２の機能材料の両方が添加された混合領域を有する構成とする。
【００７５】
こうして、ＥＬ素子の劣化をさらに抑制することができる。
【００７６】
また、電流制御型の画素に第２の構成または第２の手段のいずれか１つまたは複数を組み合わせた場合において、更に第３の手段を組み合わせることができる。つまり上記構成において、前記ＥＬ素子の陽極の電位を前記ＥＬ素子の陰極の電位より低くする手段を有する構成とする。
【００７７】
こうして、ＥＬ素子の劣化をさらに抑制することができる。
【００７８】
また、電流制御型の画素に第２の手段を組み合わせることができる。以下にその構成を示す。
【００７９】
複数の画素を有し、
前記複数の画素それぞれは、第１の電極と第２の電極と前記第１の電極と前記第２の電極間に挟まれたＥＬ層とを有するＥＬ素子と、
前記ＥＬ素子の前記第１の電極と前記第２の電極の間を流れる電流を一定に定める手段と

を有する表示装置であって、
前記ＥＬ層は、第１の機能材料と前記第１の機能材料とは別の機能を有する第２の機能材料の両方が添加された混合領域を有することを特徴とする表示装置とする。
【００８０】
こうして、劣化の抑制されたＥＬ素子を画素に用いることによって、より輝度ばらつきの低減された表示装置が得られる。
【００８１】
複数の画素と、電流信号が入力される複数の信号線とを有し、
前記複数の画素それぞれは、第１の電極と、第２の電極と、前記第１の電極と前記第２の電極間に挟まれたＥＬ層とを有するＥＬ素子と、
前記複数の信号線それぞれより前記複数の画素それぞれに入力される第１の電流を、電圧に変換する手段と、
前記電圧を保持する手段と、
前記電圧を第２の電流に変換し、前記ＥＬ素子の前記第１の電極と前記際２の電極間に流す手段とを有する表示装置であって、
前記ＥＬ層は、第１の機能材料と前記第１の機能材料とは別の機能を有する第２の機能材料の両方が添加された混合領域を有することを特徴とする表示装置とする。
【００８２】
こうして、劣化の抑制されたＥＬ素子を画素に用いることによって、より輝度ばらつきの低減された表示装置が得られる。
【００８３】
また、電流制御型の画素に第２の手段を組み合わせた場合において、更に第３の手段を組み合わせることができる。つまり上記構成において、前記ＥＬ素子の陽極の電位を前記ＥＬ素子の陰極の電位より低くする手段を有する構成とする。
【００８４】
こうして、ＥＬ素子の劣化をさらに抑制することができる。
【００８５】
また、電流制御型の画素において、第３の手段を組み合わせることができる。
【００８６】
複数の画素を有し、
前記複数の画素それぞれは、第１の電極と第２の電極と前記第１の電極と前記第２の電極間に挟まれたＥＬ層とを有するＥＬ素子と、
前記ＥＬ素子の前記第１の電極と前記第２の電極の間を流れる電流を一定に定める手段とを有する表示装置であって、
前記ＥＬ素子の前記第１の電極と前記第２の電極の一方は陽極で、もう一方は陰極であり、
前記ＥＬ素子の前記陽極の電位を前記ＥＬ素子の前記陰極の電位より低くする手段を有することを特徴とする表示装置とすることができる。
【００８７】
こうして、ＥＬ素子の劣化を抑制することができる。
【００８８】
複数の画素と、電流信号が入力される複数の信号線とを有し、
前記複数の画素それぞれは、第１の電極と、第２の電極と、前記第１の電極と前記第２の電極間に挟まれたＥＬ層とを有するＥＬ素子と、
前記複数の信号線それぞれより前記複数の画素それぞれに入力される第１の電流を、電圧に変換する手段と、
前記電圧を保持する手段と、
前記電圧を第２の電流に変換し、前記ＥＬ素子の前記第１の電極と前記際２の電極間に流す手段とを有する表示装置であって、
前記ＥＬ素子の前記第１の電極と前記第２の電極の一方は陽極で、もう一方は陰極であり

、
前記ＥＬ素子の前記陽極の電位を前記ＥＬ素子の前記陰極の電位より低くする手段を有することを特徴とする表示装置とすることができる。
【００８９】
こうして、ＥＬ素子の劣化を抑制することができる。
【００９０】
なお、ＥＬ素子のＥＬ層には、高分子材料を用いても良いし、低分子材料を用いても良いし、中分子材料を用いてもよい。また、これらの材料を組み合わせて用いても良い。なお本明細書中において、中分子材料とは、昇華性を有さず、重合度が２０程度以下のものを示すとする。なお、ＥＬ素子は、一重項励起子からの発光（蛍光）を利用するものでも、三重項励起子からの発光（燐光）を利用するものでも、どちらでも良い。
【００９１】
上記構成によって、ＥＬ素子の劣化等による電流特性の変化による輝度の変化を低減し、ほぼ一定の輝度で発光させることが可能な表示装置を提供することができる。
【００９２】
【発明の実施の形態】
（実施の形態１）
実施の形態１では、マルチドレイン素子の構成例及び、前記マルチドレイン素子を用いた、本発明の表示装置の画素構成の例を示す。
【００９３】
図１（Ａ）に本発明のマルチドレイン素子を用いた画素構成の一例を示す。なお図１（Ａ）において、従来例において図１０で示した画素構成と同じ部分は、同じ符号を用いて表し説明は省略する。図１（Ａ）では、駆動ＴＦＴ７０７及びカレントＴＦＴ７０６を、Ｐチャネル型ＴＦＴとし、画素電極を陽極とした例を示す。
【００９４】
図１（Ａ）では、図１０における選択ＴＦＴ７０４と、保持ＴＦＴ７０５との代わりに、マルチドレイン素子１０１を用いている。図１（Ａ）中のマルチドレイン素子１０１の各端子について、図１（Ｂ）を用いて説明する。マルチドレイン素子１０１は、端子Ｔ０及び端子Ｔ１～端子Ｔ３を有する。
【００９５】
マルチドレイン素子１０１は、端子Ｔ０に入力された信号電位に応じて、端子Ｔ１～端子Ｔ３間（端子Ｔ１と端子Ｔ２間、端子Ｔ２と端子Ｔ３間、端子Ｔ１と端子Ｔ３間）が、開放される状態と、短絡される状態とを選択することができる。端子Ｔ０に入力された信号電位に応じて、端子Ｔ１～端子Ｔ３間（端子Ｔ１と端子Ｔ２間、端子Ｔ２と端子Ｔ３間、端子Ｔ１と端子Ｔ３間）が、開放される状態と、短絡される状態とを選択することができるマルチドレイン素子を、図１（Ｂ）に示す記号によって、示すことにする。
【００９６】
再び図１（Ａ）を参照する。マルチドレイン素子１０１の端子Ｔ０は、ゲート信号線Ｇと接続されている。カレントＴＦＴ７０６のゲート電極とカレントＴＦＴ７０６の第１の端子とは、マルチドレイン素子１０１の端子Ｔ２と端子Ｔ３間を介して接続されている。また、カレントＴＦＴ７０６の第１の端子と信号線Ｓとは、マルチドレイン素子１０１の端子Ｔ３と端子Ｔ１間を介して接続されている。
【００９７】
なお、図１（Ａ）において、カレントＴＦＴ７０６の第２の端子及び、駆動ＴＦＴ７０７の第２の端子は、電源線Ｗに接続されているが、本発明の画素構成はこれに限定されない。一般に、カレントＴＦＴ７０６の第２の端子と、駆動ＴＦＴ７０７の第２の端子とは、それぞれを、ドレイン電流が流れる際に、同じ電位となるような構成であれば良い。
【００９８】
また、保持容量７０８の２つの電極のうち、駆動ＴＦＴ７０７のゲート電極と接続されていない側は、電流線Ｗに接続されているが、本発明の画素構成はこれに限定されない。一

般に、保持容量７０８の２つの電極のうち、駆動ＴＦＴ７０７のゲート電極と接続されていない側は、カレントＴＦＴ７０６または駆動ＴＦＴ７０７に電流が流れる間、それぞれのＴＦＴの第２の端子の電位と等しい電位に保たれる構成であればよい。

【００９９】

なお、図１と異なり、ＥＬ素子の画素電極は陰極である場合、ＥＬ素子が発光する場合に、カレントＴＦＴ７０６及び駆動ＴＦＴ７０７のソース端子の電位が固定され動作するのが望ましいため、カレントＴＦＴ７０６及び駆動ＴＦＴ７０７としてＮチャネル型ＴＦＴを用いるのが望ましい。

【０１００】

ここで、図２に、図１におけるマルチドレイン素子１０１を作製した例を示す。

【０１０１】

始めに、図２（Ａ）に、マルチドレイン素子の記号を示す。図２（Ｂ）は、図２（Ａ）に示したマルチドレイン素子を作製した際の上面図である。また、図２（Ｃ）は、図２（Ｂ）のＡ－Ａ’の断面図である。図２（Ｄ）は、図２（Ｂ）のＢ－Ｂ’の断面図である。図２（Ｂ）において、マルチドレイン素子１０１は、活性層２０１と、電極２２０及び接続電極２２１～２２３を有している。図２（Ｃ）及び図２（Ｄ）において、絶縁表面を有する基板２００上に形成された活性層２０１は、同じ導電型を付与する不純物が添加された不純物領域２０３ａ～２０３ｃと、チャネル領域２０４を有している。電極２２０とチャネル形成領域２０４とは、ゲート絶縁膜２０５を間に挟んで重なっている。また、接続電極２２１～２２３はそれぞれ、電極２２０上に形成された絶縁膜２０６上に形成され、コンタクトホール２０２ａ～２０２ｃを介して、前記不純物領域２０３ａ～２０３ｃと電気的に接続されている。電極２２０は、図２（Ａ）における端子Ｔ０に相当する。また、接続電極２２１は、端子Ｔ１に相当し、接続電極２２２は、端子Ｔ２に相当し、接続電極２２３は、端子Ｔ３に相当する。

【０１０２】

なお、接続電極２２１は、端子Ｔ２に相当し、接続電極２２２は、端子Ｔ３に相当し、接続電極２２３は、端子Ｔ１に相当してもよい。また、接続電極２２１は、端子Ｔ３に相当し、接続電極２２２は、端子Ｔ１に相当し、接続電極２２３は、端子Ｔ２に相当してもよい。

【０１０３】

不純物領域２０３ａ～２０３ｃはそれぞれチャネル形成領域２０４に接している。なお本実施の形態では、全ての不純物領域がそれぞれチャネル形成領域２０４に接しているが、本発明はこの構成に限定されない。不純物領域２０３ａ～２０３ｃとチャネル形成領域２０４の間に、不純物領域よりも不純物濃度の低い低濃度不純物領域（ＬＤＤ領域）が設けられていても良い。

【０１０４】

なお、図２（Ｃ）及び図２（Ｄ）ではゲート絶縁膜２０５が不純物領域２０３ａ～２０３ｃを覆っているが、本発明はこの構成に限定されない。不純物領域２０３ａ～２０３ｃは必ずしもゲート絶縁膜２０５に覆われている必要はなく、露出していても良い。

【０１０５】

マルチドレイン素子１０１は、通常のＴＦＴの工程と同様のプロセスで作製することが可能である。

【０１０６】

図２（Ｃ）及び図２（Ｄ）において、本発明のマルチドレイン素子１０１の電極２２０は、公知のＴＦＴのゲート電極と等しい材料によって形成することができる。また、活性層２０１に、チャネル形成領域２０４と、不純物領域２０３ａ～２０３ｃを形成する手法も、公知のＴＦＴと同様にすることができる。

【０１０７】

ここで、電極２２０の活性層２０１と重なる部分を、マルチドレイン素子のゲート電極とも呼ぶことにする。また、マルチドレイン素子の端子Ｔ１～Ｔ３が接続された不純物領域

２０３ａ～２０３ｃは、それぞれソース領域またはドレイン領域と呼ぶことにする。また、マルチドレイン素子の端子Ｔ１～Ｔ３を、ソース端子またはドレイン端子とも呼ぶことにする。

【０１０８】

図２に示したマルチドレイン素子１０１は、電極（ゲート電極）２２０に印加される電位によって、チャネル形成領域２０４に形成されるチャネルが変化し、各端子Ｔ１～Ｔ３間（ソース・ドレイン端子間に相当する）の抵抗が制御される。つまり、ゲート電極２２０の電位によって、チャネル形成領域にチャネルが形成され、ソース・ドレイン端子間が導通状態となる。

【０１０９】

例えば図２において、マルチドレイン素子１０１の不純物領域２０３ａ～２０３ｃには、Ｎ型を付与する不純物元素が添加されているものとする。このとき、ゲート電極Ｔ０の電位を、不純物領域２０３ａ～２０３ｃのうちのいずれか１つまたは２つに相当するソース領域の電位より十分に高くする。こうして、端子Ｔ１～端子Ｔ３を短絡することができる。上記構成のマルチドレイン素子１０１を、Ｎチャネル型マルチドレイン素子と呼ぶことにする。

【０１１０】

一方、図２において、マルチドレイン素子１０１の不純物領域２０３ａ～２０３ｃには、Ｐ型を付与する不純物元素が添加されているものとする。このとき、ゲート電極Ｔ０の電位を、不純物領域２０３ａ～２０３ｃのうちのいずれか１つまたは２つに相当するソース領域の電位より十分に低くする。こうして、端子Ｔ１～端子Ｔ３を短絡することができる。上記構成のマルチドレイン素子を、Ｐチャネル型マルチドレイン素子と呼ぶことにする。

【０１１１】

なお、スイッチ素子（マルチドレイン素子）は、基板上に設けられた絶縁表面上に、前記活性層、前記絶縁膜、前記ゲート電極の順に形成された構成に限定されない。基板上に設けられた絶縁表面上に、前記ゲート電極、前記絶縁膜、前記活性層の順に設けられた構成でもかなわない。また、マルチドレイン素子のゲート電極は、前記活性層の上下の両方に、それぞれ絶縁膜を介して設けられた構成であってもよい。

【０１１２】

こうして、図２のマルチドレイン素子１０１は、３つのノード、具体的には端子Ｔ１～Ｔ３を同時に接続することができる。

【０１１３】

上記構成のマルチドレイン素子１０１を用いることによって、画素において、スイッチング素子が占有する面積を抑えることができ、画素の開口率を上げることができる。

【０１１４】

また、図１に示した構成の画素の駆動方法は、従来例において、図１２のタイミングチャートを用いて示した方法と同様である。ただし、図１０に示した画素構成における、第１のゲート信号線Ｇと第２のゲート信号線ＧＨは、図１に示した本発明の画素構成では、ゲート信号線Ｇとして共有されている。こうして、期間ＴＡ１中は、ゲート信号線Ｇの信号によって、マルチドレイン素子１０１の端子Ｔ１～Ｔ３間は短絡状態であるが、期間ＴＡ２が終了すると、ゲート信号線Ｇの信号によって、マルチドレイン素子１０１の端子Ｔ１～Ｔ３間はそれぞれ開放状態となる。こうして、各画素のＥＬ素子７０９を発光させ、画像表示を行うことができる。

【０１１５】

図１に示した構成では、上記手法によってＥＬ素子７０９の陽極７０９ａから陰極７０９ｂに電流が流れ、ＥＬ素子７０９が発光する場合は、カレントＴＦＴ７０６の第２の端子はソース端子に相当し、第１の端子はドレイン端子に相当する。また、駆動ＴＦＴ７０７の第２の端子はソース端子に相当し、第１の端子はドレイン端子に相当する。

【０１１６】

なお、カレントＴＦＴ７０６と駆動ＴＦＴ７０７は一対でカレントミラー回路を構成するので、これら２つのＴＦＴの極性は等しくなくてはならない。また、同一画素内のこれら２つのＴＦＴの特性は等しいことが望まれる。なお、ＴＦＴの特性が等しいとは、それらのＴＦＴの閾値電圧、移動度等が等しいことを示すものとする。

【０１１７】

この際、カレントＴＦＴ７０６のゲート長とゲート幅の比に対して、駆動ＴＦＴ７０７のゲート長とゲート幅の比を変化させることによって、ソース信号線に入力された電流値と、ＥＬ素子に流れる電流値の比を変化させることも可能である。

【０１１８】

なお図１において、マルチドレイン素子１０１は、Ｎチャネル型を用いた構成を示す。なお、図１におけるマルチドレイン素子は、ＮチャネルでもＰチャネルでもどちらでも良い。ただし、図１に示した画素構成のように、ＥＬ素子７０９の画素電極が陽極の場合、ＥＬ素子が発光する際、マルチドレイン素子１０１のソース端子が１つに定まるのが好ましいため、マルチドレイン素子１０１として、Ｎチャネル型を用いるのが好ましい。

【０１１９】

なお、階調表示の手法としては、アナログの電流値を有する信号電流を入力し階調を表現する、アナログ階調方式を用いることができる。また、デジタルの電流値を有する信号電流を入力し、階調を表現する、デジタル階調方式を用いても良い。デジタル階調方式では、各画素のＥＬ素子が発光する期間を制御することによって、階調を表現する時間階調方式を用いても良いし、各画素において発光する部分の面積を制御することによって階調を表現する面積階調方式を用いてもよい。

【０１２０】

時間階調方式としては、例えば時分割階調方式を用いることができる。なお、時分割階調方式とは、１フレーム期間を複数のサブフレーム期間に分割し、それぞれのサブフレーム期間毎に、各画素にデジタルの信号電流を入力し、各画素のＥＬ素子をほぼ一定の輝度で、発光させるか発光させないかを選択し、１フレーム期間あたりにＥＬ素子が発光したサブフレーム期間の長さの累計によって、階調を表現する方式を示すものとする。なお、１フレーム期間とは、１画像を表示する期間を示すものとする。

【０１２１】

本発明の表示装置を、時分割階調方式で駆動する場合について、説明する。

【０１２２】

説明のため、図１に示した構成の画素を有する画素部の回路図を、図３に示す。なお、図１と同じ部分は同じ符号を用いて示す。図３において、画素部は、ｘ列ｙ行の画素を有するものとする。一般に、第ｉ（ｉは、ｘ以下の自然数）列第ｊ（ｊは、ｙ以下の自然数）行の画素のソース信号線ＳをS_i、ゲート信号線ＧをG_j、電源線ＷをW_iと表記する。なお、画素部において、異なる画素列に対する電源線Ｗを共有する構成であってもよい。

【０１２３】

図３に示した構成の画素部を、時分割方式で駆動する場合について、図４に示すタイミングチャートを用いて説明する。なお図４（Ａ）及び図４（Ｂ）それぞれにおいて、同じ部分は同じ符号を用いて示す。ここで、図４（Ｂ）におけるG_1～G_yは、ゲート信号線G_1～G_yに入力される信号の電位を示す。

【０１２４】

１フレーム期間F_1を複数のサブフレーム期間SF_1～SF_n（ｎは自然数）に分割する。第１のサブフレーム期間SF_1において、始めに第１行のゲート信号線G_1が選択される。ここで、ゲート信号線を選択するとは、該ゲート信号線にゲート電極が接続されたマルチドレイン素子１０１の端子Ｔ１～Ｔ３間を短絡状態とするような信号電位を、該ゲート信号線に入力することを示すものとする。こうして、ゲート信号線G_1に端子Ｔ０が接続されたマルチドレイン素子１０１はその端子Ｔ１～Ｔ３間が短絡状態となる。

【０１２５】

この後、ソース信号線S_1～S_xに、デジタルの信号電流が入力される。信号電流が入力さ

れたソース信号線に対応する画素では、マルチドレイン素子１０１を介して、カレントＴＦＴ７０６の第１の端子・第２の端子間（ソース・ドレイン端子間に相当）を信号電流が流れる。この際、カレントＴＦＴ７０６の第１の端子とゲート電極は、マルチドレイン素子１０１を介して電気的に接続されている。十分な時間が経過すると、駆動TFT７０７は一定の電流をＥＬ素子７０９に流す。入力された信号電流によって、各画素のＥＬ素子が発光する際の動作については、実施の形態１と同様であるので、ここでは説明は省略する。こうして、各ソース信号線S_1～S_xに信号電流が入力されるかどうかによって、第１行の各画素の発光・非発光状態が選択される。第１行の画素において、発光状態が選択された画素の保持容量７０８に、駆動TFT７０７が一定電流を流すための電荷が保持されると、ゲート信号線G_1の信号が変化し非選択の状態となる。こうして、マルチドレイン素子１０１の端子Ｔ１～Ｔ３間が開放される。

【０１２６】

発光状態が選択された画素において、保持容量７０８に、駆動TFT７０７が一定電流を流すための電荷を保持させる動作を、以下、画素の書き込み動作と呼ぶことにする。

【０１２７】

ゲート信号線G_1が非選択の状態になると直ぐに、第２行のゲート信号線G_2が選択され、ゲート信号線G_2にゲート電極（端子Ｔ０）が接続されたマルチドレイン素子１０１はその端子Ｔ１～Ｔ３間が短絡状態となる。この後、ソース信号線S_1～S_xに、デジタルの信号電流が入力される。以下の動作は、第１行の画素と同様である。

【０１２８】

全てのゲート信号線G_1～G_yに対して同様の動作を行う。全てのゲート信号線G_1～G_yを選択する期間を、アドレス期間Ｔａと表記する。第ｍ（ｍは、ｎ以下の自然数）のサブフレーム期間SF_mに対応するアドレス期間をTa_mと表記する。

【０１２９】

書き込み動作が終了した画素行は、それぞれ発光または非発光状態が選択されている。書き込まれた信号に応じて、各画素行の各画素が発光または非発光する期間を表示期間Ｔｓと表記する。同じサブフレーム期間において、各画素行の表示期間Ｔｓは、タイミングは異なるがその長さは全て同じである。第ｍ（ｍは、ｎ以下の自然数）のサブフレーム期間SF_mに対応する表示期間をTs_mと表記する。

【０１３０】

ここで、異なる画素行に同時に書き込み動作を行うことはできないので、表示期間Ｔｓはアドレス期間Ｔａより長く設定されている。所定の長さの表記期間Ts_1の後、第２のサブフレーム期間SF_2が開始される。この後、第２のサブフレーム期間SF_2～第ｎのサブフレーム期間SF_nについても、第１のサブフレーム期間SF_1と同様に動作し、１フレーム期間Ｆが終了する。ここで、サブフレーム期間SF_1～SF_nの、アドレス期間Ta_1～Ta_nの長さは全て同じである。

【０１３１】

以上のように表示装置を動作させ、各サブフレーム期間SF_1～SF_nの表示期間Ts_1～Ts_nの長さを適当に定めることによって、階調を表現する。

【０１３２】

なお、１フレーム期間中に映像信号のビット数と同じ数のサブフレーム期間を設け、階調を表現する手法に限定されない。例えば、１フレーム期間中に、映像信号のあるビットに対応する信号によって、発光状態・非発光状態が選択されるサブフレーム期間を複数設けることができる。つまり、１ビットに対応する表示期間を、複数のサブフレーム期間の表示期間の累計で表現する。特に、映像信号の上位ビットに対応する表示期間を、複数のサブフレーム期間がそれぞれ有する表示期間の累計で表現し、それらのサブフレーム期間を、不連続に出現させることによって、擬似輪郭の発生を抑制することができる。

【０１３３】

なお、各サブフレーム期間の表示期間Ｔｓの長さの設定の仕方は、上記に限定されず、公知のあらゆる手法を用いることができる。また、図７では、第１のサブフレーム期間ＳＦ

$_1$～第ｎのサブフレーム期間ＳＦ$_n$が順に出現する構成としたが、これに限定されない。各サブフレーム期間の出現する順は、任意に定めることができる。

【０１３４】

また、時分割階調方式のみならず、面積階調方式によって、また、時分割階調方式と面積階調方式との組み合わせによって、階調を表現することもできる。

【０１３５】

こうして、実施の形態１において、図１及び図３で示した構成の画素を有する表示装置は、画像表示を行うことができる。

【０１３６】

（実施の形態２）

実施の形態２では、実施の形態１とは異なる構成の画素の例を示す。

【０１３７】

図５に本実施の形態の画素構成を示す。なお、図１と同じ部分は同じ符号を用いて示し説明は省略する。図５に示す構成の画素では、保持容量７０８と並列に消去ＴＦＴ５０１が設けられている。なお、消去ＴＦＴ５０１と保持容量７０８は必ずしも並列に接続されている必要はない。一般に、消去ＴＦＴ５０１は、消去ＴＦＴ５０１が導通状態となった際に、保持容量７０８の両電極の電位をほぼ等しくするように接続されていればよい。上記構成により、消去ＴＦＴ５０１を導通状態とすることによって、保持容量７０８に保持された電荷を放電することができる。こうして、駆動ＴＦＴ７０７を非導通状態とすることができる。駆動ＴＦＴ７０７が非導通状態となった画素では、ＥＬ素子７０９は発光しない。

【０１３８】

ここで、消去ＴＦＴ５０１のゲート電極は、ゲート信号線Ｇとは別の配線、消去用ゲート信号線ＲＧに接続されている。消去用ゲート信号線ＲＧに入力された信号によって、消去ＴＦＴ５０１の導通・非導通状態が切りかえられる。これにより、ある行の画素に映像信号（信号電流）を入力している最中であっても、別の行の画素を非発光状態とすることができる。

【０１３９】

図５に示した構成の画素を有する画素部の回路図を、図６に示す。なお、図５と同じ部分は同じ符号を用いてしめし、説明は省略する。図６において、画素部は、ｘ列ｙ行の画素を有するものとする。一般に、第ｉ（ｉは、ｘ以下の自然数）列第ｊ（ｊは、ｙ以下の自然数）行の画素のソース信号線ＳをＳ$_i$、ゲート信号線ＧをＧ$_j$、消去用ゲート信号線ＲＧをＲＧ$_j$、電源線ＷをＷ$_i$と表記する。

【０１４０】

図６に示した構成の画素部を、時分割方式で駆動する場合について、図７に示すタイミングチャートを用いて説明する。なお図７（Ａ）及び図７（Ｂ）それぞれにおいて、同じ部分は同じ符号を用いて示す。ここで、図７（Ｂ）におけるＧ$_1$～Ｇ$_y$は、ゲート信号線Ｇ$_1$～Ｇ$_y$に入力される信号の電位を示す。また、図７（Ｂ）におけるＲＧ$_1$～ＲＧ$_y$は、消去用ゲート信号線ＲＧ$_1$～ＲＧ$_y$に入力される信号の電位を示す。

【０１４１】

なお図５及び図６において、マルチドレイン素子１０１は、Ｎチャネル型を用いた構成を示す。なおマルチドレイン素子は、Ｎチャネル型でもＰチャネル型でもどちらでも良い。ただし、図５及び図６に示した画素構成のように、ＥＬ素子７０９の画素電極が陽極の場合、ＥＬ素子が発光する際、マルチドレイン素子１０１のソース端子が１つに定まって動作するのが好ましいため、マルチドレイン素子１０１として、Ｎチャネル型を用いるのが好ましい。また、図５及び図６において、消去ＴＦＴ５０１は、Ｎチャネル型ＴＦＴを用いた例を示すがこれに限定されない。消去ＴＦＴ５０１は、単なるスイッチとして動作するため、ＮチャネルＴＦＴでもＰチャネル型ＴＦＴでもどちらでも良い。

【０１４２】

各サブフレーム期間ＳＦ$_1$～ＳＦ$_n$でのアドレス期間Ｔａ及び表示期間Ｔｓの基本的な動作

については、実施の形態１において、図４のタイミングチャートを用いて示した動作と同様である。

【０１４３】

複数の画素行に同時に映像信号（信号電流）の書き込みを行うことができないため、各サブフレーム期間$ＳＦ_{1}$～$ＳＦ_{n}$のアドレス期間Ｔａはそれぞれ重複しないように設定されている。そのため、実施の形態１では、表示期間Ｔｓをアドレス期間Ｔａより短く設定することができなかった。しかし、実施の形態２において図５及び図６で示した構成の画素を用いれば、表示期間Ｔｓをアドレス期間Ｔａより短く設定することが可能となる。

【０１４４】

第１のサブフレーム期間$ＳＦ_{1}$～第ｋ－１（ｋは、ｎ以下の自然数）のサブフレーム期間$ＳＦ_{k-1}$までは、表示期間Ｔｓがアドレス期間Ｔａより長く設定されているとする。このときの駆動方法は、実施の形態１において、図４のタイミングチャートで示した動作と同様である。なお、このとき各画素の消去ＴＦＴ５０１は、常に非導通状態である。

【０１４５】

以下に、表示期間Ｔｓがアドレス期間Ｔａより短く設定された、第ｋのサブフレーム期間$ＳＦ_{k}$～第ｎのサブフレーム期間$ＳＦ_{n}$までの表示装置の駆動方法を詳細に説明する。

【０１４６】

第ｋのサブフレーム期間$ＳＦ_{k}$のアドレス期間$Ｔａ_{k}$の動作方法は、第１のサブフレーム期間$ＳＦ_{1}$～第ｋ－１のサブフレーム期間$ＳＦ_{k-1}$と同様である。ただし、書き込み動作を行っている画素行の消去ＴＦＴ５０１は、非導通状態である。所定の長さの表記期間$Ｔｓ_{k}$の後、消去用ゲート信号線$ＲＧ_{1}$～$ＲＧ_{y}$を順に選択し、各画素行の消去ＴＦＴ５０１を順に導通状態とし、各行の画素を順に一律に非発光状態とする。全ての画素の消去ＴＦＴ５０１を導通状態とする期間を、リセット期間Ｔｒと表記する。特に、第ｐ（ｐは、ｋ以上ｎ以下の自然数）のサブフレーム期間$ＳＦ_{p}$に対応するリセット期間を$Ｔｒ_{p}$と表記する。このように、ある行の画素に信号電流を入力している最中にも、別の行の画素を一律に非発光状態とすることができる。こうして、表示期間Ｔｓの長さを自由に制御することができる。

【０１４７】

ここで、アドレス期間$Ｔａ_{p}$の長さとリセット期間$Ｔｒ_{p}$の長さは同じであるとする。つまり、映像信号を書き込む際に各行を順に選択する速さと、各行の画素を順に一律に非発光状態とする際の速さとは、同じであるとする。よって、同一のサブフレーム期間において、各行の画素の表示期間Ｔｓが始まるタイミングは異なるが、その長さはすべて同じである。

【０１４８】

各画素行の消去ＴＦＴ５０１を導通状態とすることによって、各画素行の画素を一律に非発光状態とする期間を、非表示期間Ｔｕｓと表記する。同じサブフレーム期間において、各画素行の非表示期間Ｔｕｓは、タイミングは異なるがその長さは全て同じである。特に、第ｐのサブフレーム期間$ＳＦ_{p}$に対応する非表示期間を$Ｔｕｓ_{p}$と表記する。

【０１４９】

所定の長さの非表示期間$Ｔｕｓ_{k}$の後、第ｋ＋１のサブフレーム期間$ＳＦ_{k+1}$が開始される。第ｋ＋１のサブフレーム期間$ＳＦ_{k+1}$～第ｎのサブフレーム期間$ＳＦ_{n}$について、第ｋのサブフレーム期間$ＳＦ_{k}$と同様の動作を繰り返し、１フレーム期間Ｆ１が終了する。

【０１５０】

以上のように表示装置を動作させ、各サブフレーム期間$ＳＦ_{1}$～$ＳＦ_{n}$の表示期間$Ｔｓ_{1}$～$Ｔｓ_{n}$の長さを適当に定めることによって、階調を表現する。なお、各サブフレーム期間の表示期間Ｔｓの長さの設定の仕方は、実施の形態１と同様である。

【０１５１】

本実施の形態２では、表示期間Ｔｓをアドレス期間Ｔａより短く設定するサブフレーム期間においてのみ、リセット期間Ｔｒ及び非表示期間Ｔｕｓを設ける駆動方法を示したが、これ限定されない。表示期間Ｔｓをアドレス期間Ｔａより長く設定するサブフレーム期間

においても、リセット期間Ｔｒ及び非表示期間Ｔｕｓを設ける駆動方法とすることもできる。

【０１５２】

また、図５及び図６では、消去ＴＦＴ５０１を導通状態とすることによって保持容量７０８の電荷を放電する構成を示したが、これに限定されない。消去ＴＦＴ５０１を導通状態することによって保持容量７０８の駆動ＴＦＴ７０７のゲート電極と接続された側の電位を、上げるかまたは下げるかして、駆動ＴＦＴ７０７が非導通状態となる構成であれば良い。つまり、消去ＴＦＴ５０１を介して、駆動ＴＦＴ７０７のゲート電極を、駆動ＴＦＴ７０７が非導通状態となるような電位の信号が入力される配線と接続した構成であってもよい。

【０１５３】

また、上述のような消去ＴＦＴ５０１を導通状態とすることによって、保持容量７０８の駆動ＴＦＴ７０７のゲート電極と接続された側の電位を変化させるタイプの構成ではなく、駆動ＴＦＴ７０７と直列に消去ＴＦＴを配置し、消去ＴＦＴを非導通状態とすることによって非表示期間とする構成であってもよい。

【０１５４】

一方、上述のような消去ＴＦＴを用いずに、ゲート信号線の信号、ソース信号線の信号（映像信号）に関わらず、一律に画素を非発光の状態とする、つまり、非表示期間を設けることもできる。

【０１５５】

例えば、保持容量７０８の２つの電極のうち、駆動ＴＦＴ７０７のゲート電極に接続されていない側の電極の電位を、上げるまたは下げることによって、駆動ＴＦＴ７０７を非導通状態とする手法がある。駆動ＴＦＴ７０７がＰチャネル型ＴＦＴの場合、保持容量７０８の駆動ＴＦＴ７０７と接続されていない側の電位を、上げる。保持容量７０８に保持されている電荷は一定に保たれるため、保持容量７０８のもう一方の電位が上昇し、駆動ＴＦＴ７０７を非導通状態とすることができる。こうして、非表示期間Ｔｕｓを設けることができる。

【０１５６】

また他の例としては、全ての画素のＥＬ素子７０９の対向電極の電位を一斉に変化させることによって、全ての画素のＥＬ素子７０９の発光・非発光状態を一斉に切り替える手法がある。この手法では、各サブフレーム期間の各アドレス期間Ｔａにおいては、対向電極の電位は電源線Ｗの電位とほぼ同じに保たれる。アドレス期間Ｔａが終了すると、対向電極の電位は、電源線Ｗとの間に所定の電位差を有するように変化する。このとき、発光状態が選択された画素においては、電源線Ｗより駆動ＴＦＴ７０７を介してＥＬ素子７０９に電流が流れ発光する。こうして表示期間Ｔｓが始まる。表示期間Ｔｓのタイミングは、全ての画素において同じである。所定の長さの表示期間Ｔｓの後、ＥＬ素子７０９の対向電極の電位を再び電源線Ｗの電位とほぼ同じに変化させることによって、全ての画素を一斉に非発光の状態とすることができる。こうして、非表示期間Ｔｕｓを設けることができる。非表示期間Ｔｕｓのタイミングは、全ての画素において同じである。

【０１５７】

（実施の形態３）

本実施の形態では、実施の形態１及び実施の形態２において示した構成の画素とは、異なる構成の画素を示す。

【０１５８】

図８（Ａ）及び図８（Ｂ）に、本実施の形態３の画素構成を示す。なお、図８（Ａ）及び図８（Ｂ）において、図１及び図５と同じ部分は同じ符号を用いて示し、説明は省略する図８（Ａ）及び図８（Ｂ）において、画素は、駆動ＴＦＴ７０７及びカレントＴＦＴ７０６を、Pチャネル型トランジスタとし、画素電極を陽極とした例を示す。

【０１５９】

図８（Ａ）及び図８（Ｂ）では、カレントＴＦＴ７０６の第１の端子と、駆動ＴＦＴ７０

７のゲート電極と、ソース信号線Ｓとはそれぞれ、マルチドレイン素子１０１の端子Ｔ１～Ｔ３のうち異なる１つに接続されている。また、カレントＴＦＴ７０６の第１の端子はゲート電極と接続され、カレントＴＦＴ７０６の第２の端子は、電源線Ｗに接続されている。駆動ＴＦＴ７０７の第１の端子は、ＥＬ素子７０９の一方の電極（陽極）に接続され、駆動ＴＦＴ７０７の第２の端子は、電源線Ｗに接続されている。保持容量７０８の一方の電極は、駆動ＴＦＴ７０７のゲート電極に接続され、もう一方の電極は、電源線Ｗに接続されている。また、図８（Ｂ）では、消去ＴＦＴ５０１が設けられる。消去ＴＦＴ５０１の第１の端子は、電源線Ｗに接続され、消去ＴＦＴ５０１の第２の端子は、保持容量７０８の一方の電極に接続されている。

【０１６０】

なお、図８（Ａ）及び図８（Ｂ）において、カレントＴＦＴ７０６の第２の端子及び、駆動ＴＦＴ７０７の第２の端子は、電源線Ｗに接続されているが、本発明の画素構成はこれに限定されない。一般に、カレントＴＦＴ７０６の第２の端子と、駆動ＴＦＴ７０７の第２の端子とは、それぞれを、ドレイン電流が流れる際に、同じ電位となるような構成であれば良い。

【０１６１】

また、保持容量７０８の２つの電極のうち、駆動ＴＦＴ７０７のゲート電極と接続されていない側は、電流線Ｗに接続されているが、本発明の画素構成はこれに限定されない。一般に、保持容量７０８の２つの電極のうち、駆動ＴＦＴ７０７のゲート電極と接続されていない側は、カレントＴＦＴ７０６または駆動ＴＦＴ７０７に電流が流れる間、それぞれのＴＦＴの第２の端子の電位と等しい電位に保たれる構成であればよい。

【０１６２】

また、図８（Ｂ）において、消去ＴＦＴ５０１の第１の端子は、電源線Ｗとは別の配線に接続されていてもよい。また、消去ＴＦＴ５０１は、駆動ＴＦＴ７０７と直列に接続されていてもよい。

【０１６３】

なお、図８と異なり、ＥＬ素子の画素電極は陰極である場合、ＥＬ素子が発光する際、カレントＴＦＴ７０６及び駆動ＴＦＴ７０７のソース端子の電位が固定され動作するのが望ましいため、カレントＴＦＴ７０６及び駆動ＴＦＴ７０７としてＮチャネル型ＴＦＴを用いるのが望ましい。

【０１６４】

駆動方法は、実施の形態１や、実施の形態２において示した手法と同様であるので、ここでは説明は省略する。

【０１６５】

（実施の形態４）

本実施の形態では、実施の形態１で示したマルチドレイン素子とは異なる構成のマルチドレイン素子を用いた画素構成について説明する。説明には、図２０及び図２１を用いる。なお、図２０において図８と同じ部分は同じ符号を用いて示し、説明は省略する。

【０１６６】

図２０では、図８と異なり、マルチドレイン素子８１０１を用いている。マルチドレイン端子８１０１は、ゲート信号線Ｇに入力された信号によって、カレントＴＦＴ７０６及び駆動ＴＦＴ７０７のゲート電極と、カレントＴＦＴ７０６の第１の端子を信号線Ｓと接続する。また、カレントＴＦＴ７０６のゲート電極には保持容量８７０８の一方の電極が接続される。保持容量８７０８のもう一方の電極は電源線Ｗに接続されている。なお、図２０（Ａ）に対して図２０（Ｂ）では、消去ＴＦＴ５０１を設けている。

【０１６７】

図２０（Ａ）に示した構成の画素において、駆動方法は実施の形態１で示した手法と同様であるのでここでは説明は省略する。また、図２０（Ｂ）に示した構成の画素において、駆動方法は実施の形態２で示した手法と同様であるのでここでは説明は省略する。

【０１６８】

マルチドレイン素子８１０１の各端子について、図２１（Ａ）を用いて説明する。マルチドレイン素子８１０１は、端子Ｔ０に入力された信号電位に応じて、端子Ｔ１～端子Ｔ４間（端子Ｔ１と端子Ｔ２間、端子Ｔ２と端子Ｔ３間、端子Ｔ１と端子Ｔ３間、端子１と端子４間、端子２と端子４間、端子３と端子４間）が、開放される状態と、短絡される状態とを選択することができる。

【０１６９】

また、マルチドレイン素子８１０１を作製した例について、図２１（Ｂ）～図２１（Ｄ）に示す。図２１（Ｃ）は図２１（Ｂ）におけるＡ～Ａ‘の断面図である。また図２１（Ｄ）は図２１（Ｂ）におけるＢ～Ｂ’の断面図である。なお、図２（Ｂ）～図２（Ｄ）と同じ部分は、同じ符号を用いて示し説明は省略する。図２１（Ｂ）では、図２（Ｂ）と異なり、端子Ｔ１～端子Ｔ４のうちの１つに対応する接続電極２２４が形成されている。接続電極２２４はコンタクトホール２０２ｄによって活性層２０１の不純物領域２０３ｄ（図２１（Ｄ）参照）と接続されている。

【０１７０】

（実施の形態５）

本実施の形態では、本発明の表示装置の各画素に配置されたＥＬ素子の構造について説明する。

【０１７１】

なおＥＬ素子とは、陽極と陰極の間にＥＬ層を有する構成とする。なお、ＥＬ素子の陽極と陰極の間に形成された層を総称してＥＬ層を表記している。なお、ＥＬ層は有機物より形成されていてもよいし、無機物より形成されていてもよい。また、有機物と無機物の両方を有していてもよい。

【０１７２】

ＥＬ素子を形成するＥＬ層を、正孔注入材料からなる正孔注入層、正孔輸送材料からなる正孔輸送層、発光材料からなる発光層、電子輸送材料からなる電子輸送層、電子注入材料からなる電子注入層等が、明確に区別されるような積層構造ではなく、正孔注入材料、正孔輸送材料、発光材料、電子輸送材料、電子注入材料等の材料のうち、複数の材料が混合された層（混合層）を有する構成（以下、混合接合型のＥＬ素子と表記する）とする。

【０１７３】

混合接合型のＥＬ素子の構造を示す模式図を、図１４及び図１５に示す。図１４及び図１５において、１４０１はＥＬ素子の陽極である。１４０２はＥＬ素子の陰極である。陽極１４０１と陰極１４０２の間に挟まれた層が、ＥＬ層に相当する。

【０１７４】

図１４（Ａ）において、ＥＬ層は、正孔輸送材料からなる正孔輸送領域１４０３と、電子輸送材料からなる電子輸送領域１４０４とを含み、前記正孔輸送領域１４０３は前記電子輸送領域１４０４よりも陽極側に位置し、且つ、前記正孔輸送領域１４０３と、前記電子輸送領域１４０４の間に、前記正孔輸送材料及び前記電子輸送材料の両方を含む混合領域１４０５が設けられた構成とすることができる。

【０１７５】

なおこのとき、陽極１４０１から陰極１４０２の方向に、前記混合領域１４０５内の前記正孔輸送材料の濃度は減少し、前記混合領域１４０５内の電子輸送材料の濃度は増加することを特徴としても良い。

【０１７６】

なお上記構成において、正孔輸送材料のみからなる正孔輸送領域１４０３が存在せず、正孔輸送材料及び電子輸送材料の両方を含む混合領域１４０５内部で各機能材料の濃度の割合が変化する（濃度勾配を有する）構成であってもよい。また、正孔輸送材料のみからなる正孔輸送領域１４０３及び電子輸送材料のみからなる電子輸送領域１４０４が存在せず、正孔輸送材料及び電子輸送材料の両方を含む混合領域１４０５内部で各機能材料の濃度の割合が変化する（濃度勾配を有する）構成であってもよい。また、前記濃度の割合は、陽極や陰極からの距離に依存して変化する構成であってもよい。更に、前記濃度の割合の

変化は連続的であってもよい。濃度勾配の設定の仕方は、自由に設定することが可能である。

【０１７７】

前記混合領域１４０５内に、発光材料が添加された領域１４０６を有する。発光材料によって、ＥＬ素子の発光色を制御することができる。また、発光材料によって、キャリアをトラップすることができる。発光材料としては、キノリン骨格を含む金属錯体、ベンゾオキサドール骨格を含む金属錯体、ベンゾチアゾ-ル骨格を含む金属錯体等の他、各種蛍光色素を用いることができる。これらの発光材料を添加することによって、ＥＬ素子の発光色を制御することができる。

【０１７８】

陽極１４０１としては、効率よく正孔を注入するため、仕事関数の大きな電極材料を用いることが好ましい。例えば、錫ドープ酸化インジウム（ＩＴＯ）や、亜鉛ドープ酸化インジウム（ＩＺＯ）、ＺｎＯ、SnO_2、In_2O_3等の透明電極を用いることができる。また、透光性を有する必要が無いならば、陽極１４０１は、不透明の金属材料でもよい。

【０１７９】

また、正孔輸送材料としては、芳香族アミン系の化合物等を用いることができる。

【０１８０】

また、電子輸送材料としては、キノリン誘導体、８－キノリノールまたはその誘導体を配位子とする金属錯体（特に、トリス（８－キノリノライト）アルミニウム（Alq_3））等を用いることができる。

【０１８１】

陰極１４０２としては、効率よく電子を注入するため、仕事関数の小さな電極材料を用いることが好ましい。アルミニウム、インジウム、マグネシウム、銀、カルシウム、バリウム、リチウム等の金属を単体で用いることができる。また、これらの金属の合金であっても良いし、これらの金属と他の金属との合金であっても良い。

【０１８２】

図１４（Ａ）とは異なる構成のＥＬ素子の模式図を図１４（Ｂ）に示す。なお、図１４（Ａ）と同じ部分は同じ符号を用いて示し、説明は省略する。

【０１８３】

図１４（Ｂ）では、発光材料が添加された領域を有さない。しかし、電子輸送領域１４０４に添加する材料として、電子輸送性及び発光性の両方を有する材料（電子輸送発光材料）、例えば、トリス（８－キノリノライト）アルミニウム（Alq_3）を用いる構成とし、発光を行うことができる。

【０１８４】

または、正孔輸送領域１４０３に添加する材料として、正孔輸送性及び発光性の両方を有する材料（正孔輸送発光材料）を用いてもよい。

【０１８５】

図１４（Ａ）及び図１４（Ｂ）とは異なる構成のＥＬ素子の模式図を図１４（Ｃ）に示す。なお、図１４（Ａ）及び図１４（Ｂ）と同じ部分は同じ符号を用いて示し、説明は省略する。

【０１８６】

図１４（Ｃ）において、正孔輸送材料に比べて最高被占分子軌道と最低被占分子軌道とのエネルギー差が大きい正孔ブロッキング性材料が、混合領域１４０５内に添加された領域１４０７を有する。正孔ブロッキング性材料が添加された領域１４０７を、混合領域１４０５内の発光材料が添加された領域１４０６より陰極１４０２側に配置することによって、キャリアの再結合率を上げ、発光効率を上げることができる。上記、正孔ブロッキング性材料が添加された領域１４０７を設ける構成は、特に、三重光励起子のよる発光（燐光）を利用するＥＬ素子において有効である。

【０１８７】

図１４（Ａ）、図１４（Ｂ）及び図１４（Ｃ）とは異なる構成のＥＬ素子の模式図を図１

４（Ｄ）に示す。なお、図１４（Ａ）、図１４（Ｂ）及び図１４（Ｃ）と同じ部分は同じ符号を用いて示し、説明は省略する。

【０１８８】

図１４（Ｄ）において、電子輸送材料に比べて最高被占分子軌道と最低被占分子軌道とのエネルギー差が大きい電子ブロッキング性材料が、混合領域１４０５内に添加された領域１４０８を有する。電子ブロッキング性材料が添加された領域１４０８を、混合領域１４０５内の発光材料が添加された領域１４０６より陽極１４０１側に配置することによって、キャリアの再結合率を上げ、発光効率を上げることができる。上記、電子ブロッキング性材料が添加された領域１４０８を設ける構成は、特に、三重光励起子のよる発光（燐光）を利用するＥＬ素子において有効である。

【０１８９】

図１４（Ａ）～図１４（Ｄ）に示したような混合接合型のＥＬ素子では、明確な層の界面が存在せず、電荷の蓄積を低減することができる。こうして、その寿命を長くすることができる。また、駆動電圧も低くすることができる。

【０１９０】

上記混合接合型のＥＬ素子を作製する手法としては、共蒸着法等を用いることができる。

【０１９１】

なお、図１４（Ａ）～図１４（Ｄ）に示した構成は、自由に組み合わせて実施することが可能である。

【０１９２】

なお、混合接合型のＥＬ素子の構成は、これに限定されない。公知の構成を自由に用いることができる。

【０１９３】

本実施の形態は、実施の形態１～実施の形態４と自由に組み合わせて実施することが可能である。

【０１９４】

つまり、実施の形態１～実施の形態４に示したようなマルチドレイン素子を用いた構成の画素において、本実施の形態に示したような混合接合型のＥＬ素子を用いることができる。こうして、ＥＬ素子の劣化をさらに低減することができる。

【０１９５】

（実施の形態６）

本実施の形態では、実施の形態５と異なる構成のＥＬ素子について説明する。

【０１９６】

図１５は、図１４とは異なる混合接合型のＥＬ素子の構成を示す模式図である。図１５では、ＥＬ素子の電極に接するＥＬ層の部分に、金属材料を添加した構成の例を示す。図１５において、図１４と同じ部分は同じ符号を用いて示し説明は省略する。陰極１４０１としてＭｇＡｇ（Ｍｇ－Ａｇ合金）を用い、電子輸送材料が添加された領域１４０４の、陰極１４０２に接する領域にＡｌ（アルミニウム）合金を添加した構成とする。上記構成によって、陰極の酸化を防止し、且つ、陰極からの電子の注入効率を高めることができる。こうして、混合接合型のＥＬ素子では、その寿命を長くすることができる。また、駆動電圧も低くすることができる。

【０１９７】

なお、混合接合型のＥＬ素子の構成は、これに限定されない。公知の構成を自由に用いることができる。

【０１９８】

本実施の形態は、実施の形態１～実施の形態４と自由に組み合わせて実施することが可能である。

【０１９９】

つまり、実施の形態１～実施の形態４に示したようなマルチドレイン素子を用いた構成の画素において、本実施の形態に示したような混合接合型のＥＬ素子を用いることができる

。こうして、ＥＬ素子の劣化をさらに低減することができる。
【０２００】
（実施の形態７）
本実施の形態では、本発明の表示装置の各画素が有するＥＬ素子の塗り分けの構成について説明する。
【０２０１】
図１６に本実施の形態のＥＬ表示装置の画素の断面図を示す。なお、ＥＬ表示装置の３画素分のみを代表で示し、それぞれの画素を構成する素子として、ＥＬ素子及びＥＬ素子の画素電極と接続されたＴＦＴのみを示す。ＥＬ素子に直列に接続されたＴＦＴは、図１や図５に示した、駆動ＴＦＴ７０７が挙げられる。
【０２０２】
図１６において、画素基板１９００上に、ＴＦＴ１９０１＿Ｒ、１９０１＿Ｇ、１９０１＿Ｂが形成されている。本実施の形態では、ＴＦＴ１９０１＿Ｒ、１９０１＿Ｇ、１９０１＿Ｂはそれぞれ、図１や図５に示す、駆動ＴＦＴ７０７であるとする。
【０２０３】
なお、駆動ＴＦＴ１９０１＿Ｒ、１９０１＿Ｇ、１９０１＿Ｂとしては、図に示した構成に限定されず、公知の構成のＴＦＴを自由に用いることができる。例えば、図１６において駆動ＴＦＴ１９０１＿Ｒ、１９０１＿Ｇ、１９０１＿Ｂは、シングルゲート型ＴＦＴとしたが、マルチゲート型ＴＦＴでもかまわない。また、図１６において駆動ＴＦＴ１９０１＿Ｒ、１９０１＿Ｇ、１９０１＿Ｂは、トップゲート型ＴＦＴとしたが、ボトムゲート型ＴＦＴであってもよい。更に、チャネル形成領域の上下に、ゲート絶縁膜と介して配置された２つのゲート電極を有する、デュアルゲート型ＴＦＴであっても良い。
【０２０４】
駆動ＴＦＴ１９０１＿Ｒ、１９０１＿Ｇ、１９０１＿Ｂ上には、第１の層間膜１９１０が形成されている。第１の層間膜１９１０に、駆動ＴＦＴ１９０１＿Ｒ、１９０１＿Ｇ、１９０１＿Ｂのソース領域またはドレイン領域に達するコンタクトホールを形成し、配線層を形成し、所望の形状にパターニングして、配線１９１９＿Ｒ、１９１９＿Ｇ、１９１９＿Ｂを形成する。そして配線１９１９＿Ｒ、１９１９＿Ｇ、１９１９＿Ｂ上に、第２の層間膜１９１１を形成する。次に、第２の層間膜１９１１に、配線１９１９＿Ｒ、１９１９＿Ｇ、１９１９＿Ｂに達するコンタクトホールを形成し、画素電極１９１２＿Ｒ、１９１２＿Ｇ、１９１２＿Ｂを形成する。
【０２０５】
なお、第２の層間膜１９１１を設けない構成であっても良い。つまり、配線１９１９＿Ｒ、１９１９＿Ｇ、１９１９＿Ｂと同じ層に、画素電極１９１２＿Ｒ、１９１２＿Ｇ、１９１２＿Ｂを形成する構成であってもよい。
【０２０６】
次に、赤色発光のＥＬ層１９１４＿Ｒ、緑色発光のＥＬ層１９１４＿Ｇ、青色発光のＥＬ層１９１４＿Ｂを順に形成する。その後、ＥＬ素子１６１４の対向電極１９１５を、形成する。こうして、画素電極１９１２＿Ｒと、赤色発光のＥＬ層１９１４＿Ｒと、対向電極１９１５とよって構成される赤色発光するＥＬ素子が形成される。画素電極１９１２＿Ｇと、緑色発光のＥＬ層１９１４＿Ｇと、対向電極１９１５とよって構成される緑色発光するＥＬ素子が形成される。画素電極１９１２＿Ｂと、青色発光のＥＬ層１９１４＿Ｂと、対向電極１９１５とよって構成される青色発光するＥＬ素子が形成される。
【０２０７】
このようにＥＬ層１９１４＿Ｒ、１９１４＿Ｇ、１９１４＿Ｂを形成する（塗り分ける）際に、各ＥＬ層１９１４＿Ｒ、１９１４＿Ｇ、１９１４＿Ｂをその境界（端部）１９９０において重ねる構成とする。上記構成では、従来、各発光色に対応するＥＬ層を塗り分ける際に用いられた、絶縁膜で形成された土手等が必要ない。よって、ＥＬ層の塗り分けのマージンを縮小し、画素における発光領域の面積を大きくとることが可能である。
【０２０８】

なお図１６では、赤、青、緑の３色にそれぞれ対応する画素において、ＥＬ素子のＥＬ層の端部を重ねて配置する例を示したが、本発明の表示装置の構成はこれに限定されない。任意の数の発光色にそれぞれ対応する画素において、上記構成を応用することが可能である。

【０２０９】

本実施の形態は、実施の形態１～実施の形態５と自由に組み合わせて実施することが可能である。

【０２１０】

つまり、実施の形態１～実施の形態４に示したようなマルチドレイン素子を用いた構成の画素において、ＥＬ素子のＥＬ層の端部を重ねて配置する構成を用いることができる。こうして開口率をさらに向上させ、ＥＬ素子の劣化をさらに低減することができる。

【０２１１】

また、実施の形態５や実施の形態６に示したような混合接合型のＥＬ素子を有する画素において、ＥＬ素子のＥＬ層の端部を重ねて配置する構成を用いることができる。こうして開口率を向上させ、ＥＬ素子の劣化をさらに低減することができる。

【０２１２】

更に、実施の形態１～実施の形態４に示したようなマルチドレイン素子を用いた画素で、更に実施の形態５や実施の形態６に示したような混合接合型のＥＬ素子を有する構成の画素において、ＥＬ素子のＥＬ層の端部を重ねて配置する構成を用いることができる。こうして開口率をさらに向上させ、ＥＬ素子の劣化をさらに低減することができる。

【０２１３】

（実施の形態８）

本実施の形態では、本発明の表示装置の各画素に配置されたＥＬ素子の構造について説明する。

【０２１４】

ＥＬ素子のＥＬ層を構成する有機材料としては、低分子材料でも高分子材料でもよい。また、これらの材料を両方用いてもよい。有機化合物材料として低分子材料を用いる場合は、蒸着法によって成膜することができる。一方、ＥＬ層として高分子材料を用いる場合では、高分子材料を溶媒に溶かし、スピン塗布法やインクジェット方式で成膜することができる。

【０２１５】

また、ＥＬ層は、中分子材料によって構成されていても良い。本明細書中において、中分子系有機発光材料とは、昇華性を有さず、かつ、重合度が２０程度以下の有機発光材料を示すものとする。ＥＬ層として中分子材料を用いる場合では、インクジェット方式等で成膜することができる。

【０２１６】

なお、低分子材料と、高分子材料と、中分子材料とを組み合わせて用いても良い。

【０２１７】

また、ＥＬ素子は、一重項励起子からの発光（蛍光）を利用するものでも、三重項励起子からの発光（燐光）を利用するものでも、どちらでも良い。

【０２１８】

本実施の形態は、実施の形態１～実施の形態７と自由に組み合わせて実施することが可能である。

【０２１９】

（実施の形態９）

本実施の形態では、実施の形態１において図２に示した構成のマルチドレイン素子とは異なる構成のマルチドレイン素子を作製した例を、図１３を用いて説明する。なお図１３において、図２と同じ部分は同じ符号を用いて示し説明は、省略する。

【０２２０】

図１３（Ａ）に、マルチドレイン素子の記号を示す。図１３（Ｂ）は、図１３（Ａ）に示

したマルチドレイン素子を作製した際の上面図である。また、図１３（Ｃ）は、図１３（Ｂ）のＡ－Ａ’の断面図である。図１３（Ｄ）は、図１３（Ｂ）のＢ－Ｂ’の断面図である。

【０２２１】

図１３（Ｃ）及び図１３（Ｄ）において、絶縁表面を有する基板２００上に形成された活性層２０１は、同じ導電型を付与する不純物が添加された不純物領域２０３ａ、２０３ｂ、２０３ｃ及び２３０ｃと、チャネル領域２０４ａ、２０４ｂ、２０４ｃを有している。電極２２０とチャネル形成領域２０４ａ、２０４ｂ、２０４ｃとは、ゲート絶縁膜２０５を間に挟んで重なっている。また、接続電極２２１～２２３はそれぞれ、電極２２０上に形成された絶縁膜２０６上に形成され、コンタクトホール２０２ａ～２０２ｃを介して、前記不純物領域２０３ａ、２０３ｂ、２０３ｃと電気的に接続されている。電極２２０は、図１３（Ａ）における端子Ｔ０に相当する。図１３における電極２２０の配置は、図２における電極２２０の配置と異なる。また、接続電極２２１は、端子Ｔ１に相当し、接続電極２２２は、端子Ｔ２に相当し、接続電極２２３は、端子Ｔ３に相当する。

【０２２２】

なお、接続電極２２１は、端子Ｔ２に相当し、接続電極２２２は、端子Ｔ３に相当し、接続電極２２３は、端子Ｔ１に相当してもよい。また、接続電極２２１は、端子Ｔ３に相当し、接続電極２２２は、端子Ｔ１に相当し、接続電極２２３は、端子Ｔ２に相当してもよい。

【０２２３】

不純物領域２０３ａ、２０３ｂ、２０３ｃ及び２３０ｃはそれぞれチャネル形成領域２０４ａ、２０４ｂ、２０４ｃのうちの１つまたは、３つ全てに接している。なお本実施の形態では、全ての不純物領域がそれぞれチャネル形成領域２０４に接しているが、本発明はこの構成に限定されない。不純物領域２０３ａ、２０３ｂ、２０３ｃ及び２３０ｃとチャネル形成領域２０４ａ、２０４ｂ、２０４ｃの間に、不純物領域よりも不純物濃度の低い低濃度不純物領域（ＬＤＤ領域）が設けられていても良い。

【０２２４】

なお、図１３（Ｃ）及び図１３（Ｄ）ではゲート絶縁膜２０５が不純物領域２０３ａ、２０３ｂ、２０３ｃ及び２３０ｃを覆っているが、本発明はこの構成に限定されない。不純物領域２０３ａ、２０３ｂ、２０３ｃ及び２３０ｃは必ずしもゲート絶縁膜２０５に覆われている必要はなく、露出していても良い。

【０２２５】

マルチドレイン素子１０１は、通常のＴＦＴの工程と同様のプロセスで作製することが可能である。図１３（Ｃ）及び図１３（Ｄ）において、本発明のマルチドレイン素子１０１の電極２２０は、公知のＴＦＴのゲート電極と等しい材料によって形成することができる。また、活性層２０１に、チャネル形成領域２０４ａ、２０４ｂ、２０４ｃと、不純物領域２０３ａ、２０３ｂ、２０３ｃ及び２３０ｃを形成する手法も、公知のＴＦＴと同様にすることができる。

【０２２６】

ここで、電極２２０の活性層２０１と重なる部分を、マルチドレイン素子のゲート電極とも呼ぶことにする。また、マルチドレイン素子の端子Ｔ１～Ｔ３が接続された不純物領域２０３ａ～２０３ｃは、それぞれソース領域またはドレイン領域と呼ぶことにする。また、マルチドレイン素子の端子Ｔ１～Ｔ３を、ソース端子またはドレイン端子とも呼ぶことにする。

【０２２７】

図１３に示したマルチドレイン素子１０１は、電極（ゲート電極）２２０に印加される電位によって、チャネル形成領域２０４ａ、２０４ｂ、２０４ｃに形成されるチャネルが変化し、各端子Ｔ１～Ｔ３間（ソース・ドレイン端子間に相当する）の抵抗が制御される。つまり、ゲート電極２２０の電位によって、チャネル形成領域にチャネルが形成され、ソース・ドレイン端子間が導通状態となる。

【０２２８】
例えば図１３において、マルチドレイン素子１０１の不純物領域２０３ａ、２０３ｂ、２０３ｃ及び２３０ｃには、Ｎ型を付与する不純物元素が添加されているものとする。このとき、ゲート電極Ｔ０の電位を、不純物領域２０３ａ、２０３ｂ、２０３ｃのうちのいずれか１つまたは２つに相当するソース領域の電位より十分に高くする。こうして、端子Ｔ１～端子Ｔ３を短絡することができる。上記構成のマルチドレイン素子１０１を、Ｎチャネル型マルチドレイン素子と呼ぶことにする。
【０２２９】
一方、図１３において、マルチドレイン素子１０１の不純物領域２２０３ａ、２０３ｂ、２０３ｃ及び２３０ｃには、Ｐ型を付与する不純物元素が添加されているものとする。このとき、ゲート電極Ｔ０の電位を、不純物領域２０３ａ、２０３ｂ、２０３ｃのうちのいずれか１つまたは２つに相当するソース領域の電位より十分に低くする。こうして、端子Ｔ１～端子Ｔ３を短絡することができる。上記構成のマルチドレイン素子を、Ｐチャネル型マルチドレイン素子と呼ぶことにする。
【０２３０】
こうして、図１３のマルチドレイン素子１０１は、３つのノード、具体的には端子Ｔ１～Ｔ３を同時に接続することができる。
【０２３１】
本実施の形態は、実施の形態１～実施の形態９と自由に組みあわせて実施することが可能である。
【０２３２】
つまり、実施の形態１～実施の形態４に示したようなマルチドレイン素子の代わりに、本実施の形態に示した構成のマルチドレイン素子を用いることができる。
【０２３３】
また、実施の形態５や実施の形態６に示したような混合接合型のＥＬ素子を有する画素において、本実施の形態に示したマルチドレイン素子を用いることができる。こうして、開口率をさらに向上させ、ＥＬ素子の劣化をさらに低減することができる。
【０２３４】
更に、ＥＬ素子のＥＬ層の端部を重ねて配置する構成を用いることができる。こうして開口率をさらに向上させ、ＥＬ素子の劣化をさらに低減することができる。
【０２３５】
（実施の形態１０）
本実施の形態では、ＥＬ素子に定期的に逆バイアスを印加し、劣化を抑制する構成について説明する。
【０２３６】
上記駆動方法を用いる際の画素構成の例を、図１７、図１８、図１９に示す。なお、図１７、図１８において、図１（Ａ）と同じ部分は同じ符号を用いて説明は省略する。また、図１９において図２０と同じ部分は同じ符号を用いて示す。ここで、画素電極は陽極であり、対向電極は陰極であるとする。
【０２３７】
図１７（Ａ）では、ＥＬ素子７０９の画素電極にスイッチ９９１を介して端子９９２が接続されている。ここで、端子９９２の電位V_BをＥＬ素子７０９の対向電極の電位より小さく設定する。スイッチ９９１をオンすることによって、ＥＬ素子７０９の画素電極の電位を対向電極の電位より小さくする。こうして、ＥＬ素子７０９に逆バイアスを印加する。
【０２３８】
次いで、図１７（Ａ）の構成の画素において、逆バイアスを印加する際の駆動方法について説明する。例えば、実施の形態１に示したような時分割階調方式を用いる場合を例に説明する。画素が表示を行わない期間に逆バイアス印加の操作を行うことができる。例えば、画像表示を一時中断してスイッチをオン状態とし、ＥＬ素子７０９に逆バイアスを印加

することができる。ここで、画素が表示を行っている期間では、スイッチ９９１はオフ状態である。時分割階調方式を行う際のスイッチ９９１以外の動作は、実施の形態１と同様であるので説明は省略する。

【０２３９】

同様に、図１８（Ａ）や図１９（Ａ）、図２０（Ａ）の構成の画素においても、逆バイアス印加の操作を行うことができる。

【０２４０】

また、図１７（Ａ）に示した画素の構成において、消去トランジスタを設けてもよい。この構成例を図１７（Ｂ）に示す。なお、図１７（Ａ）と同じ部分は同じ符号を用いて示す。

【０２４１】

ここで、図１７（Ｂ）に示した画素構成において、逆バイアスを印加する際の駆動方法について説明する。例えば、実施の形態２に示したような時分割階調方式を用いる場合を例に説明する。画素が表示を行わない期間に逆バイアス印加の操作を行うことができる。例えば、非表示期間において、ＥＬ素子７０９に逆バイアスを印加することができる。ここで、表示期間ではスイッチ９９１はオフ状態である。時分割階調方式を行う際のスイッチ９９１以外の動作は、実施の形態２と同様であるので説明は省略する。

【０２４２】

同様に、図１８（Ｂ）や図１９（Ｂ）、図２０（Ｂ）の構成の画素においても、逆バイアス印加の操作を行うことができる。

【０２４３】

また、図１７（Ｃ）に、図１７（Ｂ）に示した構成においてスイッチ９９１としてＴＦＴを用いた例を示す。ここで、時分割階調表示を行う場合に、非表示期間において逆バイアスを印加する駆動方法とすることができる。そのためには、スイッチ９９１は消去ＴＦＴ５０１がオン状態の時にオン状態となるよう動作させる。このとき、スイッチ９９１のゲート電極に入力される信号は、消去ＴＦＴ５０１のゲート電極に入力される信号（消去用ゲート信号線ＲＧ）の信号と同じとすることができる。

【０２４４】

同様に、図１８（Ｃ）や図１９（Ｃ）、図２０（Ｃ）の構成の画素においても、逆バイアス印加の操作を行うことができる。

【０２４５】

上記構成によって、各画素のＥＬ素子の劣化を抑制することができる。

【０２４６】

本実施の形態は、実施の形態１～実施の形態９と自由に組み合わせて実施することができる。

【０２４７】

つまり、実施の形態１～実施の形態４に示したようなマルチドレイン素子において、ＥＬ素子に逆バイアスを印加する構成を適用することができる。こうして、ＥＬ素子の劣化をさらに低減することができる。

【０２４８】

また、実施の形態５や実施の形態６に示したような混合接合型のＥＬ素子を有する画素において、ＥＬ素子に逆バイアスを印加する構成を適用することができる。こうして、ＥＬ素子の劣化をさらに低減することができる。

【０２４９】

更に、ＥＬ素子のＥＬ層の端部を重ねて配置する構成を用いることができる。こうして開口率をさらに向上させ、ＥＬ素子の劣化をさらに低減することができる。

【０２５０】

（実施の形態１１）

本発明は、表示装置を有する表示システムに応用することができる。ここで、表示システムとは、表示装置に入力される映像信号を記憶するメモリや、表示装置の各駆動回路に入

力する制御信号（クロックパルス、スタートパルス等）を出力するコントローラ、メモリやコントローラを制御するＣＰＵ等を含むものとする。

【０２５１】

また、本発明の表示装置は、様々な電子機器に応用することができる。本発明を用いて作製した電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDigital Versatile Disc（ＤＶＤ）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。

【０２５２】

本実施の形態は、実施の形態１～実施の形態１０と自由に組み合わせて実施することが可能である。

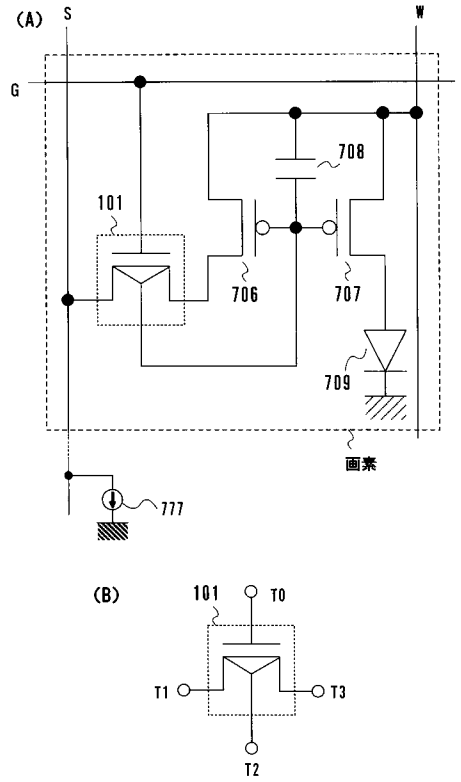
【発明の効果】

本発明は上記構成によって、ＥＬ素子において、劣化等による電流特性の変化による輝度の変化を低減し、ほぼ一定の輝度で発光させることが可能な表示装置を提供することができる。

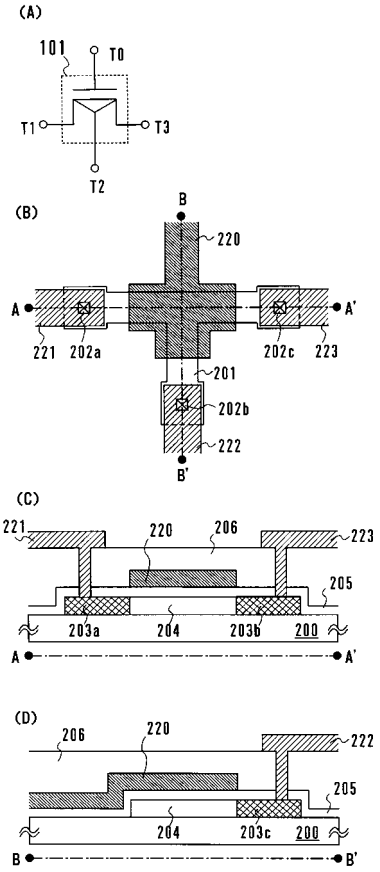
【図面の簡単な説明】

【図１】　本発明の表示装置の画素の構成を示す図。
【図２】　本発明の表示装置の画素の有するマルチスイッチング素子の構成を示す図。
【図３】　本発明の表示装置の画素部の構成を示す図。
【図４】　本発明の表示装置の駆動方法を示すタイミングチャートを示す図。
【図５】　本発明の表示装置の画素の構成を示す図。
【図６】　本発明の表示装置の画素部の構成を示す図。
【図７】　本発明の表示装置の駆動方法を示すタイミングチャートを示す図。
【図８】　本発明の表示装置の画素の構成を示す図。
【図９】　ＥＬ素子の劣化を示す図。
【図１０】　電流制御型の画素の構成を示す図。
【図１１】　電流制御型の画素の駆動方法を示す図。
【図１２】　電流制御型の画素の駆動方法を示すタイミングチャートを示す図。
【図１３】　本発明の表示装置の画素の有するマルチスイッチング素子の構成を示す図。
【図１４】　本発明の表示装置のＥＬ素子の構成を示す模式図。
【図１５】　本発明の表示装置のＥＬ素子の構成を示す模式図。
【図１６】　本発明の表示装置の画素部の構成を示す断面図。
【図１７】　本発明の表示装置の画素の構成を示す図。
【図１８】　本発明の表示装置の画素の構成を示す図。
【図１９】　本発明の表示装置の画素の構成を示す図。
【図２０】　本発明の表示装置の画素の構成を示す図。
【図２１】　本発明の表示装置の画素の有するマルチスイッチング素子の構成を示す図。

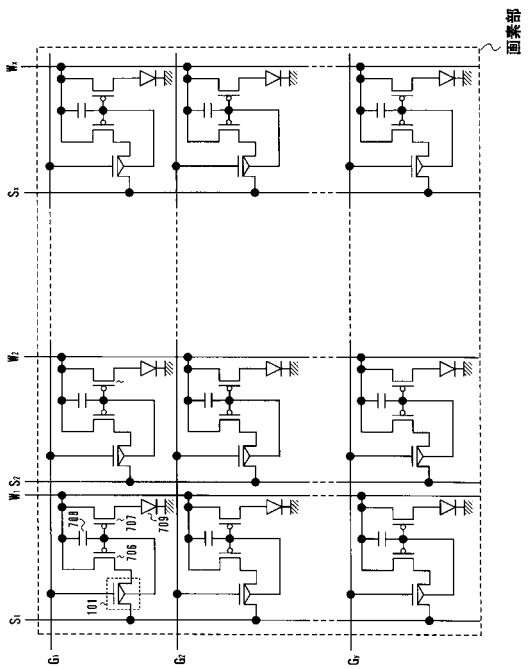
【図１】


(A)
S
W
G
708
101
706
707
709
画素
777
(B)
101
T0
T1
T3
T2

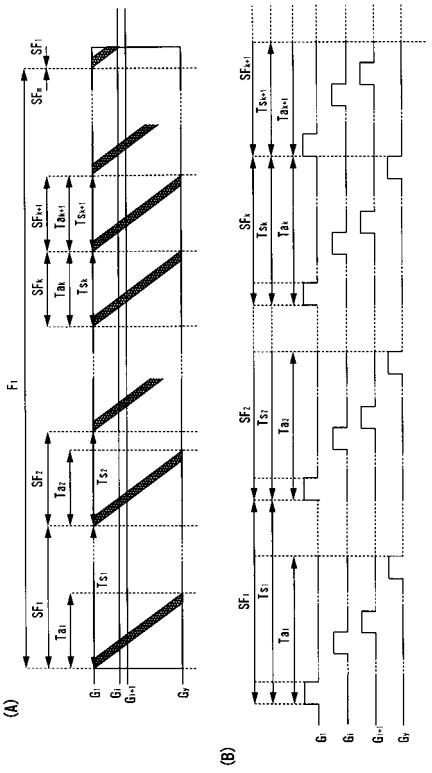
【図２】


(A)
101
T0
T1
T3
T2
(B)
B
220
A
A'
221
202a
202c
223
201
202b
222
B'
(C)
221
220
206
223
205
203a
204
203b
200
A
A'
(D)
206
220
222
205
204
203c
200
B
B'

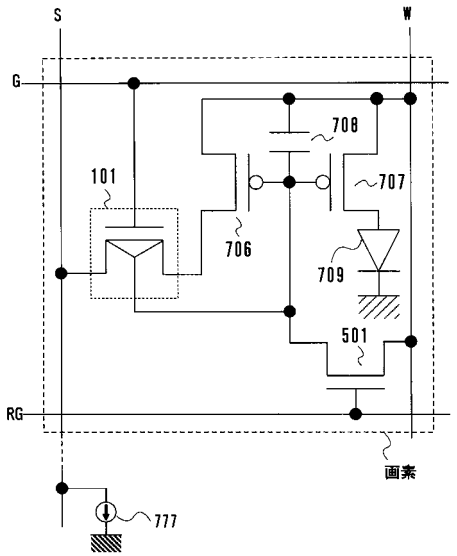
【図３】


画素部
W1
S1
W2
W, S2
708
707
706
709
101
G1
G2
Gn

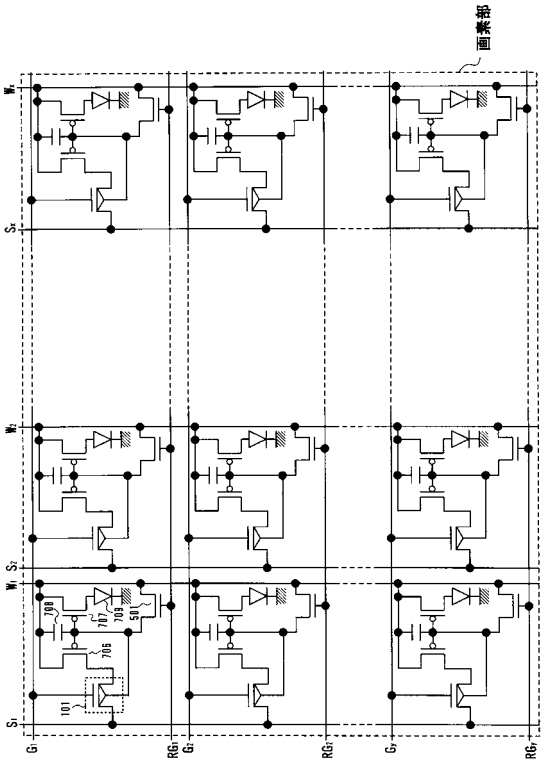
【図４】


(A)
(B)
G1
Gi
Gi+1
Gn

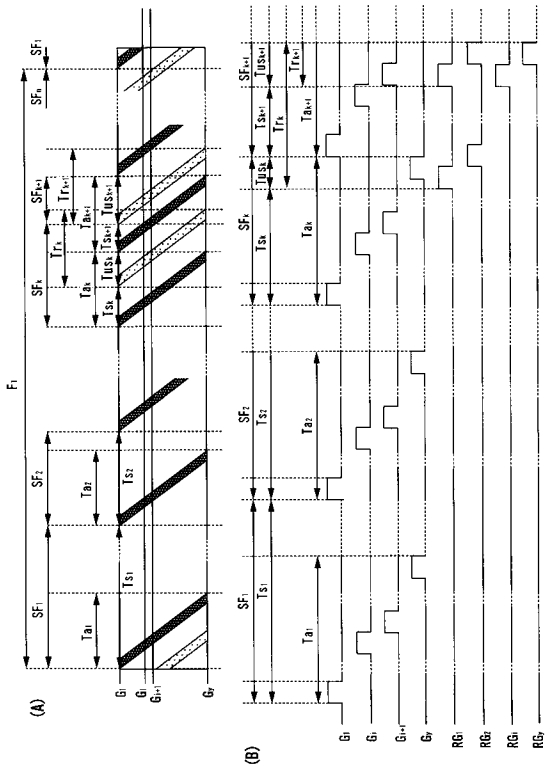
【図５】


S
W
G
708
101
707
706
709
501
RG
画素
777

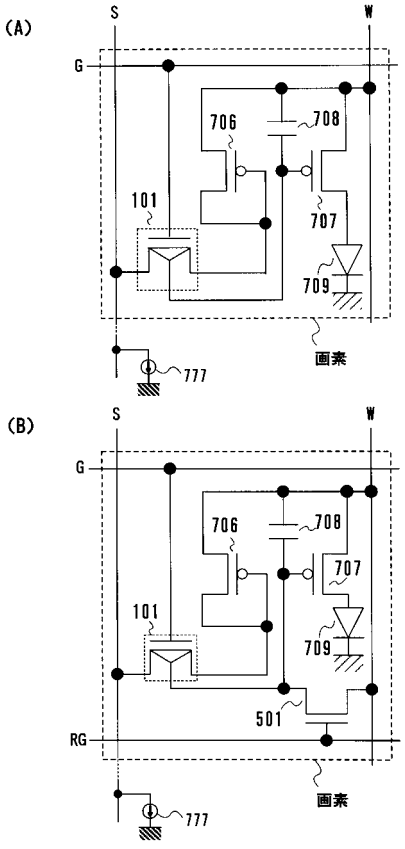
【図６】


画素部

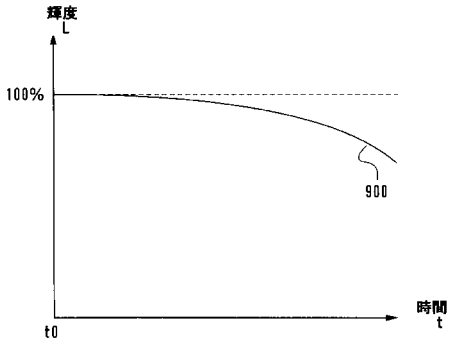
【図７】


(A)
(B)

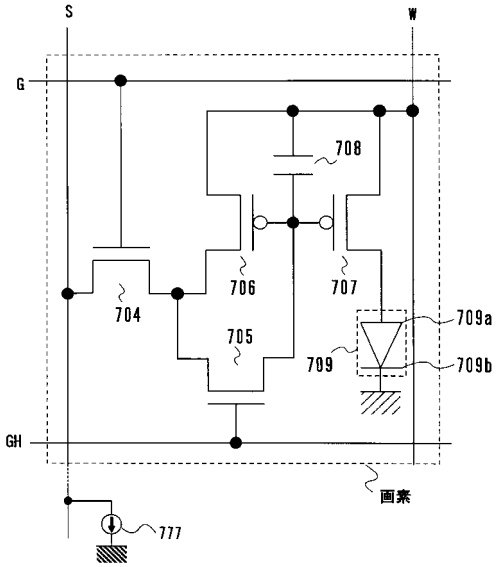
【図８】


(A)
(B)
S
W
G
706
708
101
707
709
501
RG
画素
777

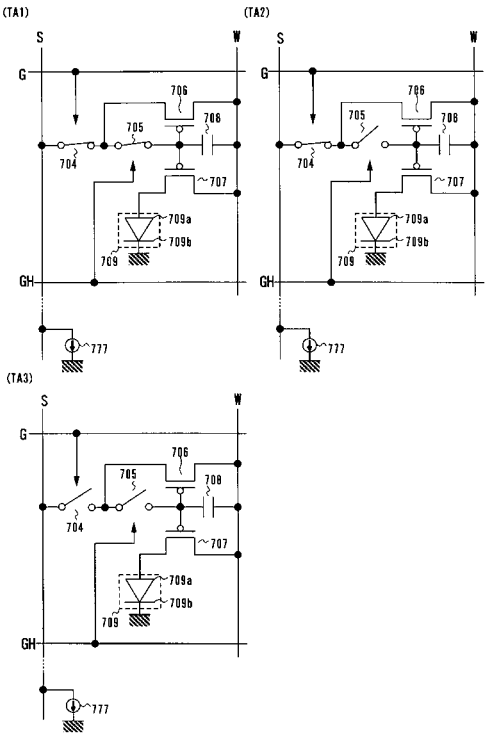
【図９】



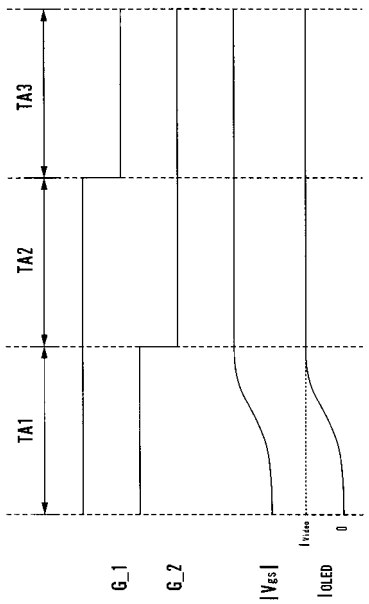
【図１０】



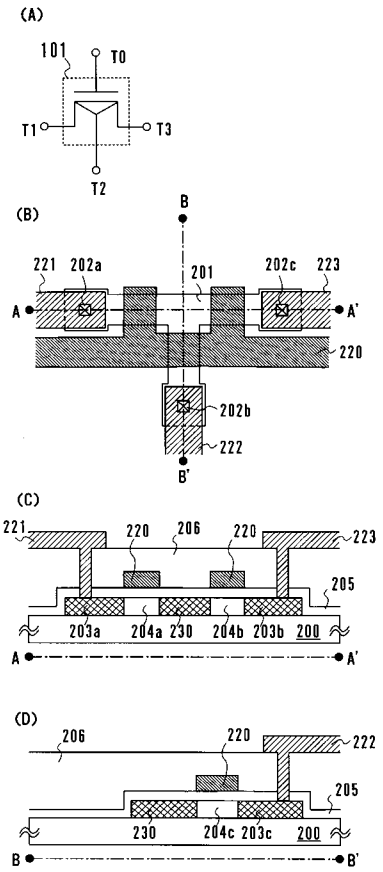
【図１１】



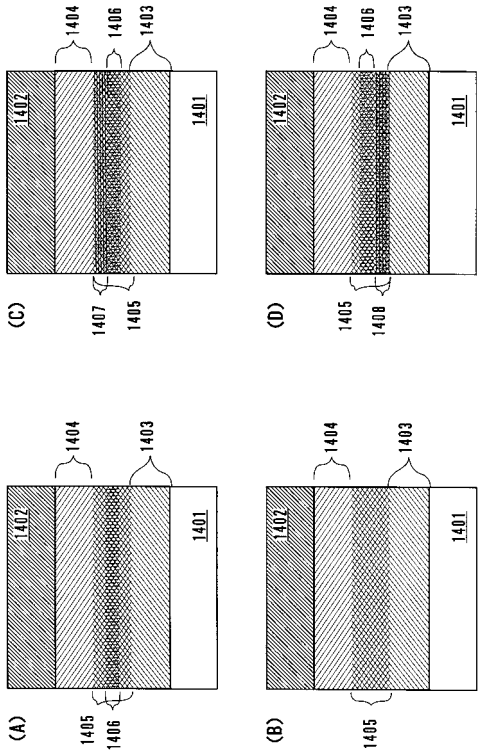
【図１２】



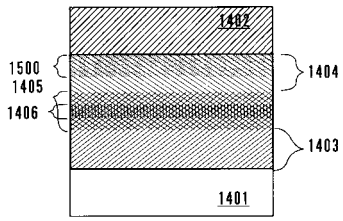
【図１３】



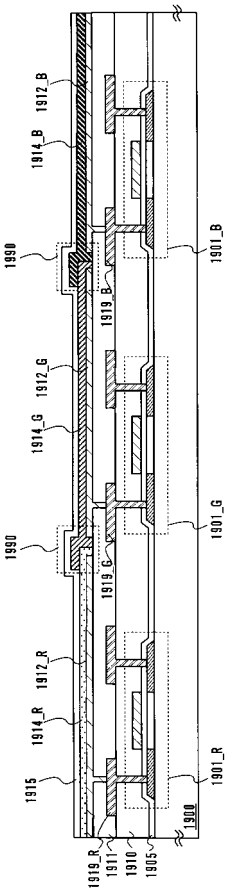
【図１４】



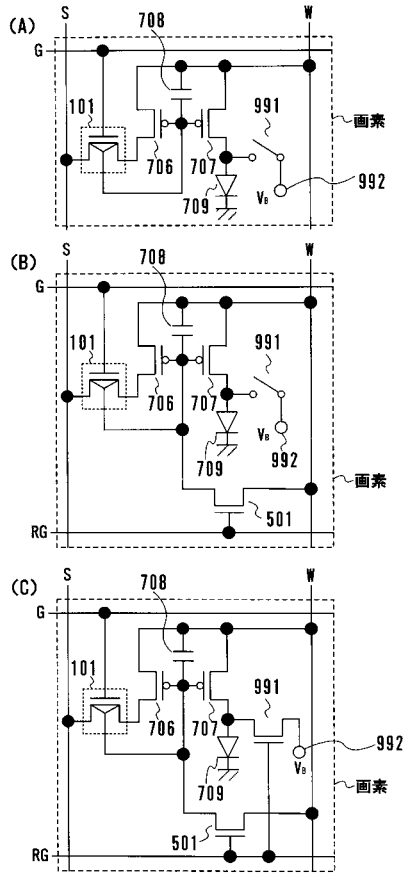
【図１５】



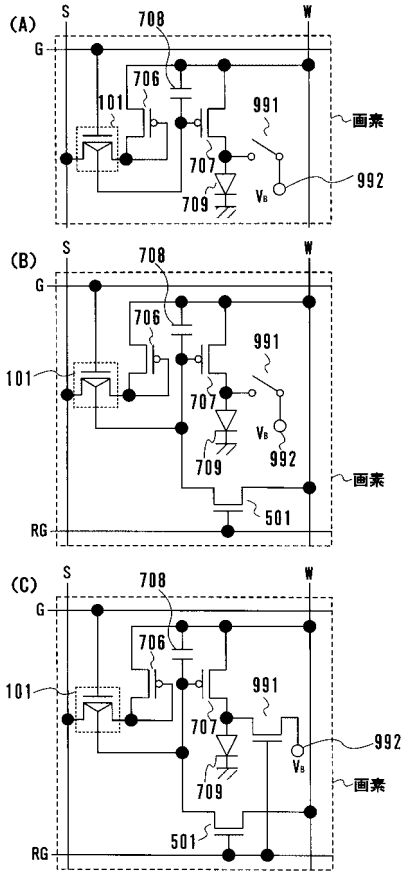
【図１６】



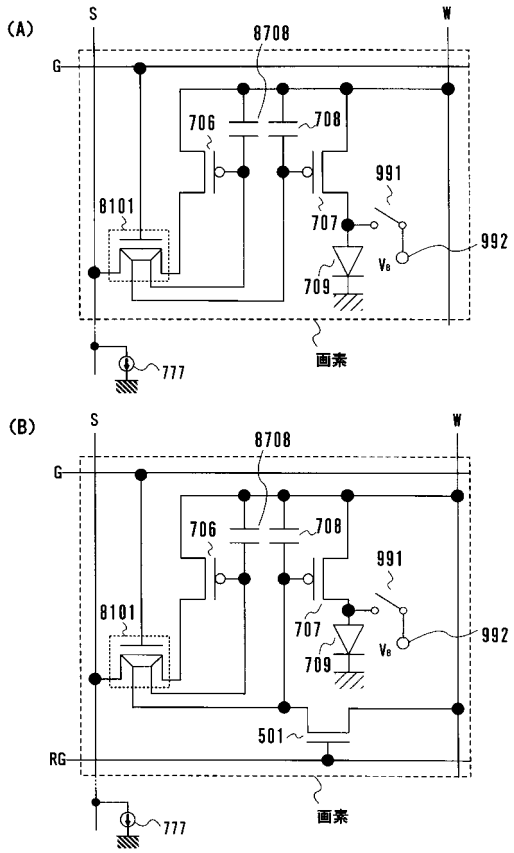
【図１７】



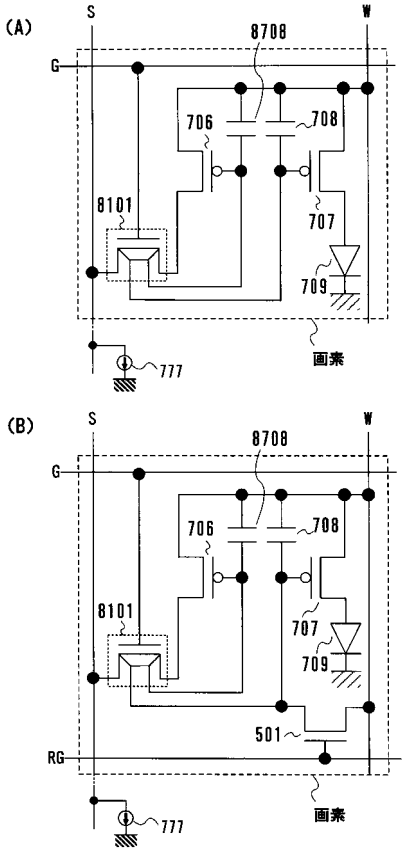
【図１８】



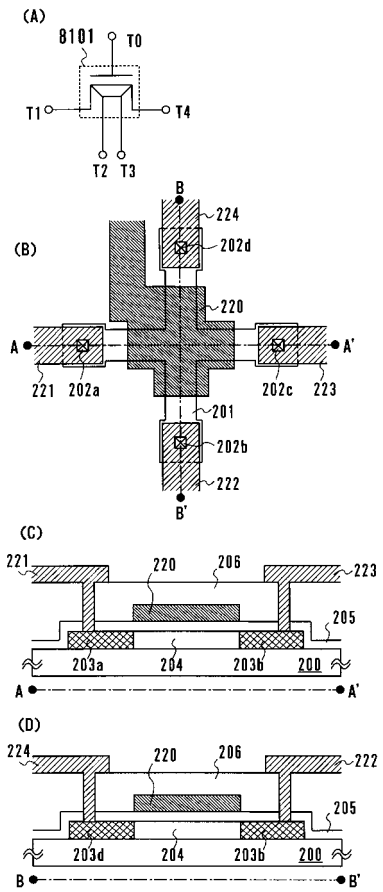
【図１９】



【図２０】



【図２１】


(A)
8101
T0
T1
T4
T2
T3
(B)
B
224
202d
220
A
A'
221
202a
202c
223
201
202b
222
B'
(C)
221
220
206
223
205
203a
204
203b
200
A
A'
(D)
224
220
206
222
205
203d
204
203b
200
B
B'

フロントページの続き

(51)Int.Cl.		F I		
H01L 51/50	*(2006.01)*	G09G	3/20	670J
		G09G	3/30	J
		H01L	29/78	626Z
		H01L	29/78	618C
		H01L	29/78	616T
		H01L	29/78	614
		H05B	33/14	A

審査官　渡邊　吉喜

(56)参考文献　特開２００１－１４７６５９（ＪＰ，Ａ）
特開昭５９－０２１０６５（ＪＰ，Ａ）
特開昭５４－０８７０７６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G09F 9/00- 9/46、
G09G 3/00- 3/08、 3/12- 3/16、
3/19- 3/26、 3/30- 3/34、 3/38、
H01L 21/33、27/32、29/786、51/50、
H05B 33/00-33/28