



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년07월18일
(11) 등록번호 10-2556313
(24) 등록일자 2023년07월12일

(51) 국제특허분류(Int. Cl.)
H01L 27/12 (2006.01) G02F 1/1362 (2006.01)
H01L 29/786 (2006.01) H10K 59/00 (2023.01)
(52) CPC특허분류
H01L 27/1225 (2013.01)
G02F 1/1362 (2013.01)
(21) 출원번호 10-2022-7029266(분할)
(22) 출원일자(국제) 2009년11월09일
심사청구일자 2022년08월24일
(85) 번역문제출일자 2022년08월24일
(65) 공개번호 10-2022-0123328
(43) 공개일자 2022년09월06일
(62) 원출원 특허 10-2022-7003687
원출원일자(국제) 2009년11월09일
심사청구일자 2022년03월07일
(86) 국제출원번호 PCT/JP2009/069407
(87) 국제공개번호 WO 2010/058746
국제공개일자 2010년05월27일
(30) 우선권주장
JP-P-2008-298000 2008년11월21일 일본(JP)
(56) 선행기술조사문헌
JP2007123861 A
(뒷면에 계속)

(73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
미야이리 히데카즈
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
오사다 다게시
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
야마자키 슌페이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(74) 대리인
장수길, 박충범, 이중희

전체 청구항 수 : 총 6 항

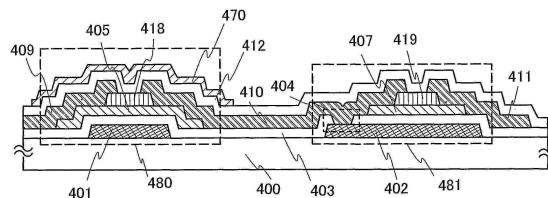
심사관 : 고연화

(54) 발명의 명칭 표시 장치

(57) 요약

표시 장치의 고정밀화에 따라서, 화소수가 증가하여, 게이트선 수 및 신호선 수가 증가한다. 게이트선 수 및 신호선 수가 증가하면, 게이트선 및 신호선을 구동하기 위한 구동 회로를 포함하는 IC 칩을 본딩 등에 의해 실장하는 것이 어려워, 제조 비용이 증대한다. 동일 기판 위에 화소부와, 화소부를 구동하는 구동 회로를 구비하고, 구동 회로의 적어도 일부는, 게이트 전극 사이에 개재된 산화물 반도체를 포함하는 박막 트랜지스터를 포함한다. 산화물 반도체와 산화물 반도체 위에 구비되는 게이트 전극 사이에는 채널 보호층이 구비된다. 동일 기판 위에 화소부 및 구동 회로를 구비함으로써, 제조 비용을 감소시킨다.

대표도 - 도26



(52) CPC특허분류

H01L 27/124 (2013.01)
H01L 27/1251 (2013.01)
H01L 29/78606 (2013.01)
H01L 29/78645 (2021.01)
H01L 29/7869 (2013.01)
H10K 59/1213 (2023.02)

(56) 선행기술조사문헌

JP2008009396 A
KR100282279 B1
KR1019950001433 B1
US20070146030 A1
JP2003060498 A

명세서

청구범위

청구항 1

반도체 장치로서,

제1 트랜지스터 내지 제10 트랜지스터를 포함하고,

상기 제1 트랜지스터는, 소스 또는 드레인 중 한쪽이 제1 배선과 전기적으로 접속되고, 또한, 소스 또는 드레인 중 다른 쪽이 제2 배선과 전기적으로 접속되고,

상기 제2 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제1 배선과 전기적으로 접속되고, 또한, 소스 또는 드레인 중 다른 쪽이 제3 배선과 전기적으로 접속되고,

상기 제3 트랜지스터는, 소스 또는 드레인 중 한쪽이 제4 배선과 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제2 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제1 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제4 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제4 배선과 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제3 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제2 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제5 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제1 트랜지스터의 게이트와 전기적으로 접속되고, 또한, 게이트가 제5 배선과 전기적으로 접속되고,

상기 제6 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제1 트랜지스터의 게이트와 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제3 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제2 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제7 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제2 트랜지스터의 게이트와 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 제6 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제6 배선과 전기적으로 접속되고,

상기 제8 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제2 트랜지스터의 게이트와 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제3 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제5 배선과 전기적으로 접속되고,

상기 제9 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제2 트랜지스터의 게이트와 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제3 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제1 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제10 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제1 트랜지스터의 게이트와 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제3 배선과 전기적으로 접속되고, 또한, 게이트가 제7 배선과 전기적으로 접속되고,

상기 제1 트랜지스터의 게이트 및 상기 제3 트랜지스터의 게이트로서의 기능을 갖는 제1 도전층은, 상기 제1 트랜지스터가 포함하는 반도체층과 이격된 영역에서, 상기 제1 트랜지스터의 소스 또는 드레인 중 한쪽, 및 상기 제2 트랜지스터의 소스 또는 드레인 중 한쪽으로서의 기능을 갖는 제2 도전층과의 중첩을 포함하고,

상기 제5 트랜지스터의 게이트 및 상기 제8 트랜지스터의 게이트로서의 기능을 갖는 제3 도전층은, 상기 제5 트랜지스터가 포함하는 반도체층과 이격된 영역에서, 상기 제5 트랜지스터의 소스 또는 드레인 중 한쪽, 상기 제6 트랜지스터의 소스 또는 드레인 중 한쪽, 및 상기 제10 트랜지스터의 소스 또는 드레인 중 한쪽으로서의 기능을 갖는 제4 도전층과의 중첩을 포함하는, 반도체 장치.

청구항 2

반도체 장치로서,

제1 트랜지스터 내지 제10 트랜지스터를 포함하고,

상기 제1 트랜지스터는, 소스 또는 드레인 중 한쪽이 제1 배선과 전기적으로 접속되고, 또한, 소스 또는 드레인 중 다른 쪽이 제2 배선과 전기적으로 접속되고,

상기 제2 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제1 배선과 전기적으로 접속되고, 또한, 소스 또는 드레인 중 다른 쪽이 제3 배선과 전기적으로 접속되고,

상기 제3 트랜지스터는, 소스 또는 드레인 중 한쪽이 제4 배선과 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제2 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제1 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제4 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제4 배선과 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제3 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제2 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제5 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제1 트랜지스터의 게이트와 전기적으로 접속되고, 또한, 게이트가 제5 배선과 전기적으로 접속되고,

상기 제6 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제1 트랜지스터의 게이트와 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제3 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제2 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제7 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제2 트랜지스터의 게이트와 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 제6 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제6 배선과 전기적으로 접속되고,

상기 제8 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제2 트랜지스터의 게이트와 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제3 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제5 배선과 전기적으로 접속되고,

상기 제9 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제2 트랜지스터의 게이트와 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제3 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제1 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제10 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제1 트랜지스터의 게이트와 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제3 배선과 전기적으로 접속되고, 또한, 게이트가 제7 배선과 전기적으로 접속되고,

상기 제1 배선은, 화소부와 전기적으로 접속되고,

상기 제2 배선은, 클럭 신호를 전달하는 기능을 갖고,

상기 제3 배선은, 전원 전위를 전달하는 기능을 갖고,

상기 제1 트랜지스터의 게이트 및 상기 제3 트랜지스터의 게이트로서의 기능을 갖는 제1 도전층은, 상기 제1 트랜지스터가 포함하는 반도체층과 이격된 영역에서, 상기 제1 트랜지스터의 소스 또는 드레인 중 한쪽, 및 상기 제2 트랜지스터의 소스 또는 드레인 중 한쪽으로서의 기능을 갖는 제2 도전층과의 중첩을 포함하고,

상기 제5 트랜지스터의 게이트 및 상기 제8 트랜지스터의 게이트로서의 기능을 갖는 제3 도전층은, 상기 제5 트랜지스터가 포함하는 반도체층과 이격된 영역에서, 상기 제5 트랜지스터의 소스 또는 드레인 중 한쪽, 상기 제6 트랜지스터의 소스 또는 드레인 중 한쪽, 및 상기 제10 트랜지스터의 소스 또는 드레인 중 한쪽으로서의 기능을 갖는 제4 도전층과의 중첩을 포함하는, 반도체 장치.

청구항 3

반도체 장치로서,

제1 트랜지스터 내지 제10 트랜지스터를 포함하고,

상기 제1 트랜지스터는, 소스 또는 드레인 중 한쪽이 제1 배선과 전기적으로 접속되고, 또한, 소스 또는 드레인 중 다른 쪽이 제2 배선과 전기적으로 접속되고,

상기 제2 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제1 배선과 전기적으로 접속되고, 또한, 소스 또는 드레인 중 다른 쪽이 제3 배선과 전기적으로 접속되고,

상기 제3 트랜지스터는, 소스 또는 드레인 중 한쪽이 제4 배선과 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제2 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제1 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제4 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제4 배선과 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제3 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제2 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제5 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제1 트랜지스터의 게이트와 전기적으로 접속되고, 또한, 게이트가 제5 배선과 전기적으로 접속되고,

상기 제6 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제1 트랜지스터의 게이트와 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제3 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제2 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제7 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제2 트랜지스터의 게이트와 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 제6 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제6 배선과 전기적으로 접속되고,

상기 제8 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제2 트랜지스터의 게이트와 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제3 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제5 배선과 전기적으로 접속되고,

상기 제9 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제2 트랜지스터의 게이트와 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제3 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제1 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제10 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제1 트랜지스터의 게이트와 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제3 배선과 전기적으로 접속되고, 또한, 게이트가 제7 배선과 전기적으로 접속되고,

상기 제1 트랜지스터의 게이트 및 상기 제3 트랜지스터의 게이트로서의 기능을 갖는 제1 도전층은, 상기 제1 트랜지스터가 포함하는 반도체층과 이격된 영역에서, 상기 제1 트랜지스터의 소스 또는 드레인 중 한쪽, 및 상기 제2 트랜지스터의 소스 또는 드레인 중 한쪽으로서의 기능을 갖는 제2 도전층과의 중첩을 포함하고,

상기 제5 트랜지스터의 게이트 및 상기 제8 트랜지스터의 게이트로서의 기능을 갖는 제3 도전층은, 상기 제5 트랜지스터가 포함하는 반도체층과 이격된 영역에서, 상기 제5 트랜지스터의 소스 또는 드레인 중 한쪽, 상기 제6 트랜지스터의 소스 또는 드레인 중 한쪽, 및 상기 제10 트랜지스터의 소스 또는 드레인 중 한쪽으로서의 기능을 갖는 제4 도전층과의 중첩을 포함하고,

상기 제6 트랜지스터의 게이트로서의 기능을 갖는 제5 도전층은, 상기 제6 트랜지스터가 갖는 반도체층과 이격된 영역에서, 상기 제3 배선으로서의 기능을 갖는 제6 도전층과의 중첩을 포함하는, 반도체 장치.

청구항 4

반도체 장치로서,

제1 트랜지스터 내지 제10 트랜지스터를 포함하고,

상기 제1 트랜지스터는, 소스 또는 드레인 중 한쪽이 제1 배선과 전기적으로 접속되고, 또한, 소스 또는 드레인 중 다른 쪽이 제2 배선과 전기적으로 접속되고,

상기 제2 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제1 배선과 전기적으로 접속되고, 또한, 소스 또는 드레인 중 다른 쪽이 제3 배선과 전기적으로 접속되고,

상기 제3 트랜지스터는, 소스 또는 드레인 중 한쪽이 제4 배선과 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제2 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제1 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제4 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제4 배선과 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제3 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제2 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제5 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제1 트랜지스터의 게이트와 전기적으로 접속되고, 또한, 게이트가 제5 배선과 전기적으로 접속되고,

상기 제6 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제1 트랜지스터의 게이트와 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제3 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제2 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제7 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제2 트랜지스터의 게이트와 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 제6 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제6 배선과 전기적으로 접속되고,

상기 제8 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제2 트랜지스터의 게이트와 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제3 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제5 배선과 전기적으로 접속되고,

상기 제9 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제2 트랜지스터의 게이트와 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제3 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제1 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제10 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제1 트랜지스터의 게이트와 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제3 배선과 전기적으로 접속되고, 또한, 게이트가 제7 배선과 전기적으로 접속되고,

상기 제1 배선은, 화소부와 전기적으로 접속되고,

상기 제2 배선은, 클럭 신호를 전달하는 기능을 갖고,

상기 제3 배선은, 전원 전위를 전달하는 기능을 갖고,

상기 제1 트랜지스터의 게이트 및 상기 제3 트랜지스터의 게이트로서의 기능을 갖는 제1 도전층은, 상기 제1 트랜지스터가 포함하는 반도체층과 이격된 영역에서, 상기 제1 트랜지스터의 소스 또는 드레인 중 한쪽, 및 상기 제2 트랜지스터의 소스 또는 드레인 중 한쪽으로서의 기능을 갖는 제2 도전층과의 중첩을 포함하고,

상기 제5 트랜지스터의 게이트 및 상기 제8 트랜지스터의 게이트로서의 기능을 갖는 제3 도전층은, 상기 제5 트랜지스터가 포함하는 반도체층과 이격된 영역에서, 상기 제5 트랜지스터의 소스 또는 드레인 중 한쪽, 상기 제6 트랜지스터의 소스 또는 드레인 중 한쪽, 및 상기 제10 트랜지스터의 소스 또는 드레인 중 한쪽으로서의 기능을 갖는 제4 도전층과의 중첩을 포함하고,

상기 제6 트랜지스터의 게이트로서의 기능을 갖는 제5 도전층은, 상기 제6 트랜지스터가 갖는 반도체층과 이격된 영역에서, 상기 제3 배선으로서의 기능을 갖는 제6 도전층과의 중첩을 포함하는, 반도체 장치.

청구항 5

반도체 장치로서,

제1 트랜지스터 내지 제10 트랜지스터를 포함하고,

상기 제1 트랜지스터는, 소스 또는 드레인 중 한쪽이 제1 배선과 전기적으로 접속되고, 또한, 소스 또는 드레인 중 다른 쪽이 제2 배선과 전기적으로 접속되고,

상기 제2 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제1 배선과 전기적으로 접속되고, 또한, 소스 또는 드레인 중 다른 쪽이 제3 배선과 전기적으로 접속되고,

상기 제3 트랜지스터는, 소스 또는 드레인 중 한쪽이 제4 배선과 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제2 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제1 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제4 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제4 배선과 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제3 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제2 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제5 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제1 트랜지스터의 게이트와 전기적으로 접속되고, 또한, 게이트가 제5 배선과 전기적으로 접속되고,

상기 제6 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제1 트랜지스터의 게이트와 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제3 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제2 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제7 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제2 트랜지스터의 게이트와 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 제6 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제6 배선과 전기적으로 접속되고,

상기 제8 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제2 트랜지스터의 게이트와 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제3 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제5 배선과 전기적으로 접속되고,

상기 제9 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제2 트랜지스터의 게이트와 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제3 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제1 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제10 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제1 트랜지스터의 게이트와 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제3 배선과 전기적으로 접속되고, 또한, 게이트가 제7 배선과 전기적으로 접속되고,

상기 제1 트랜지스터의 게이트 및 상기 제3 트랜지스터의 게이트로서의 기능을 갖는 제1 도전층은, 상기 제1 트랜지스터가 포함하는 반도체층과 이격된 영역에서, 상기 제1 트랜지스터의 소스 또는 드레인 중 한쪽, 및 상기 제2 트랜지스터의 소스 또는 드레인 중 한쪽으로서의 기능을 갖는 제2 도전층과의 중첩을 포함하고,

상기 제5 트랜지스터의 게이트 및 상기 제8 트랜지스터의 게이트로서의 기능을 갖는 제3 도전층은, 상기 제5 트랜지스터가 포함하는 반도체층과 이격된 영역에서, 상기 제5 트랜지스터의 소스 또는 드레인 중 한쪽, 상기 제6 트랜지스터의 소스 또는 드레인 중 한쪽, 및 상기 제10 트랜지스터의 소스 또는 드레인 중 한쪽으로서의 기능을 갖는 제4 도전층과의 중첩을 포함하고,

상기 제6 트랜지스터의 게이트로서의 기능을 갖는 제5 도전층은, 상기 제6 트랜지스터가 갖는 반도체층과 이격된 영역에서, 상기 제3 배선으로서의 기능을 갖는 제6 도전층과의 중첩을 포함하고,

상기 제10 트랜지스터의 게이트로서의 기능을 갖는 제7 도전층은, 상기 제10 트랜지스터가 갖는 반도체층과 이격된 영역에서, 상기 제6 도전층과의 중첩을 포함하는, 반도체 장치.

청구항 6

반도체 장치로서,

제1 트랜지스터 내지 제10 트랜지스터를 포함하고,

상기 제1 트랜지스터는, 소스 또는 드레인 중 한쪽이 제1 배선과 전기적으로 접속되고, 또한, 소스 또는 드레인 중 다른 쪽이 제2 배선과 전기적으로 접속되고,

상기 제2 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제1 배선과 전기적으로 접속되고, 또한, 소스 또는 드레인 중 다른 쪽이 제3 배선과 전기적으로 접속되고,

상기 제3 트랜지스터는, 소스 또는 드레인 중 한쪽이 제4 배선과 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제2 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제1 트랜지스터의 게이트와 전기적으로 접

속되고,

상기 제4 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제4 배선과 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제3 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제2 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제5 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제1 트랜지스터의 게이트와 전기적으로 접속되고, 또한, 게이트가 제5 배선과 전기적으로 접속되고,

상기 제6 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제1 트랜지스터의 게이트와 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제3 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제2 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제7 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제2 트랜지스터의 게이트와 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 제6 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제6 배선과 전기적으로 접속되고,

상기 제8 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제2 트랜지스터의 게이트와 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제3 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제5 배선과 전기적으로 접속되고,

상기 제9 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제2 트랜지스터의 게이트와 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제3 배선과 전기적으로 접속되고, 또한, 게이트가 상기 제1 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제10 트랜지스터는, 소스 또는 드레인 중 한쪽이 상기 제1 트랜지스터의 게이트와 전기적으로 접속되고, 소스 또는 드레인 중 다른 쪽이 상기 제3 배선과 전기적으로 접속되고, 또한, 게이트가 제7 배선과 전기적으로 접속되고,

상기 제1 배선은, 화소부와 전기적으로 접속되고,

상기 제2 배선은, 클럭 신호를 전달하는 기능을 갖고,

상기 제3 배선은, 전원 전위를 전달하는 기능을 갖고,

상기 제1 트랜지스터의 게이트 및 상기 제3 트랜지스터의 게이트로서의 기능을 갖는 제1 도전층은, 상기 제1 트랜지스터가 포함하는 반도체층과 이격된 영역에서, 상기 제1 트랜지스터의 소스 또는 드레인 중 한쪽, 및 상기 제2 트랜지스터의 소스 또는 드레인 중 한쪽으로서의 기능을 갖는 제2 도전층과의 중첩을 포함하고,

상기 제5 트랜지스터의 게이트 및 상기 제8 트랜지스터의 게이트로서의 기능을 갖는 제3 도전층은, 상기 제5 트랜지스터가 포함하는 반도체층과 이격된 영역에서, 상기 제5 트랜지스터의 소스 또는 드레인 중 한쪽, 상기 제6 트랜지스터의 소스 또는 드레인 중 한쪽, 및 상기 제10 트랜지스터의 소스 또는 드레인 중 한쪽으로서의 기능을 갖는 제4 도전층과의 중첩을 포함하고,

상기 제6 트랜지스터의 게이트로서의 기능을 갖는 제5 도전층은, 상기 제6 트랜지스터가 갖는 반도체층과 이격된 영역에서, 상기 제3 배선으로서의 기능을 갖는 제6 도전층과의 중첩을 포함하고,

상기 제10 트랜지스터의 게이트로서의 기능을 갖는 제7 도전층은, 상기 제10 트랜지스터가 갖는 반도체층과 이격된 영역에서, 상기 제6 도전층과의 중첩을 포함하는, 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 산화물 반도체를 이용하는 반도체 장치 및 반도체 장치의 제조 방법에 관한 것이다.

배경 기술

[0002] 액정 표시 장치에서 대표적으로 보여지듯이, 유리 기판 등의 평판에 형성되는 박막 트랜지스터는, 비정질 실리콘 또는 다결정 실리콘을 사용하여 제조된다. 비정질 실리콘을 이용한 박막 트랜지스터는, 전계 효과 이동도가 낮지만 유리 기판의 큰 면적화에 대응하여 이러한 트랜지스터가 형성될 수 있다. 한편, 다결정 실리콘을 이용

한 박막 트랜지스터는 전계 효과 이동도가 높지만, 레이저 어닐링 등의 결정화 공정이 필요하고, 유리 기판의 큰 면적화에 이러한 트랜지스터가 반드시 적당한지는 않는다.

[0003] 상술한 점에서, 산화물 반도체를 이용하여 박막 트랜지스터를 제조하여, 이러한 트랜지스터를 전자 디바이스나 광 디바이스에 응용하는 기술이 주목받고 있다. 예를 들면, 산화물 반도체막으로서 산화아연 또는 In-Ga-Zn-O계 산화물 반도체를 이용하여 박막 트랜지스터를 제조하여, 이러한 트랜지스터를 화상 표시 장치의 스위칭 소자 등에 이용하는 기술이 특허문헌1 및 특허문헌2에 개시된다.

[0004] [참고 문헌]

[0005] [특허문헌1] 일본 특허 공개 제2007-123861호 공보

[0006] [특허문헌2] 일본 특허 공개 제2007-096055호 공보

발명의 내용

해결하려는 과제

[0007] 산화물 반도체에 채널 형성 영역을 구비하는 박막 트랜지스터의 전계 효과 이동도는 비정질 실리콘을 이용한 박막 트랜지스터의 전계 효과 이동도보다도 높다. 산화물 반도체막은 스퍼터링법 등에 의해서 300℃ 이하의 온도에서 형성될 수 있다. 다결정 실리콘을 이용한 박막 트랜지스터보다도 제조 공정이 간단하다.

[0008] 이러한 산화물 반도체를 이용하여 유리 기판, 플라스틱 기판 등에 박막 트랜지스터를 형성하고, 액정 디스플레이 장치, 전계 발광 디스플레이 장치 또는 전자 페이퍼 등의 표시 장치에 응용이 기대된다.

[0009] 또한, 표시 장치의 표시 영역을 대형화 하면, 화소수가 증가하여, 게이트선 수 및 신호선 수가 증가한다. 더욱이, 표시 장치의 고정밀화에 따라서, 화소수가 증가하여, 게이트선 수 및 신호선 수가 증가한다. 게이트선 수 및 신호선 수가 증가하면, 게이트선 및 신호선을 구동하기 위한 구동 회로를 갖는 IC 칩을 본딩 등에 의해 실장하는 것이 곤란해서, 제조 비용이 증대한다.

[0010] 따라서, 화소부를 구동하는 구동 회로의 적어도 일부에 산화물 반도체를 이용하는 박막 트랜지스터를 이용하여, 제조 비용을 감소시키는 것을 목적으로 한다.

[0011] 화소부를 구동하는 구동 회로의 적어도 일부에 산화물 반도체를 이용하는 박막 트랜지스터를 이용하는 경우, 그 박막 트랜지스터에는, 높은 동적 특성(dynamic characteristics)(온 특성이거나 주파수 특성(f 특성이거나 불림))이 요구된다. 높은 동적 특성(온 특성)을 갖는 박막 트랜지스터를 제공하여, 고속 구동할 수 있는 구동 회로를 제공하는 것을 다른 목적으로 한다.

[0012] 또한, 본 발명의 일 실시형태는, 채널 형성 영역에 산화물 반도체층을 이용하는, 신뢰성이 높은 박막 트랜지스터를 구비한 반도체 장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0013] 산화물 반도체층의 상하에 게이트 전극을 구비하여, 박막 트랜지스터의 온 특성 및 신뢰성의 향상을 실현한다.

[0014] 또한, 상하의 게이트 전극에 인가되는 게이트 전압을 제어함으로써, 임계 전압(threshold voltage)을 제어할 수 있다. 상하의 게이트 전극을 서로 전기적으로 접속시켜 동일 전위를 갖게 하고, 또는 상하의 게이트 전극을 상이한 배선에 접속시키고 다른 전위를 갖도록 해도 좋다. 예를 들면, 상하의 게이트 전극의 한쪽에 임계 전압을 제어하도록 전압을 인가함으로써 임계 전압을 제로 또는 제로에 가까이 설정하여 구동 전압을 감소시키면, 소비 전력의 저하를 도모할 수 있다. 또한, 임계 전압을 플러스로 설정하면, 박막 트랜지스터는 인헨스먼트형 트랜지스터로서 기능할 수 있다. 또한, 임계 전압을 마이너스로 설정하면, 디플레션형 트랜지스터로서 기능할 수 있다.

[0015] 예를 들면, 인헨스먼트형 트랜지스터와 디플레션형 트랜지스터를 조합하여 인버터 회로(이하, 이러한 회로를 EDMOS 회로라 함)를 구성하여, 구동 회로용으로 사용할 수 있다. 구동 회로는, 논리 회로부와, 스위치부 또는 버퍼부 중 적어도 하나를 갖는다. 논리 회로부는 상기 EDMOS 회로를 포함하는 회로 구성을 갖는다. 또한, 스위치부 또는 버퍼부에는, 온 전류가 많이 흐를 수 있는 박막 트랜지스터를 이용하는 것이 바람직하다. 디플레션형 트랜지스터 또는 산화물 반도체층의 상하에 게이트 전극을 갖는 박막 트랜지스터를 이용한다.

- [0016] 공정수를 대폭 늘리지 않고, 동일 기관 위에 다른 구조의 박막 트랜지스터를 형성할 수 있다. 예를 들면, 고속 구동을 위한 구동 회로에는, 산화물 반도체층의 상하에 게이트 전극을 갖는 박막 트랜지스터를 이용하여 EDMOS 회로를 구성하고, 화소부에는, 산화물 반도체층의 아래에만 게이트 전극을 갖는 박막 트랜지스터를 이용하여도 좋다.
- [0017] 또한, 본 명세서 전체에 걸쳐 n 채널형 TFT의 임계 전압이 플러스의 경우는, 인헨스먼트형 트랜지스터로 언급되고, n 채널형 TFT의 임계 전압이 마이너스의 경우는, 디플레이션형 트랜지스터로 언급된다.
- [0018] 또한, 산화물 반도체층의 위에 구비되는 게이트 전극의 재료로서는, 특별히 한정되지 않고 임의의 도전막을 사용할 수 있고, 예를 들어 알루미늄(Al), 구리(Cu), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc)으로부터 선택된 원소, 또는 상술한 원소 중 어느 것을 성분으로 포함하는 합금을 포함한다. 또한, 게이트 전극은, 상술한 원소를 포함하는 단층 구조에 한정되지 않고, 2층 이상의 적층 구조를 사용할 수 있다.
- [0019] 또한, 산화물 반도체층의 위에 구비되는 게이트 전극의 재료로서, 화소 전극과 동일 재료(투과형 표시 장치이면, 투명 도전막 등이 사용될 수 있음)를 사용할 수 있다. 예를 들면, 화소부에서, 박막 트랜지스터와 전기적으로 접속하는 화소 전극을 형성하는 공정과 동일 공정에서, 산화물 반도체층의 위에 구비되는 게이트 전극을 형성할 수 있다. 결국, 공정수를 대폭 늘리지 않고, 산화물 반도체층의 상하에 게이트 전극을 구비한 박막 트랜지스터를 형성할 수 있다. 또한, 산화물 반도체층의 위에 게이트 전극을 구비함으로써, 박막 트랜지스터의 신뢰성을 검사하기 위한 바이어스-열 스트레스 시험(이하, BT 시험이라고 함)에서, BT 스트레스 전후 사이의 박막 트랜지스터의 임계 전압의 변화량을 감소시킬 수 있다. 즉, 산화물 반도체층의 위에 게이트 전극을 구비하는 것은 신뢰성을 향상시킬 수 있다.
- [0020] 본 명세서에 개시된 발명의 구성의 하나는, 절연면 위에 제1 게이트 전극과, 제1 게이트 전극 위에 제1 절연층과, 제1 절연층 위에 산화물 반도체층과, 산화물 반도체층 위에 접하는 채널 보호층과, 산화물 반도체층 위에 소스 전극 또는 드레인 전극과, 소스 전극 또는 드레인 전극을 덮는 제2 절연층과, 제2 절연층 위에 제2 게이트 전극을 갖고, 제2 절연층은, 채널 보호층과 접하는 반도체 장치이다.
- [0021] 상기 구성은, 상기 목적 중 적어도 하나를 달성할 수 있다.
- [0022] 상기 구성에서, 제2 게이트 전극의 폭은, 산화물 반도체층의 폭보다도 넓게 형성함으로써, 산화물 반도체층 전체에 제2 게이트 전극으로부터 게이트 전압을 인가할 수 있다.
- [0023] 또는, 상기 구성에서, 제1 게이트 전극의 폭은, 제2 게이트 전극의 폭보다도 좁게 하는 경우, 소스 전극 및 드레인 전극과 중첩되는 제1 게이트 전극의 면적을 축소하여 기생 용량을 작게 할 수 있다. 또한, 제1 게이트 전극의 폭은, 채널 보호층의 폭보다도 넓게 설정하고, 제2 게이트 전극의 폭은, 채널 보호층의 폭보다도 좁게 설정하여, 제2 게이트 전극이 소스 전극 및 드레인 전극과 (가능한 많이) 중첩되지 않도록 함으로써, 기생 용량을 더욱 감소시킬 수 있다.
- [0024] 또한, 상기 구성은, 소스 전극 또는 드레인 전극과, 산화물 반도체층 사이에 버퍼층을 갖는다. 버퍼층을 구비하는 것에 의해, 소스 전극(또는 드레인 전극)과 산화물 반도체층 사이에 형성되는 접촉 저항을 감소시킬 수 있다.
- [0025] 또한, 본 발명의 다른 구성은, 화소부와 구동 회로를 갖는 반도체 장치이다. 화소부는, 적어도 제1 산화물 반도체층을 갖는 제1 박막 트랜지스터를 포함한다. 구동 회로는, 적어도 제2 산화물 반도체층을 갖는 제2 박막 트랜지스터와, 제3 산화물 반도체층을 갖는 제3 박막 트랜지스터를 갖는 EDMOS 회로를 포함한다. 제3 박막 트랜지스터는, 제3 산화물 반도체층의 아래쪽으로 제1 게이트 전극과, 제3 산화물 반도체층 위에 소스 전극 또는 드레인 전극과, 제3 산화물 반도체층의 위에 제2 게이트 전극을 포함한다. 제3 산화물 반도체층과 제2 게이트 전극 사이에 채널 보호층을 구비하고, 제3 산화물 반도체층은 채널 보호층과 접한다.
- [0026] 상기 구성에서, 화소부의 제1 박막 트랜지스터는 화소 전극에 전기적으로 접속하고, 화소 전극이 구동 회로의 제2 게이트 전극과 동일 재료인 경우, 반도체 장치는 공정수를 늘리지 않고 제조할 수 있다.
- [0027] 상기 구성에서, 화소부의 제1 박막 트랜지스터가 화소 전극에 전기적으로 접속하고, 화소 전극이 구동 회로의 제2 게이트 전극과 다른 재료로 형성되는 경우, 예를 들면, 화소 전극을 투명 도전막으로 하고, 제2 게이트 전극을 알루미늄막으로 형성하면, 구동 회로의 제2 게이트 전극의 저저항화를 도모할 수 있다.
- [0028] 또한, 상기 구성은 소스 전극 또는 드레인 전극과, 제3 산화물 반도체층 사이에 버퍼층을 갖는다. 버퍼층을 구

비하는 것에 의해, 소스 전극(또는 드레인 전극)과 산화물 반도체층 사이에 형성되는 접촉 저항을 감소시킬 수 있다.

[0029] 또한, 제3 박막 트랜지스터는, 구동 회로의 제3 산화물 반도체층이 제1 절연층을 통해 제1 게이트 전극과 중첩되어, 또한, 제2 절연층을 통해 제2 게이트 전극과 중첩되는 소위, 듀얼 게이트 구조이다.

[0030] 또한, 제1 게이트 전극과 제2 게이트 전극을 전기적으로 접속하여, 동일 전위로 설정함으로써, 제1 게이트 전극과 제2 게이트 전극의 사이에 구비된 산화물 반도체층의 상하로부터 게이트 전압을 인가할 수 있다.

[0031] 또한, 제1 게이트 전극과 제2 게이트 전극을 다른 전위로 설정하는 경우에는, TFT의 전기 특성, 예를 들면 임계 전압 등을 제어할 수 있다.

[0032] 또한, 구동 회로를 갖는 반도체 장치에서는, 액정 표시 장치 외에, 발광 소자를 이용한 발광 표시 장치 및 전기 영동 표시 소자를 이용한 전자 페이퍼로도 언급되는 표시 장치를 들 수 있다.

[0033] 또한, 본 명세서에서의 "표시 장치"라는 용어는, 화상 표시 디바이스, 발광 디바이스, 또는 광원(조명 장치를 포함함)을 가리킨다. 또한, "표시 장치"는 그 카테고리에서 다음의 모듈, 즉, 커넥터, 예를 들면 FPC(Flexible Printed Circuit)또는 TAB(Tape Automated Bonding) 테이프 또는 TCP(Tape Carrier Package)가 부착된 모듈, TAB 테이프나 TCP의 단부에 인쇄 배선판이 구비된 모듈, 및 표시 소자에 COG(Chip On Glass) 방식에 의해 IC(집적 회로)가 직접 실장된 모듈을 포함한다.

[0034] 발광 소자를 이용한 발광 표시 장치에서는, 화소부에 복수의 박막 트랜지스터가 포함되고, 박막 트랜지스터의 게이트 전극과 다른 트랜지스터의 소스 배선 또는 드레인 배선을 전기적으로 접속시키는 개소는 화소부에도 포함된다.

[0035] 또한, 박막 트랜지스터가 정전기 등에 의해 파괴되기 쉽기 때문에, 게이트선 또는 소스선에 대하여, 구동 회로 보호용의 보호 회로를 동일 기판 위에 구비되는 것이 바람직하다. 보호 회로는, 산화물 반도체를 포함하는 비선형 소자로 형성하는 것이 바람직하다.

[0036] 본 명세서에서 이용되는 산화물 반도체는, $\text{InMO}_3(\text{ZnO})_m(m>0)$ 으로 표기되는 박막이고, 그 박막을 반도체층으로서 이용한 박막 트랜지스터를 형성한다. 또한, M은, Ga, Fe, Ni, Mn 및 Co에서 선택된 하나의 금속원소 또는 복수의 금속원소를 나타낸다. 예를 들면 M은 Ga의 경우가 있는 반면, 다른 경우 M은 Ga 이외의 Ni 또는 Fe와 같은 상기 금속원소(Ga와 Ni 또는 Ga와 Fe)를 나타낸다. 또한, 상기 산화물 반도체에서, M으로서 포함되는 금속원소 외에, 불순물원소로서 Fe 또는 Ni, 그 밖의 전이 금속원소, 또는 전이 금속의 산화물이 포함될 수 있다. 본 명세서에서는, 이 박막은 M이 Ga를 포함하는 경우 In-Ga-Zn-O계 비 단결정막이라고도 칭한다.

[0037] In-Ga-Zn-O계 비 단결정막의 결정 구조는, 스퍼터링법으로 성막한 후, 200℃ 내지 500℃, 대표적으로는 300℃ 내지 400℃로 10분 내지 100분 동안 행하여도, 비정질 구조가 XRD 분석으로 관찰될 수 있다.

[0038] In-Ga-Zn-O계 비 단결정막으로 대표되는 산화물 반도체는, 에너지갭(Eg)이 넓은 재료이기 때문에, 산화물 반도체층의 상하에 2개의 게이트 전극을 구비하여도 오프 전류의 증대를 억제할 수 있다.

[0039] 또한, 본 명세서의 "제1" 및 "제2"와 같은 서수사는 편의상 이용되는 것으로, 공정순 또는 적층순을 나타내는 것은 아니다. 또한, 본 명세서의 서수사는 발명을 특징하는 고유의 명칭을 나타내는 것은 아니다.

[0040] 또한, 본 명세서에서 사용되는 정도를 나타내는 용어, 예를 들면 "대략", "거의" 등은, 최종 결과가 현저하게 변화되지 않을 정도로 변경된 용어의 합리적인 일탈의 정도를 의미한다. 이들 용어는, 약간 변경된 용어의 적어도 ±5%의 일탈을 포함하는 것으로 하고 해석되어야 되지만, 이 일탈이 약간 변경되는 용어의 의미를 부정하지 않는 것을 조건으로 한다.

발명의 효과

[0041] 게이트선 구동 회로 또는 소스선 구동 회로 등의 주변 회로, 또는 화소부에, 산화물 반도체 상하에 구비되는 2개의 게이트 전극 사이에 개재된 산화물 반도체를 이용한 박막 트랜지스터로 형성함으로써, 제조 비용을 감소시킨다.

[0042] 또한, 산화물 반도체 상하에 구비되는 2개의 게이트 전극 사이에 개재된 산화물 반도체를 이용한 박막 트랜지스터에 의해서, BT 시험에서, BT 스트레스 전후 사이의 박막 트랜지스터의 임계 전압의 변화량을 감소시킬 수 있다. 즉, 산화물 반도체 상하에 구비되는 2개의 게이트 전극 사이에 개재된 산화물 반도체를 이용한 박막 트랜

지스터에 의해서, 박막 트랜지스터의 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

[0043] 첨부된 도면에서,

도 1a는 실시 형태 1의 표시 장치의 일례를 나타내는 단면도, 도 1b는 실시 형태 1의 표시 장치의 다른 일례를 나타내는 단면도, 도 1c는 실시 형태 1의 표시 장치의 다른 일례를 나타내는 단면도.

도 2a, 도 2b 및 도 2c는 실시 형태 2의 반도체 장치의 단면도, 등이 회로도 및 상면도.

도 3a 및 도 3b는 실시 형태 3의 표시 장치를 설명하는 블록도.

도 4는 실시 형태 3의 배선, 입력 단자 등의 배치를 설명하는 도면.

도 5는 시프트 레지스터 회로의 구성을 설명하는 블록도.

도 6은 플립-플롭 회로의 일례를 도시한 도면.

도 7은 플립-플롭 회로의 레이아웃도(상면도).

도 8은 시프트 레지스터 회로의 동작을 설명하는 타이밍 차트.

도 9a 내지 도 9c는 실시 형태 4의 반도체 장치의 제조 방법을 설명하는 도면.

도 10a 내지 도 10c는 실시 형태 4의 반도체 장치의 제조 방법을 설명하는 도면.

도 11은 실시 형태 4의 반도체 장치의 제조 방법을 설명하는 도면.

도 12는 실시 형태 4의 반도체 장치의 제조 방법을 설명하는 도면.

도 13은 실시 형태 4의 반도체 장치의 제조 방법을 설명하는 도면.

도 14는 실시 형태 4의 반도체 장치를 설명하는 도면.

도 15a의 (1), 도 15a의 (2) 및 도 15b의 (1) 및 도 15b의 (2)는 실시 형태 4의 반도체 장치를 설명하는 도면.

도 16은 실시 형태 4의 반도체 장치를 설명하는 도면.

도 17은 실시 형태 5의 반도체 장치를 설명하는 단면도.

도 18은 실시 형태 6의 반도체 장치의 화소 등가 회로를 설명하는 도면.

도 19a 내지 도 19c는 실시 형태 6의 반도체 장치를 설명하는 단면도.

도 20a의 (1), 도 20a의 (2) 및 도 20b는 실시 형태 7의 반도체 장치를 설명하는 상면도 및 단면도.

도 21a 및 도 21b는 실시 형태 6의 반도체 장치를 설명하는 상면도 및 단면도.

도 22는 실시 형태 7의 반도체 장치를 설명하는 단면도.

도 23a 내지 도 23d는 전자 기기의 일례를 각각 나타내는 외관도.

도 24a는 텔레비전 장치의 예를 도시하는 외관도이고, 도 24b는 디지털 포토 프레임의 예를 도시하는 외관도.

도 25a 및 도 25b는 휴대 전화기의 일례를 각각 나타내는 외관도.

도 26은 실시 형태 9의 반도체 장치를 설명하는 단면도.

발명을 실시하기 위한 구체적인 내용

[0044] 실시 형태에 관해서, 이하에 설명한다.

[0045] (실시 형태 1)

[0046] 도 1a에 구동 회로에 이용하는 박막 트랜지스터(430)와, 화소부에 이용하는 박막 트랜지스터(170)를 동일 기판

위에 구비되는 예를 도시한다. 또한, 도 1a는 표시 장치의 단면도의 일례이다.

[0047] 화소부와 구동 회로는, 동일 기판 위에 형성된다. 화소부에서는, 매트릭스형으로 배치한 인헨스먼트형 트랜지스터인 박막 트랜지스터(170)를 이용하여 화소 전극(110)으로의 전압 인가의 온오프를 전환한다. 이 화소부에 배치하는 박막 트랜지스터(170)는, 산화물 반도체층(103)을 이용하여 형성된다. 온오프비가 10^9 이상이기 때문에, 표시 콘트라스트를 향상시키는 수 있고, 또한 누설 전류가 적기 때문에, 저소비 전력 구동을 실현할 수 있다. 온오프비는, 오프 전류와 온 전류의 비율(I_{ON}/I_{OFF})이고, I_{ON}/I_{OFF} 의 값이 클수록 스위칭 특성이 우수하다. 따라서, 온오프비는, 표시 콘트라스트의 향상에 기여한다. 또한, 온 전류는, 트랜지스터가 온상태일 때, 소스 전극과 드레인 전극의 사이에 흐르는 전류를 말한다. 한편, 오프 전류는, 트랜지스터가 오프 상태일 때, 소스 전극과 드레인 전극의 사이에 흐르는 전류를 말한다. 예를 들면, n형의 트랜지스터에서, 오프 전류는 게이트 전압이 트랜지스터의 임계 전압보다도 낮을 때, 소스 전극과 드레인 전극 사이에 흐르는 전류이다. 이와 같이, 고콘트라스트 및 저소비 전력 구동을 실현하기 위해서는, 화소부에 인헨스먼트형 트랜지스터를 이용하는 것이 바람직하다. 또한, 부호 101은 게이트 전극, 부호 104a와 104b는 소스 영역 및 드레인 영역, 부호 105a는 제1 전극, 부호 105b는 제2 전극, 부호 107은 보호 절연층을 나타낸다.

[0048] 구동 회로에서는, 산화물 반도체층(405)의 아래쪽으로 제1 게이트 전극(401)과, 산화물 반도체층(405)의 위에 박막 트랜지스터(430)의 제2 게이트 전극으로서 기능하는 전극(470)을 갖는 박막 트랜지스터(430)를 적어도 하나 이용한다. 박막 트랜지스터(430)의 제2 게이트 전극으로서 기능하는 전극(470)은 백게이트 전극이라고도 부를 수 있다. 백게이트 전극을 형성할 때, 박막 트랜지스터의 신뢰성을 검사하기 위한 바이어스-열스트레스시험(이하, BT 시험이라 함)에서, BT 스트레스 전후 사이의 박막 트랜지스터의 임계 전압의 변화량을 감소시킬 수 있다.

[0049] 이 박막 트랜지스터(430)의 구조를 도 1a를 이용하여 설명한다. 절연 표면을 갖는 기판(400) 위에 구비된 제1 게이트 전극(401)은, 제1 게이트 절연층(403)으로 덮인다. 제1 게이트 전극(401)과 중첩되는 제1 게이트 절연층(403) 위에는 산화물 반도체층(405)이 구비된다. 산화물 반도체층(405) 위에는, 채널 보호층(418)이 구비되고, 채널 보호층(418) 위에 제1 배선(409) 및 제2 배선(410)이 구비된다. 그리고, 제1 배선(409) 및 제2 배선(410) 위에 접하여 절연층(412)이 구비된다. 또한, 절연층(412) 위에 박막 트랜지스터(430)의 제2 게이트 전극으로서 기능하는 전극(470)이 구비된다.

[0050] 제1 게이트 절연층(403)의 재료로서는, 무기 재료(산화 실리콘, 질화 실리콘, 산화질화 실리콘, 질화 산화 실리콘 등)를 사용할 수 있고, 제1 게이트 절연층(403)은 이들 재료로 이루어지는 단층 또는 적층 구조를 갖는다. 제조법에서는, 플라즈마 CVD법이나 열 CVD법 등의 기상 성장법이나 스퍼터링법을 사용할 수 있다. 본 실시 형태에서, 제1 게이트 절연층은, 제1 층으로 플라즈마 CVD법에 의한 질화 실리콘막, 제 2층으로 플라즈마 CVD법에 의한 산화 실리콘막의 적층 구조로 형성된다. 제1 층의 질화 실리콘막은, 제1 게이트 전극(401)의 재료에 힐록이 발생할 가능성이 있는 재료를 이용한 경우, 힐록 발생을 방지하는 효과를 갖는다. 또한, 플라즈마 CVD법으로 성막된 질화 실리콘막은 치밀하고, 따라서 제1 층의 게이트 절연막으로서 질화 실리콘막을 이용함으로써 핀홀 등의 발생을 억제할 수 있다. 또한, 제1 게이트 절연층으로서 질화 실리콘막을 이용하는 경우, 유리 기판으로부터의 불순물, 예를 들면 나트륨 등의 가동 이온이 확산하여, 후에 형성되는 산화물 반도체에 침입하는 것을 방지할 수 있다. 또한, 적층 구조 또는 단층 구조를 사용한 경우, 제1 게이트 절연층(403)의 두께는 50nm 이상 500nm이다.

[0051] 산화물 반도체층(405)은, 예를 들면, $In_2O_3:Ga_2O_3:ZnO=1:1:1$ 인 타겟($In:Ga:Zn=1:1:0.5$)을 이용하여, 스퍼터링법에서의 아르곤 가스 유량을 10sccm, 산소 유량을 5sccm에서 성막한다. 청정한 계면을 실현하기 위해서, 제1 게이트 절연층(403)의 성막과 산화물 반도체층(405)의 성막은, 대기에 노출되지 않고 적층하는 것이 바람직하다. 또한, 산화물 반도체막(405)을 성막하기 전에 제1 게이트 절연층(403)이 대기에 노출되는 경우에는, 산화물 반도체막(405)을 성막하기 전에 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링을 행하여, 제1 게이트 절연층(403)의 표면에 부착된 먼지를 제거하여도 좋다.

[0052] 또한, 산화물 반도체층(405)과 제1 배선(409) 사이에는 소스 영역 또는 드레인 영역(406a)을 구비한다. 산화물 반도체층(405)과 제2 배선(410) 사이에는 소스 영역 또는 드레인 영역(406b)을 구비한다. 소스 영역 또는 드레인 영역(406a, 406b)은, 채널 보호층(418) 위에도 형성된다. 예를 들면 채널 보호층(418)과 제1 배선(409) 사이에는 소스 영역 또는 드레인 영역(406a)이 구비된다. 이 소스 영역 또는 드레인 영역은, 배선과 산화물 반도체층의 사이에 구비되는 버퍼층으로도 언급될 수 있다.

- [0053] 본 실시 형태에서는, 소스 영역 또는 드레인 영역(406a, 406b)은, In-Ga-Zn-O계 비 단결정막으로 형성되고, 이는 산화물 반도체층(405)의 성막 조건과는 다른 성막 조건으로 형성되고, 보다 저저항인 산화물 반도체층이다. 예를 들면, 스퍼터링법에서의 아르곤 가스 유량을 40sccm로 한 증착 조건으로 얻어지는 산화물 반도체막으로 형성한 소스 영역 또는 드레인 영역(406a, 406b)은, n형의 도전성을 갖고, 활성화 에너지(ΔE)가 0.01eV 내지 0.1eV 이다. 또한, 본 실시 형태에서는, 소스 영역 또는 드레인 영역(406a, 406b)은, In-Ga-Zn-O계 비 단결정막으로 형성되고, 적어도 비정질 성분을 포함한다. 소스 영역 또는 드레인 영역(406a, 406b)은 비정질 성분에 결정립(나노 크리스탈)을 포함하는 경우가 있다. 이 소스 영역 또는 드레인 영역(406a, 406b) 중의 결정립(나노 크리스탈)은 대략 직경 1nm 내지 10nm, 대표적으로는 2nm 내지 4nm 정도이다.
- [0054] 박막 트랜지스터(430)에서, 채널 보호층(418)과 절연층(412)의 적층이 제2 게이트 절연층으로서 기능한다. 채널 보호층(418)의 재료로서는, 무기 재료(산화 실리콘, 질화 실리콘, 산화질화 실리콘, 질화 산화 실리콘 등)를 사용할 수 있다. 제조법에서는, 플라즈마 CVD법이나 열 CVD법 등의 기상 성장법이나 스퍼터링법을 사용할 수 있다. 본 실시 형태에서는, 채널 보호층(418)으로서 스퍼터링법으로 얻어지는 산화 실리콘막을 이용한다.
- [0055] 또한, 절연층(412)은, 산화 실리콘막, 산화질화 실리콘막, 질화 실리콘막, 산화 알루미늄, 질화 알루미늄, 산화 탄탈막, 산화 하프늄막, 산화질화 하프늄막 등의 절연막의 단층 또는 적층 구조를 가질 수 있다. 본 실시 형태에서는, 절연층(412)으로서 플라즈마 CVD법으로 얻어지는 질화 실리콘막을 이용한다. 채널 보호층(418)과 절연층(412)의 적층이 제2 게이트 절연층으로서 기능하기 때문에, 각각의 재료와 막 두께는 박막 트랜지스터(430)의 전기 특성에서 중요하다. 예를 들면, 산화물 반도체층(405)의 상하에 게이트 전압을 인가하여 거의 동일 전계를 산화물 반도체층(405)에 제공하는 경우에는, 질화 실리콘막과 산화 실리콘막의 적층인 제1 게이트 절연층과, 산화 실리콘막(채널 보호층(418))과 질화 실리콘막(절연층(412))을 포함하는 제2 게이트 절연층의 막 두께를 거의 동일하게 하는 것이 바람직하다. 또한, 소정의 임계 전압 등의 전기 특성을 얻기 위해서 산화물 반도체층(405)의 상하에 다른 게이트 전압 값을 인가하여 다른 전계를 산화물 반도체층(405)에 제공하는 경우에는, 제1 게이트 절연층과 제2 게이트 절연층의 재료나 막 두께를 적절하게 조절함으로써, 원하는 박막 트랜지스터(430)의 전기 특성을 얻을 수 있다.
- [0056] 또한, 제1 게이트 전극(401)과 박막 트랜지스터(430)의 제2 게이트 전극으로서 기능하는 전극(470)을 전기적으로 접속시켜 동일 전위를 가질 수 있다. 제1 게이트 전극(401)과 박막 트랜지스터(430)의 제2 게이트 전극으로서 기능하는 전극(470)을 동일 전위로 하면, 산화물 반도체층의 상하로부터 게이트 전압을 인가할 수 있어서, 온상태에서 흐르는 전류량을 크게 할 수 있다.
- [0057] 또한, 임계 전압을 마이너스로 시프트하기 위한 제어 신호선을 제1 게이트 전극(401) 또는 박막 트랜지스터(430)의 제2 게이트 전극으로서 기능하는 전극(470) 중 어느 한쪽에 전기적으로 접속시킴으로써 디플레션형의 TFT를 형성할 수 있다.
- [0058] 또한, 임계 전압을 플러스로 시프트하기 위한 제어 신호선을 제1 게이트 전극(401) 또는 박막 트랜지스터(430)의 제2 게이트 전극으로서 기능하는 전극(470)중 어느 한쪽에 전기적으로 접속시킴으로써 인헨스먼트형의 TFT를 형성할 수 있다.
- [0059] 또한, 구동 회로에 이용하는 2개의 박막 트랜지스터의 조합은 특별히 한정되지 않으며, 디플레션형 TFT로서 1개만의 게이트 전극을 갖는 박막 트랜지스터와 인헨스먼트형 TFT로서 2개의 게이트 전극을 갖는 박막 트랜지스터의 조합을 이용하여도 좋다. 그 경우에는, 화소부의 박막 트랜지스터로서, 게이트 전극을 산화물 반도체층의 상하에 갖는 구조를 갖는다.
- [0060] 또한, 화소부의 박막 트랜지스터로서, 게이트 전극을 산화물 반도체층의 상하에 갖는 구조로 하고, 구동 회로의 인헨스먼트형 TFT 및 디플레션형 TFT로서 게이트 전극을 산화물 반도체층의 상하에 각각 갖는 구조로서도 좋다. 그 경우에는, 임계 전압을 제어하기 위한 제어 신호선을 게이트 전극 상하 중 한 쪽에 전기적으로 접속시켜, 그 접속한 게이트 전극이 임계 전압을 제어하는 구성으로 한다.
- [0061] 또한, 도 1a에서는, 박막 트랜지스터(430)의 제2 게이트 전극으로서 기능하는 전극(470)은, 화소부의 화소 전극(110)과 동일 재료, 예를 들면 투과형의 액정 표시 장치에서의 투명 도전막을 이용하여 형성되어 공정수를 감소시킨다. 그러나, 전극(470)의 재료에 대해서는 특별히 한정되지 않는다. 또한, 전극(470)의 폭은, 제1 게이트 전극(401)의 폭보다도 넓고, 또한 산화물 반도체층(405)의 폭보다도 넓은 예를 도시하고 있지만 전극(470)의 폭에 대해서는 특별히 한정되지 않는다. 또한, 제1 게이트 전극(401)의 폭은, 채널 보호층(418)의 폭(채널방향으로의 폭)보다도 넓다.

- [0062] 제2 게이트 전극의 재료 및 폭이 도 1a와 다른 예를 도 1b에 나타낸다. 또한, 도 1b는 유기 발광 소자 또는 무기 발광 소자와 접속하는 박막 트랜지스터(170)를 화소부에 갖는 표시 장치의 예이다.
- [0063] 도 1b에서는, 박막 트랜지스터(432)의 제2 게이트 전극으로서 기능하는 전극(471)의 재료는 금속 재료(알루미늄(Al)이나 구리(Cu), 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc)으로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금)를 이용한다. 단면에서의 전극(471)의 폭은 도 1a의 전극(470)의 폭보다도 좁다. 또한, 전극(471)의 폭은 산화물 반도체층(405)의 폭보다도 좁다. 전극(471)의 폭을 좁게 함으로써 전극(471)이 제1 배선(409) 및 제2 배선(410)과 절연층(412)을 통해 중첩되는 면적을 감소할 수 있어서, 기생 용량을 작게 할 수 있다. 또한, 도 1b에서는, 전극(471)의 폭은, 채널 보호층(418)의 폭보다도 넓다.
- [0064] 발광 소자는, 적어도 제1 전극(472)과 발광층(475)과 제2 전극(474)을 갖는다. 도 1b에서는, 전극(471)은, 화소부의 제1 전극(472)과 동일 재료, 예를 들면, 알루미늄 등을 이용하여 형성되어 공정수를 감소하고 있지만, 전극(471)에 대해서 특별히 한정되지 않는다. 또한, 도 1b에서 절연층(473)은, 인접하는 화소의 제1 전극과의 절연을 위한 격벽으로서 기능한다.
- [0065] 또한, 제2 게이트 전극의 재료 및 폭이 도 1a와 다른 예를 도 1c에 나타낸다. 도 1c에서는, 박막 트랜지스터(433)의 제2 게이트 전극으로서 기능하는 전극(476)의 재료는 금속 재료(알루미늄(Al)이나 구리(Cu), 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc)으로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금)를 이용한다. 단면에서의 제2 게이트 전극의 폭은 도 1b에서 보다도 좁다. 도 1b에서 보다도 또한 폭을 좁게 함으로써 제1 배선(409) 및 제2 배선(410)과 절연층(412)을 통해 중첩되지 않도록 제2 게이트 전극을 형성할 수 있어서, 기생 용량을 더 작게 할 수 있다. 도 1c에 나타내는 전극(476)의 폭은, 채널 보호층(418)의 폭보다도 좁다. 이와 같이 좁은 폭의 전극(476)을 형성하는 경우에는, 습식 에칭 등을 이용하여 레지스트 마스크의 단부보다도 내측에 전극(476)의 양단부가 위치하는 공정으로 하는 것이 바람직하다. 다만, 도 1c에서는 화소 전극(110)과 다른 금속 재료를 이용하기 때문에, 전극(476)의 형성을 위한 하나 이상의 포토리소그래피 공정이 추가되고, 하나 이상의 마스크가 필요하다.
- [0066] 액정 표시 장치나 발광 표시 장치나 전자 페이퍼에 이용하는 게이트선 구동 회로 또는 소스선 구동 회로 등의 주변 회로, 또는 화소부에 대하여, 산화물 반도체 상하의 2개의 게이트 전극 사이에 개재된 산화물 반도체를 포함하는 박막 트랜지스터를 이용하여, 고속 구동이나 저소비 전력화를 도모할 수 있다. 또한, 공정수를 대폭 증가시키는 일없이, 동일 기관 위에 화소부와 구동 회로 양쪽을 구비할 수 있다. 동일 기관 위에 화소부 이외의 여러가지 회로를 구비하는 것에 의해, 표시 장치의 제조 비용을 감소시킬 수 있다.
- [0067] (실시 형태 2)
- [0068] 실시 형태 1에서는 구동 회로의 박막 트랜지스터로서 하나의 박막 트랜지스터를 설명했지만, 실시 형태 2에서는, 2개의 n 채널형의 박막 트랜지스터를 이용하여 구동 회로의 인버터 회로를 구성하는 예를 이하에 설명한다. 도 2a에 나타내는 박막 트랜지스터는, 실시 형태 1의 도 1a에 나타낸 박막 트랜지스터(430)와 동일하기 때문에, 동일 부분에는 동일 부호를 이용하여 설명한다.
- [0069] 화소부를 구동하기 위한 구동 회로는, 인버터 회로, 용량, 저항 등을 이용하여 형성된다. 2개의 n 채널형 TFT를 조합하여 인버터 회로를 형성하는 경우, 인헨스먼트형 트랜지스터와 디플레션형 트랜지스터를 조합한 인버터 회로(이하, EDMOS 회로라 함)와, 2개의 인헨스먼트형 트랜지스터끼리의 조합한 인버터 회로(이하, EEMOS 회로라 함)가 있다.
- [0070] 구동 회로의 인버터 회로의 단면 구조를 도 2a에 나타낸다. 또한, 도 2a 내지 도 2c에 나타내는 박막 트랜지스터(430)는 듀얼 게이트형 박막 트랜지스터이고, 제2 박막 트랜지스터(431)는, 바텀 게이트형 박막 트랜지스터이고, 박막 트랜지스터(430) 및 제2 박막 트랜지스터(431)는 반도체층 위에 소스 영역 또는 드레인 영역을 통해 배선이 구비되어 있는 박막 트랜지스터의 예이다.
- [0071] 도 2a에서, 기관(400) 위에 제1 게이트 전극(401) 및 게이트 전극(402)을 구비한다. 제1 게이트 전극(401) 및 게이트 전극(402)의 재료는, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 이용하여, 단층으로 또는 적층하여 형성할 수 있다.
- [0072] 예를 들면, 제1 게이트 전극(401) 및 게이트 전극(402)의 2층의 적층 구조에서는, 알루미늄층 위에 몰리브덴층이 적층된 2층의 적층 구조, 또는 구리층 위에 몰리브덴층을 적층한 2층 구조, 또는 구리층 위에 질화 티타늄층

또는 질화 탄탈층을 적층한 2층 구조, 질화 티타늄층과 몰리브덴층을 적층한 2층 구조로 하는 것이 바람직하다. 또한, Mg를 포함하는 구리층 위에 배리어층으로 기능하는 Ca를 포함하는 산화 구리층의 적층이나, Mg를 포함하는 구리층 위에 배리어층으로 기능하는 Mg를 포함하는 산화 구리층의 적층도 있다. 또한, 3층의 적층 구조에서는, 텅스텐층 또는 질화 텅스텐층과, 알루미늄과 실리콘의 합금 또는 알루미늄과 티타늄의 합금층과, 질화 티타늄층 또는 티타늄층을 적층한 적층으로 하는 것이 바람직하다.

[0073] 또한, 제1 게이트 전극(401) 및 게이트 전극(402)을 덮는 제1 게이트 절연층(403) 위에는, 산화물 반도체층(405)과, 제2 산화물 반도체층(407)을 구비한다.

[0074] 산화물 반도체층(405) 위에는 채널 보호층(418)을 구비하고, 또한 제1 배선(409) 및 제2 배선(410)을 구비한다. 제2 배선(410)은, 제1 게이트 절연층(403)에 형성된 콘택트 홀(404)을 통해 게이트 전극(402)과 직접 접촉한다. 본 실시 형태에서는, 제1 게이트 절연층(403)을 형성한 후 또는 채널 보호층(418), 제2 채널 보호층(419)을 형성한 후에 콘택트 홀(404)을 형성하여도 좋다. 또한, 제2 산화물 반도체층(407) 위에는 제3 배선(411)을 구비한다.

[0075] 박막 트랜지스터(430)는, 제1 게이트 전극(401)과, 제1 게이트 절연층(403)을 통해 제1 게이트 전극(401)과 중첩되는 산화물 반도체층(405)을 포함한다. 제1 배선(409)은, 부의 전압 VDL이 인가되는 전원선(마이너스 전원선)이다. 이 전원선은, 접지 전위를 갖는 전원선(접지 전원선)일 수도 있다.

[0076] 또한, 제2 박막 트랜지스터(431)는, 게이트 전극(402)과, 제1 게이트 절연층(403)을 통해 게이트 전극(402)과 중첩되는 제2 산화물 반도체층(407)을 포함한다. 3 배선(411)은, 플러스의 전압 VDH가 인가되는 전원선(플러스 전원선)이다.

[0077] 또한, 제2 산화물 반도체층(407)과 제2 배선(410) 사이에는 n+ 층(408a)을 구비하고, 제2 산화물 반도체층(407)과 제3 배선(411) 사이에는 n+ 층(408b)을 구비한다. 또한, 채널 보호층(418)과 제2 배선(410) 사이에는 소스 영역 또는 드레인 영역(406b)이 구비된다. 또한, 채널 보호층(418)과 제1 배선(409) 사이에는 소스 영역 또는 드레인 영역(406a)이 구비된다.

[0078] 또한, 구동 회로의 인버터 회로의 상면도를 도 2c에 나타낸다. 도 2c에서, 채널 Z1-Z2로 절단한 단면이 도 2a에 상당한다.

[0079] 또한, EDMOS 회로의 등가 회로를 도 2b에 나타낸다. 도 2a에 나타내는 접속 구조는, 도 2b에 상당하고, 박막 트랜지스터(430)를 인헨스먼트형의 n 채널형 트랜지스터로 하고, 제2 박막 트랜지스터(431)를 디플레션형의 n 채널형 트랜지스터로 하는 예이다.

[0080] 박막 트랜지스터(430)를 인헨스먼트형의 n 채널형 트랜지스터로 하기 위해, 본 실시 형태에서는, 산화물 반도체층(405) 위에 채널 보호층(418) 및 게이트 절연층(412)과, 상기 절연층(412) 위에 박막 트랜지스터(430)의 제2 게이트 전극으로서 기능하는 전극(470)을 구비하여, 박막 트랜지스터(430)의 제2 게이트 전극으로서 기능하는 전극(470)에 인가하는 전압에 의해서 박막 트랜지스터(430)의 임계값 제어를 행한다.

[0081] 또한, 도 2a 및 도 2c에서, 제2 배선(410)은, 제1 게이트 절연층(403)에 형성된 콘택트 홀(404)을 통해 게이트 전극(402)과 직접 접촉하는 예를 도시했지만, 특별히 한정되지 않으며, 접속 전극을 별도 구비하여 제2 배선(410)과 게이트 전극(402)을 전기적으로 접속시켜도 좋다.

[0082] 또한, 본 실시 형태는, 실시 형태 1과 자유롭게 조합할 수 있다.

[0083] (실시 형태 3)

[0084] 실시 형태 3에서는, 표시 장치에 관해서, 블럭도 등을 참조하여 설명한다.

[0085] 도 3a는, 액티브 매트릭스형 액정 표시 장치의 블럭도의 일례를 나타낸다. 도 3a에 나타내는 액정 표시 장치는, 기관(300) 위에 표시 소자를 구비한 화소를 복수 갖는 화소부(301)와, 각 화소의 게이트 전극에 접속된 주사선을 제어하는 주사선 구동 회로(302)와, 선택된 화소에의 비디오 신호의 입력을 제어하는 신호선 구동 회로(303)를 갖는다.

[0086] 도 3b는, 액티브 매트릭스형 발광 표시 장치의 블럭도의 일례를 나타낸다. 도 3b에 나타내는 발광 표시 장치는, 기관(310) 위에 표시 소자를 구비한 화소를 복수 갖는 화소부(311)와, 각 화소의 게이트 전극에 접속된 주사선을 제어하는 제1 주사선 구동 회로(312) 및 제2 주사선 구동 회로(313)와, 선택된 화소에의 비디오 신호의 입력을 제어하는 신호선 구동 회로(314)를 갖는다. 하나의 화소에 스위칭용 TFT(Thin Film Transistor)와

전류 제어용 TFT의 2개를 배치하는 경우, 도 3b에 나타내는 발광 표시 장치에서는, 스위칭용 TFT의 게이트 전극에 접속된 제1 주사선에 입력되는 신호를 제1 주사선 구동 회로(312)로 생성하여, 전류 제어용 TFT의 게이트 전극에 접속된 제2 주사선에 입력되는 신호를 제2 주사선 구동 회로(313)로 생성한다. 또한, 제1 주사선에 입력되는 신호와, 제2 주사선에 입력되는 신호를, 하나의 주사선 구동 회로에서 생성하는 구성으로서도 좋다. 또한, 예를 들면, 스위칭 소자에 포함되는 TFT의 수에 따라서, 스위칭 소자의 동작을 제어하는 데 이용되는 제1 주사선이, 각 화소에 복수 구비되어 있어도 좋다. 이 경우, 복수의 제1 주사선에 입력되는 신호를, 전부 1개의 주사선 구동 회로로 생성하여도 좋고, 복수의 주사선 구동 회로에 의해 이들을 각각으로 생성하여도 좋다.

[0087] 또한, 여기서 설명된 표시 장치에는, 주사선 구동 회로(302), 제1 주사선 구동 회로(312), 제2 주사선 구동 회로(313) 및 신호선 구동 회로(303, 314)를 표시 장치에 제조하는 형태를 나타내었지만, 주사선 구동 회로(302), 제1 주사선 구동 회로(312), 또는 제2 주사선 구동 회로(313)의 일부를 IC 등의 반도체 장치로 실장하여도 좋다. 또한, 신호선 구동 회로(303, 314)의 일부를 IC 등의 반도체 장치로 실장하여도 좋다.

[0088] 도 4는, 표시 장치를 구성하는, 신호 입력 단자(321), 주사선(323), 신호선(324), 비선형 소자를 포함하는 보호 회로(334 내지 336) 및 화소부(327)의 위치 관계를 설명하는 도면이다. 절연 표면을 갖는 기판(320) 위에는 주사선(323)과 신호선(324)이 교차하여 배치되어, 화소부(327)가 구성된다. 또한, 화소부(327)는, 도 3a 또는 도 3b에 나타내는 화소부(301) 또는 화소부(311)에 상당한다.

[0089] 화소부(301)는, 신호선 구동 회로(303)로부터 열방향으로 신장하여 배치된 복수의 신호선 S1 내지 Sm(도시하지 않음)에 의해 신호선 구동 회로(303)와 접속되고 주사선 구동 회로(302)로부터 행방향으로 신장하여 배치된 복수의 주사선 G1 내지 Gn(도시하지 않음)에 의해 주사선 구동 회로(302)와 접속된다. 화소부(301)는 신호선 S1 내지 Sm 및 주사선 G1 내지 Gn에 의해 매트릭스형으로 배치된 복수의 화소(도시하지 않음)를 갖는다. 그리고, 각 화소는, 신호선 Sj(신호선 S1 내지 Sm 중 어느 하나), 주사선 Gi(주사선 G1 내지 Gn 중 어느 하나)에 접속된다.

[0090] 화소부(327)는 복수의 화소(328)가 매트릭스형으로 배열하여 구성된다. 화소(328)는, 주사선(323)과 신호선(324)에 접속하는 화소 TFT329, 유지 용량부(330), 화소 전극(331)을 포함한다.

[0091] 여기의 화소 구성에서, 유지 용량부(330)에서는, 한 쪽의 전극과 화소 TFT329가 접속되고, 다른 쪽의 전극과 용량선(332)이 접속되는 경우를 도시한다. 또한, 화소 전극(331)은 표시 소자(액정 소자, 발광 소자, 콘트라스트 매체(전자 잉크) 등)를 구동하는 한 쪽의 전극으로 기능한다. 이 표시 소자의 다른 쪽의 전극은 공통 단자(333)에 접속된다.

[0092] 보호 회로(335)는, 화소부(327)와 신호선 입력 단자(322) 사이에 배치된다. 또한, 보호 회로(334)는, 주사선 구동 회로와 화소부(327)의 사이에 배치된다. 본 실시 형태에서는, 복수의 보호 회로를 구비하여, 주사선(323), 신호선(324) 또는 용량 버스선(337)에 정전기 등에 의해 서지 전압이 인가될 때 화소 TFT329 등이 파괴되지 않는다. 그 때문에, 보호 회로에는 서지 전압이 인가되었을 때에, 공통 배선에 전하를 방출하도록 형성된다.

[0093] 본 실시 형태에서는, 주사선(323)측에 보호 회로(334), 신호선(324)측에 보호 회로(335), 용량 버스선(337)측에 보호 회로(336)를 배치하는 예를 도시한다. 또한, 보호 회로의 배치 위치는 이것에 한정되지 않는다. 또한, 주사선 구동 회로를 IC 등의 반도체 장치를 사용하여 실장하지 않는 경우는, 주사선(323)측에 보호 회로(334)를 구비하지 않아도 좋다.

[0094] 이들 회로의 실시 형태 1 또는 실시 형태 2에 나타난 TFT를 이용하는 것으로, 이하의 이점이 달성된다.

[0095] 구동 회로는, 크게 논리 회로부와, 스위치부 또는 버퍼부로 분류된다. 논리 회로부에 구비되는 TFT는 임계 전압을 제어하는 것이 가능한 구성을 갖는 것이 바람직하다. 한편, 스위치부 또는 버퍼부에 구비되는 TFT는 온 전류가 큰 것이 바람직하다. 실시 형태 1 또는 실시 형태 2에 나타난 TFT를 갖는 구동 회로를 구비함으로써, 논리 회로부에 구비되는 TFT의 임계 전압의 제어가 가능해져, 스위치부 또는 버퍼부에 구비되는 TFT의 온 전류를 크게 하는 것이 가능해진다. 또한, 실시 형태 1 또는 실시 형태 2에 나타난 TFT는 구동 회로가 점유하는 면적을 작게 하여, 프레임을 좁게 하는 것에 기여한다.

[0096] 주사선 구동 회로에 포함되는 시프트 레지스터 회로에 관해서 이하에 설명한다.

[0097] 도 5에 나타내는 시프트 레지스터 회로는, 플립-플롭 회로(351)를 복수 갖고, 제어 신호선(352), 제어 신호선

(353), 제어 신호선(354), 제어 신호선(355), 제어 신호선(356) 및 리셋트선(357)을 갖는다.

[0098] 도 5의 시프트 레지스터 회로에 나타난 바와 같이, 플립-플롭 회로(351)에서는, 1단의 입력 단자 IN에, 제어 신호선(352)을 통해, 스타트 펄스 SSP가 입력되고, 다음단의 입력 단자 IN에 전단의 플립-플롭 회로(351)의 출력 신호 단자 S_{out}가 접속된다. 또한, N 단계(N은 자연수이다)의 리셋트 단자 RES는, (N+3)단계의 플립-플롭 회로의 출력 신호 단자 S_{out}와 리셋트선(357)을 통해 접속된다. N 단계의 플립-플롭 회로(351)의 클록 단자 CLK에는, 제어 신호선(353)을 통해, 제1 클록 신호 CLK1이 입력되면, (N+1)단계의 플립-플롭 회로(351)의 클록 단자 CLK에는, 제어 신호선(354)을 통해, 제2 클록 신호 CLK2가 입력된다. 또한, (N+2)단계의 플립-플롭 회로(351)의 클록 단자 CLK에는, 제어 신호선(355)을 통해, 제3 클록 신호 CLK3이 입력된다. 또한, (N+3)단계의 플립-플롭 회로(351)의 클록 단자 CLK에는, 제어 신호선(356)을 통해, 제4 클록 신호 CLK4가 입력된다. 그리고, (N+4)단계의 플립-플롭 회로(351)의 클록 단자 CLK에는, 제어 신호선(353)을 통해, 제1 클록 신호 CLK1이 입력된다. 또한, N 단계의 플립-플롭 회로(351)는, 게이트 출력 단자 G_{out}로부터 N 단계의 플립-플롭 회로의 출력 SR_{out}N을 출력한다.

[0099] 또한, 플립-플롭 회로(351)와, 전원 및 전원선과의 접속을 도시하지 않지만, 각 플립-플롭 회로(351)에는 전원선을 통해 전원 전위 V_{dd} 및 전원 전위 GND가 공급된다.

[0100] 또한, 본 명세서에서 설명하는 전원 전위는, 기준 전위를 0V로 한 경우의, 전위차에 상당한다. 그 때문에, 전원 전위를 전원 전압, 또는 전원 전압을 전원 전위로 언급하는 경우가 있다.

[0101] 또한, 본 명세서에서, "A와 B가 서로 접속된다"라는 설명은, A와 B가 직접 접속되어 있는 경우 이외에 전기적으로 서로 접속되어 있는 것을 포함한다. 여기서, "A와 B가 서로 전기적으로 접속된다"라는 설명은, A와 B 사이에 어떠한 전기적 작용을 갖는 대상물이 존재할 때, 대상물을 통해 A와 B가 대략적으로 동일 전위를 갖는 경우를 나타낸다. 구체적으로는, "A와 B가 서로 전기적으로 접속된다"라는 설명은 예를 들어, TFT같은 스위칭 소자를 통해 A와 B가 접속되어, 상기 스위칭 소자의 도통에 의해서 A와 B가 대략적으로 동일 전위가 되는 경우나, 저항 소자를 통해 A와 B가 접속되어, 상기 저항 소자의 양끝에 발생하는 전위차가 A와 B를 포함하는 회로의 동작에 영향을 주지 않은 정도로 되어 있는 경우 등, 회로 동작면에서 A와 B가 동일 전위를 갖는 것으로 여겨지는 경우를 나타낸다.

[0102] 다음에, 도 6은, 도 5에 나타난 시프트 레지스터 회로에 포함되는 플립-플롭 회로(351)의 일 실시 형태를 나타낸다. 도 6에 나타내는 플립-플롭 회로(351)는, 논리 회로부(361)와, 스위치부(362)를 갖는다. 논리 회로부(361)는, TFT363 내지 TFT368을 갖는다. 또한, 스위치부(362)는, TFT369 내지 TFT372를 갖고 있다. 또 논리 회로부는, 외부로부터 입력되는 신호에 따라서 후단의 회로인 스위치부에 출력하는 신호를 전환하기 위한 회로이다. 또한, 스위치부는, 외부 및 제어 회로로부터 입력되는 신호에 따라서 스위치로 기능하는 TFT의 온 또는 오프 전환하여, 해당 TFT의 크기 및 구조에 따른 전류를 출력하기 위한 회로이다.

[0103] 플립-플롭 회로(351)에서, 입력 단자 IN은 TFT364의 게이트 단자 및 TFT367의 게이트 단자에 접속된다. 리셋트 단자 RES는, TFT363의 게이트 단자에 접속된다. 클록 단자 CLK는, TFT369의 제1 단자 및 TFT371의 제1 단자에 접속된다. 전원 전위 V_{dd}가 공급되는 전원선은, TFT364의 제1 단자 및 TFT366의 게이트 단자 및 제2 단자에 접속된다. 전원 전위 GND가 공급되는 전원선은, TFT363의 제2 단자, TFT365의 제2 단자, TFT367의 제2 단자, TFT368의 제2 단자, TFT370의 제2 단자 및 TFT372의 제2 단자에 접속된다. 또한, TFT363의 제1 단자, TFT364의 제2 단자, TFT365의 제1 단자, TFT368의 게이트 단자, TFT369의 게이트 단자 및 TFT371의 게이트 단자는 서로 접속된다. 또한, TFT366의 제1 단자는, TFT365의 게이트 단자, TFT367의 제1 단자, TFT368의 제1 단자, TFT370의 게이트 단자 및 TFT372의 게이트 단자에 접속된다. 또한, 게이트 출력 단자 G_{out}는, TFT369의 제2 단자 및 TFT370의 제1 단자에 접속된다. 출력 신호 단자 S_{out}는, TFT371의 제2 단자 및 TFT372의 제1 단자에 접속된다.

[0104] 또한, 여기서는, TFT363 내지 TFT372가, 전부 N형 TFT인 경우에 관해서 설명한다.

[0105] 또한, TFT는, 게이트와, 드레인과, 소스를 포함하는 적어도 3개의 단자를 갖는 소자이고, 드레인 영역과 소스 영역의 사이에 채널 형성 영역을 갖는다. 드레인 영역과 채널 형성 영역과 소스 영역을 통해 전류가 흐르게 할 수 있다. 여기서, 소스와 드레인은, TFT의 구조나 동작 조건 등에 의해서 교체할 수 있기 때문에, 어느 것이 소스이고, 어느 적이 드레인인 가를 특정하는 것은 곤란하다. 따라서, 소스 및 드레인으로서 기능하는 영역을 소스 또는 드레인이라고 언급하지 않고, 예를 들면, 각각을 제1 단자 및 제2 단자로 표기한다. 또한, 이 경우

에, 게이트로서 기능하는 단자에 대해서는, 게이트 단자로 표기한다.

- [0106] 다음에, 도 6에 나타난 플립-플롭 회로(351)의 레이아웃도의 일례를 도 7에 나타낸다.
- [0107] 도 7의 플립-플롭 회로는, 전원 전위 Vdd가 공급되는 전원선(381), 리셋트선(382), 제어 신호선(353), 제어 신호선(354), 제어 신호선(355), 제어 신호선(356), 제어 신호선(383), 전원 전위 GND가 공급되는 전원선(384), 논리 회로부(361) 및 스위치부(362)를 갖는다. 논리 회로부(361)는, TFT363 내지 TFT368을 갖는다. 또한, 스위치부(362)는, TFT369 내지 TFT372를 갖고 있다. 또한, 도 7에서는, 게이트 출력 단자 G_{out} 에 접속되는 배선, 출력 신호 단자 S_{out} 에 접속되는 배선에 관해서도 도시한다.
- [0108] 도 7에는, 반도체층(385), 제1 배선층(386), 제2 배선층(387), 제3 배선층(388), 콘택트 홀(389)에 관해서 도시한다. 또한, 제1 배선층(386)은, 게이트 전극을 형성하는 층에 의해 형성되고, 제2 배선층(387)은, TFT의 소스 전극 또는 드레인 전극을 형성하는 층에 의해 형성되고, 제3 배선층(388)은, 화소부에서의 화소 전극을 형성하는 층에 의해 형성되면 좋다. 다만, 이 예에 한정되지 않고, 예를 들어 제3 배선층(388)은, 화소 전극을 형성하는 층과는 별도의 배선층으로 형성하여도 좋다.
- [0109] 또한, 도 7의 각 회로 소자 사이의 접속 관계는, 도 6으로 설명한 바와 같다. 또한, 도 7에서는, 제1 클럭 신호가 입력되는 플립-플롭 회로에 관해서 도시하고 있기 때문에, 제어 신호선(354) 내지 제어 신호선(356)과의 접속에 관하여는 도시되어 있지 않다.
- [0110] 도 7의 플립-플롭 회로의 레이아웃도면에서, 논리 회로부(361)에 포함되는 TFT366또는 TFT367의 임계 전압을 제어함으로써, EDMOS 회로(373)를 구성할 수 있다. 대표적으로는, TFT366을 디플레션형으로 하고, TFT367을 인헨스먼트형으로 한 EDMOS 회로(373)를 형성하고, 스위치부(362)에 포함되는 TFT369 내지 TFT372를 듀얼 게이트형의 TFT 또는 디플레션형의 TFT로 한다. 또한, 도 6에서, EDMOS 회로(373)에서의 TFT366과 TFT367은 도 2a 내지 도 2c에 나타난 EDMOS 회로에서의 TFT와 디플레션형의 TFT의 게이트 전극의 접속 위치가 다르다.
- [0111] TFT366 또는 TFT367을 듀얼 게이트형의 TFT로 형성하여, 백게이트 전극의 전위를 제어하는 것으로, 디플레션형의 TFT 또는 인헨스먼트형의 TFT를 형성할 수 있다.
- [0112] 도 7에서는, TFT366의 임계 전압을 제어하기 위한 백게이트 전극과 동일 전위의 제어 신호선(390)을 별도 구비하여, 디플레션형을 형성한다. TFT366은 듀얼 게이트형의 TFT이고, 백게이트 전극의 전위는, 게이트 전극에 인가되는 전원 전위 Vdd가 공급되는 전원선(381)과는 다른 전위이다.
- [0113] 도 7에서는, TFT369 내지 372는, 듀얼 게이트형의 TFT이고, 백게이트 전극과 TFT의 각각의 게이트 전극이 동일 전위를 갖고, 백게이트 전극의 각각의 전위는, 게이트 전극에 인가되는 전원 전위 Vdd가 공급되는 전원선과 동일 전위이다.
- [0114] 이러한 방식으로, 표시 장치의 화소부 및 구동 회로에 배치하는 TFT를 산화물 반도체층을 이용한 n 채널형 TFT만을 이용하여 형성할 수 있다.
- [0115] 또한, 논리 회로부(361)에서의 TFT366은 전원 전위 Vdd에 따라서 전류를 공급하기 위한 TFT이다. 듀얼 게이트형 TFT 또는 디플레션형 TFT를 TFT로서 이용함으로써 TFT366에 흐르는 전류량은 크게 하는 것에 의해, TFT의 성능을 저하시키지 않고, TFT의 소형화를 도모할 수 있다.
- [0116] 또한, 스위치부(362)를 구성하는 TFT에서, TFT에 흐르는 전류량을 크게 하여, 또한 온과 오프의 전환을 고속으로 행할 수 있기 때문에, 성능을 저하시키지 않고 TFT가 차지하는 면적을 축소할 수 있다. 따라서, 상기 TFT에 의해 구성되는 회로가 차지하는 면적을 축소할 수도 있다. 또한, 스위치부(362)에서의 TFT369 내지 TFT372는, 도면에 도시된 바와 같이 반도체층(385)을 제1 배선층(386)과 제3 배선층(388) 사이에 개재하여 듀얼 게이트형 TFT를 형성하면 좋다.
- [0117] 또한, 도 7에서는, 듀얼 게이트형 TFT이, 반도체층(385)을 제1 배선층(386)과, 콘택트 홀(389)을 통해 서로 접속되어 동일 전위가 되는 제3 배선층(388) 사이에 개재하여 구성되는 예를 도시했다. 그러나, 이 구성에 한정되지 않고, 예를 들면, 제3 배선층(388)에 대하여, 별도 제어 신호선을 구비하여, 제3 배선층(388)의 전위를 제1 배선층(386)으로부터 독립적으로 제어하는 구성으로 하여도 좋다.
- [0118] 또한, 도 7에 나타내는 플립-플롭 회로의 레이아웃도면에서, TFT363 내지 TFT372의 채널 형성 영역의 형상을 U자형(회전된 C형 또는 말굽형)일 수 있다. 또한, 도 7에서는, 모든 TFT가 동일한 크기를 갖고 있지만, 후단의 부하량에 따라서 출력 신호 단자 S_{out} 또는 게이트 출력 단자 G_{out} 에 접속되는 각 TFT의 크기를 적절하게 변경하

여도 좋다.

- [0119] 다음에, 도 8에 나타내는 타이밍 차트를 참조하여, 도 5에 나타내는 시프트 레지스터 회로의 동작에 관해서 설명한다. 도 8은, 도 5에 나타낸 제어 신호선(352) 내지 제어 신호선(356)에 각각 공급되는 스타트 펄스 SSP, 제1 클록 신호 CLK1 내지 제4 클록 신호 CLK4 및 1단계 내지 5단계의 플립-플롭 회로의 출력 신호 단자 S_{out} 에서 출력되는 S_{out1} 내지 S_{out5} 에 관해서 도시한다. 또한, 도 8의 설명에서는, 도 6 및 도 7에서 각 소자에 붙인 부호를 이용한다.
- [0120] 또한, 도 8은, 플립-플롭 회로에 포함되는 TFT의 각각이, N 채널형 TFT의 경우의 타이밍 차트이다. 또한 제1 클록 신호 CLK1 내지 제4 클록 신호 CLK4는 도시한 바와 같이 1/4파장(점선으로써 구분한 색선)씩 이전 단의 클록 신호로부터 시프트된다.
- [0121] 우선, 기간 T1에서, 1단계의 플립-플롭 회로에는, 스타트 펄스 SSP가 H 레벨로 입력되고, 논리 회로부(361)는 스위치부의 TFT369 및 TFT371을 온으로 하고, TFT370 및 TFT372를 오프로 한다. 이 때, 제1 클록 신호 CLK1은 L 레벨이기 때문에, S_{out1} 은 L 레벨이다.
- [0122] 또한, 기간 T1에서, 2단계 및 그 이후의 플립-플롭 회로에는, IN 단자에 신호가 입력되지 않기 때문에, 플립-플롭 회로는 동작없이 L 레벨을 출력한다. 또한, 초기 상태에서는, 시프트 레지스터 회로의 각 플립-플롭 회로는, L 레벨을 출력하는 것으로서 설명한다.
- [0123] 다음에, 기간 T2에서, 1단계의 플립-플롭 회로에서는, 기간 T1과 마찬가지로, 논리 회로부(361)가 스위치부(362)의 제어를 행한다. 기간 T2에서는, 제1 클록 신호 CLK1은 H 레벨에 있기 때문에, S_{out1} 은 H 레벨이 된다. 또한, 기간 T2에서는, 2단계의 플립-플롭 회로에는, S_{out1} 이 H 레벨로 IN 단자에 입력되고, 논리 회로부(361)가 스위치부의 TFT369 및 TFT371을 온으로 하고, TFT370 및 TFT372를 오프로 한다. 이 때, 제2 클록 신호 CLK2는 L 레벨이기 때문에, S_{out2} 는 L 레벨이다.
- [0124] 또한, 기간 T2에서, 3단계 및 그 이후의 플립-플롭 회로에는, IN 단자에 신호가 입력되지 않기 때문에, 플립-플롭 회로는 동작없이 L 레벨을 출력한다.
- [0125] 다음에, 기간 T3에서, 1단계의 플립-플롭 회로에서는, 기간 T2의 상태를 유지하도록 논리 회로부(361)가 스위치부(362)의 제어를 행한다. 그 때문에, 기간 T3에서는, 제1 클록 신호 CLK1은 H 레벨이고, S_{out1} 은 H 레벨이 된다. 또한, 기간 T3에서, 2단계의 플립-플롭 회로에서는, 기간 T2와 마찬가지로, 논리 회로부(361)가 스위치부(362)의 제어를 행한다. 기간 T3에서는, 제2 클록 신호 CLK2는 H 레벨이기 때문에, S_{out2} 는 H 레벨이다. 또한, 기간 T3의 3단계의 플립-플롭 회로에는, S_{out2} 가 H 레벨로 IN 단자에 입력되고, 논리 회로부(361)가 스위치부의 TFT369 및 371을 온으로 하고, TFT370 및 (372)을 오프로 한다. 이 때, 제3 클록 신호 CLK3은 L 레벨이기 때문에, S_{out3} 은 L 레벨이다.
- [0126] 또한, 기간 T3에서, 4단계 및 그 이후의 플립-플롭 회로에는, IN 단자에 신호가 입력되지 않기 때문에, 플립-플롭 회로는 동작없이 L 레벨을 출력한다.
- [0127] 다음에, 기간 T4에서, 1단계의 플립-플롭 회로에서는, 기간 T3의 상태를 유지하도록 논리 회로부(361)가 스위치부(362)의 제어를 행한다. 그 때문에, 기간 T4에서, 제1 클록 신호 CLK1은 L 레벨이고, S_{out1} 은 L 레벨이 된다. 또한, 기간 T4에서, 2단계의 플립-플롭 회로에서는, 기간 T3의 상태를 유지하도록 논리 회로부(361)가 스위치부(362)의 제어를 행한다. 그 때문에, 기간 T4에서, 제2 클록 신호 CLK2는 H 레벨이고, S_{out2} 는 H 레벨이 된다. 또한, 기간 T4에서, 3단계의 플립-플롭 회로에서는, 기간 T3과 마찬가지로, 논리 회로부(361)가 스위치부(362)의 제어를 행한다. 기간 T4에서는, 제3 클록 신호 CLK3은 H 레벨이기 때문에, S_{out3} 은 H 레벨이다. 또한, 기간 T4의 4단계의 플립-플롭 회로에는, S_{out3} 이 H 레벨로 IN 단자에 입력되고, 논리 회로부(361)가 스위치부(362)의 TFT369 및 TFT371을 온으로 하고, TFT370 및 TFT372를 오프로 한다. 이 때, 제4 클록 신호 CLK4는 L 레벨이기 때문에, S_{out4} 는 L 레벨이다.
- [0128] 또한, 기간 T4에서, 5단계 및 그 이후의 플립-플롭 회로에는, IN 단자에 신호가 입력되지 않기 때문에, 플립-플롭 회로는 동작없이 L 레벨을 출력한다.

- [0129] 다음에, 기간 T5에서, 2단계의 플립-플롭 회로에서는, 기간 T3의 상태를 유지하도록 논리 회로부(361)가 스위치부(362)의 제어를 행한다. 그 때문에, 기간 T5에서, 제2 클록 신호 CLK2는 L 레벨이고, S_{out2} 는 L 레벨이 된다. 또한, 기간 T5에서, 3단계의 플립-플롭 회로에서는, 기간 T4의 상태를 유지하도록 논리 회로부(361)가 스위치부(362)의 제어를 행한다. 그 때문에, 기간 T5에서, 제3 클록 신호 CLK3은 H 레벨이고, S_{out3} 은 H 레벨이 된다. 또한, 기간 T5에서 4단계의 플립-플롭 회로에는, 기간 T4와 마찬가지로, 논리 회로부(361)가 스위치부(362)의 제어를 행한다. 기간 T5에서는, 제4 클록 신호 CLK4는 H 레벨이기 때문에, S_{out4} 는 H 레벨이다. 또한, 5단계 및 그 이후의 플립-플롭 회로는, 1단계 내지 4단계의 플립-플롭 회로와 마찬가지로의 배선 관계이고, 입력되는 신호의 타이밍도 동일하기 때문에, 설명은 생략한다.
- [0130] 도 5의 시프트 레지스터 회로로 도시한 바와 같이, S_{out4} 는 1단계의 플립-플롭 회로의 리셋트 신호로도 기능한다. 기간 T5에서는, S_{out4} 가 H 레벨이 되고, 이 신호가 1단계의 플립-플롭 회로의 리셋트 단자 RES에 입력된다. 리셋트 신호가 입력됨으로써, 스위치부(362)의 TFT369 및 TFT371을 오프로 하고, TFT370 및 TFT372를 온으로 한다. 그리고, 1단계의 플립-플롭 회로의 S_{out1} 은, 다음 스타트 펄스 SSP가 입력될 때까지, L 레벨을 출력한다.
- [0131] 이상 설명한 동작에 의해, 2단계 및 그 이후의 플립-플롭 회로에, 후단의 플립-플롭 회로로부터 출력되는 리셋트 신호에 기초하여 논리 회로부의 리셋트가 행하여 진다. S_{out1} 내지 S_{out5} 에 나타난 바와 같이, 클록 신호의 1/4과장만큼 시프트한 파형의 신호를 출력하는 시프트 레지스터 회로를 형성할 수 있다.
- [0132] 또한, 플립-플롭 회로로서, 논리 회로부에 인헨스먼트형 TFT와 디플레션형 TFT를 조합한 EDMOS 회로, 스위치부에 듀얼 게이트형 TFT를 구비하는 구성으로 함으로써, 논리 회로부(361)에 포함되는 TFT에 흐르는 전류량을 크게 할 수 있고, 성능을 저하시키지 않고, TFT가 차지하는 면적, 및 상기 TFT를 포함하는 회로가 차지하는 면적을 축소할 수 있다. 또한, 스위치부(362)를 구성하는 TFT에서는, TFT를 흐르는 전류량을 크게 하고, 온과 오프의 전환을 고속으로 행할 수 있기 때문에, 성능을 저하시키지 않고 TFT가 차지하는 면적, 및 상기 TFT에 의해 구성되는 회로가 차지하는 면적을 축소할 수 있다. 따라서, 표시 장치의 좁은 프레임화, 소형화, 고 성능화를 도모할 수 있다.
- [0133] 또한, 도 3a 및 도 3b에 나타내는 신호선 구동 회로에, 래치 회로, 레벨 시프터 회로 등을 구비할 수 있다. 신호선 구동 회로로부터 화소부에 신호를 보내는 최종단에 버퍼부를 구비하여, 증폭한 신호를 신호선 구동 회로로부터 화소부에 보낸다. 이 때문에, 버퍼부에 온 전류가 큰 TFT, 대표적으로는 듀얼 게이트형의 TFT 또는 디플레션형의 TFT를 구비함으로써, TFT의 면적을 축소하는 것이 가능하고, 신호선 구동 회로가 차지하는 면적을 축소할 수 있다. 따라서, 표시 장치의 좁은 프레임화, 소형화, 고 성능화를 도모할 수 있다. 또한, 신호선 구동 회로의 일부인 시프트 레지스터는, 고속 동작을 필요로 하기 때문에, 시프트 레지스터는 IC 등을 이용하여 표시 장치에 실장하는 것이 바람직하다.
- [0134] 또한, 본 실시 형태는, 실시 형태 1 또는 실시 형태 2와 자유롭게 조합할 수 있다.
- [0135] (실시 형태 4)
- [0136] 실시 형태 4에서는, 실시 형태 1에서 나타내는 박막 트랜지스터를 포함하는 표시 장치의 제조 공정에 관해서, 도 9a 내지 도 9c, 도 10a 내지 도 10c, 도 11, 도 12, 도 13, 도 14, 도 15a의 (1) 및 도 15a의 (2), 도 15b의 (1) 및 도 15b의 (2) 및 도 16을 참조하여 설명한다.
- [0137] 도 9a에서, 투광성을 갖는 기판(100)에는 바륨 붕규산 유리나 알루미늄 붕규산 유리등의 유리 기판을 사용할 수 있다.
- [0138] 이어서, 도전층을 기판(100) 전체면에 형성한 후, 제1 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성한다. 다음에, 에칭에 의해 불필요한 부분을 제거하여 배선 및 전극(게이트 전극층(101)을 포함하는 게이트 배선, 용량 배선(108) 및 제1 단자(121))을 형성한다. 이 때 적어도 게이트 전극층(101)의 단부에 테이퍼 형상이 형성되도록 에칭한다. 이 단계에서의 단면도를 도 9a에 나타내었다. 또한, 이 단계에서의 상면도가 도 11에 상당한다. 도 11에서, 후에 형성되는 산화막 반도체막, 채널 보호층, 소스 전극 및 드레인 전극, 콘택트 홀, 화소 전극은 파선으로 나타낸다. 또한, 레지스트 마스크의 형성에 스핀 코팅법을 이용하는 경우, 레지스트막의 균일성의 향상을 위해, 대량의 레지스트 재료나, 대량의 현상액이 사용되어, 여분의 재료의 소비량이 많다. 특히 기판이 대형화되면서, 스핀 코팅법을 이용하는 성막 방법에서는, 대형의 기판을 회전시키는 기구가 대형화되

고, 재료액의 손실 및 폐액량이 많아지기 때문에 대량 생산에서 불리하다. 또한, 직사각형의 기판을 스핀 코팅에 의해 성막하면 회전축을 중심으로 하는 원형의 불균일이 막에 생기기 쉽다. 따라서, 잉크젯법 등의 액적 토출법이나 스크린 인쇄법 등을 이용하여 선택적으로 레지스트 재료막을 형성하여, 노광을 행하고 레지스트 마스크를 형성하는 것이 바람직하다. 선택적으로 레지스트 재료막을 형성함으로써, 레지스트 재료의 사용량의 감소가 도모될 수 있기 때문에 대폭적인 비용 절감이 실현될 수 있고, 예를 들어 1000mm×1200mm, 1100mm×1250mm, 1150mm×1300mm 같은 큰 면적 기판에도 대응할 수 있다.

[0139] 게이트 전극층(101)을 포함하는 게이트 배선과 용량 배선(108), 단자부의 제1 단자(121)는, 알루미늄(Al), 구리(Cu), 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc)으로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막, 또는 상술한 원소를 성분으로 하는 질화물로 형성한다. 특히, 알루미늄(Al)이나 구리(Cu) 등의 저저항 도전성 재료로 형성하는 것이 바람직하다. Al 단체에서는 내열성이 떨어지고 부식되기 쉬운 등의 문제점이 있기 때문에 내열성을 가진 도전성 재료와 조합하여 사용한다. 내열성을 가진 도전성 재료로서는, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), Nd(네오디뮴), 스칸듐(Sc)으로부터 선택된 원소를 이용한다.

[0140] 이어서, 게이트 전극층(101) 위에 게이트 절연층(102)을 전체면에 성막한다. 게이트 절연층(102)은 스퍼터링법을 이용하여, 막 두께를 50nm 내지 250nm로 한다.

[0141] 예를 들면, 게이트 절연층(102)으로서 스퍼터링법에 의해 산화 실리콘막을 이용하여, 100nm의 두께로 형성한다. 물론, 게이트 절연층(102)은 이러한 산화 실리콘막에 한정되는 것이 아니고, 산화질화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 산화 탄탈막 등의 다른 절연막을 이용하여, 단층 또는 적층 구조로서 형성하여도 좋다.

[0142] 또한, 산화물 반도체막을 성막하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링을 행하여, 게이트 절연층의 표면에 부착되어 있는 먼지를 제거하는 것이 바람직하다. 또한, 아르곤 분위기 대신 질소, 헬륨 등을 이용하여도 좋다. 또한, 산소, 수소, N₂O 등을 가한 아르곤 분위기에서 역스퍼터링을 행하여도 좋다. 또한, Cl₂, CF₄등을 가한 아르곤 분위기에서 행하여도 좋다.

[0143] 다음에, 게이트 절연층(102) 위에, 제1 산화물 반도체막(본 실시 형태에서는 제1 In-Ga-Zn-O계 비 단결정막)을 성막한다. 플라즈마 처리후, 대기에 노출시키는 일없이 제1 In-Ga-Zn-O계 비 단결정막을 성막하는 것은, 게이트 절연층과 반도체막의 계면에 먼지나 수분을 부착시키지 않는 점에서 유용하다. 여기서는, In-Ga-Zn-O계 비 단결정막을 직경 8인치의 In(indium), Ga(gallium) 및 Zn(zinc)을 포함하는 산화물 반도체 타겟(In₂O₃:Ga₂O₃:ZnO=1:1:1)을 이용하고, 기판과 타겟 사이의 거리를 170mm, 압력0.4Pa, 직류(DC) 전원 0.5kW, 아르곤 또는 산소 분위기하에서 성막한다. 또한, 펄스 직류(DC) 전원을 이용하면, 먼지가 감소될 수 있고, 막 두께 분포도 균일해지기 때문에 바람직하다. 제1 In-Ga-Zn-O계 비 단결정막의 막 두께는, 5nm 내지 200nm로 한다. 본 실시 형태에서는 제1 In-Ga-Zn-O계 비 단결정막의 막 두께는, 100nm로 한다.

[0144] 스퍼터링법에는 스퍼터링용 전원에 고주파 전원을 이용하는 RF 스퍼터링법과, DC 스퍼터링법과, 펄스적으로 바이어스를 인가하는 펄스 DC 스퍼터링법도 있다. RF 스퍼터링법은 주로 절연막을 성막하는 경우에 이용되고, DC 스퍼터링법은 주로 금속막을 성막하는 경우에 이용된다.

[0145] 또한, 재료가 다른 타겟을 복수 구비할 수 있는 다원 스퍼터링 장치도 있다. 다원 스퍼터링 장치는, 동일 챔버로 다른 재료막을 적층 성막할 수 있고, 동일 챔버로 복수 종류의 재료를 동시에 방전시켜 성막할 수도 있다.

[0146] 또한, 챔버 내부에 자석 기구를 구비한 마그네트론 스퍼터링법을 이용하는 스퍼터링 장치나, 글로 방전(glow discharge)을 사용하지 않고 마이크로파를 이용하여 발생시킨 플라즈마를 이용하는 ECR 스퍼터링법을 이용하는 스퍼터링 장치가 있다.

[0147] 또한, 스퍼터링법을 이용하는 성막 방법으로서, 성막에 타겟 물질과 스퍼터링 가스 성분을 화학 반응시켜 이들의 화합물 박막을 형성하는 리액티브 스퍼터링법이나, 성막에 기판에도 전압을 인가하는 바이어스 스퍼터링법도 있다.

[0148] 다음에 제1 In-Ga-Zn-O계 비 단결정막의 채널 형성 영역과 중첩하는 영역에 채널 보호층(133)을 형성한다. 채널 보호층(133)도 대기에 노출되지 않고 제1 In-Ga-Zn-O계 비 단결정막을 성막한 후 연속하여 성막할 수도 있다. 적층된 박막을 연속적으로 성막하면 생산성이 향상한다.

- [0149] 채널 보호층(133)에서는, 무기 재료(산화 실리콘, 질화 실리콘, 산화질화 실리콘, 질화 산화 실리콘 등)를 사용할 수 있다. 제조법으로는, 플라즈마 CVD법이나 열 CVD법 등의 기상성장법이나 스퍼터링법을 사용할 수 있다. 채널 보호층(133)은 성막후에 에칭에 의해 형상을 가공한다. 여기서는, 스퍼터링법에 의해 산화 실리콘막을 형성하여, 포토리소그래피에 의한 마스크를 이용하여 에칭 가공하는 것으로 채널 보호층(133)을 형성한다. 채널 보호층(133)을 에칭 가공할 때, 제1 In-Ga-Zn-O계 비 단결정막이 에칭 스톱퍼로서 기능하기 때문에, 게이트 절연막의 막감소를 방지할 수 있다.
- [0150] 이어서, 제1 In-Ga-Zn-O계 비 단결정막 및 채널 보호층(133) 위에, 제2 산화물 반도체막(본 실시 형태에서는 제2 In-Ga-Zn-O계 비 단결정막)을 스퍼터링법으로 성막한다. 여기서는, $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ 의 비율로 산화 인듐(In_2O_3), 산화 갈륨(Ga_2O_3) 및 산화 아연(ZnO)을 포함하는 타겟을 이용하고, 성막 조건은, 압력을 0.4Pa로 하고, 전력을 500W로 하고, 성막 온도를 실온으로 하여, 아르곤 가스 유량 40sccm을 도입하여 스퍼터링 성막을 행한다. $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ 의 타겟을 의도적으로 이용하고 있어도, 성막 직후에 크기 1nm 내지 10nm의 결정립을 포함하는 In-Ga-Zn-O계 비 단결정막이 형성되는 경우가 있다. 또한, 타겟의 성분비, 성막 압력(0.1Pa 내지 2.0Pa), 전력(250W 내지 3000W:8인치φ), 온도(실온 내지 100℃), 반응성 스퍼터링의 성막 조건 등을 적절하게 조절하는 것으로 결정립의 유무나, 결정립의 밀도나, 직경 크기는, 1nm 내지 10nm의 범위에서 조절될 수 있다고 말할 수 있다. 제2 In-Ga-Zn-O계 비 단결정막의 막 두께는, 5nm 내지 20nm로 한다. 물론, 막에 포함되는 결정립의 크기가 막 두께를 초과하지는 않는다. 본 실시 형태에서는 제2 In-Ga-Zn-O계 비 단결정막의 막 두께는, 5nm로 한다.
- [0151] 제1 In-Ga-Zn-O계 비 단결정막은, 제2 In-Ga-Zn-O계 비 단결정막의 성막 조건과 다르게 한다. 예를 들면, 제2 In-Ga-Zn-O계 비 단결정막의 성막 조건에서의 산소 가스 유량과 아르곤 가스 유량의 비보다도 제1 In-Ga-Zn-O계 비 단결정막의 성막 조건에서의 산소 가스 유량이 차지하는 비율이 많은 조건으로 한다. 구체적으로는, 제2 In-Ga-Zn-O계 비 단결정막의 성막은, 회가스(아르곤, 또는 헬륨 등) 분위기(또는 산소 가스 10%이하, 아르곤 가스 90% 이상)에서 하지만, 제1 In-Ga-Zn-O계 비 단결정막의 성막은, 산소 분위기(또는 산소 가스 유량을 아르곤 가스 유량 이상으로 설정함)에서 한다.
- [0152] 제2 In-Ga-Zn-O계 비 단결정막의 성막은, 먼저 역스퍼터링을 행한 챔버와 동일 챔버를 이용하여도 좋고, 먼저 역스퍼터링을 행한 챔버와 다른 챔버로 성막하여도 좋다.
- [0153] 다음에, 제3 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하여, 제1 In-Ga-Zn-O계 비 단결정막 및 제2 In-Ga-Zn-O계 비 단결정막을 에칭한다. 여기서는 IT007N(간토 가가꾸사 제조)을 이용한 습식 에칭에 의해, 불필요한 부분을 제거하여 제1 In-Ga-Zn-O계 비 단결정막인 산화물 반도체막(103), 제2 In-Ga-Zn-O계 비 단결정막인 산화물 반도체막(111)을 형성한다. 또한, 여기서의 에칭 공정은, 습식 에칭에 한정되지 않고 드라이 에칭을 이용하여도 좋다. 이 단계에서의 상면도를 도 9b에 나타내었다. 또한, 이 단계에서의 상면도가 도 12에 상당한다. 도 12에서, 후에 형성되는 소스 전극 및 드레인 전극, 콘택트 홀, 화소 전극은 파선으로 나타낸다.
- [0154] 이어서, 제4 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하여, 에칭에 의해 게이트 절연층(102)의 불필요한 부분을 제거하여 게이트 전극층과 동일 재료의 배선이나 전극층에 도달하는 콘택트 홀을 형성한다. 이 콘택트 홀은 후에 형성하는 도전막과 직접 접속하기 위해서 구비된다. 예를 들면, 구동 회로부에서, 게이트 전극층과 소스 전극층 또는 드레인 전극층과 직접 접하는 박막 트랜지스터나, 단자부의 게이트 배선에 전기적으로 접속하는 단자를 형성하는 경우에 콘택트 홀을 형성한다.
- [0155] 다음에, 산화물 반도체막(103) 및 산화물 반도체막(111) 위에 금속 재료로 이루어지는 도전막(132)을 스퍼터링법이나 진공 증착법으로 형성한다. 이 단계에서의 상면도를 도 9c에 나타내었다.
- [0156] 도전막(132)의 재료로서는, Al, Cr, Ta, Ti, Mo, W에서 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막 등을 들 수 있다. 또한, 200℃ 내지 600℃의 열처리를 행하는 경우에는, 이 열처리에 견디는 내열성을 도전막에 갖게 하는 것이 바람직하다. Al 단체에서는 내열성이 떨어지고 부식되기 쉬운 등의 문제점이 있기 때문에 내열성을 가진 도전성 재료와 조합하여 형성한다. Al과 조합하는 내열성을 가진 도전성 재료로서는, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), Nd(네오디뮴), Sc(스칸듐)으로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막, 또는 상술한 원소를 성분으로 하는 질화물로 형성한다.
- [0157] 여기서는, 도전막(132)으로서 티타늄막의 단층 구조를 갖는다. 또한, 도전막(132)은, 알루미늄막상에 티타늄막

을 적층한 2층 구조로도 좋다. 또한, 도전막(132)으로서 Ti 막과, Nd를 포함하는 알루미늄막(Al-Nd)막과, Ti 막을 순서대로 적층한 3층 구조로서 좋다. 도전막(132)은, 실리콘을 포함하는 알루미늄막의 단층 구조로도 좋다.

[0158] 다음에, 제5 포토리소그래피 공정을 행하여, 레지스트 마스크(131)를 형성하고 에칭에 의해 불필요한 부분을 제거하여 제1 전극(105a), 제2 전극(105b) 및 소스 영역 또는 드레인 영역(104a, 104b)을 형성한다. 이 때의 에칭 방법으로서 습식 에칭 또는 드라이 에칭을 이용한다. 예를 들면 도전막(132)으로서 알루미늄막, 또는 알루미늄 합금막을 이용하는 경우, 인산과 아세트산과 질산을 섞은 용액을 이용한 습식 에칭을 행할 수 있다. 여기서, 암모니아 과산화수소 혼합물(과산화수소: 암모니아: 물=5:2:2)을 이용한 습식 에칭에 의해, Ti 막의 도전막(132)을 에칭하여 제1 전극(105a), 제2 전극(105b)을 형성하고, 산화물 반도체막(111)을 에칭하여 소스 영역 또는 드레인 영역(104a, 104b)을 형성한다. 이 에칭 공정에서, 채널 보호층(133)은 산화물 반도체층(103)의 에칭을 방지하는 막으로서 기능하기 때문에, 산화물 반도체층(103)은 에칭되지 않는다. 도 10a에서는, 제1 전극(105a), 제2 전극(105b), 소스 영역 또는 드레인 영역(104a, 104b)의 에칭을 암모니아 과산화수소 혼합물의 에칭제에 의해서 한번에 행하기 때문에, 제1 전극(105a), 제2 전극(105b) 및 소스 영역 또는 드레인 영역(104a, 104b)의 단부는 일치하여, 연속적인 구조를 갖는다. 또한 습식 에칭을 이용하기 때문에, 에칭이 등방적으로 행해져, 제1 전극(105a), 제2 전극(105b)의 단부는 레지스트 마스크(131)보다 후퇴한다. 이상의 공정에서 산화물 반도체층(103)을 채널 형성 영역으로 하고, 또한 상기 채널 형성 영역 위에 채널 보호층(133)을 갖는 박막 트랜지스터(170)가 제조될 수 있다. 이 단계에서의 단면도를 도 10a에 나타내었다. 또한, 이 단계에서의 레지스트 마스크(131)가 없는 상면도가 도 13에 상당한다. 도 13에서, 후에 형성되는 화소 전극은 파선으로 나타낸다.

[0159] 산화물 반도체층(103)의 채널 형성 영역 위에 채널 보호층(133)을 구비하는 구조이기 때문에, 산화물 반도체층(103)의 채널 형성 영역에 대한 제조 공정시의 손상(에칭시의 플라즈마나 에칭제에 의한 막감소, 또는 산화 등)을 막을 수 있다. 따라서 박막 트랜지스터(170)의 신뢰성을 향상시킬 수 있다.

[0160] 이어서, 200℃ 내지 600℃, 대표적으로는 300℃ 내지 500℃의 열처리를 행하는 것이 바람직하다. 여기서는 로에서, 질소 분위기하에서 350℃, 1 시간의 열처리를 행한다. 이 열처리에 의해 In-Ga-Zn-O계 비 단결정막의 원자 레벨의 재배열이 행하여진다. 이 열처리에 의해 캐리어의 이동을 저해하는 왜곡이 해제되기 때문에, 여기서의 열처리(광어닐링을 포함)는 중요하다. 또한, 열처리를 행하는 타이밍은, 제2 In-Ga-Zn-O계 비 단결정막의 성막후면 임의의 시간에 행해질 수 있고, 예를 들면 화소 전극 형성후에 행하여도 좋다.

[0161] 또한, 이 제5 포토리소그래피 공정에서, 제1 전극(105a), 제2 전극(105b)과 동일 재료인 제2 단자(122)를 단자부에 남긴다. 또한, 제2 단자(122)는 소스 배선(제1 전극(105a), 제2 전극(105b)을 포함하는 소스 배선)에 전기적으로 접속된다.

[0162] 또한, 단자부에서, 접속 전극(120)은, 게이트 절연막에 형성된 콘택트 홀을 통해 단자부의 제1 단자(121)와 직접 접속된다. 또한, 여기서는 도시하지 않지만, 상술한 공정과 동일 공정을 거쳐 구동 회로의 박막 트랜지스터의 소스 배선 또는 드레인 배선과 게이트 전극이 직접 접속된다.

[0163] 또한, 다계조 마스크에 의해 형성한 복수의 두께(대표적으로는 두 개의 상이한 두께)의 영역을 갖는 레지스트 마스크를 이용하면, 포토마스크의 수를 저감할 수 있기 때문에, 공정 간략화, 저 비용화가 도모할 수 있다.

[0164] 이어서, 레지스트 마스크(131)를 제거하여, 박막 트랜지스터(170)를 덮는 보호 절연층(107)을 형성한다. 보호 절연층(107)은 스퍼터링법 등을 이용하여 얻어지는 질화 실리콘막, 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄막, 질화 알루미늄막, 산화질화 알루미늄막, 또는 산화 탄탈막 등의 단층 또는 이들의 적층을 사용할 수 있다. 구동 회로의 일부의 박막 트랜지스터에서, 이 보호 절연층(107)은 제2 게이트 절연층의 한층으로서 기능하고, 그 위에 제2 게이트 전극을 형성한다. 보호 절연층(107)은, 막 두께를 50 내지 400nm로 한다. 제2 게이트 절연층을 형성하는 보호 절연층(107)과 채널 보호층의 합계 막 두께는, 제1 게이트 절연막의 막 두께와 대략 동일이 되어 상하의 게이트 전극으로부터 대략 동일한 게이트 전압을 인가할 수 있다. 또한, 보호 절연층(107)으로서 산화질화 실리콘막, 또는 질화 실리콘막 등을 이용하는 경우, 보호 절연층(107) 형성후에 어떠한 원인으로 부착되는 불순물, 예를 들면 나트륨 등의 가동 이온이 확산하여, 산화물 반도체에 침입하는 것을 방지할 수 있다.

[0165] 다음에, 제6 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하여, 보호 절연층(107)의 에칭에 의해 제2 전극(105b)에 도달하는 콘택트 홀(125)을 형성한다. 또한, 여기서의 에칭에 의해 제2 단자(122)에 도달하는 콘

택트 홀(127), 접속 전극(120)에 도달하는 컨택트 홀(126)도 동일 레지스트 마스크로 형성하는 것이 바람직하다. 이 단계에서의 단면도를 도 10b에 나타낸다.

[0166] 이어서, 레지스트 마스크를 제거한 후, 투명 도전막을 성막한다. 투명 도전막의 재료로서는, 산화 인듐(In_2O_3)이나 산화 인듐 산화주석 합금($\text{In}_2\text{O}_3\text{-SnO}_2$, ITO로 약기함)등을 스퍼터링법이나 진공 증착법 등을 이용하여 형성한다. 이러한 재료의 에칭 처리는 염산계의 용액에 의해 행한다. 그러나, 특히 ITO의 에칭은 잔사가 발생하기 쉽기 때문에, 에칭 가공성을 개선하기 위해서 산화 인듐 산화아연 합금($\text{In}_2\text{O}_3\text{-ZnO}$)을 사용할 수도 있다.

[0167] 다음에, 제7 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거하여 화소 전극(110)을 형성한다. 이 제7 포토리소그래피 공정에서, 구동 회로에서는, 회로의 일부에 화소 전극(110)과 동일 재료를 이용하여, 산화물 반도체층 위에 임계 전압을 제어하는 전극층(백게이트 전극)을 형성한다. 또한, 백게이트 전극을 갖는 박막 트랜지스터는, 도 1a를 참조하여 실시 형태 1에 도시하고 있기 때문에, 여기서는 상세한 설명은 생략한다.

[0168] 또한, 이 제7 포토리소그래피 공정에서, 용량부에서의 게이트 절연층(102) 및 보호 절연층(107)을 유전체로서 이용하여, 용량 배선(108)과 화소 전극(110)으로부터 유지 용량이 형성된다. 또한, 여기서는, 게이트 절연층(102) 및 보호 절연층(107)을 유전체로서 이용하여, 용량 배선(108)과 화소 전극(110)으로부터 유지 용량을 형성하는 예를 도시했다. 그러나, 특별히 한정되지 않으며, 소스 전극 또는 드레인 전극과 동일 재료로 구성되는 전극을 용량 배선 위에 구비하여, 그 전극과, 용량 배선과, 이들 사이에 게이트 절연층(102)을 유전체로서 이용하여 유지 용량을 형성하고, 그 전극과 화소 전극을 전기적으로 접속하는 구성으로 하여도 좋다.

[0169] 또한, 이 제7 포토리소그래피 공정에서, 제1 단자 및 제2 단자를 레지스트 마스크로 덮어 단자부에 투명 도전막(128, 129)을 남긴다. 투명 도전막(128, 129)은 FPC에 접속되는 전극 또는 배선으로 기능한다. 제1 단자(121)에 직접 접속된 접속 전극(120) 위에 형성된 투명 도전막(128)은, 게이트 배선의 입력 단자로서 기능하는 접속용의 단자 전극이다. 제2 단자(122) 위에 형성된 투명 도전막(129)은, 소스 배선의 입력 단자로서 기능하는 접속용의 단자 전극이다.

[0170] 이어서, 레지스트 마스크를 제거한다. 이 단계에서의 단면도를 도 10c에 나타낸다. 또한, 이 단계에서의 상면도가 도 14에 상당한다.

[0171] 또한, 도 15a의 (1), 도 15a의 (2)는, 이 단계에서의 게이트 배선 단자부의 상면도 및 단면도를 각각 도시한다. 도 15a의 (1)은 도 15a의 (2)의 C1-C2선에 따른 단면도에 상당한다. 도 15a의 (1)에서, 보호 절연막(154) 위에 형성되는 투명 도전막(155)은, 입력 단자로서 기능하는 접속용의 단자 전극이다. 또한, 도 15a의 (1)의 단자부에서는, 게이트 배선과 동일 재료로 형성되는 제1 단자(151)와, 소스 배선과 동일 재료로 형성되는 접속 전극(153)이 게이트 절연층(152)을 통해 중첩되어 직접 접하여 도통한다. 또한, 접속 전극(153)과 투명 도전막(155)이 보호 절연막(154)에 구비된 컨택트 홀을 통해 직접 접하여 도통한다.

[0172] 또한, 도 15b의 (1) 및 도 15b의 (2)는, 소스 배선 단자부의 상면도 및 단면도를 각각 도시한다. 또한, 도 15b의 (1)은 도 15b의 (2)의 D1-D2선에 따른 단면도에 상당한다. 도 15b의 (1)에서, 보호 절연막(154) 위에 형성되는 투명 도전막(155)은, 입력 단자로서 기능하는 접속용의 단자 전극이다. 또한, 도 15b의 (1)의 단자부에서는, 게이트 배선과 동일 재료로 형성되는 전극(156)이, 소스 배선에 전기적으로 접속되는 제2 단자(150)의 아래쪽에서 게이트 절연층(152)을 통해 중첩된다. 전극(156)은 제2 단자(150)에 전기적으로 접속하지 않고, 전극(156)을 제2 단자(150)와 다른 전위, 예를 들면 부유, GND 또는 0V 등으로 설정하면, 노이즈 방지를 위한 용량 또는 정전기 방지를 위한 용량을 형성할 수 있다. 또한, 제2 단자(150)는, 보호 절연막(154)을 통해 투명 도전막(155)에 전기적으로 접속한다.

[0173] 게이트 배선, 소스 배선 및 용량 배선은 화소 밀도에 따라서 복수 구비된다. 또한, 단자부에서는, 게이트 배선과 동일 전위의 제1 단자, 소스 배선과 동일 전위의 제2 단자, 용량 배선과 동일 전위의 제3 단자 등이 복수 배치된다. 각각의 단자의 수는, 각각 임의의 수로 구비하면 좋고, 단자의 수는 실시자가 적절히 결정할 수 있다.

[0174] 이러한 7회의 포토리소그래피 공정에 의해, 7매의 포토마스크를 사용하여, 바텀 게이트형의 n 채널형 박막 트랜지스터인 박막 트랜지스터(170)를 갖는 화소 박막 트랜지스터부, 및 유지 용량을 완성시킬 수 있다. 이들 화소 박막 트랜지스터부, 및 유지 용량을 화소에 대응하여 매트릭스형으로 배치하여 화소부를 구성함으로써 액티브 매트릭스형의 표시 장치를 제조하기 위한 한 쪽의 기판을 얻을 수 있다. 본 명세서에서는 편의상 이러한 기판

을 액티브 매트릭스 기관이라고 부른다.

- [0175] 또한, 화소 전극과 동일 재료를 이용하여 접속 전극을 형성하여, 게이트 배선과 소스 배선 또는 드레인 배선에 전기적으로 접속하는 구성으로 하는 경우에는, 제3 포토리소그래피 공정을 생략할 수 있다. 따라서, 6회의 포토리소그래피 공정에 의해, 6매의 포토마스크를 사용하여, 바텀 게이트형의 n 채널형 박막 트랜지스터인 제2 박막 트랜지스터 및 유지 용량을 완성시킬 수 있다.
- [0176] 또한, 도 1b에 나타난 바와 같이 제2 게이트 전극의 재료를 화소 전극의 재료와 다르게 한 경우에는 1회의 포토리소그래피 공정이 증가하여, 1매의 포토마스크가 증가한다.
- [0177] 액티브 매트릭스형의 액정 표시 장치를 제조하는 경우에는, 액티브 매트릭스 기관과, 대향 전극이 구비된 대향 기관 사이에 액정층을 개재하여, 액티브 매트릭스 기관과 대향 기관을 고정한다. 또한, 대향 기관에 구비된 대향 전극에 전기적으로 접속하는 공통 전극을 액티브 매트릭스 기관 위에 구비하여, 공통 전극에 전기적으로 접속하는 제4 단자를 단자부에 구비한다. 제4 단자는, 공통 전극을 고정전위, 예를 들면 GND 또는 0V 등으로 설정하기 위해 구비된다.
- [0178] 또한, 본 실시 형태는, 도 14의 화소 구성에 한정되지 않고, 도 14와 다른 상면도의 예를 도 16에 나타낸다. 도 16에서는 용량 배선을 구비하지 않고, 보호 절연막 및 게이트 절연층을 통해 화소 전극에 인접하는 화소의 게이트 배선과 겹쳐 유지 용량을 형성하는 예이다. 이 경우, 용량 배선 및 용량 배선에 접속하는 제3 단자는 생략할 수 있다. 또한, 도 16에서, 도 14와 동일 부분에는 동일 부호를 이용하여 설명한다.
- [0179] 액티브 매트릭스형의 액정 표시 장치에서는, 매트릭스형으로 배치된 화소 전극을 구동함으로써, 화면 위에 표시 패턴이 형성된다. 상세하게는 선택된 화소 전극과 상기 화소 전극에 대응하는 대향 전극 사이에 전압이 인가됨으로써, 화소 전극과 대향 전극 사이에 배치된 액정층의 광학 변조가 행해져, 이 광학 변조가 표시 패턴으로서 관찰자에게 인식된다.
- [0180] 액정 표시 장치의 동화상 표시에서, 액정 분자 자체의 응답이 느리기 때문에, 잔상이나 동화상의 블러링이 생기는 문제가 있다. 액정 표시 장치의 동화상 특성을 개선하기 위해서, 전체면에 흑 표시를 1 프레임 걸러서 행하는 소위, 흑 삽입이라고 불리는 구동 기술이 사용된다.
- [0181] 또한, 통상의 수직 동기 주파수를 1.5배 이상, 바람직하게는 2배 이상으로 하는 것으로 동화상 특성을 개선하는, 소위, 배속 구동(double-frame rate driving)이라고 불리는 구동 기술을 사용할 수도 있다.
- [0182] 또한, 액정 표시 장치의 동화상 특성을 개선하기 위해서, 백라이트로서 복수의 LED(발광 다이오드) 광원 또는 복수의 EL 광원 등을 이용하여 면광원을 구성하여, 면광원을 구성하고 있는 각 광원을 독립적으로 1 프레임 기간 내에 간헐적으로 구동하는 구동 방법을 사용할 수도 있다. 면광원으로서, 3종류 이상의 LED를 이용하여도 좋고, 백색 발광의 LED를 이용하여도 좋다. 독립적으로 복수의 LED를 제어할 수 있기 때문에, 액정층의 광학 변조의 전환 타이밍으로 LED의 발광 타이밍을 동기화할 수 있다. 이 구동 방법은, LED를 부분적으로 소등할 수 있기 때문에, 특히 검은 표시 영역의 비율이 많은 영상 표시의 경우에는, 소비 전력의 감소 효과가 도모될 수 있다.
- [0183] 이들 구동 방법을 조합함으로써, 액정 표시 장치의 동화상 특성 등의 표시 특성을 종래에 비해 개선할 수 있다.
- [0184] 본 실시 형태로 얻어지는 n 채널형의 트랜지스터는, In-Ga-Zn-O계 비 단결정막을 채널 형성 영역에 이용하고, 양호한 동적 특성을 갖는다. 이에 따라, 이들 구동 방법을 적용할 수 있다.
- [0185] 또한, 발광 표시 장치를 제조하는 경우, 유기 발광 소자의 한 쪽의 전극(캐소드라고도 부름)은, 저전원 전위, 예를 들면 GND 또는 0V 등으로 설정하기 때문에, 단자부에, 캐소드를 저전원 전위, 예를 들면 GND 또는 0V 등으로 설정하기 위한 제4 단자가 구비된다. 또한, 발광 표시 장치를 제조하는 경우에는, 소스 배선 및 게이트 배선에 더하여 전원 공급선을 구비한다. 따라서, 단자부에는, 전원 공급선에 전기적으로 접속하는 제5 단자를 구비한다.
- [0186] 게이트선 구동 회로 또는 소스선 구동 회로에서 산화물 반도체를 이용한 박막 트랜지스터를 이용하여, 제조 비용을 감소시킨다. 그리고 구동 회로에 이용하는 박막 트랜지스터의 게이트 전극과 소스 배선, 또는 드레인 배선을 직접 접속시킴으로써 컨택트 홀의 수를 적게 하여, 구동 회로의 점유 면적을 축소화할 수 있는 표시 장치를 제공할 수 있다.

- [0187] 따라서, 본 실시 형태에 의해, 전기 특성이 높고 신뢰성이 좋은 표시 장치를 저 비용으로 제공할 수 있다.
- [0188] 또한, 본 실시 형태는, 실시 형태 1, 실시 형태 2, 또는 실시 형태 3과 자유롭게 조합할 수 있다.
- [0189] (실시 형태 5)
- [0190] 실시 형태 5에서는, 반도체 장치로서 전자 페이퍼가 예를 도시한다.
- [0191] 도 17은, 액정 표시 장치와 다른 반도체 장치의 예로서 액티브 매트릭스형의 전자 페이퍼를 나타낸다. 반도체 장치의 화소부에 이용되는 박막 트랜지스터(581)에서는, 실시 형태 4로 나타내는 화소부의 박막 트랜지스터와 같이 제조할 수 있고, In-Ga-Zn-O계 비 단결정막을 반도체층으로서 포함하는 박막 트랜지스터이다. 또한, 실시 형태 1에 도시한 바와 같이, 동일 기판 위에 화소부와 구동 회로를 형성할 수 있어서, 제조 비용을 감소시킨 전자 페이퍼를 실현할 수 있다.
- [0192] 도 17의 전자 페이퍼는, 트위스트볼 표시 방식을 이용한 표시 장치의 예이다. 트위스트볼 표시 방식은, 백과 흑으로 착색된 구형 입자를 표시 소자에 이용하는 전극층인 제1 전극층 및 제2 전극층 사이에 배치하여, 제1 전극층 및 제2 전극층 사이에 전위차가 생기게 하여 구형 입자의 방향을 제어함으로써, 표시를 행하는 방법이다.
- [0193] 박막 트랜지스터(581)는 바텀 게이트 구조의 박막 트랜지스터이고, 소스 전극층 또는 드레인 전극층은 절연층(583, 584, 585)에 형성되는 개구에서 제1 전극층(587)과 접하고 있어, 박막 트랜지스터(581)는 제1 전극층(587)에 전기적으로 접속한다. 제1 전극층(587)과 제2 전극층(588) 사이에는 흑색 영역(590a) 및 백색 영역(590b)을 갖고, 주위에 액체로 충전되어 있는 캐비티(594)를 포함하는 구형 입자(589)가 한 쌍의 기판(580, 596) 사이에 구비되어 있다. 구형 입자(589)의 주위 공간은 수지 등의 충전재(595)로 충전되어 있다(도 17참조).
- [0194] 또한, 트위스트볼 대신에, 전기 영동 소자를 이용하는 것도 가능하다. 투명한 액체와, 플러스로 대전된 흰 미립자와 마이너스로 대전된 검은 미립자를 봉입한 직경 10 μ m 내지 200 μ m 정도의 마이크로 캡슐을 이용한다. 제1 전극층과 제2 전극층 사이에 구비되는 마이크로 캡슐은, 제1 전극층과 제2 전극층에 의해서, 전계가 주어지면, 흰 미립자와 검은 미립자가 역방향으로 이동하여, 백 또는 흑을 표시할 수 있다. 이 원리를 응용한 표시 소자가 전기 영동 표시 소자이고, 전자 페이퍼라고 불리고 있다. 전기 영동 표시 소자는, 액정 표시 소자에 비해 반사율이 높기 때문에, 보조라이트는 불필요하고, 또한 소비 전력이 작고, 어두운 장소에서도 표시부를 인식하는 것이 가능하다. 또한, 표시부에 전원이 공급되지 않은 경우에도, 한번 표시한 상을 유지할 수 있다. 따라서, 표시 기능부를 가진 반도체 장치(간단히 표시 장치를 구비한 표시 장치 또는 반도체 장치로 언급됨)가 전파 발신원에서 멀리 있어도 표시된 화상을 기억할 수 있다.
- [0195] 실시 형태 1등에 나타난 박막 트랜지스터를 이용함으로써, 반도체 장치로서 제조 비용이 감소된 전자 페이퍼를 제조할 수 있다.
- [0196] 본 실시 형태는, 실시 형태 1, 또는 실시 형태 2에 기재한 구성과 적절하게 조합하여 실시하는 것이 가능하다.
- [0197] (실시 형태 6)
- [0198] 실시 형태 6에서는, 반도체 장치로서 발광 표시 장치의 예를 도시한다. 표시 장치에 포함되는 표시 소자에서, 여기서는 전계 발광을 이용하는 발광 소자를 이용하여 나타낸다. 전계 발광을 이용하는 발광 소자는, 발광 재료가 유기 화합물인지, 무기 화합물인지에 따라 분류된다. 일반적으로, 전자는 유기 EL소자, 후자는 무기 EL소자라고 불린다.
- [0199] 유기 EL 소자는, 발광 소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 포함하는 층에 주입되어, 전류가 흐른다. 그리고, 캐리어(전자 및 정공)가 재결합함으로써, 발광성의 유기 화합물이 여기된다. 발광성의 유기 화합물은, 이 여기 상태에서부터 기저 상태로 되돌아갈 때 발광한다. 이러한 메커니즘으로 인해, 이러한 발광 소자는, 전류 여기형의 발광 소자라고 불린다.
- [0200] 무기 EL 소자는, 그 소자 구성에 따라, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는, 발광 재료의 입자를 바인더중에 분산시킨 발광층을 갖는 것이고, 발광 메커니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는, 발광층을 유전체층 사이에 끼워, 그것을 전극 사이에 끼운 구조이고, 발광 메커니즘은 금속 이온의 안각(inner-shell) 전자 전이를 이용하는 국

재형 발광(localized type light emission)이다. 또한, 여기서는, 발광 소자로서 유기 EL소자를 이용하여 설명한다.

- [0201] 도 18은, 반도체 장치의 예로서 디지털 시간 계조 구동(grayscale driving)을 적용할 수 있는 화소 구성의 일례를 도시한 도면이다.
- [0202] 디지털 시간 계조 구동을 적용할 수 있는 화소의 구성 및 화소의 동작에 관해서 설명한다. 본 실시 형태에서는, 산화물 반도체층(In-Ga-Zn-O계 비 단결정막)을 채널 형성 영역에 이용하는 n 채널형의 트랜지스터를 1개의 화소에 2개 이용하는 예를 도시한다.
- [0203] 화소(6400)는, 스위칭 트랜지스터(6401), 구동용 트랜지스터(6402), 발광 소자(6404) 및 용량 소자(6403)를 갖고 있다. 스위칭 트랜지스터(6401)는 게이트가 주사선(6406)에 접속되고, 스위칭 트랜지스터(6401)의 제1 전극(소스 전극 및 드레인 전극의 한 쪽)이 신호선(6405)에 접속되고, 스위칭 트랜지스터(6401)의 제2 전극(소스 전극 및 드레인 전극의 다른 쪽)이 구동용 트랜지스터(6402)의 게이트에 접속된다. 구동용 트랜지스터(6402)는, 게이트가 용량 소자(6403)를 통해 전원선(6407)에 접속되고, 구동용 트랜지스터(6402)의 제1 전극이 전원선(6407)에 접속되고, 구동용 트랜지스터(6402)의 제2 전극이 발광 소자(6404)의 제1 전극(화소 전극)에 접속된다. 발광 소자(6404)의 제2 전극은 공통 전극(6408)에 상당한다.
- [0204] 또한, 발광 소자(6404)의 제2 전극(공통 전극(6408))에는 저전원 전위가 설정된다. 또한, 저전원 전위는, 전원선(6407)으로 설정되는 고전원 전위를 기준으로 하여 "저전원 전위<고전원 전위"를 만족시키는 전위이다. 저전원 전위로서는 예를 들면 GND 또는 0V 등이 사용될 수 있다. 이 고전원 전위와 저전원 전위 사이의 전위차를 발광 소자(6404)에 인가하여, 발광 소자(6404)에 공급하여 발광 소자(6404)를 발광시킨다. 여기서, 발광 소자(6404)를 발광시키기 위해, 고전원 전위와 저전원 전위 사이의 전위차가 발광 소자(6404)의 순방향 임계 전압 이상이 되도록 각각의 전위를 설정한다.
- [0205] 또한, 용량 소자(6403)는, 구동용 트랜지스터(6402)의 게이트 용량을 용량 소자(6403)로서 대용할 수 있어서, 생략하는 것도 가능하다. 구동용 트랜지스터(6402)의 게이트 용량은, 채널 영역과 게이트 전극 사이에 형성되어 있어도 좋다.
- [0206] 여기서, 전압 입력 전압 구동 방식의 경우에는, 구동용 트랜지스터(6402)의 게이트에는, 구동용 트랜지스터(6402)가 충분히 온이거나 오프의 두 개의 상태 중 하나에 있도록 비디오 신호를 입력한다. 즉, 구동용 트랜지스터(6402)는 온상태에서는 선형 영역에서 동작한다. 구동용 트랜지스터(6402)가 온 상태 중에 선형 영역에서 동작되기 때문에, 온상태 중에 전원선(6407)의 전압보다도 높은 전압을 구동용 트랜지스터(6402)의 게이트에 인가한다. 또한, 신호선(6405)에는, 구동용 트랜지스터(6402)가 온상태일 때 "전원선 전압+스위칭 트랜지스터(6401)의 V_{th} " 이상의 전압을 인가한다.
- [0207] 또한, 디지털 시간 계조 구동 대신에 아날로그 계조 구동을 행하는 경우, 신호의 입력을 변경하여, 도 18과 동일 화소 구성을 사용할 수 있다.
- [0208] 아날로그 계조 구동을 행하는 경우, 구동용 트랜지스터(6402)의 게이트에 (발광 소자(6404)의 순방향 전압 + 구동용 트랜지스터(6402)의 V_{th}) 이상의 전압을 인가한다. 발광 소자(6404)의 순방향 전압은, 원하는 휘도가 얻어지는 전압을 나타내고, 적어도 순방향 임계 전압보다 크다. 또한, 구동용 트랜지스터(6402)가 포화 영역에서 동작하는 비디오 신호를 입력하여, 발광 소자(6404)에 전류를 흐르게 할 수 있다. 구동용 트랜지스터(6402)를 포화 영역에서 동작시키기 위해, 전원선(6407)의 전위는, 구동용 트랜지스터(6402)의 게이트 전위보다도 높게 한다. 아날로그 신호를 사용하는 경우, 발광 소자(6404)에 비디오 신호에 따른 전류를 흘려, 아날로그 계조 구동을 행할 수 있다.
- [0209] 또한, 도 18에 나타내는 화소 구성은, 이것에 한정되지 않는다. 예를 들면, 도 18에 나타내는 화소에 스위치, 저항 소자, 용량 소자, 트랜지스터 또는 논리 회로 등을 추가하여도 좋다.
- [0210] 다음에, 발광 소자의 구성에 관해서, 도 19a, 도 19b, 도 19c를 이용하여 설명한다. 여기서는, 구동용 TFT가 도 1b에 나타내는 박막 트랜지스터(170)의 경우를 예로서 예를 들어, 화소의 단면 구조에 관해서 설명한다. 도 19a, 도 19b, 도 19c의 반도체 장치에 이용되는 구동용 TFT7001, 7011, 7021은, 실시 형태 1로 나타내는 박막 트랜지스터(170)와 같이 제조할 수 있고, In-Ga-Zn-O계 비 단결정막을 반도체층으로서 포함하는 높은 전기 특성을 갖는 박막 트랜지스터이다.
- [0211] 발광 소자로부터 발광을 취출하기 위해서 적어도 양극 또는 음극의 한쪽이 투명한 것이 요구된다. 기판 위에

박막 트랜지스터 및 발광 소자를 형성한다. 기판과 반대측의 면에서 발광을 추출하는 상면 발광, 기판측의 면에서 발광을 추출하는 하면 발광, 기판측 및 기판과 반대측의 면에서 발광을 추출하는 양면 발광 구조의 발광 소자가 있다. 도 18에 나타내는 화소 구성은 이러한 발광 구조 중 어떤 발광 구조의 발광 소자에도 적용할 수 있다.

[0212] 상면 발광 구조의 발광 소자에 관해서 도 19a를 이용하여 설명한다.

[0213] 도 19a에, 구동용 TFT7001이 도 1b에 나타내는 박막 트랜지스터(170)이고, 발광 소자(7002)로부터 발생하는 광이 양극(7005)측으로 방출되는 경우의, 화소의 단면도를 나타낸다. 도 19a에서는, 발광 소자(7002)의 음극(7003)과 구동용 TFT7001이 전기적으로 접속되어 있고, 음극(7003) 위에 발광층(7004), 양극(7005)이 이 순서대로 적층된다. 음극(7003)은 일함수가 작고, 광을 반사하는 도전막이면 여러가지의 도전성 재료를 사용하여 형성될 수 있다. 예를 들면, Ca, Al, CaF, MgAg, AlLi 등이 바람직하다. 그리고 발광층(7004)은, 단일 층 또는 복수의 층이 적층되어 구성되어 있어도 좋다. 발광층(7004)이 복수의 층으로 구성되어 있는 경우, 발광층(7004)은 음극(7003) 위에 전자 주입층, 전자 수송층, 발광층, 홀수송층, 홀주입층의 이 순서대로 적층된다. 또 이들 층을 전부 형성할 필요는 없다. 양극(7005)은 광을 투과하는 투광성을 갖는 도전성 재료를 이용하여 형성하여, 예를 들면 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO와 나타냄), 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등의 투광성을 갖는 도전막을 사용할 수도 있다.

[0214] 음극(7003)과 양극(7005) 사이에 발광층(7004)을 끼우고 있는 영역이 발광 소자(7002)에 상당한다. 도 19a에 나타낸 화소의 경우, 광은 발광 소자(7002)로부터 화살표로 나타낸 바와 같이 양극(7005)측으로 발광한다.

[0215] 또한, 구동 회로에서 산화물 반도체층 위에 구비되는 제2 게이트 전극은, 음극(7003)과 동일 재료로 형성하면 공정을 간략화할 수 있기 때문에 바람직하다.

[0216] 다음에, 하면 발광 구조를 가진 발광 소자에 관해서 도 19b를 이용하여 설명한다. 도 19b는 구동용 TFT7011이 도 1a에 나타내는 박막 트랜지스터(170)이고, 광이 발광 소자(7012)로부터 음극(7013)측으로 발광하는 경우의, 화소의 단면도를 나타낸다. 도 19b에서는, 구동용 TFT7011에 전기적으로 접속된 투광성을 갖는 도전막(7017) 위에, 발광 소자(7012)의 음극(7013)이 성막되어 있고, 음극(7013) 위에 발광층(7014), 양극(7015)이 이 순서대로 적층된다. 또한, 양극(7015)이 투광성을 갖는 경우, 양극 위를 덮도록 광을 반사 또는 차폐하기 위한 차폐막(7016)이 성막되어 있어도 좋다. 음극(7013)은, 도 19a의 경우와 같이, 일함수가 작은 도전성 재료이면 여러가지 재료를 사용할 수 있다. 음극(7013)은 광을 투과할 수 있는 막 두께(바람직하게는, 5nm 내지 30nm 정도)를 갖도록 형성된다. 예를 들면 20nm의 막 두께를 갖는 알루미늄막을, 음극(7013)으로서 사용할 수 있다. 발광층(7014)은, 도 19a와 같이, 단일 층으로 구성되어 있어도, 복수의 층이 적층되도록 구성되어 있어도 좋다. 양극(7015)은 광을 투과할 필요는 없지만, 도 19a의 경우와 같이, 투광성을 갖는 도전성 재료를 이용하여 형성할 수 있다. 차폐막(7016)은, 예를 들면 광을 반사하는 금속 등을 사용할 수 있지만, 금속막에 한정되지 않는다. 예를 들면 흑색 안료를 첨가한 수지 등을 이용할 수 있다.

[0217] 음극(7013)과 양극(7015) 사이에 발광층(7014)이 끼워지는 영역이 발광 소자(7012)에 상당한다. 도 19b에 나타낸 화소의 경우, 광은 발광 소자(7012)로부터 화살표로 나타낸 바와 같이 음극(7013)측으로 발광한다.

[0218] 또한, 구동 회로에서 산화물 반도체층 위에 구비되는 제2 게이트 전극은, 음극(7013)과 동일 재료로 형성하면 공정을 간략화할 수 있기 때문에 바람직하다.

[0219] 다음에, 양면 발광 구조의 발광 소자에 관해서, 도 19c를 이용하여 설명한다. 도 19c에서는, 구동용 TFT7021에 전기적으로 접속된 투광성을 갖는 도전막(7027) 위에, 발광 소자(7022)의 음극(7023)이 성막되어 있고, 음극(7023) 위에 발광층(7024), 양극(7025)이 이 순서대로 적층된다. 음극(7023)은, 도 19a의 경우와 같이, 일함수가 작은 도전성 재료이면 여러가지 재료를 사용할 수 있다. 음극(7023)은 광을 투과할 수 있는 두께를 갖도록 형성된다. 예를 들면 20nm의 막 두께를 갖는 Al을, 음극(7023)으로서 사용할 수 있다. 그리고 발광층(7024)은, 도 19a와 같이, 단일 층으로 구성되어 있어도, 복수의 층이 적층되도록 구성되어 있어도 좋다. 양극(7025)은, 도 19a와 같이, 광을 투과하는 투광성을 갖는 도전성 재료를 이용하여 형성할 수 있다.

[0220] 음극(7023)과, 발광층(7024)과, 양극(7025)이 중첩되어 있는 부분이 발광 소자(7022)에 상당한다. 도 19c에 나타낸 화소의 경우, 광은 발광 소자(7022)로부터 화살표로 나타낸 바와 같이 양극(7025)측과 음극(7023)측의 양쪽으로 발광한다.

- [0221] 또한, 구동 회로에서 산화물 반도체층 위에 구비되는 제2 게이트 전극은, 도전막(7027)과 동일 재료로 형성하면 공정을 간략화할 수 있기 때문에 바람직하다. 또한, 구동 회로에서 산화물 반도체층 위에 구비되는 제2 게이트 전극은, 도전막(7027) 및 음극(7023)과 동일 재료를 이용하여 적층시키면, 공정을 간략화할 수 있을 뿐 아니라 배선 저항을 저하시킬 수 있어, 바람직하다.
- [0222] 또한, 여기서는, 발광 소자로서 유기 EL소자에 관해서 설명했지만, 발광 소자로서 무기 EL 소자를 구비하는 것도 가능하다.
- [0223] 또한, 본 실시 형태에서는, 발광 소자의 구동을 제어하는 박막 트랜지스터(구동용 TFT)와 발광 소자가 접속되어 있는 예를 도시했지만, 구동용 TFT와 발광 소자 사이에 전류 제어용 TFT이 접속되어 있는 구성일 수도 있다.
- [0224] 또 본 실시 형태로 나타내는 반도체 장치는, 도 19a, 도 19b, 도 19c에 나타난 구성에 한정되는 것이 아니고, 개시한 기술 사상에 기초하는 각종 변형이 가능하다.
- [0225] 다음에, 반도체 장치의 일 실시 형태인 발광 표시 패널(발광 패널이라고도 함)의 상면 및 단면에 관해서, 도 21a, 도 21b를 참조하여 설명한다. 도 21a는, 제1 기판 위에 형성된 박막 트랜지스터 및 발광 소자를, 제1 기판과 제2 기판 사이에서 밀봉재로 밀봉한 패널의 상면도이다. 도 21b는, 도 21a의 H-I에서의 단면도이다.
- [0226] 제1 기판(4501) 위에 구비된 화소부(4502), 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b)를 둘러싸도록, 밀봉재(4505)가 구비된다. 또한 화소부(4502), 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b)의 위에 제2 기판(4506)이 구비된다. 따라서 화소부(4502), 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b)는, 제1 기판(4501)과 밀봉재(4505)와 제2 기판(4506)에 의해, 충전재(4507)와 함께 밀봉된다. 이와 같이 패널을 외부 공기에 노출시키지 않도록 기밀성이 높고, 탈 가스가 적은 보호막(적층막 또는 자외선 경화 수지막 등)이나 커버재로 패키징(봉입)하는 것이 바람직하다.
- [0227] 또한 제1 기판(4501) 위에 구비된 화소부(4502), 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b)는, 박막 트랜지스터를 복수 갖는다. 도 21b에서는, 화소부(4502)에 포함되는 박막 트랜지스터(4510)와, 신호선 구동 회로(4503a)에 포함되는 박막 트랜지스터(4509)를 예시한다.
- [0228] 박막 트랜지스터(4509, 4510)는, In-Ga-Zn-O계 비 단결정막을 반도체층으로서 포함하는 신뢰성이 높은 실시 형태 1에 나타내는 박막 트랜지스터를 적용할 수 있다. 또한, 박막 트랜지스터(4509)는, 도 1b를 참조하여 실시 형태 1에서 설명한 바와 같이 반도체층의 상하에 게이트 전극을 갖고 있다.
- [0229] 또한 참조번호 4511은 발광 소자를 나타낸다. 발광 소자(4511)에 포함되는 화소 전극인 제1 전극층(4517)은, 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층에 전기적으로 접속된다. 또 발광 소자(4511)의 구성은, 제1 전극층(4517), 전계 발광층(4512), 제2 전극층(4513)의 적층 구조이지만, 본 실시 형태에 나타난 구성에 한정되지 않는다. 발광 소자(4511)로부터 취출하는 광의 방향 등에 따라서, 발광 소자(4511)의 구성은 적절하게 바꿀 수 있다.
- [0230] 격벽(4520)은, 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 이용하여 형성된다. 특히 격벽(4520)은 감광성 재료를 이용하여, 제1 전극층(4517) 위에 개구부를 형성하여, 그 개구부의 측벽이 연속한 곡율을 갖는 경사면으로 형성되는 것이 바람직하다.
- [0231] 전계 발광층(4512)은, 단일 층 또는 복수의 층이 적층되어 형성될 수 있다.
- [0232] 발광 소자(4511)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록, 제2 전극층(4513) 및 격벽(4520) 위에 보호막을 형성할 수도 있다. 보호막으로는, 질화 실리콘막, 질화 산화 실리콘막, DLC 막 등을 형성할 수 있다.
- [0233] 또한, 신호선 구동 회로(4503a, 4503b), 주사선 구동 회로(4504a, 4504b), 및 화소부(4502)에 공급되는 각종 신호 및 전위는, FPC 4518a, 4518b로부터 공급된다.
- [0234] 본 실시 형태에서, 접속 단자 전극(4515)은, 발광 소자(4511)에 포함되는 제1 전극층(4517)과 동일 도전막으로부터 형성되어, 단자 전극(4516)은, 박막 트랜지스터(4509, 4510)에 포함되는 소스 전극층 및 드레인 전극층과 동일 도전막으로부터 형성된다.
- [0235] 접속 단자 전극(4515)은, 이방성 도전막(4519)을 통해 FPC 4518a에 포함되는 단자와 전기적으로 접속된다.
- [0236] 발광 소자(4511)로부터의 광의 취출 방향에 위치하는 제2 기판은 투광성을 갖는 것이 요구된다. 이 경우에, 유

리판, 플라스틱판, 폴리에스테르막 또는 아크릴막같은 투광성을 갖는 재료를 이용한다.

- [0237] 또한, 충전재(4507)로서는 질소나 아르곤 등의 불활성인 기체 외에, 자외선 경화 수지 또는 열 경화 수지를 사용할 수 있다. 예를 들어, PVC(폴리 비닐 클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(폴리 비닐 브티랄)또는 EVA(에틸렌 비닐 아세테이트)를 사용할 수 있다.
- [0238] 또한, 필요시, 발광 소자의 발광면에 편광판, 또는 원편광판(타원 편광판을 포함한다), 위상차판($\lambda/4$ 판, $\lambda/2$ 판) 또는 컬러 필터 등의 광학막을 적절하게 구비하여도 좋다. 또한, 편광판 또는 원편광판에 반사 방지막을 구비하여도 좋다. 예를 들면, 표면의 요철에 의해 반사광을 확산시켜, 눈부심을 감소시킬 수 있는 엔티-글레어처리를 실시할 수 있다.
- [0239] 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b)는, 별도 준비된 단결정 반도체 기관, 또는 절연 기관 위에 단결정 반도체막 또는 다결정 반도체막에 의해 형성된 구동 회로를 실장함으로써 구비될 수 있다. 또한, 신호선 구동 회로만, 또는 일부, 또는 주사선 구동 회로만, 또는 일부만을 별도 형성하여 실장하여도 좋다. 본 실시 형태는 도 21a 및 도 21b의 구성에 한정되지 않는다.
- [0240] 실시 형태 1 등에 나타난 TFT를 이용함으로써, 제조 비용을 감소시킨 발광 표시 장치(표시 패널)를 제조할 수 있다.
- [0241] 본 실시 형태는, 실시 형태 1, 또는 실시 형태 2에 기재한 구성과 적절하게 조합하여 실시하는 것이 가능하다.
- [0242] (실시 형태 7)
- [0243] 본 실시 형태에서는, 반도체 장치의 일 실시 형태에 상당하는 액정 표시 패널의 상면 및 단면에 관해서, 도 20a, 도 20b를 이용하여 설명한다. 도 20a는, 제1 기관(4001) 위에 형성된 실시 형태 1로 나타난 In-Ga-Zn-O계 비 단결정막을 반도체층으로서 포함하는 박막 트랜지스터(4010, 4011) 및 액정 소자(4013)를, 제1 기관(4001)과 제2 기관(4006) 사이에서 밀봉재(4005)로 밀봉한 패널의 상면도이고, 도 20b는, 도 20a의 M-N에서의 단면도이다.
- [0244] 제1 기관(4001) 위에 구비된 화소부(4002)와, 주사선 구동 회로(4004)를 둘러싸도록, 밀봉재(4005)가 구비된다. 또한 화소부(4002)와, 주사선 구동 회로(4004) 위에 제2 기관(4006)이 구비된다. 따라서 화소부(4002)와, 주사선 구동 회로(4004)는, 제1 기관(4001)과 밀봉재(4005)와 제2 기관(4006)에 의해, 액정층(4008)과 함께 밀봉된다. 또한 제1 기관(4001) 위의 밀봉재(4005)에 의해서 둘러싸여 있는 영역과는 다른 영역에, 별도 준비된 기관 위의 단결정 반도체막 또는 다결정 반도체막을 이용하여 형성된 신호선 구동 회로(4003)가 실장된다.
- [0245] 또한, 별도 형성된 구동 회로의 접속 방법은, 특별히 한정되는 것이 아니고, COG 방법, 와이어 본딩 방법, 또는 TAB 방법 등을 사용할 수 있다. 도 20a의 (1)은, COG 방법에 의해 신호선 구동 회로(4003)를 실장하는 예이고, 도 20a의 (2)는, TAB 방법에 의해 신호선 구동 회로(4003)를 실장하는 예이다.
- [0246] 또한 제1 기관(4001) 위에 구비된 화소부(4002)와 주사선 구동 회로(4004)는, 박막 트랜지스터를 복수 갖는다. 도 20b에서는, 화소부(4002)에 포함되는 박막 트랜지스터(4010)와, 주사선 구동 회로(4004)에 포함되는 박막 트랜지스터(4011)를 예시한다. 박막 트랜지스터(4010, 4011) 위에는 절연층(4020, 4021)이 구비된다.
- [0247] 각각의 박막 트랜지스터(4010, 4011)는, In-Ga-Zn-O계 비 단결정막을 반도체층으로서 포함하는 실시 형태 1에 나타내는 박막 트랜지스터일 수 있다. 박막 트랜지스터(4011)는, 실시 형태 2의 도 2a에 나타난 백게이트 전극을 갖는 박막 트랜지스터에 상당한다.
- [0248] 또한, 액정 소자(4013)에 포함되는 화소 전극(4030)은, 박막 트랜지스터(4010)와 전기적으로 접속된다. 그리고 액정 소자(4013)의 대향 전극층(4031)은 제2 기관(4006) 위에 형성된다. 화소 전극(4030)과 대향 전극층(4031)과 액정층(4008)이 중첩되는 부분이, 액정 소자(4013)에 상당한다. 또한, 화소 전극(4030), 대향 전극층(4031)은 각각 배향막으로서 기능하는 절연층(4032, 4033)이 구비되고, 절연층(4032, 4033)을 통해 화소 전극(4030)과 대향 전극층(4031) 사이에 액정층(4008)이 끼워진다.
- [0249] 또한, 제1 기관(4001), 제2 기관(4006)으로서, 유리, 금속(대표적으로는 스테인리스 스틸), 세라믹, 플라스틱을 사용할 수 있다. 플라스틱으로서, FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐 플루오라이드)막, 폴리에스테르막 또는 아크릴 수지막을 사용할 수 있다. 또한, 알루미늄 호일을 PVF막이나 폴리에스테르막 사이에 끼운 구조의 시트를 이용할 수 있다.

- [0250] 또한 참조번호 4035는 절연막을 선택적으로 에칭함으로써 얻어지는 기둥형의 스페이서이고, 화소 전극(4030)과 대향 전극층(4031) 사이의 거리(셀 간격)를 제어하기 위해서 구비된다. 또 구형의 스페이서를 이용하고 있어도 좋다. 또한, 대향 전극층(4031)은, 박막 트랜지스터(4010)와 동일 기판 위에 구비되는 공통 전위선에 전기적으로 접속된다. 공통 접속부를 이용하여, 한 쌍의 기판 사이에 배치되는 도전성 입자를 통해 대향 전극층(4031)과 공통 전위선을 전기적으로 접속시킬 수 있다. 또한, 도전성 입자는 밀봉재(4005)에 포함된다.
- [0251] 또한, 배향막이 불필요한 블루상(blue phase)을 나타내는 액정을 이용하여도 좋다. 블루상은 액정상의 하나이고, 콜레스테릭 액정의 온도를 증가시키면서, 콜레스테릭상으로부터 등방상으로 전이하는 직전에 발생하는 상이다. 블루상은 좁은 온도 범위에서만 발생되기 때문에, 온도 범위를 개선하기 위해서 5 중량% 이상의 키랄제(chiral agent)를 혼합시킨 액정 조성물을 이용하여 액정층(4008)에 이용한다. 블루상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은, 응답 속도가 10 μ s 내지 100 μ s로 짧고, 광학적 등방성이기 때문에 배향 처리가 불필요하고, 시야각 의존성이 작다.
- [0252] 또 본 실시 형태는 투과형 액정 표시 장치의 예이지만, 반사형 액정 표시 장치 및 반 투과형 액정 표시 장치에도 적용할 수 있다.
- [0253] 또한, 본 실시 형태의 액정 표시 장치로는, 기판의 외측(뷰어측)에 편광판을 구비하고, 내측에 착색층 및 표시소자에 이용하는 전극층을 이 순서대로 구비하지만, 편광판은 기판의 내측에 구비하여도 좋다. 또한, 편광판과 착색층의 적층 구조도 본 실시 형태에 한정되지 않고, 편광판 및 착색층의 재료나 제조 공정 조건에 따라 적절하게 설정하면 좋다. 또한, 블랙 매트릭스로서 기능하는 차광막을 구비하여도 좋다.
- [0254] 또한, 본 실시 형태에서는, 박막 트랜지스터의 표면 불균일성을 감소시키고 박막 트랜지스터의 신뢰성을 향상시키기 위해, 실시 형태 1에서 얻어진 박막 트랜지스터를 보호막이나 평탄화 절연막으로서 기능하는 절연층(절연층(4020), 절연층(4021))으로 덮는다. 또한, 보호막은, 대기중에 존재하는 유기물이나 금속물, 수증기 등의 오염 불순물의 침입을 막기 위한 것으로, 치밀한 막이 바람직하다. 보호막은, 스퍼터링법을 이용하여, 산화 실리콘막, 질화 실리콘막, 산화질화 실리콘막, 질화 산화 실리콘막, 산화 알루미늄막, 질화 알루미늄막, 산화질화 알루미늄막, 또는 질화 산화 알루미늄막의 단층 또는 적층하여 형성하면 좋다. 본 실시 형태에서는 보호막을 스퍼터링법으로 형성하는 예를 도시하지만, 특별히 한정되지 않으며 플라즈마 CVD법 등의 여러가지의 방법으로 형성하면 좋다. 구동 회로의 일부에서는, 이 보호막이 제2 게이트 절연층으로서 기능하고, 제2 게이트 절연층 위에 백게이트를 갖는 박막 트랜지스터를 구비한다.
- [0255] 본 실시 형태에서, 보호막으로서 적층 구조의 절연층(4020)을 형성한다. 여기서는, 절연층(4020)의 제1 층으로서, 스퍼터링법을 이용하여 산화 실리콘막을 형성한다. 보호막으로서 산화 실리콘막을 이용하면, 알루미늄막의 힐록 방지에 효과가 있다.
- [0256] 또한, 보호막의 제2 층으로서 절연층을 형성한다. 본 실시 형태에서는, 절연층(4020)의 제2 층으로서, 스퍼터링법을 이용하여 질화 실리콘막을 형성한다. 보호막으로서 질화 실리콘막을 이용하면, 나트륨 등의 가동 이온이 반도체 영역에 침입하여, TFT의 전기 특성을 변화시키는 것을 방지할 수 있다. 절연층의 제2 층도 구동 회로의 일부에서 제2 게이트 절연층으로서 기능한다.
- [0257] 따라서, 산화물 반도체층 상하로부터 대략 동일한 게이트 전압을 인가하고, 제2 게이트 절연층이 다른 재료층의 적층으로 형성되는 경우, 제1 게이트 절연층도 다른 재료층의 적층으로 형성되고, 제1 및 제2 게이트 절연층은 대략 동일한 막 두께를 갖는 것이 바람직하다. 본 실시 형태에서는, 구동 회로에서, 백게이트를 갖는 박막 트랜지스터의 제1 게이트 전극 위에 구비되는 제1 게이트 절연층은, 질화 실리콘막과 산화 실리콘막의 적층으로 형성되어, 두께의 합이 절연층(4020)과 대략 동일이 되도록 설정된다.
- [0258] 또한, 보호막을 형성한 후에, 반도체층은 어닐링(300℃ 내지 400℃) 처리될 수 있다. 또한, 보호막을 형성한 후에 백게이트를 형성한다.
- [0259] 또한, 평탄화 절연막으로서 절연층(4021)을 형성한다. 절연층(4021)으로는, 폴리이미드, 아크릴, 벤조시클로부텐, 폴리이미드 또는 에폭시 등의, 내열성을 갖는 유기 재료를 사용할 수 있다. 또한 이러한 유기 재료 외에, 저유전율 재료(낮은-k 재료), 실록산계 수지, PSG(인 유리), BPSG(인보론 유리) 등을 사용할 수 있다. 또한, 이들 재료로 형성되는 절연막을 복수 적층시킴으로써, 절연층(4021)을 형성할 수도 있다.
- [0260] 또 실록산계 수지는, 실록산계 재료를 개시제로서 형성되고 Si-O-Si 결합을 포함하는 수지이다. 실록산계 수지는 치환기에서는 유기기(예를 들면 알킬기나 아릴기)나 플루오로기를 포함할 수도 있다. 또한, 유기기는 플루

오로기를 갖고 있어도 좋다.

- [0261] 절연층(4021)의 형성법은, 특별히 한정되지 않으며, 그 재료에 따라서 스퍼터링법, SOG법, 스핀 코팅법, 디핑법, 스프레이 도포법, 액적 토출법(잉크 제트법, 스크린 인쇄, 오프셋 인쇄 등), 닥터 나이프, 롤코터, 커튼 코터, 나이프 코터 등을 사용할 수 있다. 절연층(4021)을 재료액을 이용하여 형성하는 경우, 소성 공정과 동시에, 반도체층의 어닐링(300℃ 내지 400℃)을 행하여도 좋다. 절연층(4021)의 소성 공정이 반도체층의 어닐링을 겸하는 것으로, 효율적으로 반도체 장치를 제조하는 것이 가능해진다.
- [0262] 화소 전극(4030), 대향 전극층(4031)은, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO로 나타냄), 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료를 사용할 수 있다.
- [0263] 또한, 화소 전극(4030), 대향 전극층(4031)으로서, 도전성 고분자(도전성 중합체라고도 함)를 포함하는 도전성 조성물을 이용하여 형성할 수 있다. 도전성 조성물을 이용하여 형성한 화소 전극은, 시트 저항이 10000Ω/□(ohms per square) 이하, 파장 550nm의 투광율이 70% 이상을 갖는다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항률이 0.1Ω·cm 이하인 것이 바람직하다.
- [0264] 도전성 고분자에서는, 이른바 π 전자 공액계 도전성 고분자가 사용될 수 있다. 예를 들면, 폴리아닐린 또는 그의 유도체, 폴리피롤 또는 그의 유도체, 폴리티오펜 또는 그의 유도체, 또는 이들 2종 이상의 공중합체 등을 들 수 있다.
- [0265] 또한 별도 형성된 신호선 구동 회로(4003)와, 주사선 구동 회로(4004) 및 화소부(4002)에 공급되는 각종 신호 및 전위는, FPC 4018로부터 공급된다.
- [0266] 본 실시 형태에서는, 접속 단자 전극(4015)이, 액정 소자(4013)에 포함되는 화소 전극(4030)과 동일 도전막으로부터 형성되고, 단자 전극(4016)은, 박막 트랜지스터(4010, 4011)의 소스 전극층 및 드레인 전극층과 동일 도전막으로 형성된다.
- [0267] 접속 단자 전극(4015)은, 이방성 도전막(4019)을 통해 FPC 4018에 포함되는 단자와 전기적으로 접속된다.
- [0268] 또한 도 20a의 (1), 도 20a의 (2)에서는, 신호선 구동 회로(4003)를 별도 형성하여, 제1 기판(4001) 위에 실장하고 있는 예를 도시하고 있지만, 본 실시 형태는 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도 형성하여 실장하여도 좋고, 신호선 구동 회로의 일부만 또는 주사선 구동 회로의 일부만을 별도 형성하여 실장하여도 좋다.
- [0269] 도 22는, TFT 기판(2600)을 이용하여 반도체 장치로서 액정 표시 모듈을 구성하는 일례를 도시한다.
- [0270] 도 22는 액정 표시 모듈의 일례이고, TFT 기판(2600)과 대향 기판(2601)이 밀봉재(2602)에 의해 고착되어, 기판들 사이에 TFT 등을 포함하는 화소부(2603), 액정층을 포함하는 표시 소자(2604), 착색층(2605), 편광판(2606)이 구비되어 표시 영역을 형성한다. 착색층(2605)은 컬러 표시를 행하는 경우에 필요하다. RGB 방식의 경우는, 적색, 녹색, 청색의 각 색에 대응한 착색층이 각 화소에 대응하여 구비된다. TFT 기판(2600)과 대향 기판(2601)의 외측에는 편광판(2606), 편광판(2607), 확산판(2613)이 구비된다. 광원은 냉음극관(2610)과 반사판(2611)을 포함하고, 회로 기판(2612)은, 플렉시블 배선 기판(2609)에 의해 TFT 기판(2600)의 배선 회로부(2608)에 접속되고, 컨트롤 회로나 전원 회로 등의 외부 회로를 포함한다. 또한 편광판과 액정층 사이에 위상차판을 갖는 상태에서 편광판과 액정층을 적층하여도 좋다.
- [0271] 액정 표시 모듈에는, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment), ASM(Axially Symmetric Aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(Anti Ferroelectric Liquid Crystal) 등의 액정을 사용할 수 있다.
- [0272] 실시 형태 1 등에 나타난 박막 트랜지스터를 이용함으로써, 반도체 장치로서 제조 비용을 감소시킨 액정 표시 패널을 제조할 수 있다.
- [0273] 본 실시 형태는, 실시 형태 1, 실시 형태 2, 또는 실시 형태 3에 기재한 구성과 적절하게 조합할 수 있다.
- [0274] (실시 형태 8)

- [0275] 본 발명의 실시 형태에 따른 반도체 장치는, 여러가지의 전자 기기(오락기도 포함)에 적용할 수 있다. 전자 기기에서는, 예를 들면, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 함), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 파칭코기 등의 대형 게임기 등을 들 수 있다.
- [0276] 도 23a는, 휴대 정보 단말 기기(9200)의 일례를 도시한다. 휴대 정보 단말 기기(9200)는, 컴퓨터를 내장하고 있어, 여러가지 데이터 처리를 행하는 것이 가능하다. 이러한 휴대 정보 단말 기기(9200)의 예는, PDA(Personal Digital Assistant)를 들 수 있다.
- [0277] 휴대 정보 단말 기기(9200)는, 케이스(9201) 및 케이스(9203)의 2개의 케이스로 구성된다. 케이스(9201)와 케이스(9203)는, 연결부(9207)로 연결되어 휴대 정보 단말 기기(9200)가 접힐 수 있다. 케이스(9201)에는 표시부(9202)가 탑재되고, 케이스(9203)는 키보드(9205)를 구비한다. 물론, 휴대 정보 단말 기기(9200)의 구성은 전술의 것에 한정되지 않고, 이 구성은 적어도 백게이트 전극을 갖는 박막 트랜지스터를 구비할 수 있고, 기타 부속설비가 적절하게 구비될 수 있다. 동일 기판 위에 구동 회로와 화소부를 형성함으로써 제조 비용이 감소된다. 따라서, 전기 특성이 향상된 박막 트랜지스터를 갖는 휴대 정보 단말 기기를 실현할 수 있다.
- [0278] 도 23b는, 디지털 비디오 카메라(9500)의 일례를 도시한다. 디지털 비디오 카메라(9500)는, 케이스(9501)에 탑재된 표시부(9503)와, 각종 조작부를 포함한다. 또한, 디지털 비디오 카메라(9500)의 구성은 특별히 한정되지 않으며, 적어도 백게이트 전극을 갖는 박막 트랜지스터를 구비할 수 있고, 기타 부속설비가 적절하게 구비될 수 있다. 동일 기판 위에 구동 회로와 화소부를 형성함으로써 제조 비용이 감소된다. 따라서, 전기 특성이 향상된 박막 트랜지스터를 갖는 디지털 비디오 카메라를 실현할 수 있다.
- [0279] 도 23c는, 휴대 전화기(9100)의 일례를 도시한다. 휴대 전화기(9100)는, 케이스(9102) 및 케이스(9101)의 2개의 케이스를 갖는다. 케이스(9102) 및 케이스(9101)는 연결부(9103)에 의해 연결되어 접힐 수 있다. 케이스(9102)에는 표시부(9104)가 탑재되고, 케이스(9101)에는 조작키(9106)가 구비된다. 또한, 휴대 전화기(9100)의 구성은 특별히 한정되지 않으며, 이 구성은 적어도 백게이트 전극을 갖는 박막 트랜지스터를 구비할 수 있고, 기타 부속설비가 적절하게 구비될 수 있다. 동일 기판 위에 구동 회로와 화소부를 형성함으로써 제조 비용이 감소된다. 따라서, 전기 특성이 향상된 박막 트랜지스터를 갖는 휴대 전화기를 실현할 수 있다.
- [0280] 도 23d는, 휴대 가능한 컴퓨터(9400)의 일례를 도시한다. 컴퓨터(9400)는, 2개의 케이스, 즉, 케이스(9401)와 케이스(9404)를 구비한다. 케이스(9401)와 케이스(9404)는 컴퓨터가 개폐 가능하도록 연결되어 있다. 케이스(9401)에는 표시부(9402)가 탑재되고, 케이스(9404)는 키보드(9403) 등을 구비한다. 또한, 컴퓨터(9400)의 구성은 특별히 한정되지 않으며, 이 구성은 적어도 백게이트 전극을 갖는 박막 트랜지스터를 구비할 수 있고, 기타 부속설비가 적절하게 구비될 수 있다. 동일 기판 위에 구동 회로와 화소부를 형성함으로써 제조 비용이 감소된다. 따라서, 전기 특성이 향상된 박막 트랜지스터를 갖는 컴퓨터를 실현할 수 있다.
- [0281] 도 24a는, 텔레비전 세트(9600)의 일례를 도시한다. 텔레비전 세트(9600)는, 케이스(9601)에 표시부(9603)가 탑재된다. 표시부(9603)에 의해, 영상을 표시하는 것이 가능하다. 또한, 도 24a에서는 스탠드(9605)에 의해 케이스(9601)가 지지된다.
- [0282] 텔레비전 세트(9600)의 조작은, 케이스(9601)의 조작 스위치나, 별개의 부재의 리모콘 조작기(9610)에 의해 행할 수 있다. 리모콘 조작기(9610)의 조작키(9609)에 의해, 채널이나 음량의 조작을 행하는 수 있어, 표시부(9603)에 표시되는 영상을 조작할 수 있다. 또한, 리모콘 조작기(9610)에, 해당 리모콘 조작기(9610)로부터 출력하는 정보를 표시하는 표시부(9607)를 구비하는 구성으로 하여도 좋다.
- [0283] 또한, 텔레비전 세트(9600)는, 수신기나 모뎀 등을 구비한 구성으로 한다. 수신기에 의해 일반의 텔레비전 방송의 수신을 행할 수 있다. 또한 텔레비전 세트(9600)가 모뎀을 통해 유선 또는 무선에 의한 통신 네트워크에 접속하는 경우, 일방향(송신자로부터 수신자) 또는 양방향(송신자와 수신자 사이, 또는 수신자 사이끼리)의 데이터 통신을 행하는 것도 가능하다.
- [0284] 도 24b는, 디지털 포토 프레임(9700)의 일례를 도시한다. 예를 들면, 디지털 포토 프레임(9700)에서, 케이스(9701)에 표시부(9703)가 탑재된다. 표시부(9703)는, 각종 화상을 표시하는 것이 가능하다. 예를 들면, 표시부(9703)는 디지털 카메라 등으로 촬영한 화상 데이터를 표시할 수 있고, 통상의 사진 프레임으로 기능할 수 있다.
- [0285] 또한, 디지털 포토 프레임(9700)은, 조작부, 외부 접속용 단자(USB 단자, USB 케이블 등의 각종 케이블에 접속

가능한 단자 등), 기록 매체 삽입부 등을 구비한다. 이들 구성은, 표시부가 구비되는 면에 구비될 수 있고, 측면이나 이면에 구비하면 디지털 포토 프레임(9700)의 디자인성이 향상하기 때문에 바람직하다. 예를 들면, 디지털 포토 프레임의 기록 매체 삽입부에, 디지털 카메라로 촬영한 화상 데이터를 기억한 메모리를 삽입함으로써, 화상 데이터를 전송하여 표시부(9703)에 표시할 수 있다.

[0286] 또한, 디지털 포토 프레임(9700)은, 무선으로 데이터를 송수신하도록 구성될 수 있다. 무선에 의해, 원하는 화상 데이터를 전송하여 표시하는 구성할 수도 있다.

[0287] 도 25a는, 도 23c의 휴대 전화와는 다른 휴대 전화기(1000)의 일례를 도시한다. 휴대 전화기(1000)는, 케이스(1001)에 탑재된 표시부(1002), 조작 버튼(1003), 외부 접속 포트(1004), 스피커(1005), 마이크폰(1006) 등을 구비한다.

[0288] 도 25a에 나타내는 휴대 전화기(1000)는, 표시부(1002)를 손가락 등으로 표시부를 터치하는 경우 데이터를 입력할 수 있다. 또한, 전화를 걸거나 또는 메일을 쓰는 등의 조작은, 표시부(1002)를 손가락 등으로 터치하는 것에 의해 행할 수 있다.

[0289] 표시부(1002)의 화면은 주로 3개의 모드가 있고, 제1 모드는, 화상의 표시를 주로 하는 표시 모드이고, 제2 모드는, 문자 등의 정보의 입력을 주로 하는 입력 모드이고, 제3 모드는 표시 모드와 입력 모드의 2개의 모드가 결합된 표시 및 입력 모드이다.

[0290] 예를 들면, 전화를 걸거나 메일을 쓰는 경우는, 표시부(1002)를 문자의 입력을 주로 하는 문자 입력 모드로 선택하여, 화면에 표시되는 문자를 입력시킬 수 있다. 이 경우, 표시부(1002)의 화면의 거의 모든 영역에 키보드 또는 번호 버튼을 표시하는 것이 바람직하다.

[0291] 또한, 휴대 전화기(1000) 내부에, 나침반, 가속도 센서 등의 기울기를 검출하는 센서를 갖는 검출 장치를 구비하는 경우, 휴대 전화기(1000)의 설치 방향(휴대 전화기(1000)가 풍경 모드나 인물 모드에 대해 세로 또는 수직인가)을 판단하여, 표시부(1002)의 화면 표시를 자동적으로 전환하도록 할 수 있다.

[0292] 또한, 화면 모드의 전환은, 표시부(1002)를 터치하거나, 또는 케이스(1001)의 조작 버튼(1003)의 조작에 의해 행해진다. 또한, 표시부(1002)에 표시되는 화상의 종류에 따라 화면 모드가 전환되도록 할 수 있다. 예를 들면, 표시부에 표시되는 화상 신호가 동화상 데이터의 화상이면, 화면 모드는 표시 모드로 전환된다. 이 신호가 문자 데이터의 신호이면, 화면 모드는 입력 모드로 전환된다.

[0293] 또한, 입력 모드에서, 표시부(1002)의 광 센서에 의해 검출되는 신호를 검지하여, 표시부(1002)의 터치 조작에 의한 입력이 일정 기간동안 행해지지 않는 경우에는, 화면의 모드를 입력 모드로부터 표시 모드로 전환하도록 제어하여도 좋다.

[0294] 표시부(1002)는, 이미지 센서로서 기능할 수 있다. 예를 들면, 표시부(1002)를 손바닥이나 손가락으로 터치하는 경우, 손바닥 무늬, 지문 등을 촬상하는 것으로, 본인 인증을 행할 수 있다. 또한, 표시부에 근적외광을 발광하는 백라이트 또는 근적외광을 발광하는 센싱용 광원을 이용하면, 손가락 정맥, 손바닥 정맥 등을 촬상하는 것도 할 수 있다.

[0295] 도 25b는 휴대 전화기의 다른 일례이다. 도 25b의 휴대 전화기는, 케이스(9411)에, 표시부(9412) 및 조작 버튼(9413)을 포함하는 표시 장치(9410)와, 케이스(9421)에 조작 버튼(9422), 외부 입력 단자(9423), 마이크(9424), 스피커(9405) 및 착신시에 발광하는 발광부(9406)를 포함하는 통신 장치(9420)를 갖는다. 표시 기능을 갖는 표시 장치(9410)는 전화 기능을 갖는 통신 장치(9420)와 화살표로 표시된 2방향으로 탈착 가능하다. 따라서, 표시 장치(9410)와 통신 장치(9420)의 단축끼리 또는 장축끼리를 부착하는 것도 할 수 있다. 또한, 표시 기능만을 필요로 하는 경우, 통신 장치(9420)로부터 표시 장치(9410)를 제거하여, 단독으로 이용할 수 있다. 통신 장치(9420)와 표시 장치(9410) 사이의 무선 통신 또는 유선 통신에 의해 화상 또는 입력 정보를 송수신할 수 있고, 각각은 충전 가능한 배터리를 갖는다.

[0296] (실시 형태 9)

[0297] 본 실시 형태에서는, 배선과 산화물 반도체층이 접하는 구성의 박막 트랜지스터를 갖는 표시 장치의 예를 도 26에 나타낸다. 또한, 도 26에서, 도 2a와 동일한 개소에는 동일 부호를 이용하여 설명한다.

[0298] 도 26에 나타내는 제1 박막 트랜지스터(480)는, 구동 회로에 이용되는 박막 트랜지스터이고, 제1 산화물 반도체층(405)에 접하여 제1 배선(409), 제2 배선(410)이 구비되어 있다. 제1 박막 트랜지스터(480)는, 산화물 반도체

체층(405)의 아래쪽으로 제1 게이트 전극(401)과, 제1 산화물 반도체층(405) 위에 접하도록 구비된 채널 보호층(418)과, 제1 산화물 반도체층(405) 위에 제1 박막 트랜지스터(480)의 제2 게이트 전극으로서 기능하는 전극(470)을 갖는다.

[0299] 제2 박막 트랜지스터(481)는, 채널 보호층을 갖는 바텀 게이트형 박막 트랜지스터이고, 제2 산화물 반도체층(407)에 접하여 제2 채널 보호층(419), 제2 배선(410), 제3 배선(411)이 구비되어 있는 예이다.

[0300] 제1 박막 트랜지스터(480), 제2 박막 트랜지스터(481)에서, 제1 산화물 반도체층(405)과 제1 배선(409)의 접촉 영역, 제1 산화물 반도체층(405)과 제2 배선(410)의 접촉 영역 및 제2 산화물 반도체층(407)과 제2 배선(410)의 접촉 영역, 제2 산화물 반도체층(407)과 제3 배선(411)의 접촉 영역은 플라즈마 처리에 의해서 개질되는 것이 바람직하다. 본 실시 형태에서는, 배선으로 기능하는 도전막을 형성하기 전에, 산화물 반도체층(본 실시 형태에서는 In-Ga-Zn-O계 비 단결정막)에 아르곤 분위기에서 플라즈마 처리를 행한다.

[0301] 플라즈마 처리는, 아르곤 분위기 대신 질소, 헬륨 등을 이용하여도 좋다. 또한, 아르곤 분위기에 산소, 수소, N₂O 등을 추가한 분위기에서 플라즈마 처리를 행하여도 좋다. 또한, 아르곤 분위기에 Cl₂, CF₄ 등을 추가한 분위기에서 행하여도 좋다.

[0302] 플라즈마 처리에 의해 개질된 제1 산화물 반도체층(405), 제2 산화물 반도체층(407)에 접하여 도전막을 형성하여, 제1 배선(409), 제2 배선(410), 제3 배선(411)을 형성한다. 이에 따라, 제1 산화물 반도체층(405)과 제1 배선(409) 사이의 접촉 저항, 제1 산화물 반도체층(405)과 제2 배선(410) 사이의 접촉 저항, 제2 산화물 반도체층(407)과 제2 배선(410) 사이의 접촉 저항, 제2 산화물 반도체층(407)과 제3 배선(411) 사이의 접촉 저항을 감소시킬 수 있다.

[0303] 본 실시 형태의 반도체 장치는, 배선과 산화물 반도체층이 접하는 구성이기 때문에, 실시 형태 1에 비해 공정수를 감소시킬 수 있다.

[0304] 본 실시 형태는, 다른 실시 형태의 구성과 조합될 수 있다.

[0305] 본 출원은 2008년 11월 21일 일본 특허청에 출원된 일본 특허 출원 일련번호 제2008-298000호를 기초로 하며, 그 전체 내용은 본 명세서에서 참조로 인용된다.

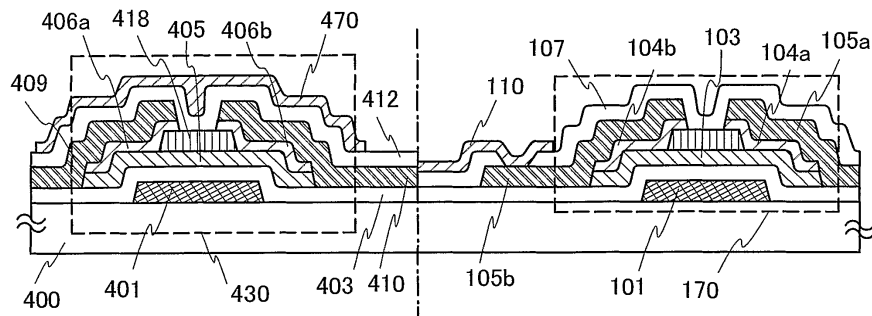
부호의 설명

[0306] 100 기관, 101 게이트 전극층, 102 게이트 절연층, 103 산화물 반도체층, 104a, 104b 소스 영역 및 드레인 영역, 105a 제1 전극, 105b 제2 전극, 107 보호 절연층, 108 용량 배선, 111 제2 산화물 반도체막, 110 화소 전극, 120 접속 전극, 121 제1 단자, 122 제2 단자, 125, 126, 127 콘택트 홀, 128, 129 투명 도전막, 131 레지스트 마스크, 132 도전막, 133 채널 보호층, 150 제2 단자, 151 제1 단자, 152 게이트 절연층, 153 접속 전극, 154 보호 절연막, 155 투명 도전막, 156 전극, 170 박막 트랜지스터, 300 기관, 301 화소부, 302, 312 제1 주사선 구동 회로, 313 제2 주사선 구동 회로, 303, 314 신호선 구동 회로, 310 기관, 311 화소부, 320 기관, 321 신호 입력 단자, 322 신호선 입력 단자, 323 주사선, 324 신호선, 327 화소부, 328 화소, 329 화소 TFT, 330 기억 용량부, 331 화소 전극, 332 용량선, 333 공통 단자, 334, 335, 336 보호 회로, 337 용량 버스선, 351 플립-플롭 회로, 352 내지 356 제어 신호선, 357 리셋선, 361 논리 회로부, 362 스위치부, 363 내지 372 TFT, 373 EDMOS 회로, 381 전원선, 382 리셋선, 383 제어 신호선, 384 전원선, 385 반도체층, 386 제1 배선층, 387 제2 배선층, 388 제3 배선층, 389 콘택트 홀, 390 제어 신호선, 400 기관, 401 제1 게이트 전극, 402 게이트 전극, 403 제1 게이트 절연층, 404 콘택트 홀, 405 산화물 반도체층, 407 제2 산화물 반도체층, 406a, 406b 소스 영역 또는 드레인 영역, 408a, 408b n⁺ 층, 409 제1 배선, 410 제2 배선, 411 제3 배선, 412 절연층, 418, 419 채널 보호층 419 제2 채널 보호층, 430, 432, 433 박막 트랜지스터, 431 제2 박막 트랜지스터, 470 전극, 471 전극, 472 제1 전극, 473 절연층, 474 제2 전극, 475 발광층, 476 전극, 480 제1 박막 트랜지스터, 481 제2 박막 트랜지스터, 581 박막 트랜지스터, 580 기관, 583 절연층, 584 절연층, 585 절연층, 587 제1 전극층, 588 제2 전극층, 589 구형 입자, 590a 흑색 영역, 590b 백색 영역, 594 캐비티, 595 필러, 1000 휴대 전화기, 1001 케이스, 1002 표시부, 1003 조작 버튼, 1004 외부 접속 포트, 1005 스피커, 1006 마이크폰, 2600 TFT 기관, 2601 대향 기관, 2602 밀봉재, 2603 화소부, 2604 표시 소자, 2605 착색층, 2606, 2607 편광판, 2608 배선 회로부, 2609 플렉시블 배선 기관, 2610 냉음극관, 2611 반사판, 2612 회로 기관, 2613 확산판, 4001 제1 기관, 4002 화소부, 4003 신호선 구동 회로, 4004 주사선 구동 회로, 4005 밀봉재, 4006 제2 기관, 4008 액정층, 4010, 4011 박막 트랜지스터, 4013 액정 소자, 4015 접속 단자 전극, 4016 단자 전극,

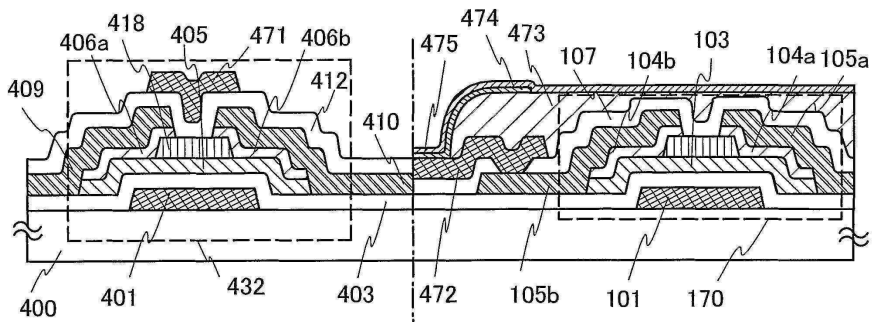
4018 FPC, 4019 이방성 도전막, 4020, 4021 절연층, 4030 화소 전극, 4031 대향 전극층, 4032 절연층, 4035 기둥형의 스페이서, 4501 제1 기판, 4502 화소부, 4503a, 4503b 신호선 구동 회로, 4504a, 4504b 주사선 구동 회로, 4505 밀봉재, 4506 제2 기판, 4507 필러, 4509, 4510 박막 트랜지스터, 4511 발광 소자, 4512 전계 발광층, 4513 제2 전극층, 4515 접속 단자 전극, 4516 단자 전극, 4517 제1 전극층, 4518a, 4518b FPC, 4519 이방성 도전막, 4520 격벽, 6400 화소, 6401 스위칭 트랜지스터, 6402 구동용 트랜지스터, 6403 용량 소자, 6404 발광 소자, 6405 신호선, 6406 주사선, 6407 전원선, 6408 공통 전극, 7001 구동용 TFT, 7002, 7012, 7022 발광층, 7005, 7015, 7025 양극, 7011, 7021 구동용 TFT, 7016 차폐막, 7017, 7027 도전막, 9100 휴대 전화기, 9101, 9102 케이스, 9103 연결부, 9104 표시부, 9106 조작키, 9200 휴대 정보 단말 기기, 9201, 9203 케이스, 9202 표시부, 9205 키보드, 9207 연결부, 9400 컴퓨터, 9401, 9404 케이스, 9402, 9412 표시부, 9403 키보드, 9405 스피커, 9406 발광부, 9410 표시 장치, 9411 케이스, 9413, 9422 조작 버튼, 9420 통신 장치, 9421 케이스, 9423 외부 입력 단자, 9424 마이크론, 9500 디지털 비디오 카메라, 9501 케이스, 9503 표시부, 9600 텔레비전 세트, 9601 케이스, 9603, 9607 표시부, 9605 스탠드, 9609 조작키, 9610 리모콘 조작기, 9700 디지털 포토 프레임, 9701 케이스, 9703 표시부

도면

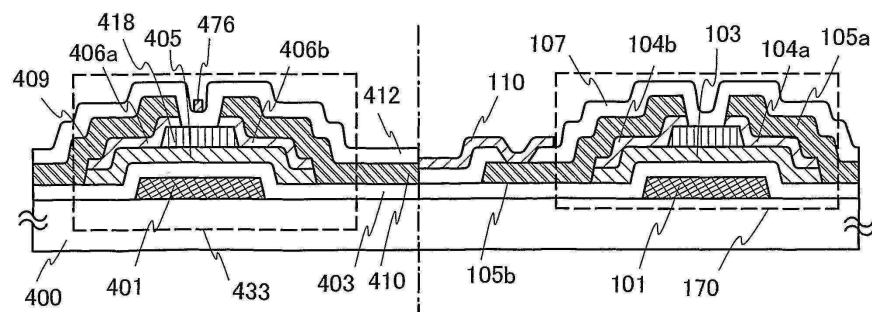
도면1a



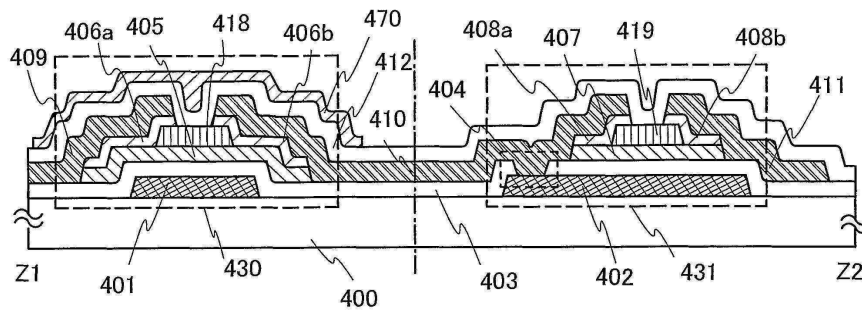
도면1b



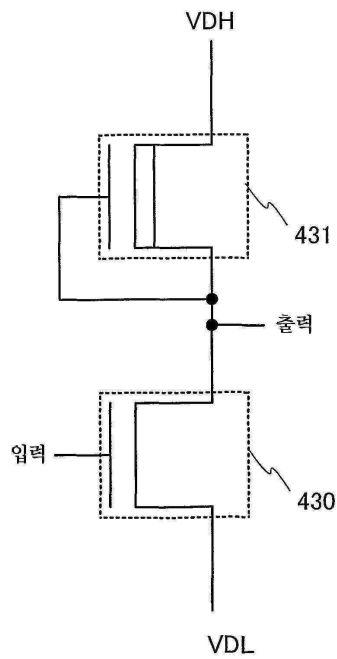
도면1c



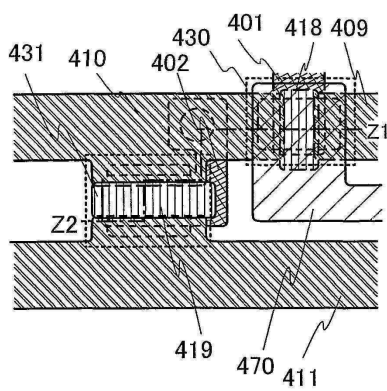
도면2a



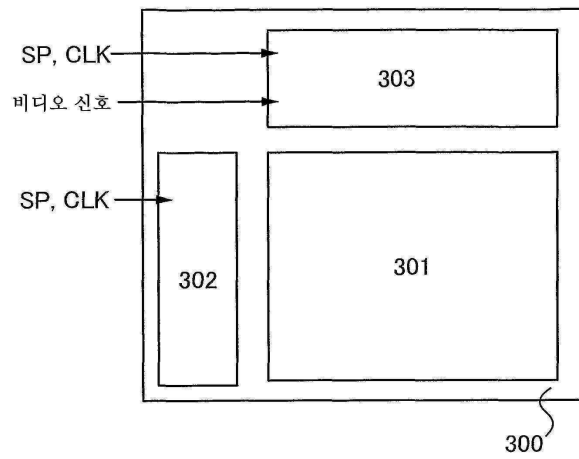
도면2b



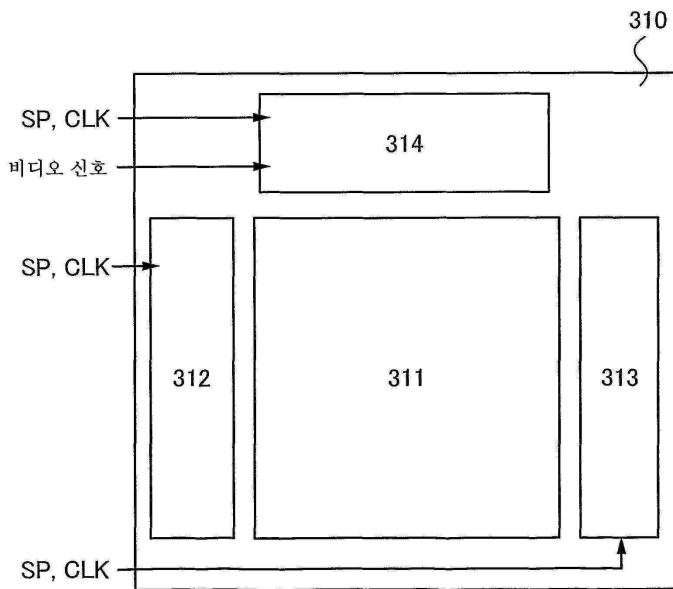
도면2c



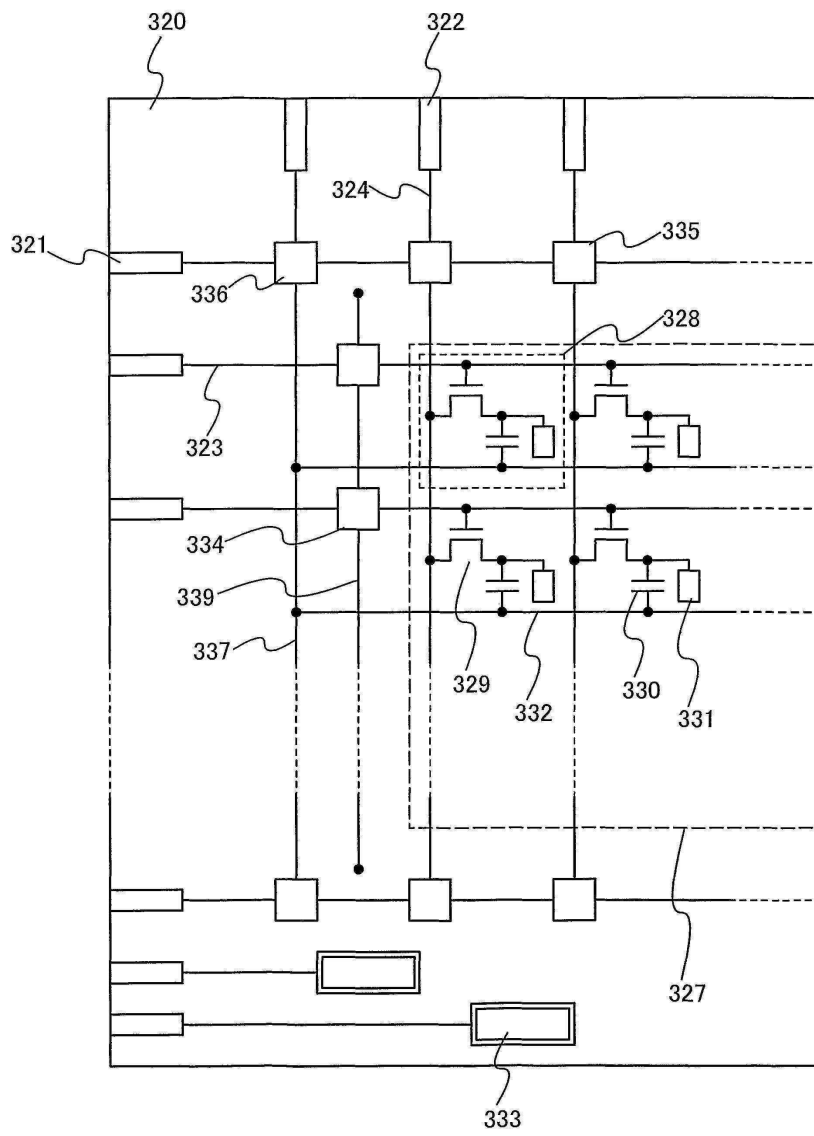
도면3a



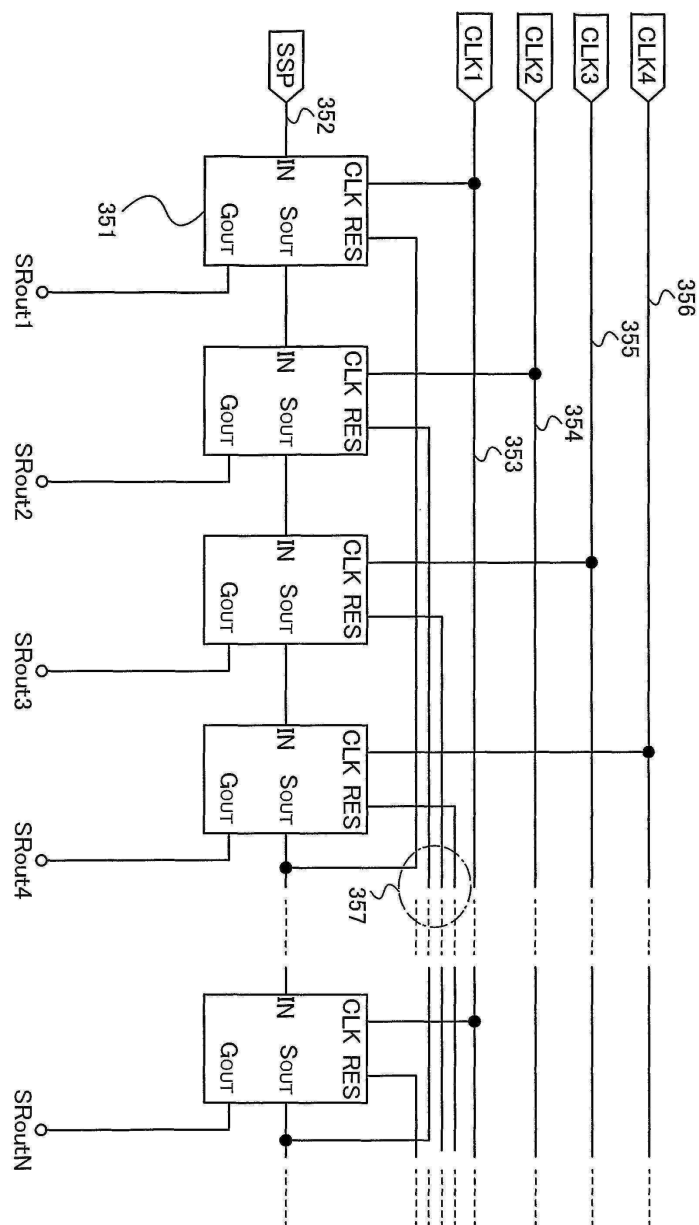
도면3b



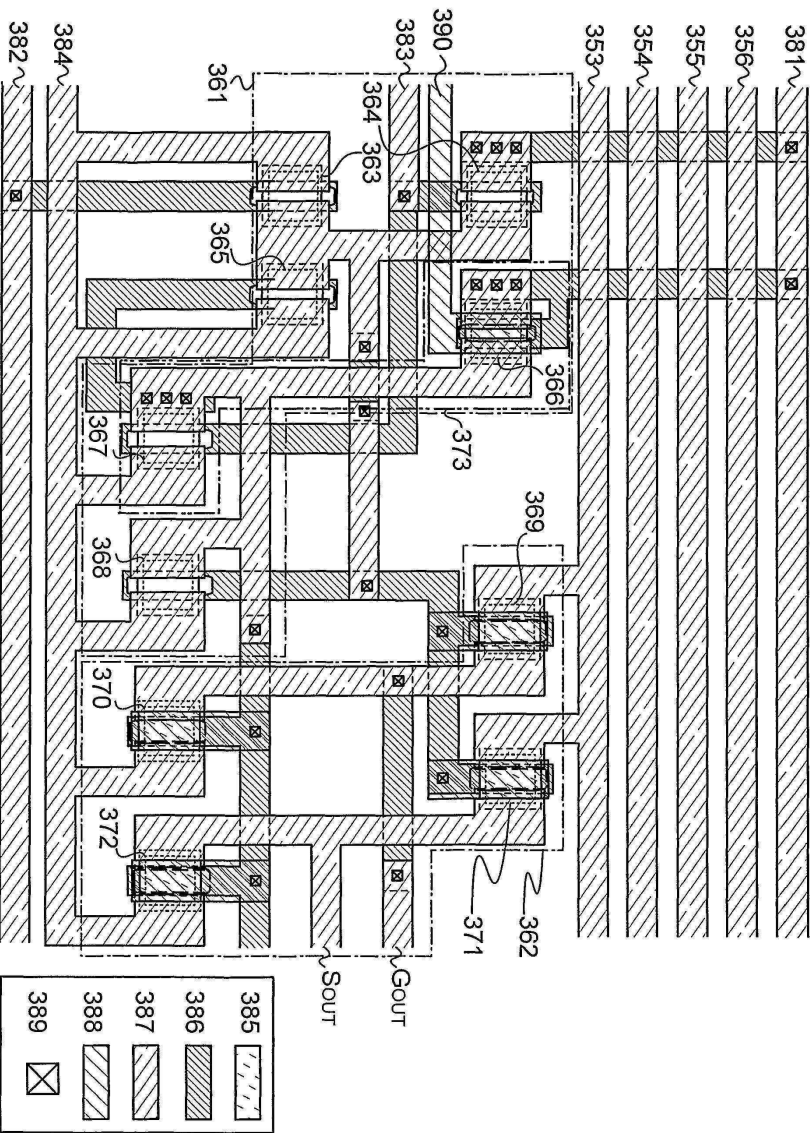
도면4



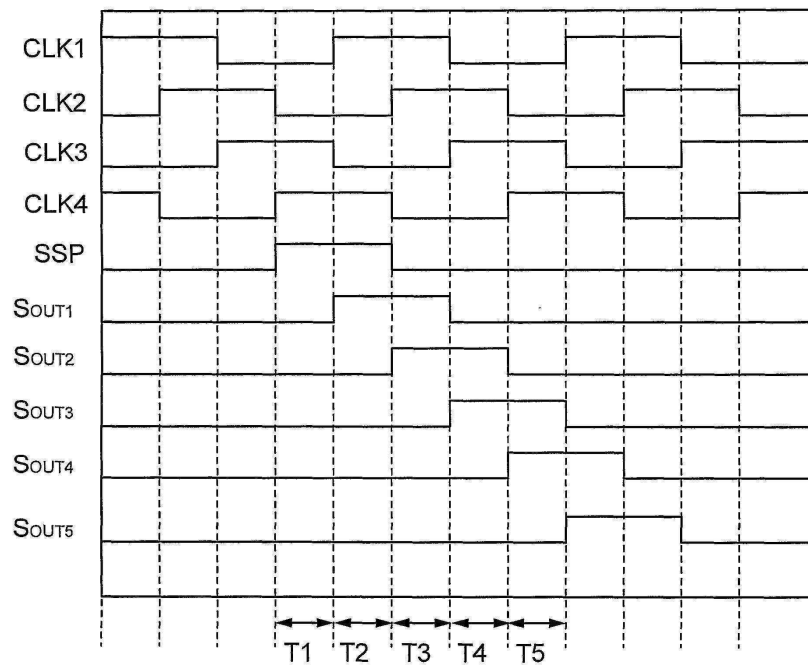
도면5



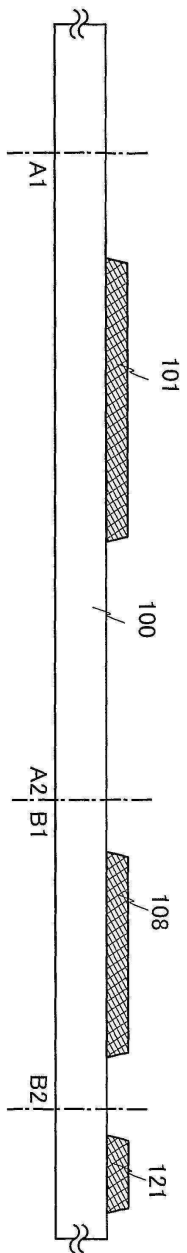
도면7



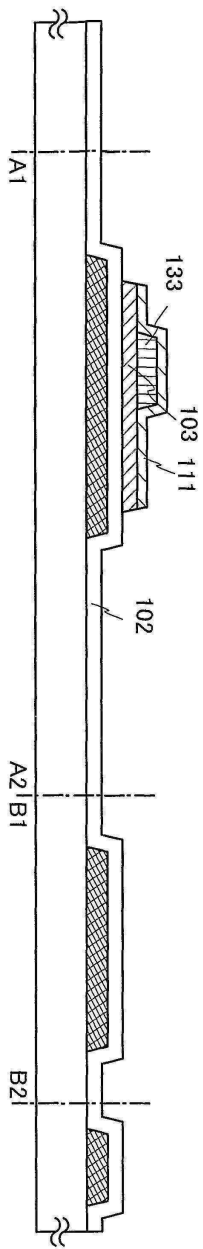
도면8



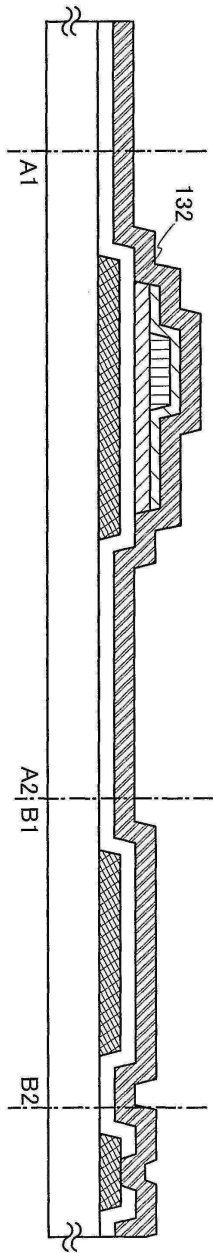
도면9a



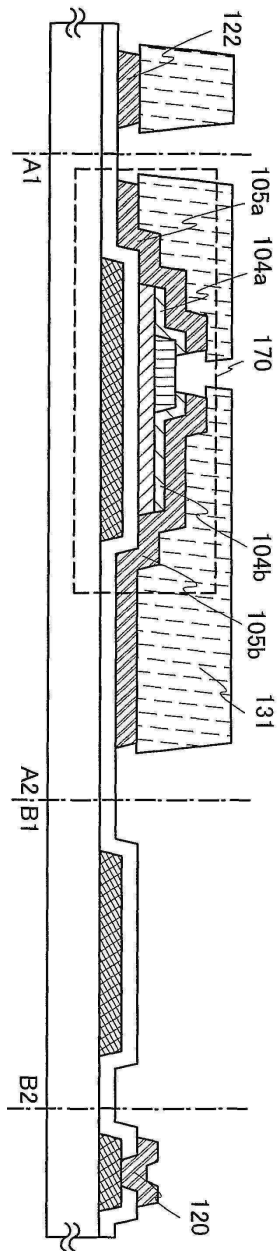
도면9b



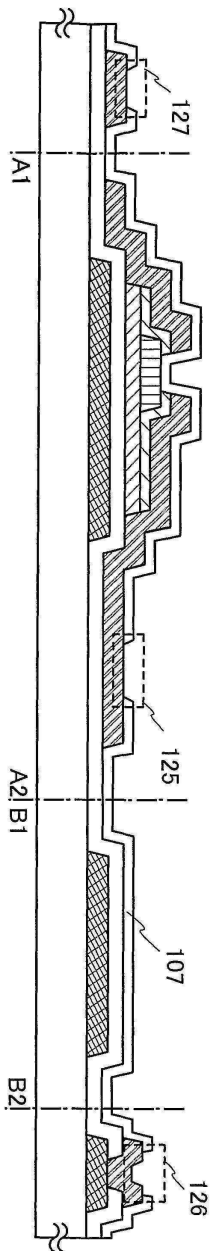
도면9c



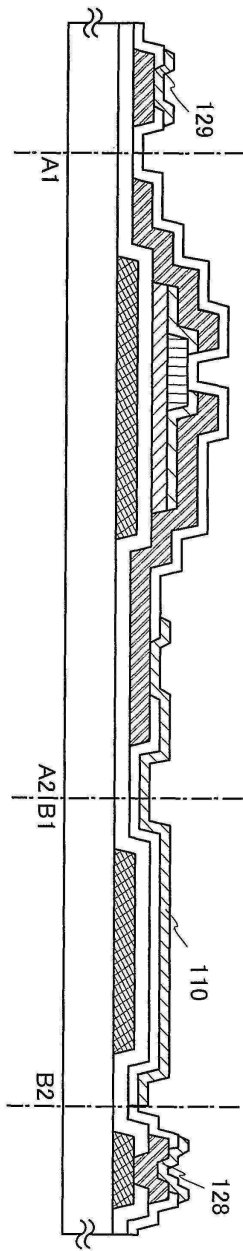
도면10a



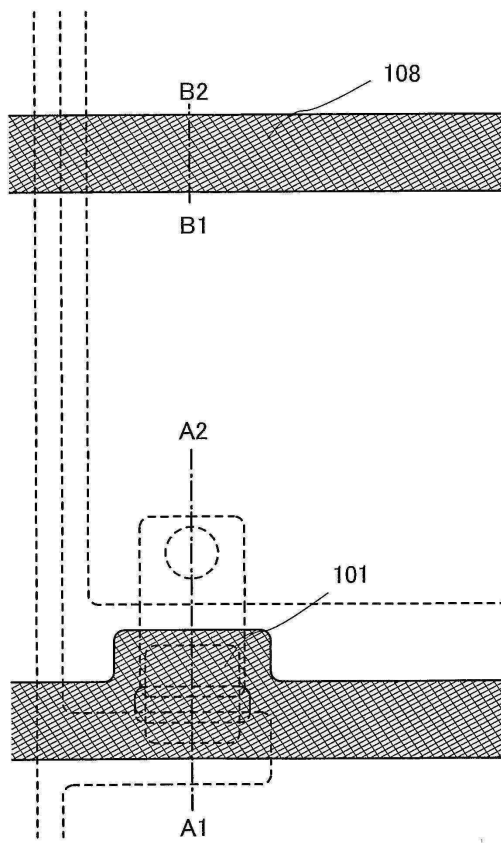
도면10b



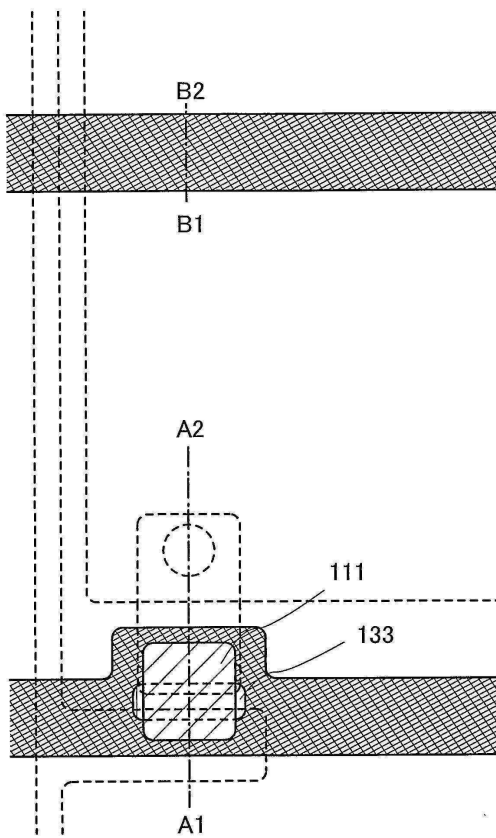
도면10c



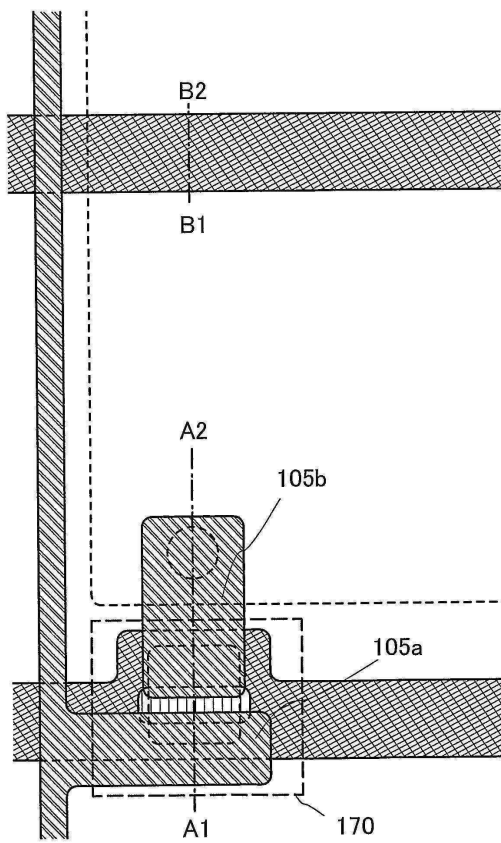
도면11



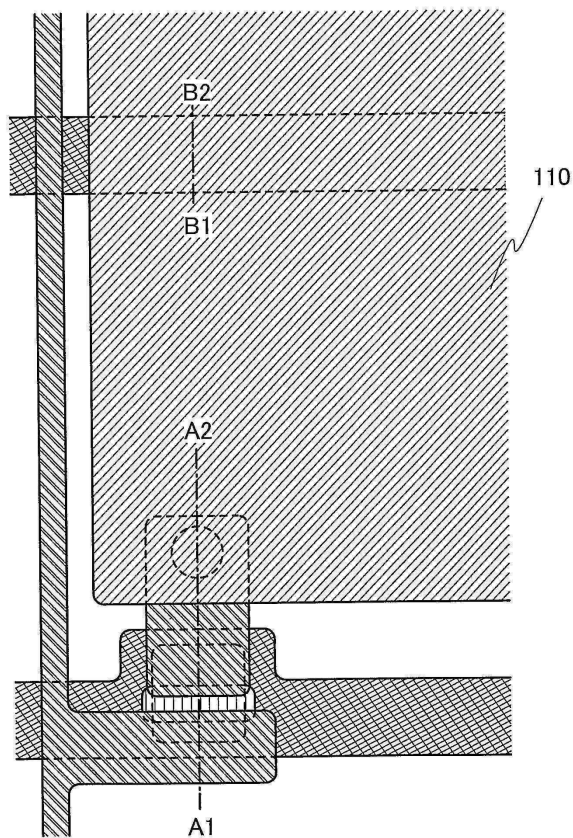
도면12



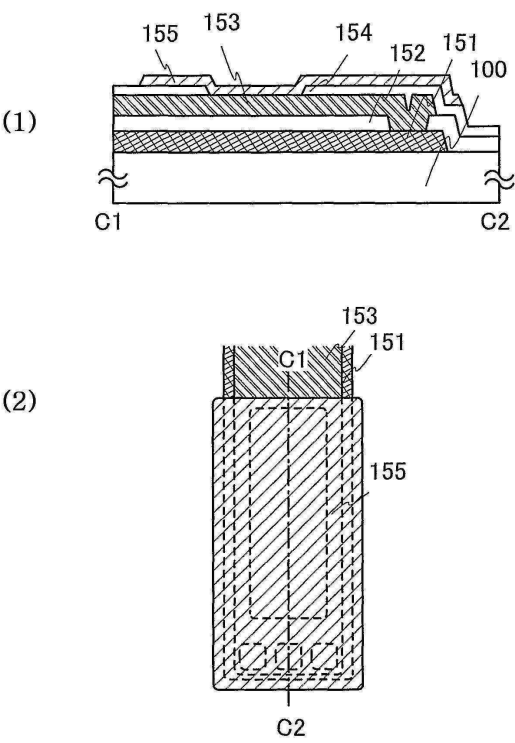
도면13



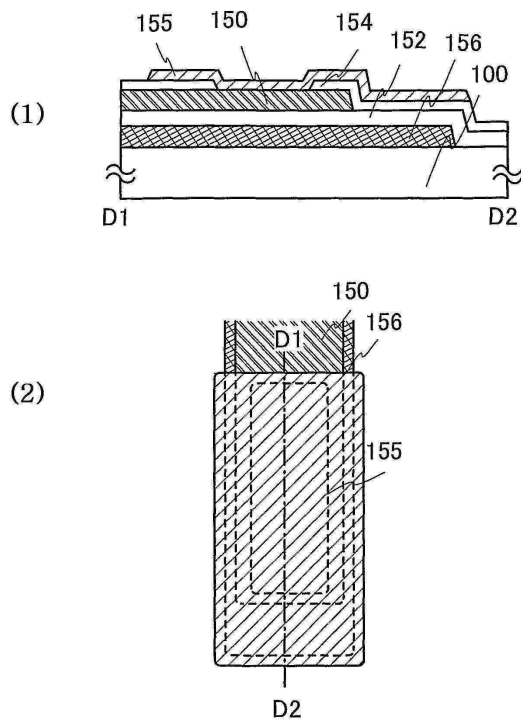
도면14



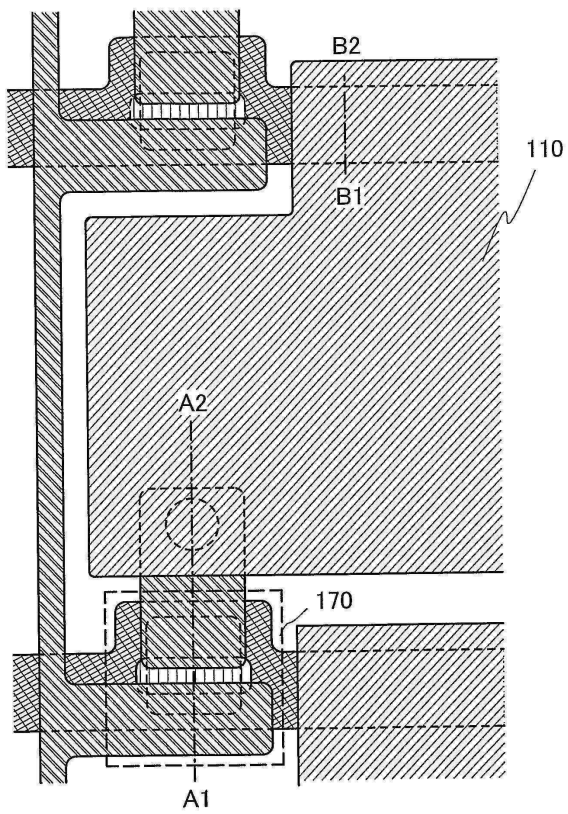
도면15a



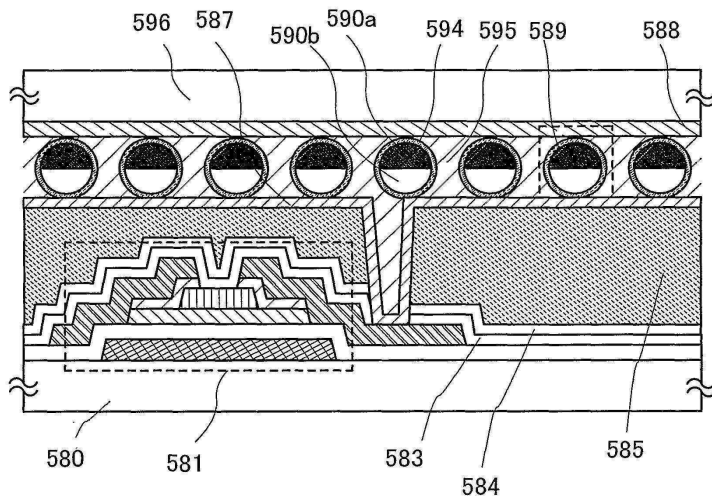
도면15b



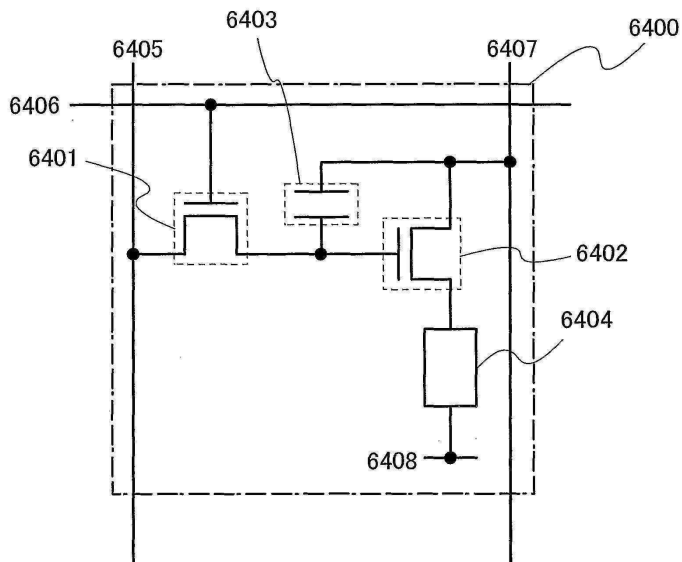
도면16



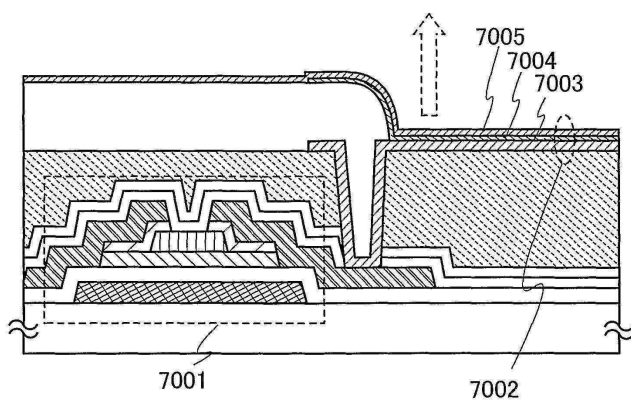
도면17



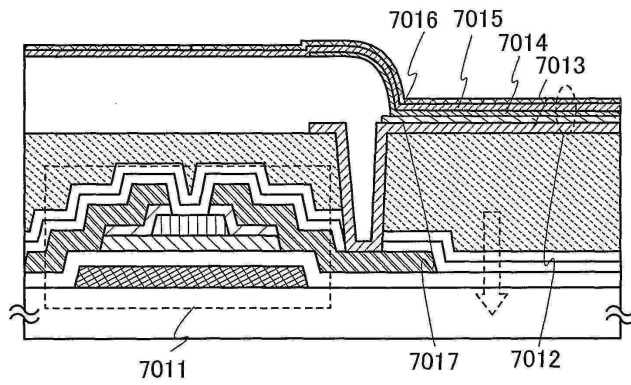
도면18



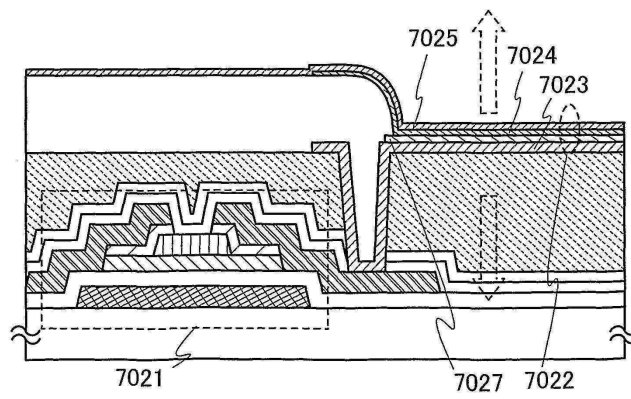
도면19a



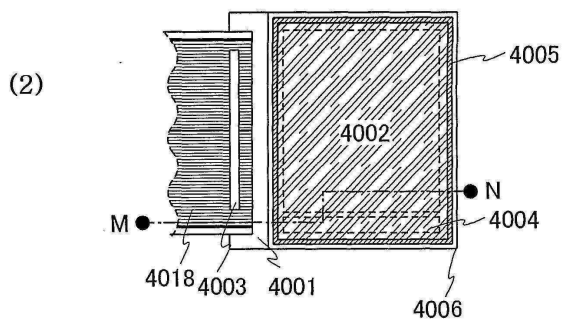
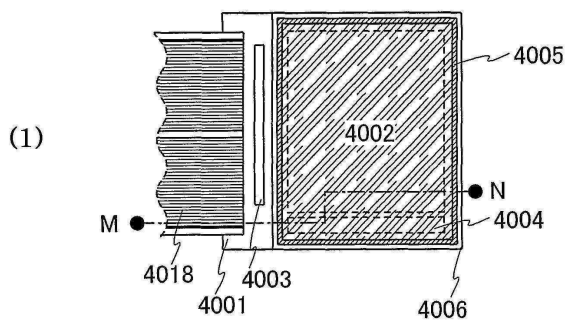
도면19b



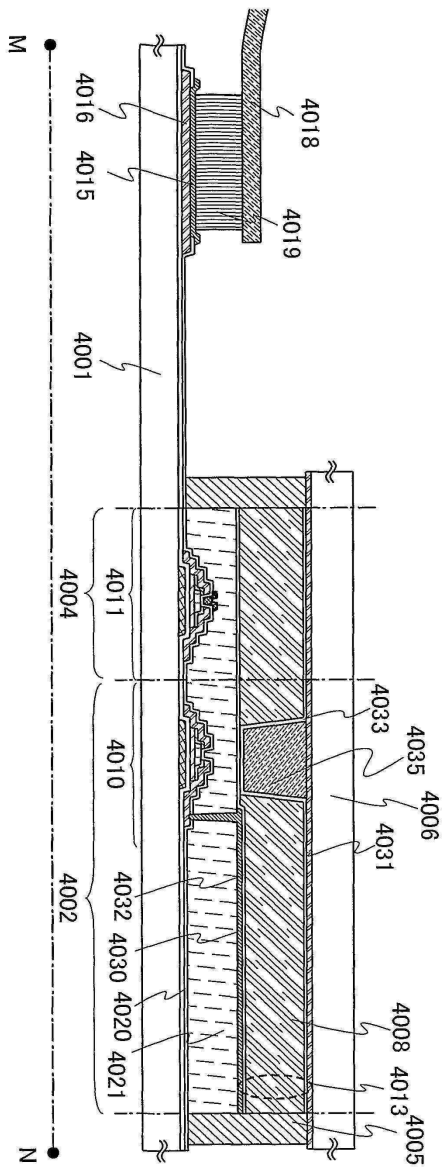
도면19c



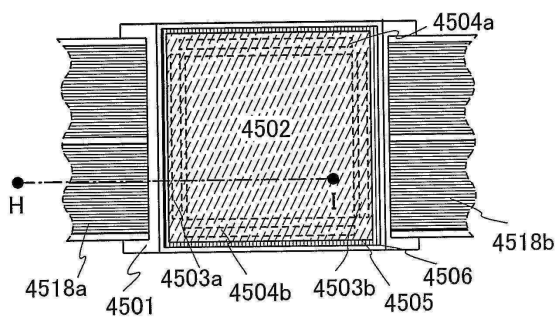
도면20a



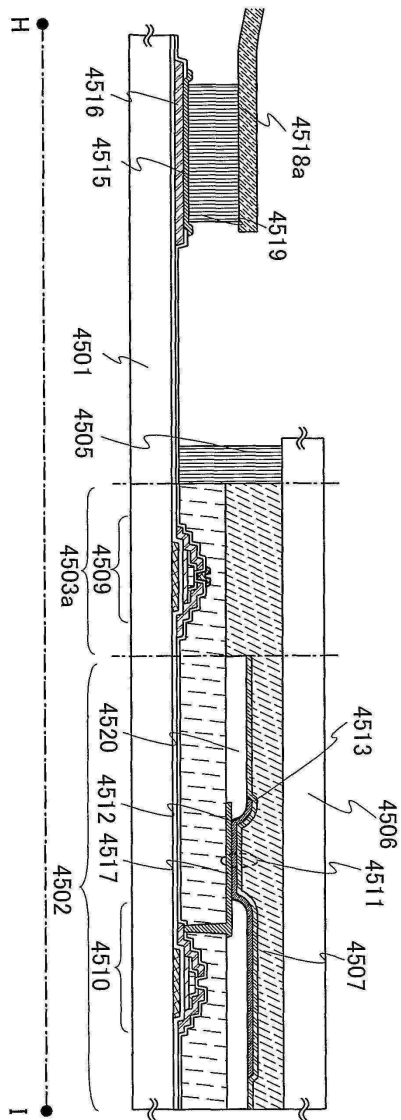
도면20b



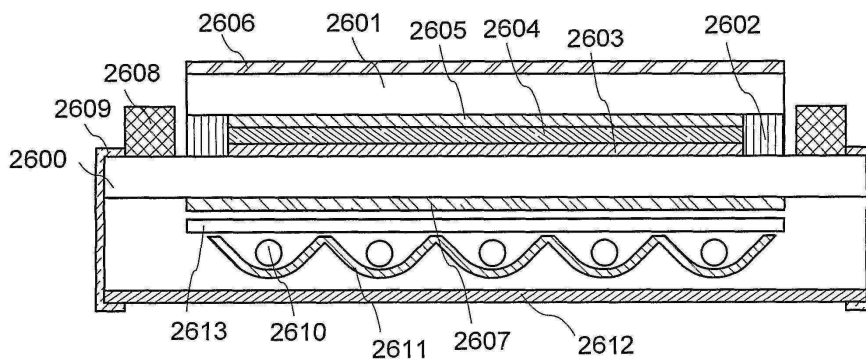
도면21a



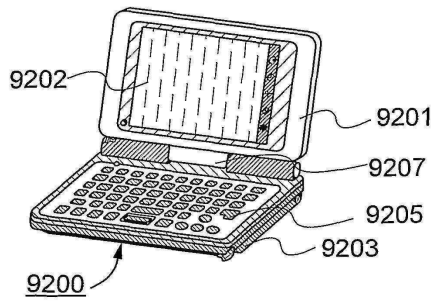
도면21b



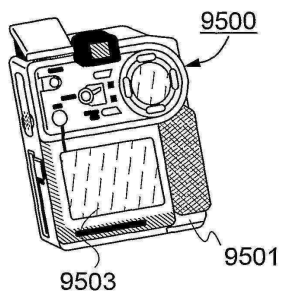
도면22



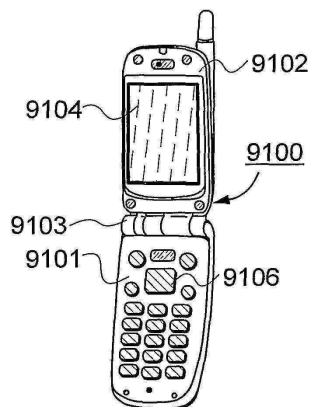
도면23a



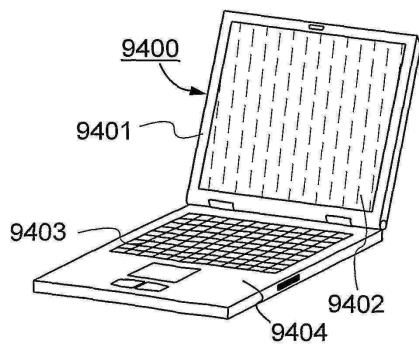
도면23b



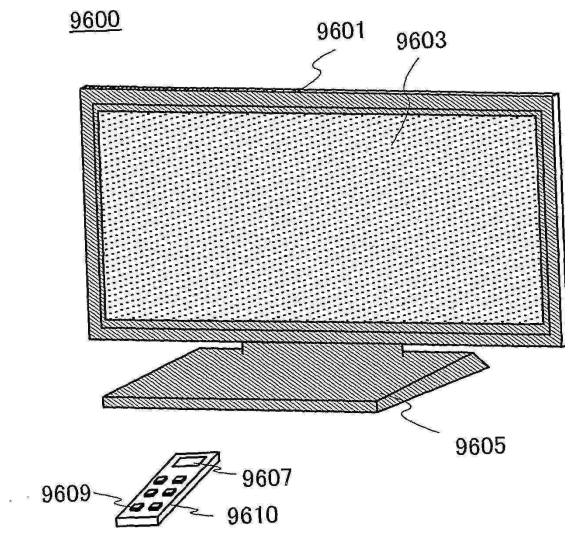
도면23c



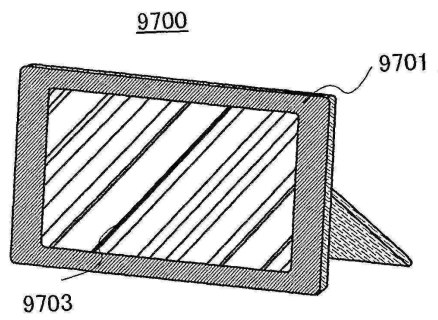
도면23d



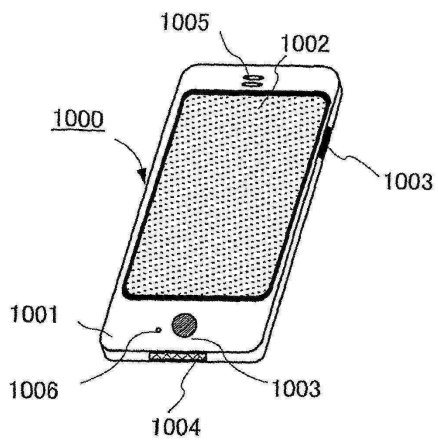
도면24a



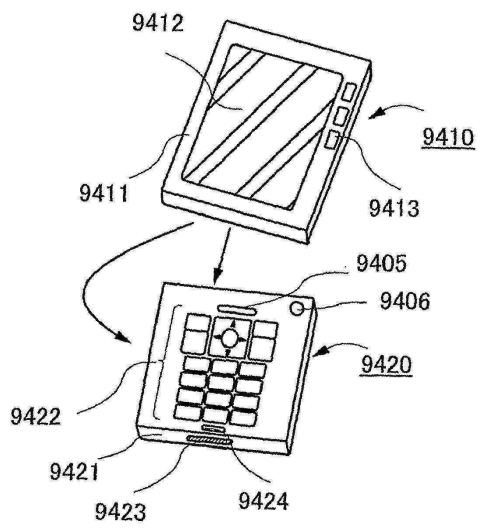
도면24b



도면25a



도면25b



도면26

