(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년09월10일
(11) 등록번호 10-0857436
(24) 등록일자 2008년09월02일

(51) Int. Cl.
H03L 7/00 (2006.01)
(21) 출원번호 10-2007-0007371
(22) 출원일자 2007년01월24일
심사청구일자 2007년01월24일
(65) 공개번호 10-2008-0069756
(43) 공개일자 2008년07월29일
(56) 선행기술조사문헌
KR100346836 B1
KR100525080 B1
KR100545148 B1
US05614855 A1

(73) 특허권자
주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1
(72) 발명자
신동석
서울 서대문구 홍제4동 인왕산현대아파트 106동 201호
이현우
경기 이천시 부발읍 신하3리 365번지 진우아파트 102동 1603호
윤원주
경기 이천시 고담동 고담기숙사 105동 713호
(74) 대리인
김성남

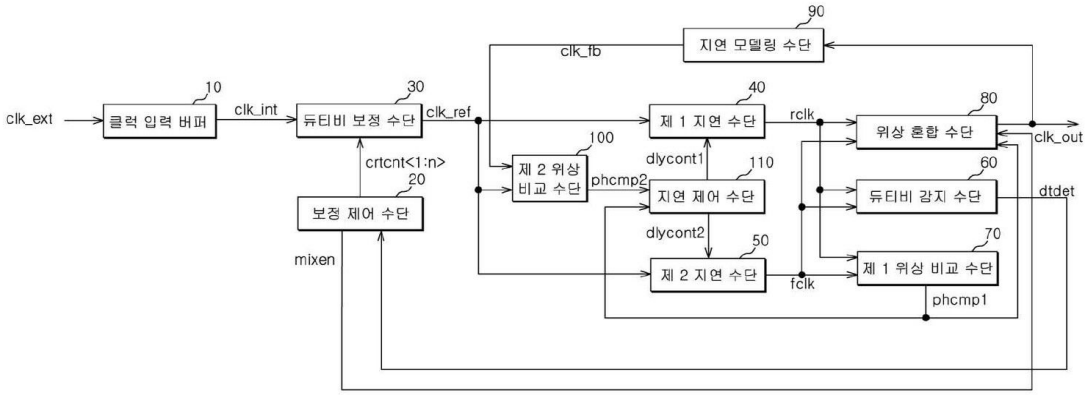
전체 청구항 수 : 총 60 항 심사관 : 장완호

(54) D L L 회로 및 그 제어 방법

(57) 요 약

본 발명의 DLL 회로는, 라이징 클럭의 듀티비와 폴링 클럭의 듀티비를 감지하여 듀티비 감지 신호를 출력하는 듀티비 감지 수단; 상기 듀티비 감지 신호에 응답하여 보정 제어 신호를 생성하는 보정 제어 수단; 및 상기 보정 제어 신호의 제어에 따라 내부 클럭의 듀티비를 보정하여 기준 클럭을 출력하는 듀티비 보정 수단;을 포함하는 것을 특징으로 한다.

대 표 도



특허청구의 범위

청구항 1

라이징 클럭의 듀티비와 폴링 클럭의 듀티비를 감지하여 듀티비 감지 신호를 출력하는 듀티비 감지 수단;

상기 듀티비 감지 신호에 응답하여 보정 제어 신호를 생성하는 보정 제어 수단; 및

상기 보정 제어 신호의 제어에 따라 내부 클럭의 듀티비를 보정하여 기준 클럭을 출력하는 듀티비 보정 수단;

을 포함하는 것을 특징으로 하는 DLL 회로.

청구항 2

제 1 항에 있어서,

상기 듀티비 감지 수단은, 상기 라이징 클럭과 상기 폴링 클럭의 제 1 에지가 일치된 이후, 상기 라이징 클럭과 상기 폴링 클럭의 제 2 에지를 비교하는 동작을 수행함으로써, 상기 라이징 클럭의 듀티비와 상기 폴링 클럭의 듀티비를 판별하여 상기 듀티비 감지 신호를 생성하는 것을 특징으로 하는 DLL 회로.

청구항 3

제 1 항에 있어서,

상기 보정 제어 수단은 상기 듀티비 감지 신호에 응답하여 가산 또는 감산 동작함으로써 복수 비트의 카운트 신호를 생성하여 상기 보정 제어 신호로서 출력하는 카운터를 포함하는 것을 특징으로 하는 DLL 회로.

청구항 4

제 3 항에 있어서,

상기 듀티비 보정 수단은 상기 복수 비트의 보정 제어 신호에 포함된 하이 신호와 로우 신호의 개수에 따라 상기 내부 클럭의 듀티비를 보정하여 상기 기준 클럭을 출력하는 것을 특징으로 하는 DLL 회로.

청구항 5

제 1 항에 있어서,

상기 보정 제어 수단은 상기 복수 비트의 보정 제어 신호가 임계값에 도달하면, 혼합 인에이블 신호를 인에이블시키는 것을 추가로 포함하는 것을 특징으로 하는 DLL 회로.

청구항 6

제 5 항에 있어서,

상기 보정 제어 수단은,

상기 듀티비 감지 신호에 응답하여 가산 또는 감산 동작함으로써 복수 비트의 카운트 신호를 생성하는 카운터;

상기 복수 비트의 카운트 신호의 임계값 여부를 판별하여 상기 혼합 인에이블 신호를 생성하는 임계값 감지기; 및

상기 복수 비트의 카운트 신호를 디코딩하여 복수 비트의 상기 보정 제어 신호를 출력하는 디코더;

를 포함하는 것을 특징으로 하는 DLL 회로.

청구항 7

제 6 항에 있어서,

상기 듀티비 보정 수단은 상기 복수 비트의 보정 제어 신호에서 몇 번째 비트에 하이 신호가 포함되는지에 따라 상기 내부 클럭의 듀티비를 보정하여 상기 기준 클럭을 출력하는 것을 특징으로 하는 DLL 회로.

청구항 8

제 4 항 또는 제 7 항에 있어서,

상기 듀티비 보정 수단은,

상기 복수 비트의 보정 제어 신호의 입력에 대응하여 구동부를 풀업하는 풀업부;

상기 복수 비트의 보정 제어 신호의 입력에 대응하여 상기 구동부를 풀다운하는 풀다운부; 및

상기 풀업부의 풀업 동작과 상기 풀다운부의 풀다운 동작에 대응하여 상기 내부 클럭을 구동하여 상기 기준 클럭을 출력하는 상기 구동부;

를 포함하는 것을 특징으로 하는 DLL 회로.

청구항 9

제 8 항에 있어서,

상기 풀업부는, 게이트 단에 상기 복수 비트의 보정 제어 신호를 각각 입력 받고, 외부 공급전원의 공급단과 상기 구동부 사이에 병렬로 구비되는 복수 개의 트랜지스터를 포함하는 것을 특징으로 하는 DLL 회로.

청구항 10

제 9 항에 있어서,

상기 풀다운부는, 게이트 단에 상기 복수 비트의 보정 제어 신호를 각각 입력 받고, 그라운드 전원의 공급단과 상기 구동부 사이에 병렬로 구비되는 복수 개의 트랜지스터를 포함하는 것을 특징으로 하는 DLL 회로.

청구항 11

제 8 항에 있어서,

상기 구동부는,

상기 풀업부와 상기 풀다운부로부터 공급되는 전원을 인가 받고 상기 내부 클럭을 입력 받는 제 1 인버터; 및

상기 제 1 인버터의 출력 신호를 입력 받아 상기 기준 클럭을 출력하는 제 2 인버터;

를 포함하는 것을 특징으로 하는 DLL 회로.

청구항 12

제 10 항에 있어서,

상기 풀업부에 포함된 복수 개의 트랜지스터는 각각 서로 다른 사이즈로서 구현되며, 상기 풀다운부에 포함된 복수 개의 트랜지스터는 각각 서로 다른 사이즈로서 구현되는 것을 특징으로 하는 DLL 회로.

청구항 13

제 5 항에 있어서,

상기 혼합 인에이블 신호의 제어에 따라 상기 라이징 클럭의 위상과 상기 폴링 클럭의 위상을 혼합하여 출력 클럭을 생성하는 위상 혼합 수단을 추가로 포함하는 것을 특징으로 하는 DLL 회로.

청구항 14

제 13 항에 있어서,

상기 위상 혼합 수단은 제 1 위상 비교 신호의 제어에 따라 상기 라이징 클럭과 상기 폴링 클럭의 위상 혼합 동작을 제어하는 것을 추가로 포함하는 것을 특징으로 하는 DLL 회로.

청구항 15

제 14 항에 있어서,

상기 위상 혼합 수단은,

상기 혼합 인에이블 신호의 인에이블 여부에 따라 선택적으로 상기 라이징 클럭의 위상과 상기 폴링 클럭의 위상을 혼합하는 위상 혼합부; 및

상기 혼합 인에이블 신호와 상기 제 1 위상 비교 신호의 제어에 따라 상기 라이징 클럭 또는 상기 폴링 클럭을 구동하는 구동력 보상부;

를 포함하는 것을 특징으로 하는 DLL 회로.

청구항 16

제 15 항에 있어서,

상기 위상 혼합부는,

상기 라이징 클럭을 반전 구동하는 제 1 반전 드라이버;

상기 혼합 인에이블 신호가 인에이블 되면 상기 폴링 클럭을 반전 구동하는 제 2 반전 드라이버; 및

상기 제 1 반전 드라이버의 출력 신호와 상기 제 2 반전 드라이버의 출력 신호를 반전 구동하는 제 3 반전 드라이버;

를 포함하는 것을 특징으로 하는 DLL 회로.

청구항 17

제 15 항에 있어서,

상기 구동력 보상부는,

상기 제 1 위상 비교 신호의 제어에 따라 상기 라이징 클럭을 반전 구동하는 제 1 반전 드라이버;

상기 제 1 위상 비교 신호의 제어에 따라 상기 폴링 클럭을 반전 구동하는 제 2 반전 드라이버; 및

상기 혼합 인에이블 신호가 인에이블 되면 상기 제 1 반전 드라이버의 출력 신호와 상기 제 2 반전 드라이버의 출력 신호를 반전 구동하는 제 3 반전 드라이버;

를 포함하는 것을 특징으로 하는 DLL 회로.

청구항 18

라이징 클럭의 듀티비와 폴링 클럭의 듀티비에 따라 내부 클럭의 듀티비를 보정하여 기준 클럭을 출력하는 듀티비 보정 수단; 및

상기 듀티비 보정 수단의 동작이 한계에 도달했는지 여부에 따라 선택적으로 상기 라이징 클럭과 상기 폴링 클럭을 혼합하는 위상 혼합 수단;

을 포함하는 것을 특징으로 하는 DLL 회로.

청구항 19

제 18 항에 있어서,

상기 라이징 클럭의 듀티비와 상기 폴링 클럭의 듀티비를 감지하여 듀티비 감지 신호를 출력하는 듀티비 감지 수단; 및

상기 듀티비 감지 신호에 응답하여 복수 비트의 보정 제어 신호와 혼합 인에이블 신호를 생성하는 보정 제어 수단;

을 추가로 포함하는 것을 특징으로 하는 DLL 회로.

청구항 20

제 19 항에 있어서,

상기 듀티비 보정 수단은 상기 복수 비트의 보정 제어 신호에 포함된 하이 신호와 로우 신호의 개수에 따라 상기 내부 클럭의 듀티비를 보정하여 상기 기준 클럭을 출력하는 것을 특징으로 하는 DLL 회로.

청구항 21

제 19 항에 있어서,

상기 듀티비 보정 수단은 상기 복수 비트의 보정 제어 신호에서 몇 번째 비트에 하이 신호가 포함되는지에 따라 상기 내부 클럭의 듀티비를 보정하여 상기 기준 클럭을 출력하는 것을 특징으로 하는 DLL 회로.

청구항 22

제 20 항 또는 제 21 항에 있어서,

상기 듀티비 보정 수단은,

상기 복수 비트의 보정 제어 신호의 입력에 대응하여 구동부를 풀업하는 풀업부;

상기 복수 비트의 보정 제어 신호의 입력에 대응하여 상기 구동부를 풀다운하는 풀다운부; 및

상기 풀업부의 풀업 동작과 상기 풀다운부의 풀다운 동작에 대응하여 상기 내부 클럭을 구동하여 상기 기준 클럭을 출력하는 상기 구동부;

를 포함하는 것을 특징으로 하는 DLL 회로.

청구항 23

제 22 항에 있어서,

상기 풀업부는, 게이트 단에 상기 복수 비트의 보정 제어 신호를 각각 입력 받고, 외부 공급전원의 공급단과 상기 구동부 사이에 병렬로 구비되는 복수 개의 트랜지스터를 포함하는 것을 특징으로 하는 DLL 회로.

청구항 24

제 23 항에 있어서,

상기 풀다운부는, 게이트 단에 상기 복수 비트의 보정 제어 신호를 각각 입력 받고, 그라운드 전원의 공급단과 상기 구동부 사이에 병렬로 구비되는 복수 개의 트랜지스터를 포함하는 것을 특징으로 하는 DLL 회로.

청구항 25

제 22 항에 있어서,

상기 구동부는,

상기 풀업부와 상기 풀다운부로부터 공급되는 전원을 인가 받고 상기 내부 클럭을 입력 받는 제 1 인버터; 및

상기 제 1 인버터의 출력 신호를 입력 받아 상기 기준 클럭을 출력하는 제 2 인버터;

를 포함하는 것을 특징으로 하는 DLL 회로.

청구항 26

제 24 항에 있어서,

상기 풀업부에 포함된 복수 개의 트랜지스터는 각각 서로 다른 사이즈로서 구현되며, 상기 풀다운부에 포함된 복수 개의 트랜지스터는 각각 서로 다른 사이즈로서 구현되는 것을 특징으로 하는 DLL 회로.

청구항 27

제 19 항에 있어서,

상기 위상 혼합 수단은, 상기 혼합 인에이블 신호의 인에이블 여부에 따라 상기 기준 클럭의 듀티비가 보정 완료 되었는지 여부를 판별하며, 제 1 위상 비교 신호의 제어에 따라 상기 라이징 클럭과 상기 폴링 클럭의 위상 혼합 동작을 제어하여 출력 클럭을 생성하는 것을 추가로 포함하는 것을 특징으로 하는 DLL 회로.

청구항 28

제 27 항에 있어서,

상기 위상 혼합 수단은,

상기 혼합 인에이블 신호의 인에이블 여부에 따라 선택적으로 상기 라이징 클럭의 위상과 상기 폴링 클럭의 위상을 혼합하는 위상 혼합부; 및

상기 혼합 인에이블 신호와 상기 제 1 위상 비교 신호의 제어에 따라 상기 라이징 클럭 또는 상기 폴링 클럭을 구동하는 구동력 보상부;

를 포함하는 것을 특징으로 하는 DLL 회로.

청구항 29

제 28 항에 있어서,

상기 위상 혼합부는,

상기 라이징 클럭을 반전 구동하는 제 1 반전 드라이버;

상기 혼합 인에이블 신호가 인에이블 되면 상기 폴링 클럭을 반전 구동하는 제 2 반전 드라이버; 및

상기 제 1 반전 드라이버의 출력 신호와 상기 제 2 반전 드라이버의 출력 신호를 반전 구동하는 제 3 반전 드라이버;

를 포함하는 것을 특징으로 하는 DLL 회로.

청구항 30

제 28 항에 있어서

상기 구동력 보상부는,

상기 제 1 위상 비교 신호의 제어에 따라 상기 라이징 클럭을 반전 구동하는 제 1 반전 드라이버;

상기 제 1 위상 비교 신호의 제어에 따라 상기 폴링 클럭을 반전 구동하는 제 2 반전 드라이버; 및

상기 혼합 인에이블 신호가 인에이블 되면 상기 제 1 반전 드라이버의 출력 신호와 상기 제 2 반전 드라이버의 출력 신호를 반전 구동하는 제 3 반전 드라이버;

를 포함하는 것을 특징으로 하는 DLL 회로.

청구항 31

제 19 항에 있어서,

상기 듀티비 감지 수단은, 상기 라이징 클럭과 상기 폴링 클럭의 제 1 에지가 일치된 이후, 상기 라이징 클럭과 상기 폴링 클럭의 제 2 에지를 비교하는 동작을 수행함으로써, 상기 라이징 클럭의 듀티비와 상기 폴링 클럭의 듀티비를 판별하여 상기 듀티비 감지 신호를 생성하는 것을 특징으로 하는 DLL 회로.

청구항 32

제 19 항에 있어서,

상기 보정 제어 수단은 상기 듀티비 감지 신호가 담는 정보에 따라 상기 복수 비트의 보정 제어 신호를 생성하며, 상기 복수 비트의 보정 제어 신호가 임계값에 도달하면, 상기 혼합 인에이블 신호를 인에이블 시키는 것을 특징으로 하는 DLL 회로.

청구항 33

제 32 항에 있어서,

상기 보정 제어 수단은,

상기 듀티비 감지 신호에 응답하여 가산 또는 감산 동작함으로써 복수 비트의 카운트 신호를 생성하는 카운터;

상기 복수 비트의 카운트 신호의 최대값 또는 최소값 여부를 판별하여 상기 혼합 인에이블 신호를 생성하는 임계값 감지기; 및

상기 복수 비트의 카운트 신호를 디코딩하여 상기 복수 비트의 보정 제어 신호를 출력하는 디코더;

를 포함하는 것을 특징으로 하는 DLL 회로.

청구항 34

제 14 항 또는 제 27 항에 있어서,

상기 라이징 클럭의 위상과 상기 폴링 클럭의 위상을 비교하여 상기 제 1 위상 비교 신호를 생성하는 제 1 위상 비교 수단을 추가로 포함하는 것을 특징으로 하는 DLL 회로.

청구항 35

제 1 항 또는 제 18 항에 있어서,

외부 클럭을 버퍼링하여 상기 내부 클럭을 생성하는 클럭 입력 버퍼를 추가로 포함하는 것을 특징으로 하는 DLL 회로.

청구항 36

제 35 항에 있어서,

제 1 지연 제어 신호의 제어에 따라 상기 기준 클럭을 지연시켜 상기 라이징 클럭을 출력하는 제 1 지연 수단; 및

제 2 지연 제어 신호의 제어에 따라 상기 기준 클럭을 지연시켜 상기 폴링 클럭을 출력하는 제 2 지연 수단;

을 추가로 포함하는 것을 특징으로 하는 DLL 회로.

청구항 37

제 36 항에 있어서,

상기 출력 클럭의 데이터 출력 버퍼까지의 전송 경로에 존재하는 지연 소자들에 의한 지연값을 모델링하여 상기 출력 클럭에 지연 시간을 부여하여 피드백 클럭을 생성하는 지연 모델링 수단;

상기 기준 클럭과 상기 피드백 클럭의 위상을 비교하여 제 2 위상 비교 신호를 생성하는 제 2 위상 비교 수단; 및

상기 제 1 위상 비교 신호와 상기 제 2 위상 비교 신호에 응답하여 상기 제 1 지연 제어 신호 및 상기 제 2 지연 제어 신호를 생성하는 지연 제어 수단;

을 추가로 포함하는 것을 특징으로 하는 DLL 회로.

청구항 38

a) 라이징 클럭의 듀티비와 폴링 클럭의 듀티비를 감지하여 듀티비 감지 신호를 출력하는 단계;

b) 상기 듀티비 감지 신호에 응답하여 보정 제어 신호를 생성하는 단계; 및

c) 상기 보정 제어 신호의 제어에 따라 내부 클럭의 듀티비를 보정하여 기준 클럭을 출력하는 단계;

를 포함하는 것을 특징으로 하는 DLL 회로의 제어 방법.

청구항 39

제 38 항에 있어서,

상기 a) 단계는, 상기 라이징 클럭과 상기 폴링 클럭의 제 1 에지가 일치된 이후, 상기 라이징 클럭과 상기 폴링 클럭의 제 2 에지를 비교하는 동작을 수행함으로써, 상기 라이징 클럭의 듀티비와 상기 폴링 클럭의 듀티비

를 판별하여 상기 듀티비 감지 신호를 생성하는 것을 특징으로 하는 DLL 회로의 제어 방법.

청구항 40

제 38 항 또는 제 39 항에 있어서,

상기 b) 단계는 상기 듀티비 감지 신호에 응답하여 가산 또는 감산 동작함으로써 복수 비트의 카운트 신호를 생성하여 상기 보정 제어 신호로서 출력하는 단계를 포함하는 것을 특징으로 하는 DLL 회로의 제어 방법.

청구항 41

제 40 항에 있어서,

상기 c) 단계는 상기 복수 비트의 보정 제어 신호에 포함된 하이 신호와 로우 신호의 개수에 따라 상기 내부 클럭의 듀티비를 보정하여 상기 기준 클럭을 출력하는 것을 특징으로 하는 DLL 회로의 제어 방법.

청구항 42

제 38 항에 있어서,

상기 b) 단계는 상기 복수 비트의 보정 제어 신호가 임계값에 도달하면, 혼합 인에이블 신호를 인에이블 시키는 것을 추가로 포함하는 것을 특징으로 하는 DLL 회로의 제어 방법.

청구항 43

제 42 항에 있어서,

상기 b) 단계는,

b-1) 상기 듀티비 감지 신호에 응답하여 가산 또는 감산 동작함으로써 복수 비트의 카운트 신호를 생성하는 단계;

b-2) 상기 복수 비트의 카운트 신호의 임계값 여부를 판별하여 상기 혼합 인에이블 신호를 생성하는 단계; 및

b-3) 상기 복수 비트의 카운트 신호를 디코딩하여 복수 비트의 상기 보정 제어 신호를 출력하는 단계;

를 포함하는 것을 특징으로 하는 DLL 회로의 제어 방법.

청구항 44

제 43 항에 있어서,

상기 c) 단계는 상기 복수 비트의 보정 제어 신호에서 몇 번째 비트에 하이 신호가 포함되는지에 따라 상기 내부 클럭의 듀티비를 보정하여 상기 기준 클럭을 출력하는 것을 특징으로 하는 DLL 회로의 제어 방법.

청구항 45

제 42 항에 있어서,

상기 c) 단계의 뒤에,

d) 상기 혼합 인에이블 신호의 제어에 따라 상기 라이징 클럭의 위상과 상기 폴링 클럭의 위상을 혼합하여 출력 클럭을 생성하는 단계를 추가로 포함하는 것을 특징으로 하는 DLL 회로의 제어 방법.

청구항 46

제 45 항에 있어서,

상기 d) 단계는 제 1 위상 비교 신호의 제어에 따라 상기 라이징 클럭과 상기 폴링 클럭의 위상 혼합 동작을 제어하는 것을 추가로 포함하는 것을 특징으로 하는 DLL 회로의 제어 방법.

청구항 47

제 46 항에 있어서,

상기 d) 단계는,

d-1) 상기 혼합 인에이블 신호의 인에이블 여부에 따라 선택적으로 상기 라이징 클럭의 위상과 상기 폴링 클럭의 위상을 혼합하는 단계; 및

d-2) 상기 혼합 인에이블 신호와 상기 제 1 위상 비교 신호의 제어에 따라 상기 라이징 클럭 또는 상기 폴링 클럭을 구동하는 단계;

를 포함하는 것을 특징으로 하는 DLL 회로의 제어 방법.

청구항 48

a) 라이징 클럭의 듀티비와 폴링 클럭의 듀티비에 따라 내부 클럭의 듀티비를 보정하여 기준 클럭을 출력하는 단계; 및

b) 상기 a) 단계의 동작이 한계에 도달했는지 여부에 따라 선택적으로 상기 라이징 클럭과 상기 폴링 클럭을 혼합하는 단계;

를 포함하는 것을 특징으로 하는 DLL 회로의 제어 방법.

청구항 49

제 48 항에 있어서,

상기 a) 단계의 앞에,

c) 상기 라이징 클럭의 듀티비와 상기 폴링 클럭의 듀티비를 감지하여 듀티비 감지 신호를 출력하는 단계; 및

d) 상기 듀티비 감지 신호에 응답하여 복수 비트의 보정 제어 신호와 혼합 인에이블 신호를 생성하는 단계;

를 추가로 포함하는 것을 특징으로 하는 DLL 회로의 제어 방법.

청구항 50

제 49 항에 있어서,

상기 a) 단계는, 상기 복수 비트의 보정 제어 신호에 포함된 하이 신호와 로우 신호의 개수에 따라 상기 내부 클럭의 듀티비를 보정하여 상기 기준 클럭을 출력하는 것을 특징으로 하는 DLL 회로의 제어 방법.

청구항 51

제 49 항에 있어서,

상기 a) 단계는, 상기 복수 비트의 보정 제어 신호에서 몇 번째 비트에 하이 신호가 포함되는지에 따라 상기 내부 클럭의 듀티비를 보정하여 상기 기준 클럭을 출력하는 것을 특징으로 하는 DLL 회로의 제어 방법.

청구항 52

제 49 항에 있어서,

상기 b) 단계는, 상기 혼합 인에이블 신호의 인에이블 여부에 따라 상기 기준 클럭의 듀티비가 보정 완료 되었는지 여부를 판별하며, 제 1 위상 비교 신호의 제어에 따라 상기 라이징 클럭과 상기 폴링 클럭의 위상 혼합 동작을 제어하여 출력 클럭을 생성하는 것을 추가로 포함하는 것을 특징으로 하는 DLL 회로의 제어 방법.

청구항 53

제 52 항에 있어서,

상기 b) 단계는,

b-1) 상기 혼합 인에이블 신호의 인에이블 여부에 따라 선택적으로 상기 라이징 클럭의 위상과 상기 폴링 클럭의 위상을 혼합하는 단계; 및

b-2) 상기 혼합 인에이블 신호와 상기 제 1 위상 비교 신호의 제어에 따라 상기 라이징 클럭 또는 상기 폴링 클

럭을 구동하는 단계;

를 포함하는 것을 특징으로 하는 DLL 회로의 제어 방법.

청구항 54

제 49 항에 있어서,

상기 c) 단계는, 상기 라이징 클럭과 상기 폴링 클럭의 제 1 에지가 일치된 이후, 상기 라이징 클럭과 상기 폴링 클럭의 제 2 에지를 비교하는 동작을 수행함으로써, 상기 라이징 클럭의 듀티비와 상기 폴링 클럭의 듀티비를 판별하여 상기 듀티비 감지 신호를 생성하는 것을 특징으로 하는 DLL 회로의 제어 방법.

청구항 55

제 49 항에 있어서,

상기 d) 단계는 상기 듀티비 감지 신호가 담는 정보에 따라 상기 복수 비트의 보정 제어 신호를 생성하며, 상기 복수 비트의 보정 제어 신호가 임계값에 도달하면, 상기 혼합 인에이블 신호를 인에이블 시키는 것을 특징으로 하는 DLL 회로의 제어 방법.

청구항 56

제 55 항에 있어서,

상기 d) 단계는,

d-1) 상기 듀티비 감지 신호에 응답하여 가산 또는 감산 동작함으로써 복수 비트의 카운트 신호를 생성하는 단계;

d-2) 상기 복수 비트의 카운트 신호의 최대값 또는 최소값 여부를 판별하여 상기 혼합 인에이블 신호를 생성하는 단계; 및

d-3) 상기 복수 비트의 카운트 신호를 디코딩하여 상기 복수 비트의 보정 제어 신호를 출력하는 단계;

를 포함하는 것을 특징으로 하는 DLL 회로의 제어 방법.

청구항 57

제 46 항 또는 제 52 항에 있어서,

e) 상기 라이징 클럭의 위상과 상기 폴링 클럭의 위상을 비교하여 상기 제 1 위상 비교 신호를 생성하는 단계를 추가로 포함하는 것을 특징으로 하는 DLL 회로의 제어 방법.

청구항 58

제 38 항 또는 제 48 항에 있어서,

f) 외부 클럭을 버퍼링하여 상기 내부 클럭을 생성하는 단계를 추가로 포함하는 것을 특징으로 하는 DLL 회로의 제어 방법.

청구항 59

제 58 항에 있어서,

g) 제 1 지연 제어 신호의 제어에 따라 상기 기준 클럭을 지연시켜 상기 라이징 클럭을 출력하는 단계; 및

h) 제 2 지연 제어 신호의 제어에 따라 상기 기준 클럭을 지연시켜 상기 폴링 클럭을 출력하는 단계;

를 추가로 포함하는 것을 특징으로 하는 DLL 회로의 제어 방법.

청구항 60

제 59 항에 있어서,

i) 상기 출력 클럭의 데이터 출력 버퍼까지의 전송 경로에 존재하는 지연 소자들에 의한 지연값을 모델링하여

상기 출력 클럭에 지연 시간을 부여하여 피드백 클럭을 생성하는 단계;

j) 상기 기준 클럭과 상기 피드백 클럭의 위상을 비교하여 제 2 위상 비교 신호를 생성하는 단계; 및

k) 상기 제 1 위상 비교 신호와 상기 제 2 위상 비교 신호에 응답하여 상기 제 1 지연 제어 신호 및 상기 제 2 지연 제어 신호를 생성하는 단계;

를 추가로 포함하는 것을 특징으로 하는 DLL 회로의 제어 방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<12> 본 발명은 DLL(Delay Locked Loop) 회로 및 그 제어 방법에 관한 것으로, 보다 상세하게는 보다 정확히 50%의 듀티비를 갖는 클럭을 출력하는 DLL 회로 및 그 제어 방법에 관한 것이다.

<13> 일반적으로 DLL 회로는 외부 클럭을 변환하여 얻은 기준 클럭에 대하여 일정 시간 위상이 앞서는 내부 클럭을 제공하는 데 사용된다. 일반적으로 내부 클럭은 싱크로너스 디램(SDRAM) 등과 같이 비교적 높은 집적도를 갖는 반도체 메모리 장치에서, 외부 클럭과 동기 되어 동작하기 위하여 생성된다.

<14> 보다 상세히 설명하면, 입력핀을 통해 입력되는 외부 클럭이 클럭 버퍼로 입력되면 클럭 버퍼로부터 내부 클럭이 발생한다. 이후 내부 클럭이 데이터 출력 버퍼를 제어하여 외부로 데이터가 출력된다. 이 때 내부 클럭은 클럭 버퍼에 의해 외부 클럭으로부터 일정 시간 지연되고, 또한 데이터 출력 버퍼로부터의 출력 데이터도 내부 클럭으로부터 일정 시간 지연된 후 출력된다.

<15> 따라서 출력 데이터는 외부 클럭에 대하여 많은 시간이 지연된 후에 출력되는 문제점이 있다. 다시 말해서 외부 클럭 인가 후 데이터가 출력되는 시간, 즉 출력 데이터 액세스 시간이 길어지는 문제점이 있다.

<16> 이러한 문제점을 해결하기 위하여 DLL 회로를 사용하여 내부 클럭의 위상을 외부 클럭에 대해 소정 시간 앞서도록 만들어 줌으로써, 출력 데이터가 외부 클럭에 대하여 지연 없이 출력될 수 있도록 한다. 즉 DLL 회로는 외부 클럭을 수신하고 일정 시간 위상이 앞서는 내부 클럭을 발생하며, 내부 클럭은 데이터 출력 버퍼 등의 영역에서 기준 클럭으로 사용된다.

<17> 특히, DDR(Double Data Rate) SDRAM과 같은 반도체 메모리 장치는 듀얼 루프 타입(Dual Loop Type)의 DLL 회로를 사용하여 라이징 클럭과 폴링 클럭을 생성하고, 위상 혼합기를 구비하여 각각의 지연 라인으로부터 출력되는 클럭의 듀티비를 50%로 맞추기 위한 동작을 수행한다. 이와 같은 반도체 메모리 장치는 지연 라인과 지연 모델링 수단 및 위상 비교기를 포함하는 각각의 피드백 라인을 구비하며, 동작 모드 설정기의 지시에 따라 각각의 지연 라인은 코스(Coarse) 지연 및 파인(Fine) 지연 동작을 수행한다.

<18> 종래의 기술에 따라 듀얼 루프를 구비하고 위상 혼합기를 이용하여 클럭의 듀티비를 제어하는 DLL 회로는 정확한 듀티비의 클럭을 생성하지 못하였다. 상기 위상 혼합기는 풀업 단에 복수 개의 드라이버를 구비하고, 풀다운 단에 복수 개의 드라이버를 구비하며, 풀업 단과 풀다운 단 사이의 노드에 형성되는 전위를 구동하는 드라이버를 구비하는 형태로 구성된다. 이와 같이 위상 혼합기에 구비되는 복수 개의 드라이버는 전압, 온도(PVT: Process, Voltage, Temperature)의 변화에 따라 풀업 단과 풀다운 단의 구동력에 차이를 보일 수 있다. 따라서 PVT 변화에 따라 상기 풀업 단과 풀다운 단 사이의 노드에 형성되는 전위의 레벨이 천이되는 경우, 풀업 단과 풀다운 단 중 어느 한 쪽의 구동력에 지배적인 영향을 받는 현상이 발생하게 되며, 이에 따라 정확히 50%의 듀티비를 갖는 클럭이 생성되지 않는다. 또한 DLL 회로에 저주파의 클럭 신호가 입력되는 경우, 보다 정교한 듀티비 보정 동작이 요구되나, 이를 처리하지 못하였다.

<19> 그리고 종래의 기술에 따른 DLL 회로는 위상 혼합기를 제어하기 위한 회로들을 두 개의 피드백 루프에 각각 구비함으로써, 그 차지하는 면적이 작지 않았다. 또한 DLL 회로에 저주파의 클럭 신호가 입력되는 경우를 대비하여 위상 혼합기는 상당히 많은 소자를 구비하여야만 하였다. 그러므로 종래의 기술에 따른 DLL 회로는 점유 면적 면에서 문제점을 가지고 있었고, 그에 따라 각 구성 요소들이 소비하는 전력 또한 그 양이 적지 않아, 반도체 집적 회로의 저전력화, 고집적화 구현이 용이하지 않았다.

발명이 이루고자 하는 기술적 과제

<20> 본 발명은 상술한 문제점을 해결하기 위하여 안출된 것으로서, 보다 정확히 50%의 듀티비를 갖는 클럭을 출력하는 DLL 회로 및 그 제어 방법을 제공하는 데에 그 기술적 과제가 있다.

<21> 또한 본 발명은 PVT 변화에 의해 그 듀티비가 변화하지 않는 클럭을 출력하는 DLL 회로 및 그 제어 방법을 제공하는 데에 다른 기술적 과제가 있다.

<22> 그리고 본 발명은 면적 마진을 증가시키고, 소비 전력을 감소시켜 반도체 집적 회로의 저전력화, 고집적화 구현을 가능하게 하는 DLL 회로 및 그 제어 방법을 제공하는 데에 또 다른 기술적 과제가 있다.

발명의 구성 및 작용

<23> 상술한 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 DLL 회로는, 라이징 클럭의 듀티비와 폴링 클럭의 듀티비를 감지하여 듀티비 감지 신호를 출력하는 듀티비 감지 수단; 상기 듀티비 감지 신호에 응답하여 보정 제어 신호를 생성하는 보정 제어 수단; 및 상기 보정 제어 신호의 제어에 따라 내부 클럭의 듀티비를 보정하여 기준 클럭을 출력하는 듀티비 보정 수단;을 포함하는 것을 특징으로 한다.

<24> 또한 본 발명의 다른 실시예에 따른 DLL 회로는, 라이징 클럭의 듀티비와 폴링 클럭의 듀티비에 따라 내부 클럭의 듀티비를 보정하여 기준 클럭을 출력하는 듀티비 보정 수단; 및 상기 듀티비 보정 수단의 동작이 한계에 도달했는지 여부에 따라 선택적으로 상기 라이징 클럭과 상기 폴링 클럭을 혼합하는 위상 혼합 수단;을 포함하는 것을 특징으로 한다.

<25> 그리고 본 발명의 일 실시예에 따른 DLL 회로의 제어 방법은, a) 라이징 클럭의 듀티비와 폴링 클럭의 듀티비를 감지하여 듀티비 감지 신호를 출력하는 단계; b) 상기 듀티비 감지 신호에 응답하여 보정 제어 신호를 생성하는 단계; 및 c) 상기 보정 제어 신호의 제어에 따라 내부 클럭의 듀티비를 보정하여 기준 클럭을 출력하는 단계;를 포함하는 것을 특징으로 한다.

<26> 아울러 본 발명의 다른 실시예에 따른 DLL 회로의 제어 방법은, a) 라이징 클럭의 듀티비와 폴링 클럭의 듀티비에 따라 내부 클럭의 듀티비를 보정하여 기준 클럭을 출력하는 단계; 및 b) 상기 a) 단계의 동작이 한계에 도달했는지 여부에 따라 선택적으로 상기 라이징 클럭과 상기 폴링 클럭을 혼합하는 단계;를 포함하는 것을 특징으로 한다.

<27> 이하에서는 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 보다 상세히 설명하기로 한다.

<28> 도 1은 본 발명의 일 실시예에 따른 DLL 회로의 구성을 나타낸 블록도이다.

<29> 도시한 바와 같이, 상기 DLL 회로는 외부 클럭(clk_ext)을 버퍼링하여 내부 클럭(clk_int)을 생성하는 클럭 입력 버퍼(10), 듀티비 감지 신호(dtdet)에 응답하여 n 비트(n은 2 이상의 자연수)의 보정 제어 신호(crtcnt<1:n>)와 혼합 인에이블 신호(mixen)를 생성하는 보정 제어 수단(20), 상기 n 비트의 보정 제어 신호(crtcnt<1:n>)의 제어에 따라 상기 내부 클럭(clk_int)의 듀티비를 보정하여 기준 클럭(clk_ref)을 출력하는 듀티비 보정 수단(30), 제 1 지연 제어 신호(dlycont1)의 제어에 따라 상기 기준 클럭(clk_ref)을 지연시켜 라이징 클럭(rclk)을 출력하는 제 1 지연 수단(40), 제 2 지연 제어 신호(dlycont2)의 제어에 따라 상기 기준 클럭(clk_ref)을 지연시켜 폴링 클럭(fclk)을 출력하는 제 2 지연 수단(50), 상기 라이징 클럭(rclk)의 듀티비와 상기 폴링 클럭(fclk)의 듀티비를 감지하여 상기 듀티비 감지 신호(dtdet)를 출력하는 듀티비 감지 수단(60), 상기 라이징 클럭(rclk)과 상기 폴링 클럭(fclk)의 위상을 비교하여 제 1 위상 비교 신호(phcmp1)를 생성하는 제 1 위상 비교 수단(70), 상기 혼합 인에이블 신호(mixen)와 상기 제 1 위상 비교 신호(phcmp1)의 제어에 따라 상기 라이징 클럭(rclk)의 위상과 상기 폴링 클럭(fclk)의 위상을 혼합하여 출력 클럭(clk_out)을 생성하는 위상 혼합 수단(80), 상기 출력 클럭(clk_out)의 데이터 출력 버퍼까지의 전송 경로에 존재하는 지연 소자들에 의한 지연값을 모델링하여 상기 출력 클럭(clk_out)에 지연 시간을 부여하여 피드백 클럭(clk_fb)을 생성하는 지연 모델링 수단(90), 상기 기준 클럭(clk_ref)과 상기 피드백 클럭(clk_fb)의 위상을 비교하여 제 2 위상 비교 신호(phcmp2)를 생성하는 제 2 위상 비교 수단(100) 및 상기 제 1 위상 비교 신호(phcmp1)와 상기 제 2 위상 비교 신호(phcmp2)에 응답하여 상기 제 1 지연 제어 신호(dlycont1) 및 상기 제 2 지연 제어 신호(dlycont2)를 생성하는 지연 제어 수단(110)을 포함한다.

<30> 이와 같이 구성된 DLL 회로에서, 상기 제 1 지연 수단(40)에서 출력되는 상기 라이징 클럭(rclk)과 상기 제 2 지연 수단(50)에서 출력되는 상기 폴링 클럭(fclk)은 서로 반대의 위상을 갖는다. 상기 제 1 위상 비교 수단

(70)은 상기 라이징 클럭(rclk)과 상기 폴링 클럭(fclk)의 라이징 에지를 일치시키기 위한 상기 제 1 위상 비교 신호(phcmp1)를 생성한다. 이후 상기 라이징 클럭(rclk)과 상기 폴링 클럭(fclk)의 라이징 에지가 일치되면, 상기 듀티비 감지 수단(60)은 상기 두 클럭을 반전시킨 뒤 반전된 두 클럭의 라이징 에지를 비교하는 동작을 수행함으로써, 상기 라이징 클럭(rclk)의 듀티비와 상기 폴링 클럭(fclk)의 듀티비를 판별(듀티비가 50%를 초과했는지, 정확히 50%가 되었는지, 50%에 미달되었는지 여부를 판별)한다. 이러한 동작에 의해 생성되는 상기 듀티비 감지 신호(dtdet)는 예를 들어, 3 비트의 신호로서 구현 가능하며, 상기 라이징 클럭(rclk)의 듀티비와 상기 폴링 클럭(fclk)의 듀티비에 대한 정보를 담는다.

<31> 상기 보정 제어 수단(20)은 상기 듀티비 감지 신호(dtdet)가 담는 정보에 따라 상기 n 비트의 보정 제어 신호(crtcnt<1:n>)를 생성한다. 상기 n 비트의 보정 제어 신호(crtcnt<1:n>)의 논리값이 임계값에 도달하면, 상기 보정 제어 수단(20)은 상기 혼합 인에이블 신호(mixen)를 인에이블 시킨다. 이는, 상기 n 비트의 보정 제어 신호(crtcnt<1:n>)의 논리값이 최소값 또는 최대값이라는 것이 상기 듀티비 보정 수단(30)의 상기 내부 클럭(clk_int)에 대한 듀티비 보정 능력이 한계에 이르렀다는 것을 의미하므로, 상기 위상 혼합 수단(80)이 상기 라이징 클럭(rclk)과 상기 폴링 클럭(fclk)의 듀티비를 추가적으로 보정하도록 하기 위함이다. 상기 듀티비 보정 수단(30)이 저주파의 클럭에 대해서도 완벽한 보정 능력을 갖게 되면 점유 면적이 크게 늘어나게 되는 부작용이 있으므로, 상기 보정 제어 수단(20)과 상기 위상 혼합 수단(80)이 상술한 기능을 수행하도록 하여 점유 면적 측면에서의 이득 또한 취할 수 있게 된다.

<32> 상기 듀티비 보정 수단(30)은 상기 n 비트의 보정 제어 신호(crtcnt<1:n>)의 제어에 따라 상기 클럭 입력 버퍼(10)를 통해 전달되는 상기 내부 클럭(clk_int)의 듀티비를 보정하여 상기 기준 클럭(clk_ref)을 출력한다. 이후, 상기 기준 클럭(clk_ref)은 상기 제 1 지연 수단(40)과 상기 제 2 지연 수단(50)에 각각 입력되어 상기 제 1 지연 제어 신호(dlycont1)와 상기 제 2 지연 제어 신호(dlycont2)의 제어에 대응되는 만큼 지연된 후, 각각 상기 라이징 클럭(rclk)과 상기 폴링 클럭(fclk)으로서 출력된다.

<33> 상기 위상 혼합 수단(80)은 상기 혼합 인에이블 신호(mixen)가 디스에이블 되면 상기 라이징 클럭(rclk)을 구동하여 상기 출력 클럭(clk_out)을 출력하고, 상기 혼합 인에이블 신호(mixen)가 인에이블 되면 상기 라이징 클럭(rclk)과 상기 폴링 클럭(fclk)의 위상을 혼합하여 상기 출력 클럭(clk_out)을 생성한다. 상기 혼합 인에이블 신호(mixen)의 인에이블시, 상기 위상 혼합 수단(80)은 상기 제 1 위상 비교 신호(phcmp1)의 제어에 따라 상기 두 클럭의 위상 혼합 동작을 수행한다. 일반적인 위상 혼합기는 입력되는 두 클럭 중 위상이 앞서는 클럭으로부터 더 큰 영향을 받아 위상을 혼합하게 된다. 이와 같은 부작용을 보상하기 위해 상기 위상 혼합 수단(80)은 상기 제 1 위상 비교 신호(phcmp1)의 지시에 따라 위상이 뒤지는 클럭의 구동력을 강화하는 기능을 수행한다.

<34> 상기 지연 모델링 수단(90)은 상기 출력 클럭(clk_out)의 데이터 출력 버퍼까지의 전송 경로에 존재하는 지연 소자들에 의한 지연 시간을 모델링하여, 그에 따른 지연 시간을 상기 출력 클럭(clk_out)에 부여함으로써, 상기 피드백 클럭(clk_fb)을 생성한다. 이후, 상기 제 2 위상 비교 수단(100)은 상기 기준 클럭(clk_ref)과 상기 피드백 클럭(clk_fb)의 위상을 비교하여 상기 제 2 위상 비교 신호(phcmp2)를 생성한다. 상기 지연 제어 수단(110)은 상기 제 1 위상 비교 신호(phcmp1)와 상기 제 2 위상 비교 신호(phcmp2)로부터 상기 제 1 지연 제어 신호(dlycont1)와 상기 제 2 지연 제어 신호(dlycont2)를 생성하여 각각 상기 제 1 지연 수단(40)과 상기 제 2 지연 수단(50)에 전달한다.

<35> 상술한 바와 같이, 본 발명에 따른 DLL 회로는 상기 듀티비 보정 수단(30) 이 상기 제 1 지연 수단(40)과 상기 제 2 지연 수단(50)의 앞에 배치되어, 상기 제 1 지연 수단(40)과 상기 제 2 지연 수단(50)에 듀티비가 보정된 상기 기준 클럭(clk_ref)이 입력되도록 함으로써 보다 정확히 50%의 듀티비를 갖는 상기 출력 클럭(clk_out)을 생성할 수 있다. 또한, 저주파 입력시와 같이, 상기 듀티비 보정 수단(30)의 보정 능력이 부족할 경우에만 선택적으로 상기 위상 혼합 수단(80)을 활성화시키고, 상기 위상 혼합 수단(80)에 입력되는 상기 라이징 클럭(rclk)과 상기 폴링 클럭(fclk)의 위상에 따라 각 클럭에 대한 구동력을 차별화함으로써 점유 면적의 큰 증가 없이도 보다 정확히 50%의 듀티비를 갖는 상기 출력 클럭(clk_out)을 생성한다.

<36> 도 2는 도 1에 도시한 보정 제어 수단의 구성도이다.

<37> 도시한 바와 같이, 상기 보정 제어 수단(20)은 상기 듀티비 감지 신호(dtdet)에 응답하여 가산 또는 감산 동작함으로써 m 비트의 카운트 신호(count<1:m>)를 생성하는 카운터(210)를 포함한다.

<38> 상기 m 비트의 카운트 신호(count<1:m>)는 상기 n 비트의 보정 제어 신호(crtcnt<1:n>)로서 사용될 수 있다(이 경우, m=n). 이 때, 상기 카운터(210)는 상기 듀티비 감지 신호(dtdet)가 전달하는 상기 라이징 클럭(rclk)과

상기 폴링 클럭(fclk)의 듀티비 정보에 대응하여 상기 m 비트의 카운트 신호(count<1:m>)의 논리값을 조정한다. 예를 들어, 상기 라이징 클럭(rclk)의 듀티비가 50%를 넘고 상기 폴링 클럭(fclk)의 듀티비가 50%에 미치지 못하면 상기 카운트 신호(count<1:m>)의 논리값을 감소시키고, 상기 라이징 클럭(rclk)의 듀티비가 50%에 미치지 못하고 상기 폴링 클럭(fclk)의 듀티비가 50%를 넘으면 상기 카운트 신호(count<1:m>)의 논리값을 증가시키며, 상기 라이징 클럭(rclk)의 듀티비와 상기 폴링 클럭(fclk)의 듀티비가 각각 50%가 되면, 상기 카운트 신호(count<1:m>)의 논리값을 고정시킨다.

<39> 또한 상기 보정 제어 수단(20)은 상기 m 비트의 카운트 신호(count<1:m>)의 최대값 또는 최소값 여부를 판별하여 상기 혼합 인에이블 신호(mixen)를 생성하는 임계값 감지기(220) 및 상기 m 비트의 카운트 신호(count<1:m>)를 디코딩하여 상기 n 비트의 보정 제어 신호(crtcnt<1:n>)를 출력하는 디코더(230)를 추가로 포함할 수 있다.

<40> 이 경우, 상기 임계값 감지기(220)는 상기 카운트 신호(count<1:m>)의 논리값이 최대일 때 또는 최소일 때 상기 혼합 인에이블 신호(mixen)를 인에이블 시키고, 그 외의 경우에는 디스에이블 시킨다. 그리고 상기 디코더(230)는 상기 카운트 신호(count<1:m>)를 디코딩하여 상기 n 비트의 보정 제어 신호(crtcnt<1:n>)를 생성한 후 상기 듀티비 보정 수단(30)에 전달한다. 이 때, 상기 n 비트의 보정 제어 신호(crtcnt<1:n>)는 하이 신호가 한 개 포함된 형태로 구현 가능하며, 상기 카운트 신호(count<1:m>)의 논리값이 증가하면 상기 n 비트의 보정 제어 신호(crtcnt<1:n>)에 포함된 하이 신호가 상위 비트로 쉬프팅하는 형태로서 구현될 수 있다.

<41> 도 3은 도 1에 도시한 듀티비 보정 수단의 구성도이다.

<42> 상기 듀티비 보정 수단(30)은 상기 n 비트의 보정 제어 신호(crtcnt<1:n>)의 입력에 대응하여 구동부(330)를 풀업하는 풀업부(310), 상기 n 비트의 보정 제어 신호(crtcnt<1:n>)의 입력에 대응하여 상기 구동부(330)를 풀다운하는 풀다운부(320) 및 상기 풀업부(310)의 풀업 동작과 상기 풀다운부(320)의 풀다운 동작에 대응하여 상기 내부 클럭(clk_int)을 구동하여 상기 기준 클럭(clk_ref)을 출력하는 상기 구동부(330)를 포함한다.

<43> 여기에서 상기 풀업부(310)는 게이트 단에 상기 n 비트의 보정 제어 신호(crtcnt<1:n>)를 각각 입력 받고, 외부 공급전원(VDD)의 공급단과 상기 구동부(330) 사이에 병렬로 구비되는 n 개의 제 1 트랜지스터(TR1<1:n>)를 포함한다.

<44> 그리고 상기 풀다운부(320)는 게이트 단에 상기 n 비트의 보정 제어 신호(crtcnt<1:n>)를 각각 입력 받고, 그라운드 전원(VSS)의 공급단과 상기 구동부(330) 사이에 병렬로 구비되는 n 개의 제 2 트랜지스터(TR2<1:n>)를 포함한다.

<45> 상기 구동부(330)는 상기 풀업부(310)와 상기 풀다운부(320)로부터 공급되는 전원을 인가 받고 상기 내부 클럭(clk_int)을 입력 받는 제 1 인버터(IV1) 및 상기 제 1 인버터(IV1)의 출력 신호를 입력 받아 상기 기준 클럭(clk_ref)을 출력하는 제 2 인버터(IV2)를 포함한다.

<46> 이와 같은 구성에 의해 상기 구동부(330)에 입력되는 상기 내부 클럭(clk_int)에 대한 듀티비 보정 동작이 수행된다.

<47> 상기 n 비트의 보정 제어 신호(crtcnt<1:n>)가 상기 m 비트의 카운트 신호(count<1:m>)인 경우, 상기 n 비트의 보정 제어 신호(crtcnt<1:n>) 중 로우 신호의 개수가 증가하면 상기 풀업부(310)가 상기 구동부(330)의 상기 제 1 인버터(IV1)에 공급하는 전원의 양이 증가하게 되고, 그에 따라 상기 제 1 인버터(IV1)의 출력 신호의 하이 레벨 구간이 넓어지게 된다. 이후 상기 제 2 인버터(IV2)로부터 출력되는 상기 기준 클럭(clk_ref)은 로우 레벨 구간이 넓어지게 된다.

<48> 반면에, 상기 n 비트의 보정 제어 신호(crtcnt<1:n>) 중 하이 신호의 개수가 증가하면 상기 풀다운부(320)가 상기 구동부(330)의 상기 제 1 인버터(IV1)에 공급하는 전원의 양이 증가하게 되고, 그에 따라 상기 제 1 인버터(IV1)의 출력 신호의 로우 레벨 구간이 넓어지게 된다. 이후 상기 제 2 인버터(IV2)로부터 출력되는 상기 기준 클럭(clk_ref)은 하이 레벨 구간이 넓어지게 된다.

<49> 상기 n 비트의 보정 제어 신호(crtcnt<1:n>)가 상기 디코더(230)로부터 출력되는 경우, 상기 n 개의 제 1 트랜지스터(TR1<1:n>)는 각각 그 사이즈가 다르게 배치되고, 마찬가지로 상기 n 개의 제 2 트랜지스터(TR2<1:n>) 또한 각각 그 사이즈가 다르게 배치된다. 반도체 집적 회로의 트랜지스터는 그 사이즈에 따라 저항값이 달라지므로, 상기 n 비트의 보정 제어 신호(crtcnt<1:n>)가 각각 입력되는 트랜지스터의 저항값을 이용하여 상기 풀업부(310)와 상기 풀다운부(320)의 구동력을 제어할 수 있다.

<50> 도 4는 도 1에 도시한 위상 혼합 수단의 구성도이다.

<51> 도시한 것과 같이, 상기 위상 혼합 수단(80)은 상기 혼합 인에이블 신호(mixen)의 인에이블 여부에 따라 선택적으로 상기 라이징 클럭(rclk)과 상기 폴링 클럭(fclk)의 위상을 혼합하는 위상 혼합부(810) 및 상기 혼합 인에이블 신호(mixen)와 상기 제 1 위상 비교 신호(phcmp1)의 제어에 따라 상기 라이징 클럭(rclk) 또는 상기 폴링 클럭(fclk)을 구동하는 구동력 보상부(820)를 포함한다.

<52> 여기에서 상기 위상 혼합부(810)는 상기 라이징 클럭(rclk)을 반전 구동하는 제 1 반전 드라이버(INDRV1), 상기 혼합 인에이블 신호(mixen)가 인에이블 되면 상기 폴링 클럭(fclk)을 반전 구동하는 제 2 반전 드라이버(INDRV2) 및 상기 제 1 반전 드라이버(INDRV1)의 출력 신호와 상기 제 2 반전 드라이버(INDRV2)의 출력 신호를 반전 구동하는 제 3 반전 드라이버(INDRV3)를 포함한다.

<53> 그리고 상기 구동력 보상부(820)는 상기 제 1 위상 비교 신호(phcmp1)의 제어에 따라 상기 라이징 클럭(rclk)을 반전 구동하는 제 4 반전 드라이버(INDRV4), 상기 제 1 위상 비교 신호(phcmp1)의 제어에 따라 상기 폴링 클럭(fclk)을 반전 구동하는 제 5 반전 드라이버(INDRV5) 및 상기 혼합 인에이블 신호(mixen)가 인에이블 되면 상기 제 4 반전 드라이버(INDRV4)의 출력 신호와 상기 제 5 반전 드라이버(INDRV5)의 출력 신호를 반전 구동하는 제 6 반전 드라이버(INDRV6)를 포함한다.

<54> 상기 혼합 인에이블 신호(mixen)가 디스에이블 되면 상기 위상 혼합부(810)의 상기 제 2 반전 드라이버(INDRV2)와 상기 구동력 보상부(820)의 상기 제 6 반전 드라이버(INDRV6)는 턴 오프(Turn Off) 되므로, 상기 출력 클럭(clk_out)은 상기 라이징 클럭(rclk)이 상기 제 1 반전 드라이버(INDRV1)와 상기 제 2 반전 드라이버(INDRV2)에 의해 구동된 형태로 구현된다.

<55> 그러나 상기 혼합 인에이블 신호(mixen)가 인에이블 되면 상기 제 2 반전 드라이버(INDRV2)와 상기 제 6 반전 드라이버(INDRV6)는 턴 온(Turn On) 된다. 상기 구동력 보상부(820)의 상기 제 4 반전 드라이버(INDRV4)는 상기 제 1 위상 비교 신호(phcmp1)가 제 1 레벨(예를 들어, 하이 레벨)이면 턴 온 되고, 상기 제 5 반전 드라이버(INDRV5)는 상기 제 1 위상 비교 신호(phcmp1)가 제 2 레벨(예를 들어, 로우 레벨)이면 턴 온 된다. 이에 따라, 상기 폴링 클럭(fclk)의 위상이 상기 라이징 클럭(rclk)의 위상에 앞설 때 상기 제 1 위상 비교 신호(phcmp1)는 상기 제 4 반전 드라이버(INDRV4)를 인에이블 시키고, 상기 라이징 클럭(rclk)의 위상이 상기 폴링 클럭(fclk)의 위상에 앞설 때 상기 제 1 위상 비교 신호(phcmp1)는 상기 제 5 반전 드라이버(INDRV5)를 턴 온 시킨다.

<56> 이와 같은 동작에 의해, 상기 위상 혼합 수단(80)은 상기 혼합 인에이블 신호(mixen)의 인에이블 여부에 따라 선택적으로 상기 라이징 클럭(rclk)과 상기 폴링 클럭(fclk)을 혼합하는 동작을 수행한다. 또한 상기 제 1 위상 비교 신호(phcmp1)의 제어에 따라 상기 라이징 클럭(rclk) 또는 상기 폴링 클럭(fclk)의 구동력을 보상함으로써, 상기 출력 클럭(clk_out)이 상기 라이징 클럭(rclk)과 상기 폴링 클럭(fclk) 중 위상이 앞선 클럭의 영향을 더 많이 받는 부작용을 해결하게 된다.

<57> 상술한 바와 같이, 본 발명의 DLL 회로는 제 1 및 제 2 지연 수단에서 각각 출력되는 라이징 클럭의 듀티비와 폴링 클럭의 듀티비를 감지하고, 이를 바탕으로 기준 클럭의 듀티비를 보정한 후, 제 1 및 제 2 지연 수단에 공급함으로써, 위상 혼합기를 이용하여 클럭의 듀티비를 보정하던 종래의 기술에 비해 보다 정밀한 듀티비 보정 동작을 수행할 수 있게 되었다. 따라서, PVT 변화에 의해 각 지연 소자들의 지연량이 변동되어도 이를 지속적으로 감지하므로, 출력 클럭의 듀티비는 보다 정확히 50%를 갖는 형태로 출력된다.

<58> 또한 위상 혼합기를 제어하기 위한 회로들이 필요 없게 되었고, 저주파 입력시와 같이, 듀티비 보정 수단의 동작 능력이 한계에 도달하는 경우에만 선택적으로 위상 혼합 수단을 동작시킴으로써 점유 면적과 소비 전력 측면에서 이득을 취하게 되었다. 그리고 라이징 클럭과 폴링 클럭의 위상차에 따라 위상 혼합 수단의 동작을 제어함으로써, 위상 혼합 수단의 오동작으로 인해 출력 클럭의 듀티비가 틀어지는 부작용까지도 해결할 수 있게 되었다.

<59> 이와 같이, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

발명의 효과

<60> 이상에서 설명한 본 발명의 DLL 회로 및 그 제어 방법은, 보다 정확히 50%의 듀티비를 갖는 클럭을 출력하는 효과가 있다.

<61> 아울러, 본 발명의 DLL 회로 및 그 제어 방법은, PVT 변화에 의해 그 듀티비가 변화하지 않는 클럭을 출력하는 효과가 있다.

<62> 또한 본 발명의 DLL 회로 및 그 제어 방법은, 면적 마진을 증가시키고, 소비 전력을 감소시켜 반도체 집적 회로의 저전력화, 고집적화 구현을 가능하게 하는 효과가 있다.

도면의 간단한 설명

<1> 도 1은 본 발명의 일 실시예에 따른 DLL 회로의 구성을 나타낸 블록도,

<2> 도 2는 도 1에 도시한 보정 제어 수단의 구성도,

<3> 도 3은 도 1에 도시한 듀티비 보정 수단의 구성도,

<4> 도 4는 도 1에 도시한 위상 혼합 수단의 구성도이다.

<5> <도면의 주요 부분에 대한 부호 설명>

<6> 10 : 클럭 입력 버퍼 20 : 보정 제어 수단

<7> 30 : 듀티비 보정 수단 40 : 제 1 지연 수단

<8> 50 : 제 2 지연 수단 60 : 듀티비 감지 수단

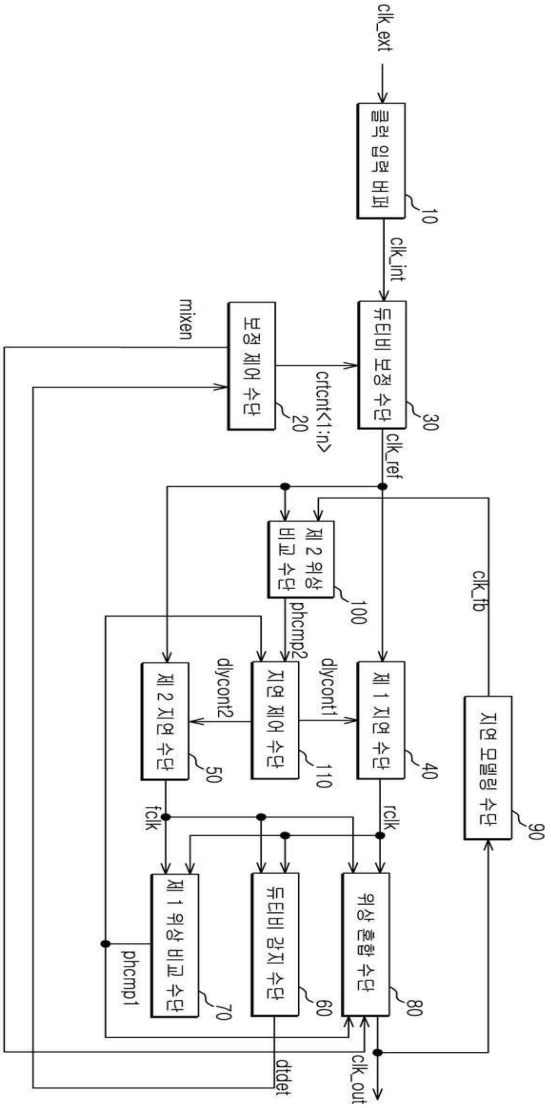
<9> 70 : 제 1 위상 비교 수단 80 : 위상 혼합 수단

<10> 90 : 지연 모델링 수단 100 : 제 2 위상 비교 수단

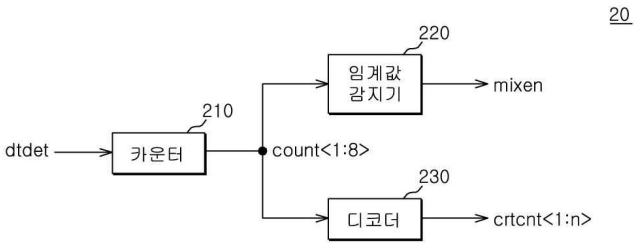
<11> 110 : 지연 제어 수단

도면

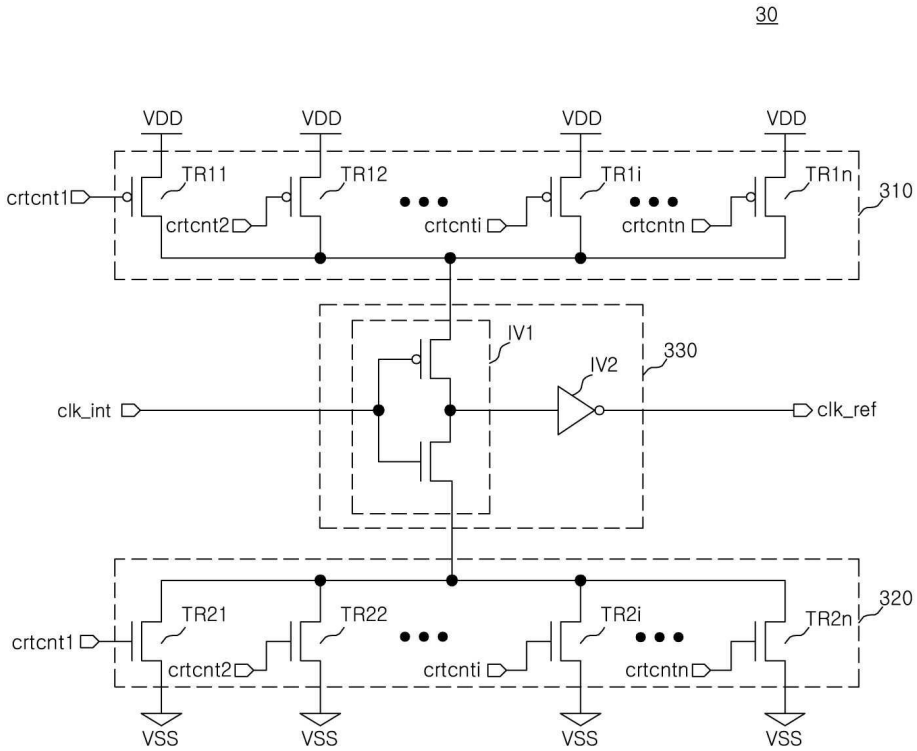
도면1


clk_ext
클럭 입력 버퍼
10
clk_int
듀티비 보정 수단
30
mixen
보정 제어 수단
20
crtcnt<1:n>
clk_ref
제 2 위상 비교 수단
100
clk_fb
phcmp2
제 2 지연 수단
50
dlycont2
지연 제어 수단
110
dlycont1
제 1 지연 수단
40
지연 모델링 수단
90
fclk
rclk
제 1 위상 비교 수단
70
phcmp1
듀티비 감지 수단
60
위상 혼합 수단
80
dtdet
clk_out

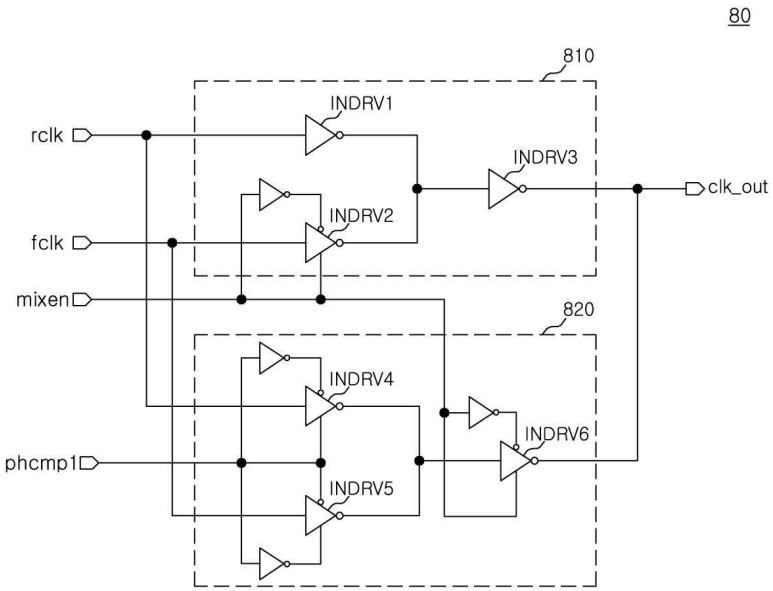
도면2


20
220
임계값 감지기
mixen
210
dtdet
카운터
count<1:8>
230
디코더
crtcnt<1:n>

도면3


30
VDD
VDD
VDD
VDD
TR11
TR12
TR1i
TR1n
310
crtcnt1
crtcnt2
crtcnti
crtcntn
IV1
IV2
330
clk_int
clk_ref
TR21
TR22
TR2i
TR2n
320
crtcnt1
crtcnt2
crtcnti
crtcntn
VSS
VSS
VSS
VSS

도면4


80
810
INDRV1
INDRV3
INDRV2
rclk
fclk
mixen
clk_out
820
INDRV4
INDRV6
phcmp1
INDRV5