(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3632443号
(P3632443)

(45)発行日　平成17年3月23日(2005.3.23)　(24)登録日　平成17年1月7日(2005.1.7)

(51)Int.Cl.⁷	F I
G11C 11/406	G11C 11/34 363Z
G01R 31/28	G11C 29/00 671S
G11C 11/401	G11C 29/00 675L
G11C 11/403	G11C 11/34 363M
G11C 29/00	G11C 11/34 371A

請求項の数 2　(全 12 頁)　最終頁に続く

(21)出願番号　特願平10-147094
(22)出願日　平成10年5月28日(1998.5.28)
(65)公開番号　特開平11-339467
(43)公開日　平成11年12月10日(1999.12.10)
審査請求日　平成14年2月8日(2002.2.8)

(73)特許権者　000005821
松下電器産業株式会社
大阪府門真市大字門真１００６番地
(74)代理人　100097445
弁理士　岩橋　文雄
(74)代理人　100103355
弁理士　坂口　智康
(74)代理人　100109667
弁理士　内藤　浩樹
(72)発明者　藤本　知則
大阪府門真市大字門真１００６番地　松下電器産業株式会社内
(72)発明者　大田　清人
大阪府門真市大字門真１００６番地　松下電器産業株式会社内

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】

【請求項１】

１チップ化された半導体装置であって、
データを記憶するためのリフレッシュが必要なメモリセルを有するメモリと、
セルフリフレッシュ制御信号が入力されると、一定の周期を有する発振クロックを供給するための発振手段と、前記発振クロックに基づいて、前記メモリセルをリフレッシュするための内部セルフリフレッシュ制御信号を供給するための信号生成手段と、セルフリフレッシュテスト時には、前記内部セルフリフレッシュ制御信号に基づいて行選択制御信号を供給し、メモリからのデータ読み出しテスト時には、外部入力端子からの入力に基づいて前記行選択制御信号を供給する論理ゲート回路と、前記行選択制御信号に応答して行アドレスにより選択されたワード線を活性化する行選択回路と、前記行選択制御信号を外部端子に出力する信号出力手段とを備えることを特徴とする半導体装置。

【請求項２】

請求項１記載の半導体装置において、
前記信号出力手段は、メモリからのデータ読み出しテスト時は、テストデータを外部端子に出力し、セルフリフレッシュテスト時は、前記行選択制御信号を外部端子に出力することを特徴とする半導体装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、リフレッシュが必要なメモリ、つまりダイナミックランダムアクセスメモリ（以下、ＤＲＡＭと略す）とロジック回路とが１チップ化された半導体装置に関するものである。

【０００２】

【従来の技術】

メモリセルがコンデンサによって形成されているＤＲＡＭにおいては、ある時間経つと、電荷としてメモリセルに保持されているデータがリーク電流により失われてしまう。したがって、メモリセルが保持するデータを書き直して維持するために、リフレッシュ動作を行う必要がある。ＤＲＡＭにおけるリフレッシュ動作は、メモリセルが有するそれぞれ複数の行と列とにより構成されたメモリマトリクスにおいて、１行分の行線（ワード線）を選択した後にそのワード線上のすべてのメモリセルについて読み出し・増幅・再書き込みを行う動作を、全ワード線に対して順次行うことにより実現される。

【０００３】

ＤＲＡＭのリフレッシュ動作としては、メモリセルに対するデータの読み出し／書き込みといったランダムアクセス動作中に割り込んで行われるリフレッシュ動作と、ＤＲＡＭがランダムアクセス動作中でなくデータ保持モードである期間、例えば電池によるバックアップ期間中に行われるリフレッシュ動作とがある。

【０００４】

前者、つまりアクセス動作中に割り込んで行われるリフレッシュ動作には２つの方式がある。１つは、リフレッシュ用の行アドレスを外部のリフレッシュアドレスカウンタから与え、行アドレスストローブ信号／ＲＡＳを立ち下げてから立ち上げるまでの期間にリフレッシュを行う、ＲＡＳオンリリフレッシュ方式である。もう１つは、外部からリフレッシュ要求信号を与え、行アドレスを外部アドレスからＤＲＡＭ内蔵のリフレッシュアドレスカウンタへ切り換えてリフレッシュを行う、オートリフレッシュ方式である。現在、オートリフレッシュ方式としては、列アドレスストローブ信号／ＣＡＳ、行アドレスストローブ信号／ＲＡＳの順にＬｏｗレベル“Ｌ”にし、かつ、行アドレスストローブ信号／ＲＡＳを立ち下げてから立ち上げるまでの間にリフレッシュを行う、ＣＡＳビフォアＲＡＳリフレッシュ（以下、ＣＢＲリフレッシュと略す）が標準仕様になっている。

【０００５】

後者、つまりデータ保持モードにおけるリフレッシュ動作には、内部のタイマーが自動的に生成したリフレッシュ要求信号に応じて、内蔵したリフレッシュアドレスカウンタの出力を行アドレスとしてリフレッシュを行うことにより、外部から制御信号を与えなくても一定の周期でリフレッシュを継続して行うセルフリフレッシュ方式がある。現在、セルフリフレッシュ方式としては、ＣＢＲリフレッシュにおいて行アドレスストローブ信号／ＲＡＳ及び列アドレスストローブ信号／ＣＡＳの双方を“Ｌ”のまま１００μｓｅｃ以上保つことによりセルフリフレッシュ動作に入る、ＣＢＲセルフリフレッシュが標準仕様になっている。

【０００６】

【発明が解決しようとする課題】

しかしながら、上記従来の構成によれば、セルフリフレッシュ時のリフレッシュ要求信号を生成するセルフリフレッシュ回路のチェックするための信号を外部端子に出力していないため、セルフリフレッシュ回路の不良を検出するために、メモリにデータを書き込んでから、セルフリフレッシュモードに入り、リフレッシュしなければメモリセルに保持されているデータがリークして失われてしまう時間以上待った後、メモリセルのデータを読んで、データが失なわれたかどうかのテストを行っており、テスト時間が長くなるという課題と前記リフレッシュ要求信号のパルス幅をチェックできないのとセルフリフレッシュ時のリフレッシュ周期のチェックできないので、トリミングによるリフレッシュ周期の最適化ができないという課題と前記パルス幅またはリフレッシュ周期が規格外の時にトリミングにより前記パルス幅または周期を規格内にすることができないという課題とを有していた。本発明は、上記従来の問題に鑑み、リフレッシュが必要なメモリ、つまりＤＲＡＭと

ロジック回路とが１チップ化された半導体装置であって、前記セルフリフレッシュ回路のテストを短時間で行うことができ、トリミングによるセルフリフレッシュ周期の最適化及び不良品の救済を行うことができる半導体装置を提供することを目的とする。

【０００７】

【課題を解決するための手段】

この課題を解決するために本発明の半導体装置は、データを記憶するためのリフレッシュが必要なメモリセルを有するメモリと、セルフリフレッシュ制御信号が入力されると、一定の周期を有する発振クロックを供給するための発振手段と、前記発振クロックに基づいて、前記メモリセルをリフレッシュするための内部セルフリフレッシュ制御信号を供給するための信号生成手段と、セルフリフレッシュテスト時には、前記内部セルフリフレッシュ制御信号に基づいて行選択制御信号を供給し、メモリからのデータ読み出しテスト時には、外部入力端子からの入力に基づいて前記行選択制御信号を供給する論理ゲート回路と、前記行選択制御信号に応答して行アドレスにより選択されたワード線を活性化する行選択回路と、前記行選択制御信号を外部端子に出力する信号出力手段とを備えることにより、セルフリフレッシュ時のリフレッシュ周期をチェックすることができるようにした。

【０００８】

これにより、前記セルフリフレッシュ回路のテストを短時間で行うことができ、トリミングによるセルフリフレッシュ周期の最適化及び不良品の救済を行うことができる半導体装置を実現することができた。

【０００９】

【発明の実施の形態】

以下、本発明の実施の形態１の半導体装置について図面を参照しながら説明する。

【００１０】

図１は本発明の実施の形態１における半導体装置の構成を示すものである。

図１において、メモリセル及び周辺回路３は、複数のメモリセルで構成されたメモリアレイとその周辺回路で構成されたブロック、ロジック部４は、マイコン又はロジックで構成されたブロック、リフレッシュカウンタ２２４は、リフレッシュ時の行アドレスを生成するためのカウンタ回路、２１０～２１４、２３０、２３１はインバータ回路、２１５～２１８はＤフリップフロップ（以下ＤＦＦと略す）、セレクタ２０１～２０８、２２９は、Ｓ入力が“Ｈ”の場合に、Ｂ入力が選択される。行アドレスラッチ２２５、列アドレスラッチ２２６、バイトアドレスラッチ２２７は、ＥＮ入力が、“Ｈ”の場合にクロック（２）の立ち上がりで入力信号をラッチする回路である。テストデコード回路２２８は、複数本の外部テスト入力端子をデコードして、ＤＲＡＭ２のテストモードを決定する回路である。

【００１１】

図２は、図１のメモリセルアレイ及び周辺回路３の構成図である。メモリセルＭ０１～ＭＮ２ｍは、容量に１ビット分のデータを記憶するための記憶素子である。メモリセルアレイ３００は、Ｎ行×２ｍ列のメモリセルＭ０１～ＭＮ２ｍを有する記憶手段である。そして、メモリセルアレイ３００は、Ｎ本の行選択線であるワード線ＷＬ１～Ｎと、２ｍペアのビット対線であるビット線（１）～２ｍ、／ビット線（１）～２ｍによりデータの読み書きが実行される構成を有する。行選択回路３０１は、行選択制御信号を受け取り、かつ、受け取った行アドレスに基づいてワード線ＷＬを選択して、選択されたワード線ＷＬにパルスを印加するための行選択手段である。センスアンプＳＡ１～２ｍは、ビット線，／ビット線間の微小な電圧差を増幅するための増幅手段、Ｐｃｈトランジスタ Ｔ０１～Ｔ０（２ｍ）、Ｔ１１～Ｔ１（２ｍ）は、行選択制御信号に応じてビット線，／ビット線へプリチャージ電圧を印加して、各ビット線、／ビット線をプリチャージするためのスイッチング手段である。ＰｃｈトランジスタＴ２１～Ｔ２（２ｍ）は、行選択制御信号に応じて各ビット線、／ビット線をイコライズするためのスイッチング手段である。Ｎｃｈのトランスファーゲート ＴＧ０１～ＴＧ０（２ｍ）、ＴＧ１１～ＴＧ１（２ｍ）は、センスアンプで増幅されたビット線，／ビット線をメインアンプＭＡ０～ＭＡのメインビット線、／

メインビット線に接続するためのスイッチング手段である。

【００１２】

図３は、図１のセルフリフレッシュ回路２５０の詳細説明図である。

図３において、発振回路２５１は、受け取ったセルフリフレッシュ制御信号が“Ｈ”の場合には、クロックＣＬＫ１を供給するための発振手段である。２分周器２６８，２６９，２７０は、受け取ったクロックＣＬＫ１を順次分周し、それぞれ分周クロックＣＬＫ２，ＣＬＫ４，ＣＬＫ８を供給するための分周手段である。セレクタ２７１は、クロック選択信号が、”Ｈ”の場合には、分周クロックＣＬＫ８を選択して、クロック選択信号が、”Ｌ”の場合には、分周クロックＣＬＫ８を選択して、分周信号ＣＫＯを供給するための選択手段である。１ショットパルス発生回路２７４は、受け取った分周信号ＣＫＯの立ち上がりに応じて、所定のパルス幅を有するセットパルスＳＥＴＰを生成するためのパルス生成手段である。セットリセット回路２７５は、それぞれ受け取ったセットパルスＳＥＴＰとリセットパルスＲＳＴＰとに応じて、セルフリフレッシュ信号ＳＲＯを供給するための信号生成手段である。

【００１３】

第１の遅延回路２７６は、受け取った内部セルフリフレッシュ信号を一定時間遅延させたリセットパルスＲＳＴＰを、セットリセット回路２７５のリセット端子に供給するための遅延手段である。

【００１４】

以下、第１の実施の形態である半導体装置１に内蔵されたＤＲＡＭ２のデータ読み出しテスト時の動作を説明する。テスト時は、外部入力端子より信号を入力して、ＤＲＡＭ２を単体でテストする。

【００１５】

まず、データ読み出しテスト時の入力信号の選択動作について、図１を用いて説明する。図１において、外部テスト入力端子によりデータ読み出しテストのモードに設定されるとテストデコード回路２２８により、ＤＲＡＭテスト信号が、Ｈｉｇｈレベルに設定されるため、セレクタ２０１～セレクタ２０８でＢ入力が選択される。従って、クロック（２）には、外部入力端子（１）が入力され、／セルフリフレッシュ制御信号（２）には、外部入力端子（２）が入力され、／オートリフレッシュ制御信号（２）には、外部入力端子（３）が入力され、／行選択制御信号（２）には、外部入力端子（４）が入力され、／列選択制御信号（２）には、外部入力端子（５）が入力され、／ライト制御信号（２）には外部入力端子（６）が入力され、行アドレス２と列アドレス（２）には共に外部入力端子（７）が入力される。

【００１６】

ここで、ＤＲＡＭのアドレス入力として、行アドレス（２）及び列アドレス（２）は共に外部入力端子（７）からの入力となるが、これはテスト時の外部端子数を減らすために共用しているものであり、行アドレスと列アドレスを多重化した信号を外部入力端子（７）に与え、ＤＲＡＭ２内で行アドレスと列アドレスに分離している。

【００１７】

図１及び図２及び図４のタイミングチャートを使ってＤＲＡＭ２のテスト時の読み出し動作を説明する。

【００１８】

ＤＲＡＭ２のデータ読み出しテスト時のページモードでの読み出し動作について、図４のタイミングチャート及び図１、図２を参照して説明する。図４の時間ｔ０において、／セルフリフレッシュ制御信号（２）がＨｉｇｈレベルであるので、後述するがセルフリフレッシュ回路の出力である内部セルフリフレッシュ制御信号は、Ｌｏｗレベル、／オートリフレッシュ制御信号（２）を図１のＤＦＦ２１５によりクロック（２）で同期化した信号内部オートリフレッシュ制御信号がＬｏｗレベル、／行選択制御信号（２）を図１のＤＦＦ２１６によりクロック（２）で同期化した信号内部行選択制御信号がＬｏｗレベルであるため、ＯＲ回路２２２の出力である行選択制御信号がＬｏｗレベルになり、Ｐｃｈトラ

ンジスタＴ０１～Ｔ０（２ｍ）、Ｔ１１～Ｔ１（２ｍ）、Ｔ２１～Ｔ２（２ｍ）がＯＮして、ビット線（１）～２ｍ、／ビット線（１）～２ｍが１／２Ｖｄｄにプリチャージ、イコライズされる。

【００１９】

図４の時間ｔ１において、行選択制御信号（２）がＨｉｇｈレベルよりＬｏｗレベルに立ち下がると、行選択制御信号がＬｏｗレベルよりＨｉｇｈレベルに立ち上がり、Ｐｃｈトランジスタ Ｔ０１～Ｔ０（２ｍ）、Ｔ１１～Ｔ１（２ｍ）、Ｔ２１～Ｔ２（２ｍ）がＯＦＦして、ビット線（１）～２ｍ、／ビット線（１）～２ｍのプリチャージ、イコライズが停止され、時間ｔ１のクロック（２）の立ち上がりで、インバータ２１４の出力信号である行アドレスラッチ２２５のラッチイネーブル信号がＨｉｇｈレベルであるため、行アドレスラッチ２２５は、行アドレス（２）をクロック（２）によりラッチし、行アドレスを出力する。内部セルフリフレッシュ制御信号、内部オートリフレッシュ制御信号がＬｏｗレベルであるので、ＮＯＲ回路２２１の出力である／内部リフレッシュ制御信号がＨｉｇｈレベルになり、セレクタ２２９のＢ入力である行アドレス（３）が選択され、行アドレスに出力される。

【００２０】

図２において、行選択回路３０１は、行選択制御信号がＨｉｇｈレベルなので、行アドレスにより選択された行線ＷＬｎがＨｉｇｈレベルになり、遅延回路（２）－３０３によりセンスアンプイネーブルが、時間ｔ１より遅延してＨｉｇｈレベルになり、センスアンプＳＡ１～ＳＡ２ｍが活性化され、ＷＬｎに接続されたメモリセルのデータが、ビット線（１）～２ｍ、／ビット線（１）～２ｍに読み出されて、センスアンプＳＡ１～ＳＡ２ｍで差動増幅される。

【００２１】

／内部リフレッシュ制御信号がＨｉｇｈレベルのため行選択制御信号がＨｉｇｈレベルになり、本実施の形態では、行アドレスの中の１ビットである行アドレス（０）をＬｏｗレベルとするため、ＡＮＤ回路３０６の出力であるゲートイネーブル（０）が図４に示したように、行選択制御信号の立ち上がりより、遅延回路（３）－３０４の遅延時間遅れてＨｉｇｈレベルになり、ＡＮＤ回路３０７の出力であるゲートイネーブル（１）がＬｏｗレベルであるため、奇数番目のトランジスタＴＧ０１、ＴＧ１１、ＴＧ０３、ＴＧ１３、ＴＧ０５、ＴＧ１５・・・・ＴＧ０（２ｍ－１）、ＴＧ１（２ｍ－１）がオンして、奇数番目のセンスアンプＳ１、Ｓ３、Ｓ５・・・・Ｓ（２ｍ－１）の出力がメインアンプＭＡ１～ＭＡｍに入力され、センスアンプの出力であるメインビット線と／メインビット線の電圧の差が大きくなった時点で、メインアンプＭＡ１～ＭＡｍの差動増幅が開始して、図４に示したようにメインアンプＭＡ１～ＭＡｍよりＭＯＵＴ１～ＭＯＵＴｍが出力される。

【００２２】

時間ｔ２において、行選択制御信号（２）、列選択制御信号（２）ともＬｏｗレベルのため、図１のインバータ２１１、２１２の出力がＨｉｇｈレベルになるため、ＡＮＤゲート２１９の出力がＨｉｇｈレベルになるため、列アドレスラッチ２２６がラッチイネーブルになり、時間ｔ２において、クロックの立ち上がりで列アドレス（２）がラッチされ、列アドレスが出力される。同じように、バイトアドレスラッチ２２７もクロックの立ち上がりでバイトアドレス（１）をラッチして、バイトアドレスを出力する。図２に示したように、列選択回路３０２で、ＭＯＵＴ１～ＭＯＵＴｍのｍビットのデータより列アドレス（３）により、選択された８ｋビットのデータ出力信号がデータ選択回路３０８に出力され、データ選択回路３０８により、８ｋビットのデータ出力信号の中からバイトアドレスにより８ビットのテストデータが選択されて、テストデータ（７：０）として出力される。前記テストデータ（７：０）のうちテストデータ（７：１）は、セレクタ３０９に出力され、テストデータ（０）は、セレクタ３１２に出力される。ＤＲＡＭテスト信号が、ＨｉｇｈレベルのためA、インバータ３１４の出力がＬｏｗレベルになるため、セレクタ３０９はＡ入力であるテストデータ（７：１）が、トライステートバッファ３１０に出力される

。時間ｔ２において、／行選択制御信号（２）及び／列選択制御信号（２）がＬｏｗレベル、／ライト制御信号２がＨｉｇｈレベルであるからＡＮＤ回路２２０がＨｉｇｈレベルになるため、前記ＡＮＤ回路２２０の出力とクロック（２）によりタイミング生成回路２２３は、図４に示したようなタイミングで出力制御信号をＨｉｇｈレベルにする。出力制御信号がＨｉｇｈレベル、インバータ３１４の出力がＬｏｗレベルであるためＯＲ回路３１５の出力であるＩＯ制御信号（１）がＨｉｇｈレベルになり、テストデータ（７：１）が外部入出力端子（７：１）に出力される。

【００２３】

セルフテスト信号がＬｏｗレベルのため、セレクタ３１２はA入力であるテストデータ（０）をセレクタ３１３に出力する。インバータ３１４の出力がＬｏｗレベルになるため、セレクタ３１３はA入力であるセレクタ３１２の出力であるテストデータ（０）をトライステートバッファ３１７に出力する。前述したように、ＩＯ制御信号（１）がＨｉｇｈレベル、セルフテスト信号がＬｏｗレベルのためＯＲ回路３１６の出力であるＩＯ制御信号（０）がＨｉｇｈレベルになるため、テストデータ（０）が外部入出力端子（０）に出力される。テストデータ（７：０）は、外部入出力端子（７：０）に図４に示したようなタイミングで出力される。

【００２４】

時間ｔ３、ｔ４、ｔ５においても時間ｔ２の時と同じようにクロック（２）の立ち上がりにおいて、／行選択制御信号（２）及び／列選択制御信号（２）ともＬｏｗレベルであり、／ライトイネーブル信号がＨｉｇｈレベルであるから、前述したようにクロックの立ち上がりで、ラッチした列アドレスとバイトアドレスで選択されたメモリセルのデータを図４のタイミングチャートに示したように順番に外部入出力端子（７：０）に読み出す。時間ｔ６において、／行選択制御信号（２）及び／列選択制御信号（２）がＨｉｇｈレベルのため、ＡＮＤ回路２２０の出力がＬｏｗレベルになるため出力制御信号がＬｏｗレベルになり、ＩＯ制御信号（０），（１）がＬｏｗレベルになるため、外部入出力端子（７：０）の出力が、ハイインピーダンスになる。

【００２５】

次に、セルフリフレッシュ動作をテストするためのセルフテスト時の動作を以下に説明する。まず、図３のセルフリフレッシュ回路の動作を図５のタイミングチャートを使って説明する。

【００２６】

時刻０～ｔ０の期間において、外部入力端子により、／行選択制御信号（２）、／オートリフレッシュ制御信号（２）を“Ｈ”に初期設定し、かつ、／セルフリフレッシュ制御信号（２）を“Ｈ”にして供給すると、セルフリフレッシュ制御信号が“Ｈ”になり、ＮＡＮＤ回路２５７の一方の入力が“Ｌ”になるのでその出力である信号Ｓ４が“Ｈ”に、かつＰＭＯＳトランジスタ２５４がＯＮしてインバータ１１の入力である信号Ｓ１が“Ｈ”になる。したがって、発振用コンデンサ２５９、２６０の両端の信号Ｓ０と信号Ｓ３とが強制的に“Ｈ”、つまり電源電圧Ｖｄｄに初期化されて発振が停止される。また、セルフリフレッシュ制御信号が“Ｌ”なので、２分周器２６８，２６９、２７０の出力である分周クロックＣＬＫ２，ＣＬＫ４、ＣＬＫ８はいずれも“Ｌ”に初期化される。

【００２７】

ここで、時刻ｔ０において、外部入力端子（２）によりセルフリフレッシュ制御信号を“Ｈ”にして供給すると、ＤＲＡＭ２はセルフリフレッシュモードになる。この場合において、時刻ｔ０における信号Ｓ３の電位は“Ｈ”なので、時刻ｔ０でＮＡＮＤ回路２５７の一方の入力であるセルフリフレッシュ制御信号が“Ｈ”になったことにより、ＮＡＮＤ回路２５７の出力である信号Ｓ４は“Ｌ”になる。このため、インバータ２６７の出力である発振クロックＣＬＫ１が“Ｌ”から“Ｈ”へと立ち上がるので、それぞれ２分周器２６８，２６９、２７０の出力である分周クロックＣＬＫ２、ＣＬＫ４、ＣＬＫ８が“Ｌ”から“Ｈ”へと立ち上がる。したがって、時刻ｔ０においてセルフリフレッシュ制御信号が“Ｌ”から“Ｈ”へ立ち上がると、ヒューズ２７３が切断されてない状態では、セレクタ

２７１のＳ入力が“Ｈ”のため、ＣＬＫ４が選択され、ＣＫＯに出力される。１ショットパルス発生回路２７４は、受け取った分周クロックＣＬＫ４の立ち上がりに応じて１個のセットパルスＳＥＴＰを生成してセットリセット回路２７５をセットする。そして、セットリセット回路２７５は、生成したセットパルスＳＥＴＰが遅延回路１－２７６によって遅延されたリセットパルスＲＳＴＰによってリセットされる。このことにより、セットリセット回路２７５は、遅延回路（１）－２７６による遅延時間に等しい所定のパルス幅を有するセルフ行選択制御信号を供給する。以下、セットリセット回路２７５は受け取ったセットパルスＳＥＴＰに応じて、分周クロックＣＬＫ４の周期で内部セルフリフレッシュ制御信号を供給する。

【００２８】

図１において、／オートリフレッシュ制御信号（２）、／行選択制御信号（２）が“Ｈ”に初期設定されていることから、ＤＦＦ２１５、ＤＦＦ２１６の出力が“Ｌ”になるため、ＯＲ回路２２２の３入力のうち２入力“Ｌ”になる。したがって、ＯＲ回路２２２は、内部セルフリフレッシュ制御信号を、そのまま行選択制御信号として供給する。前記説明のように、時刻ｔ０において、内部セルフリフレッシュ制御信号が“Ｈ”になるため、ＤＲＡＭ２は、１回目のリフレッシュ動作を開始する。行選択制御信号が“Ｈ”になると、図３のＤＲＡＭ２は次のように動作する。すなわち、リフレッシュカウンタ２２４の出力である行アドレス（アドレス値Ａ）により選択されたワード線ＷＬｎに“Ｈ”が印加され、そのワード線ＷＬｎ上のすべてのメモリセルＭＮ１～ＭＮ２ｍが選択され、２ｍペアのビット線，／ビット線に各メモリセルＭＮ１～ＭＮ２ｍのデータが微小信号として読み出される。そして、その微小信号が２ｍ個のセンスアンプＳＡ１～ＳＡ２ｍによってそれぞれ差動増幅され、増幅された信号によって各メモリセル８０にデータが再書き込みされる。このことによって、１本のワード線ＷＬｎに対してリフレッシュ動作が行われる。

【００２９】

以下、発振回路２５１の動作を、図５を参照して説明する。図３の発振回路２５１においては、図３の時刻ｔ０で、ＰＭＯＳトランジスタ２５４がＯＦＦするので信号Ｃ１は電源電圧Ｖｄｄから切り離された状態になり、かつ、信号Ｓ４が“Ｌ”になるので、発振用コンデンサＣ１、Ｃ２は放電を開始する。したがって、信号Ｓ０の信号レベルは、電源電圧Ｖｄｄから発振用抵抗Ｒ１（抵抗値Ｒ）と発振用コンデンサＣ１、Ｃ２（合計容量Ｃ）との時定数ＲＣに従って低下して、時刻ｔ１でインバータ２５５のスレッショルド電圧Ｖｔｈに等しくなる。つまり、時刻ｔ１において、インバータ２５５の出力である信号Ｓ２は“Ｌ”から“Ｈ”へ、インバータ２５６の出力である信号Ｓ３は“Ｈ”から“Ｌ”へとそれぞれ反転する。これにより、信号Ｓ０の信号レベルが－Ｖｔｈに変化し、かつ、ＮＡＮＤ回路１４の出力である信号Ｓ４は“Ｌ”から“Ｈ”、つまり、Ｖｄｄへと反転する。したがって、時刻ｔ１から、発振用コンデンサＣ１、Ｃ２は充電を開始する。そして、信号Ｓ０の信号レベルは、時定数ＲＣに従って上昇し、時刻ｔ２でスレッショルド電圧Ｖｔｈになるので、インバータ２５５の出力である信号Ｓ２は“Ｈ”から“Ｌ”へ、インバータ２５６の出力である信号Ｓ３は“Ｌ”から“Ｈ”へとそれぞれ反転する。これにより、信号Ｓ０の信号レベルがＶｄｄ＋Ｖｔｈに変化し、かつ、ＮＡＮＤ回路２５７の出力である信号Ｓ４は“Ｈ”から“Ｌ”、つまり、０Ｖへと反転する。したがって、時刻ｔ２から、発振用コンデンサＣ１は放電を開始する。ここで、信号Ｓ１の信号レベルは、図５に示すように、信号Ｓ０の信号レベルに対して保護ダイオード２５２，２５３の順方向電圧Ｖｆを加算した電位でクランプされる。

【００３０】

発振回路１０は、以上のような発振動作を繰り返して、図５に示すように、時定数ＲＣに従って決定された周期で発振クロックＣＬＫ１を供給する。したがって、発振回路１０が時刻ｔ１で発振を開始してから期間Ｔ１経過後の時刻ｔ３において、２分周器２６９から出力される分周クロックＣＬＫ４が立ち上がる。このため、時刻ｔ３において、１ショットパルス発生回路２７４はセットリセット回路２７５をセットし、かつ、セットリセット回路２７５の出力である内部セルフリフレッシュ制御信号が立ち上がる。これにより、Ｄ

ＲＡＭ２は、時刻ｔ３において、内部セルフリフレッシュ制御信号つまり行選択制御信号によって２回目のリフレッシュ動作を開始する。この時、図５に示したように、リフレッシュカウンタ２２４のカウント値が、時刻ｔ０のＡからＡ＋１にカウントアップされ、ワード線Ｗｎ＋１に対するリフレッシュ動作が行れる。その後、時刻ｔ３から期間Ｔ２経過後の時刻ｔ４において、２分周器２６９から出力される分周クロックＣＬＫ４が立ち上がり、前記説明のように、行選択制御信号によって３回目のリフレッシュ動作を開始する。その後は、外部入力端子（２）によりセルフリフレッシュ制御信号が“Ｌ”に設定されるまで時刻ｔ４よりＴ２間隔でリフレッシュ動作を繰り返し行う。セルフテスト時、前記説明のように内部セルフリフレッシュ制御信号が行選択制御信号に出力され、外部入出力端子（０）に行選択制御信号が出力されているが、その動作を図２を用いて説明する。図２において、行選択制御信号が、セレクタ３１２に入力される。セルフテスト信号が、“Ｈ”であるから、セレクタ３１２により行選択制御信号が出力され、セレクタ３１３に入力される。ＤＲＡＭテスト信号が、“Ｈ”であるからセレクタ３１３でＡ入力が選択されるため、トライステートバッファ３１７に行選択制御信号が入力され、セルフテスト信号が“Ｈ”のため、ＩＯ制御信号（１）が、“Ｈ”になり行選択制御信号が、外部入出力端子（０）に出力される。

【００３１】
以上のように本実施の形態によれば、図２で説明したように、外部テスト入力端子により、半導体装置１をＤＲＡＭ２のセルフリフレッシュテストモードに設定すれば、行選択信号を外部入出力端子（０）に出力することができるため、セルフリフレッシュテスト時に外部入出力端子（０）の信号によりセルフリフレッシュ周期を測定することで、周期がトリミングで救済できない範囲であれば、不良品と判定し、救済できる範囲であれば、以下のような方法で不良品の救済ができ、短時間でセルフリフレッシュ回路２５０のテストを行うことができる。

【００３２】
セルフリフレッシュ周期が規格より長い場合は、図３のヒューズ２６４を切断することで、ＣＬＫ１の発振周期を短くすることで、セルフリフレッシュ周期を短くすることで、周期を規格内に入れることができる。また、セルフリフレッシュ周期が規格より短い場合は、図３のヒューズ２６５またはヒューズ２６６を切断することでＣＬＫ１の発振周期を長くしてセルフリフレッシュ周期を長くする方法か、ヒューズ２７３を切断することで、セレクタ２７１のＳ入力を“Ｌ”に設定して、ＣＬＫ８を選択することでセルフリフレッシュ周期を長く方法のいずれかを選択して、リフレッシュ周期を規格内にいれることができる。　また、セルフリフレッシュ周期が規格内に入っている場合でも、セルフリフレッシュ時の電流値が最小になるよう周期の設定を規格の最大にトリミングすることもできる。さらに、セルフリフレッシュテスト時に外部入出力端子（０）の信号によりパルス幅を測定することで、パルス幅がトリミングで救済できない範囲であれば、不良品と判定し、救済できる範囲であれば、図３の第１の遅延回路２７６の遅延値をトリミングにより救済する。

【００３３】
図２で説明したように、ＤＲＡＭ２のデータ読み出しテスト時にテストデータ０を出力する外部入出力端子（０）に、セルフリフレッシュテスト時、行選択制御信号を出力する回路構成にして、テストデータ（０）と行選択制御信号で外部入出力端子（０）を兼用することで、ＤＲＡＭテスト時の外部端子の数を削減することができる。

【００３４】
【発明の効果】
本発明によれば、メモリとロジック回路とが１チップ化された半導体装置であって、セルフリフレッシュ制御信号が入力されると、一定の周期を有する発振クロックを供給するための発振手段と、前記発振クロックに基づいて、メモリセルをリフレッシュするための内部セルフリフレッシュ制御信号を供給するための信号生成手段と、セルフリフレッシュテスト時には、前記内部セルフリフレッシュ制御信号に基づいて行選択制御信号を供給し、

メモリからのデータ読み出しテスト時には、外部入力端子からの入力に基づいて前記行選択制御信号を供給する論理ゲート回路と、前記行選択制御信号に応答して行アドレスにより選択されたワード線を活性化する行選択回路と、前記行選択制御信号を外部端子に出力する信号出力手段とを備えることにより、前記外部端子の信号の周期とパルス幅を測定する方法により、前記発振手段及び前記信号生成手段で構成されるセルフリフレッシュ回路をテストできるようにした。

【００３５】

これにより、前記セルフリフレッシュ回路のテストを短時間で行うことができ、トリミングによるセルフリフレッシュ周期の最適化及び不良品の救済を行うことができる半導体装置を実現できる。

【００３６】

また、本発明によれば、信号出力手段は、メモリからのデータ読み出しテスト時は、テストデータを外部端子に出力し、セルフリフレッシュテスト時は、前記行選択制御信号を外部端子に出力する回路構成にすることで、ＤＲＡＭテスト用の外部端子を増やすことなくセルフリフレッシュのテストを行うことができる。

【図面の簡単な説明】

【図１】本発明に係る半導体装置の構成図

【図２】本発明に係る半導体装置におけるメモリセルアレイ及びその周辺回路の構成図

【図３】本発明に係る半導体装置におけるセルフリフレッシュ回路の構成図

【図４】ＤＲＡＭのデータ読み出しテスト時のページモードでの読み出しタイミングチャート

【図５】ＤＲＡＭのセルフリフレッシュテスト時の動作タイミングチャート

【符号の説明】

１　半導体装置

２　ＤＲＡＭ

３　メモリセルアレイ及び周辺回路

４　ロジック部

２０１～２０８、２２９　セレクタ

２１０～２１４、２３０、２３１　インバータ

２１５～２１８　Ｄフリップフロップ

２１９　２入力ＡＮＤ回路

２２０　３入力ＡＮＤ回路

２２１、２３２　２入力ＯＲ回路

２２２　３入力ＯＲ回路

２２３　タイミング生成回路

２２４　リフレッシュカウンタ

２２５　行アドレスラッチ

２２６　列アドレスラッチ

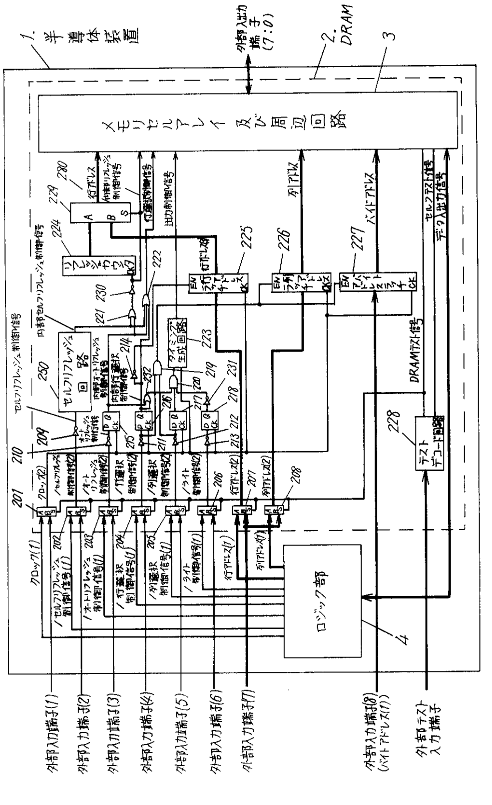
２２７　バイトアドレスラッチ

２２８　テストデコード回路

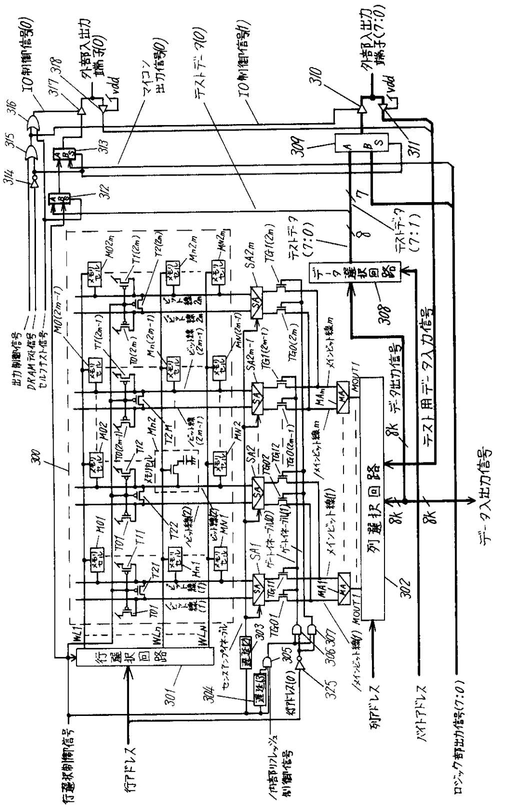
２５０　セルフリフレッシュ回路

２５１　発振回路

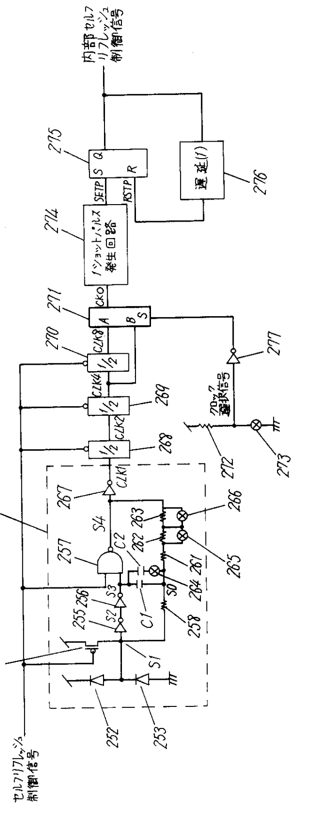
【図１】



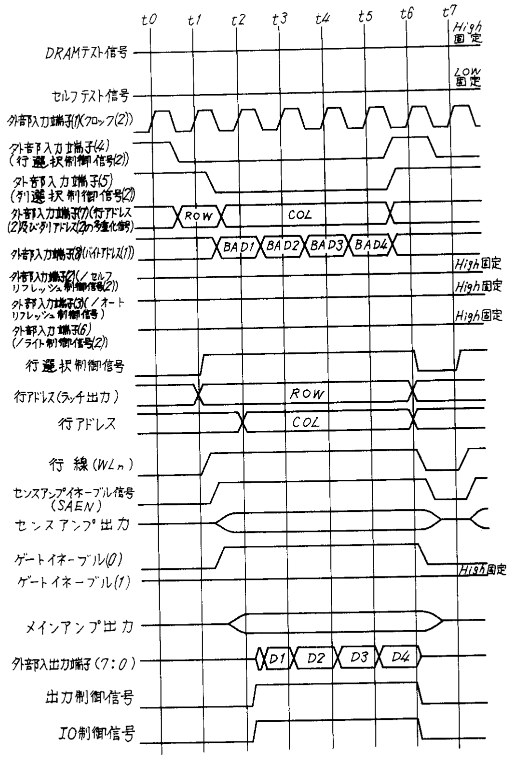
【図２】



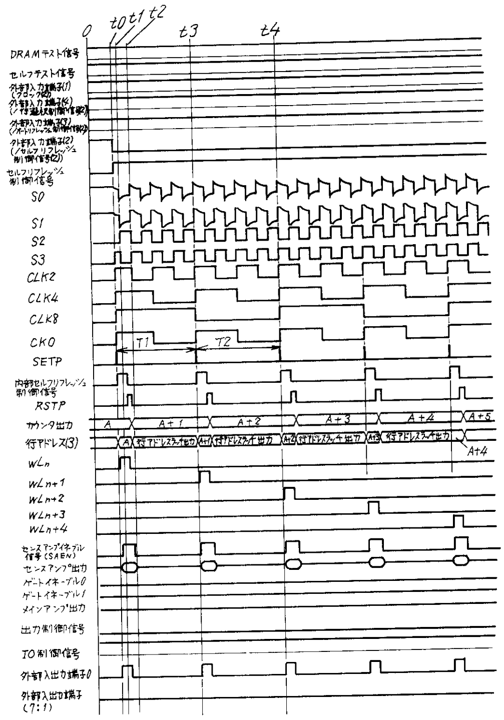
【図３】



【図４】


t0
t1
t2
t3
t4
t5
t6
t7
High 固定
DRAMテスト信号
Low 固定
セルフテスト信号
外部入力端子(1)(クロック(2))
外部入力端子(4)(行選択制御信号(2))
外部入力端子(5)(列選択制御信号(2))
外部入力端子(7)(行アドレス(2)及び列アドレス(2)の多重化信号)
ROW
COL
外部入力端子(8)(バイトアドレス(1))
BAD1
BAD2
BAD3
BAD4
外部入力端子(2)(／セルフリフレッシュ制御信号(2))
外部入力端子(3)(／オートリフレッシュ制御信号)
外部入力端子(6)(／ライト制御信号(2))
行選択制御信号
行アドレス(ラッチ出力)
行アドレス
行線(WLn)
センスアンプイネーブル信号(SAEN)
センスアンプ出力
ゲートイネーブル(0)
ゲートイネーブル(1)
メインアンプ出力
外部入出力端子(7:0)
D1
D2
D3
D4
出力制御信号
IO制御信号

【図５】



フロントページの続き

(51)Int.Cl.[7]　　　　　　　ＦＩ
　　　　　　　　　　　　　　ＧＯ１Ｒ　31/28　　　　Ｂ

(72)発明者　住本　善彦
　　　　大阪府門真市大字門真１００６番地　松下電器産業株式会社内

審査官　堀田　和義

(56)参考文献　特開平０７－１４１８６１（ＪＰ，Ａ）
特開平０７－１８２８５５（ＪＰ，Ａ）
特開平０５－１５９５７０（ＪＰ，Ａ）
特開２０００－１６３９９７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G11C 11/406
G11C 11/401
G11C 11/403
G11C 29/00　671
G11C 29/00　675