(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
29. Januar 2015 (29.01.2015)

WIPO | PCT

(10) Internationale Veröffentlichungsnummer
WO 2015/011028 A1

(51) Internationale Patentklassifikation:
H01L 33/00 (2010.01) *H01L 33/44* (2010.01)
H01L 33/38 (2010.01)

(21) Internationales Aktenzeichen: PCT/EP2014/065445

(22) Internationales Anmeldedatum:
17. Juli 2014 (17.07.2014)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102013107971.7 25. Juli 2013 (25.07.2013) DE

(71) Anmelder: **OSRAM OPTO SEMICONDUCTORS GMBH** [DE/DE]; Leibnizstr. 4, 93055 Regensburg (DE).

(72) Erfinder: **WAGNER, Ralph**; Max-Reger-Str. 14, 93073 Neutraubling (DE). **VEIT, Thomas**; Im Anger 93, 93098 Mintraching (DE). **HOXHOLD, Björn**; Oberfeldweg 2, 93049 Regensburg (DE). **SCHLOSSER, Philipp**; Wollwirkergasse 25, 93047 Regensburg (DE).

(74) Anwalt: **EPPING HERMANN FISCHER PATENTANWALTSGESELLSCHAFT MBH**; Schloßschmidstr. 5, 80639 München (DE).

(81) **Bestimmungsstaaten** *(soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart)*: AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

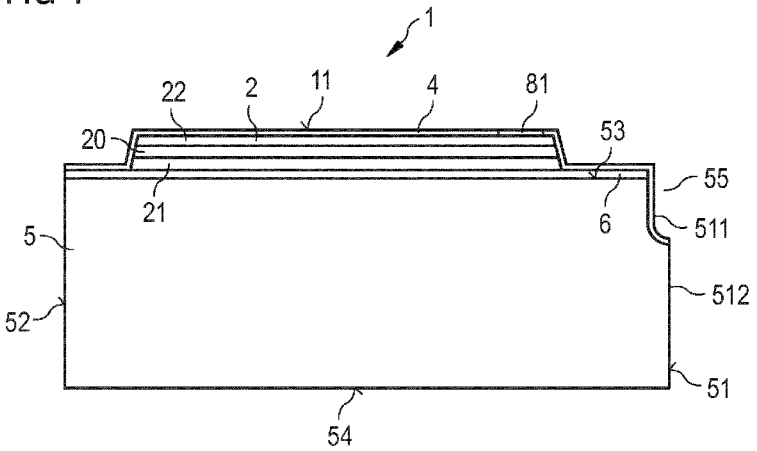
(84) **Bestimmungsstaaten** *(soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart)*: ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,

[Fortsetzung auf der nächsten Seite]

(54) **Title**: OPTOELECTRONIC SEMICONDUCTOR CHIP, SEMICONDUCTOR COMPONENT AND METHOD FOR PRODUCING OPTOELECTRONIC SEMICONDUCTOR CHIPS

(54) **Bezeichnung** : OPTOELEKTRONISCHER HALBLEITERCHIP, HALBLEITERBAUELEMENT UND VERFAHREN ZUR HERSTELLUNG VON OPTOELEKTRONISCHEN HALBLEITERCHIPS

FIG 1



(57) **Abstract**: The invention relates to an optoelectronic semiconductor chip (1) which has a carrier (5) and a semiconductor body (2) having an active region (20) for generating and/or receiving radiation, wherein - the semiconductor body is fastened to the carrier by a connecting layer (6); - the carrier extends in a vertical direction between a first primary surface (53) facing the semiconductor body and a second primary surface (54) facing away from the semiconductor body, wherein a lateral surface (51) connects the first primary surface and the second primary surface to each other; - a first region (511) of the lateral surface of the carrier has an indentation (55); - a second region of the lateral surface extends in the vertical direction between the indentation and the second primary surface; - the semiconductor chip has an isolation layer (4) which at least partially covers the semiconductor body and the first region; and - the second region is free of the isolation layer. The invention furthermore relates to a semiconductor component and a method for producing optoelectronic semiconductor chips.

(57) **Zusammenfassung**:

[Fortsetzung auf der nächsten Seite]

WO 2015/011028 A1

LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— *mit internationalem Recherchenbericht (Artikel 21 Absatz 3)*

Es wird ein optoelektronischer Halbleiterchip (1) angegeben, der einen Träger (5) und einen Halbleiterkörper (2) mit einem zur Erzeugung und/oder zum Empfangen von Strahlung vorgesehenen aktiven Bereich (20) aufweist, wobei - der Halbleiterkörper mit einer Verbindungsschicht (6) an dem Träger befestigt ist; - der Träger sich in einer vertikalen Richtung zwischen einer dem Halbleiterkörper zugewandten ersten Hauptfläche (53) und einer dem Halbleiterkörper abgewandten zweiten Hauptfläche (54) erstreckt, wobei eine Seitenfläche (51) die erste Hauptfläche und die zweite Hauptfläche miteinander verbindet; - ein erster Bereich (511) der Seitenfläche des Trägers eine Einbuchtung (55) aufweist; - ein zweiter Bereich der Seitenfläche in vertikaler Richtung zwischen der Einbuchtung und der zweiten Hauptfläche verläuft; - der Halbleiterchip eine Isolationsschicht (4) aufweist, die den Halbleiterkörper und den ersten Bereich jeweils zumindest teilweise bedeckt; und - der zweite Bereich frei von der Isolationsschicht ist. Weiterhin werden ein Halbleiterbauelement und ein Verfahren zur Herstellung von optoelektronischen Halbleiterchips angegeben.

Beschreibung

Optoelektronischer Halbleiterchip, Halbleiterbauelement und Verfahren zur Herstellung von optoelektronischen Halbleiterchips

Die vorliegende Anmeldung betrifft einen optoelektronischen Halbleiterchip, ein Halbleiterbauelement mit einem solchen Halbleiterchip sowie ein Verfahren zur Herstellung von optoelektronischen Halbleiterchips.

Bei Halbleiterchips, für deren elektrische Kontaktierung eine Kontaktbahn über die Kante des Halbleiterchips hinausgeführt wird, besteht die Gefahr eines elektrischen Kurzschlusses des Halbleiterchips im Bereich der Kante.

Eine Aufgabe ist es, einen optoelektronischen Halbleiterchip anzugeben, bei dem die Gefahr eines elektrischen Kurzschlusses bei der elektrischen Kontaktierung vermindert ist. Weiterhin soll ein Verfahren angegeben werden, mit dem zuverlässig elektrisch kontaktierbare Halbleiterchips auf einfache und kostengünstige Weise hergestellt werden können.

Diese Aufgaben werden unter anderem durch einen optoelektronischen Halbleiterchip beziehungsweise ein Verfahren gemäß den unabhängigen Patentansprüchen gelöst. Weitere Ausbildungen und Zweckmäßigkeiten sind Gegenstand der abhängigen Patentansprüche.

Gemäß zumindest einer Ausführungsform des optoelektronischen Halbleiterchips weist der Halbleiterchip einen Halbleiterkörper mit einem zur Erzeugung und/oder zum Empfangen von Strahlung vorgesehenen aktiven Bereich auf.

Beispielsweise ist der aktive Bereich zwischen einer ersten Halbleiterschicht eines ersten Leitungstyps und einer zweiten Halbleiterschicht eines vom ersten Leitungstyp verschiedenen zweiten Leitungstyps angeordnet. Beispielsweise enthält der Halbleiterkörper, insbesondere der aktive Bereich, ein III-V-Verbindungs-Halbleitermaterial.

Gemäß zumindest einer Ausführungsform des optoelektronischen Halbleiterchips weist der Halbleiterchip einen Träger auf. Der Träger erstreckt sich in einer vertikalen Richtung zwischen einer dem Halbleiterkörper zugewandten ersten Hauptfläche und einer vom Halbleiterkörper abgewandten zweiten Hauptfläche. Eine Seitenfläche verbindet die erste Hauptfläche und die zweite Hauptfläche miteinander. Die Seitenfläche begrenzt also den Träger in lateraler Richtung. Der Träger ist insbesondere von einem Aufwachssubstrat für die epitaktische Abscheidung der Halbleiterschichten des Halbleiterkörpers verschieden. Beispielsweise enthält der Träger ein Halbleitermaterial, etwa Silizium, Germanium oder Galliumarsenid.

Gemäß zumindest einer Ausführungsform des optoelektronischen Halbleiterchips ist der Halbleiterkörper mit einer Verbindungsschicht an dem Träger befestigt. Insbesondere ist mittels der Verbindungsschicht eine stoffschlüssige Verbindung zwischen dem Halbleiterkörper und dem Träger gebildet. Bei einer stoffschlüssigen Verbindung werden die insbesondere vorgefertigten Verbindungspartner mittels atomarer und/oder molekularer Kräfte zusammengehalten. Für die Verbindungsschicht eignet sich insbesondere eine elektrisch leitfähige Verbindungsschicht. Beispielsweise enthält die Verbindungsschicht ein Lot oder ein elektrisch leitfähiges Klebemittel.

Gemäß zumindest einer Ausführungsform des optoelektronischen Halbleiterchips weist die Seitenfläche des Trägers einen ersten Bereich auf, wobei der erste Bereich eine Einbuchtung aufweist. In Draufsicht auf den Halbleiterchip weist der Träger auf Höhe des ersten Bereichs eine kleinere Querschnittsfläche auf als in einem von dem ersten Bereich verschiedenen zweiten Bereich. Der zweite Bereich grenzt insbesondere in vertikaler Richtung an den ersten Bereich an.

Der zweite Bereich verläuft insbesondere in vertikaler Richtung zwischen der Einbuchtung und der zweiten Hauptfläche. Beispielsweise grenzt die Einbuchtung an die erste Hauptfläche des Trägers an.

Eine vertikale Ausdehnung der Einbuchtung beträgt beispielsweise zwischen einschließlich 5 % und einschließlich 70 %, insbesondere zwischen einschließlich 10 % und einschließlich 60 % der vertikalen Ausdehnung des Trägers.

Gemäß zumindest einer Ausführungsform des optoelektronischen Halbleiterchips weist der Halbleiterchip eine Isolationsschicht auf. Die Isolationsschicht verläuft zumindest bereichsweise auf der dem Träger abgewandten Seite des Halbleiterkörpers. Insbesondere bedeckt die Isolationsschicht in Draufsicht auf den Halbleiterchip alle Bereiche des Halbleiterchips, die nicht für eine externe elektrische Kontaktierung vorgesehen sind. Mit anderen Worten ist beispielsweise eine Kontaktfläche für die externe elektrische Kontaktierung des Halbleiterchips frei von der Isolationsschicht. Insbesondere ist die Isolationsschicht als eine zusammenhängende, in einem einzigen Abscheidungsschritt ausgebildete Schicht ausgebildet, die sowohl den ersten Bereich des Trägers als auch den Halbleiterkörper zumindest

bereichsweise bedeckt und insbesondere unmittelbar jeweils daran angrenzt.

Gemäß zumindest einer Ausführungsform des optoelektronischen Halbleiterchips bedeckt die Isolationsschicht den Halbleiterkörper und den ersten Bereich der Seitenfläche jeweils zumindest teilweise. Insbesondere bedeckt die Isolationsschicht den ersten Bereich der Seitenfläche vollständig. Im Bereich der Einbuchtung liegt das Trägermaterial in lateraler Richtung also nicht frei, sondern ist von dem Material der Isolationsschicht bedeckt.

Gemäß zumindest einer Ausführungsform des optoelektronischen Halbleiterchips ist der zweite Bereich frei von der Isolationsschicht. Der zweite Bereich der Seitenfläche entsteht während der Herstellung der Halbleiterchips, insbesondere beim Vereinzeln der Halbleiterchips aus einem Verbund. Im zweiten Bereich der Seitenfläche kann der Halbleiterchip daher Spuren eines Vereinzelungsschritts, beispielsweise Spuren eines Materialabtrags, aufweisen. Der Materialabtrag kann mittels kohärenter Strahlung, chemisch und/oder mechanisch erfolgen.

In mindestens einer Ausführungsform des optoelektronischen Halbleiterchips weist der Halbleiterchip einen Träger und einen Halbleiterkörper mit einem zur Erzeugung und/oder zum Empfangen von Strahlung vorgesehenen aktiven Bereich auf, wobei der Halbleiterkörper mit einer Verbindungsschicht an dem Träger befestigt ist. Der Träger erstreckt sich in einer vertikalen Richtung zwischen einer dem Halbleiterkörper zugewandten ersten Hauptfläche und einer vom Halbleiterkörper abgewandten zweiten Hauptfläche, wobei eine Seitenfläche die erste Hauptfläche und die zweite Hauptfläche miteinander

verbindet. Ein erster Bereich der Seitenfläche des Trägers weist eine Einbuchtung auf. Ein zweiter Bereich der Seitenfläche verläuft in vertikaler Richtung zwischen der Einbuchtung und der zweiten Hauptfläche. Der Halbleiterchip weist eine Isolationsschicht auf, die den Halbleiterkörper und den ersten Bereich jeweils zumindest teilweise bedeckt. Der zweite Bereich ist frei von der Isolationsschicht.

Die Isolationsschicht bedeckt also den Träger nicht nur auf der ersten Hauptfläche, sondern auch zumindest bereichsweise, insbesondere vollständig, im Bereich der Einbuchtung. Im Bereich der Einbuchtung liegt die Seitenfläche des Trägers also nicht frei, sondern ist von der Isolationsschicht bedeckt. Die Gefahr eines elektrischen Kurzschlusses bei der externen elektrischen Kontaktierung des Halbleiterchips, beispielsweise über eine über die Kante des Halbleiterchips hinaus geführte, etwa in Form einer Beschichtung ausgebildete, Kontaktbahn, ist dadurch vermindert. Weiterhin kann auf eine zusätzlich zur Isolationsschicht vorgesehene und erst nach dem Vereinzeln in Halbleiterchips aufgebrachte isolierende Schicht verzichtet werden.

Gemäß zumindest einer Ausführungsform des Halbleiterchips ist der Träger elektrisch leitfähig. Eine elektrische Kontaktierung des Halbleiterchips kann durch den Träger hindurch, insbesondere über das Material des Trägers selbst, erfolgen.

Gemäß zumindest einer Ausführungsform des Halbleiterchips überdeckt die Isolationsschicht einen lateral über den Halbleiterkörper hinausragenden Teil der Verbindungsschicht vollständig. Mit anderen Worten liegt die Verbindungsschicht an keiner Stelle des Halbleiterchips frei.

Ein Halbleiterbauelement weist gemäß zumindest einer Ausführungsform einen Halbleiterchip und einen Formkörper auf. Der Halbleiterchip kann insbesondere zumindest eines oder mehrere Merkmale des vorstehend beschriebenen Halbleiterchips aufweisen. Der Formkörper ist an dem Halbleiterchip angeformt und bedeckt den ersten Bereich und den zweiten Bereich der Seitenfläche des Trägers jeweils zumindest bereichsweise. Insbesondere kann die Formmasse den zweiten Bereich vollständig bedecken. Eine Vorderseite des Halbleiterchips, die insbesondere als Strahlungsdurchtrittsfläche dient, ist beispielsweise frei von Material des Formkörpers.

Gemäß zumindest einer Ausführungsform des Halbleiterbauelements weist das Halbleiterbauelement eine Kontaktbahn auf, die von einer der zweiten Hauptfläche des Trägers abgewandten Vorderseite des Halbleiterchips über den ersten Bereich des Trägers auf eine Vorderseite des Formkörpers geführt ist. Das Halbleiterbauelement kann zur externen elektrischen Kontaktierung auf der Vorderseite des Formkörpers und/oder auf der Rückseite des Formkörpers jeweils einen oder mehrere elektrische Kontakte aufweisen.

Die Kontaktbahn grenzt an keiner Stelle unmittelbar an den Träger an. Die Gefahr eines elektrischen Kurzschlusses zwischen der Kontaktbahn und dem Träger ist so vermieden.

Gemäß zumindest einer Ausführungsform des Verfahrens zur Herstellung einer Mehrzahl von Halbleiterchips wird ein Verbund mit einer Halbleiterschichtenfolge und einem Trägerverbund bereitgestellt. Die Halbleiterschichtenfolge umfasst insbesondere einen zur Erzeugung und/oder zum Empfangen von Strahlung vorgesehenen aktiven Bereich und ist

beispielsweise in eine Mehrzahl von Halbleiterkörpern unterteilt. Die Halbleiterschichtenfolge ist auf dem Trägerverbund angeordnet und beispielsweise mittels einer stoffschlüssigen Verbindung mit dem Trägerverbund befestigt.

Der Trägerverbund weist eine der Halbleiterschichtenfolge zugewandte Vorderseite und eine von der Halbleiterschichtenfolge abgewandte Rückseite auf.

Gemäß zumindest einer Ausführungsform des Verfahrens umfasst das Verfahren das Ausbilden von grabenförmigen Vertiefungen, die zumindest bereichsweise zwischen benachbarten Halbleiterkörpern verlaufen und sich in den Trägerverbund hinein erstrecken. Die grabenförmigen Vertiefungen erstrecken sich in vertikaler Richtung jedoch nicht vollständig durch den Trägerverbund hindurch. Beispielsweise werden die grabenförmigen Vertiefungen mittels kohärenter Strahlung, insbesondere mittels eines Lasers im Pulsbetrieb, etwa mit einer Pulsdauer im Picosekunden- oder Nanosekundenbereich, ausgebildet. Alternativ oder ergänzend kann beispielsweise ein chemisches Verfahren Anwendung finden, etwa nasschemisches oder trockenchemisches Ätzen. Auch ein mechanisches Verfahren, etwa ein Schleifverfahren oder ein Sägeverfahren. Zum Beispiel eignet sich eine Wafersäge.

Das Ausbilden der grabenförmigen Vertiefungen kann beispielsweise jeweils zwischen benachbarten Halbleiterkörpern parallel zu einer ersten Richtung erfolgen. Zusätzlich kann das Ausbilden der grabenförmigen Vertiefungen in einer schräg oder senkrecht zur ersten Richtung verlaufenden zweiten Richtung erfolgen.

Gemäß zumindest einer Ausführungsform des Verfahrens umfasst das Verfahren das Ausbilden einer Isolationsschicht, die die Halbleiterschichtenfolge und die Seitenflächen der grabenförmigen Vertiefungen jeweils zumindest bereichsweise bedeckt. Das Ausbilden der Isolationsschicht erfolgt beispielsweise mittels eines CVD-Verfahrens (Chemical Vapor Deposition) oder eines PVD-Verfahrens (Physical Vapor Deposition). Insbesondere eignet sich für die Abscheidung der Isolationsschicht ein ALD-Verfahren (Atomic Layer Deposition). Mittels eines ALD-Verfahrens kann eine konforme Bedeckung des Verbunds, also eine der Topografie des Verbunds folgende Beschichtung, auf besonders zuverlässige Weise erzielt werden. Dadurch kann bereits bei sehr dünnen Schichten eine zuverlässige Isolation von zu überformenden Kanten erzielt werden.

Gemäß zumindest einer Ausführungsform des Verfahrens umfasst das Verfahren das Vereinzeln des Verbunds in die Mehrzahl von Halbleiterchips, wobei das Vereinzeln durch Vereinzelungsschnitte erfolgt, die zumindest bereichsweise entlang der grabenförmigen Vertiefungen verlaufen.

Der Begriff „Vereinzelungsschnitte“ impliziert hierbei keinerlei Einschränkung hinsichtlich der Art der Herstellung. Die Vereinzelungsschnitte können insbesondere mechanisch, beispielsweise durch Spalten, Brechen oder Sägen, chemisch, beispielsweise durch nasschemisches oder trockenchemisches Ätzen, oder mittels kohärenter Strahlung ausgebildet werden. In den Bereichen, in denen die Vereinzelungsschnitte entlang der grabenförmigen Vertiefungen verlaufen, können die Vereinzelungsschnitte insbesondere in Draufsicht auf den Verbund vollständig innerhalb der grabenförmigen Vertiefungen ausgebildet werden.

Gemäß zumindest einer Ausführungsform des Verfahrens ist eine der Halbleiterschichtenfolge zugewandte Vorderseite des Trägerverbunds beim Vereinzeln im Bereich der grabenförmigen Vertiefungen frei von metallischem Material. Beim Vereinzeln wird also kein vorderseitig aufgebrachtes metallisches Material durchtrennt.

Gemäß zumindest einer Ausführungsform des Verfahrens ist eine der Halbleiterschichtenfolge abgewandte Rückseite des Trägerverbunds beim Vereinzeln frei von metallischem Material. Auf der Rückseite des Trägerverbunds ist also kein metallisches Material vorgesehen.

Gemäß zumindest einer Ausführungsform des Verfahrens wird der Trägerverbund gedünnt, insbesondere nach dem Ausbilden der grabenförmigen Vertiefungen. Durch das Dünnen kann die Bauhöhe der herzustellenden Halbleiterchips verringert werden. Gleichzeitig kann der Trägerverbund vor dem Dünnen die Halbleiterschichtenfolge besonders zuverlässig mechanisch stabilisieren.

Gemäß zumindest einer Ausführungsform des Verfahrens weisen die entlang der grabenförmigen Vertiefungen verlaufenden Vereinzelungsschnitte beim Vereinzeln eine geringere Breite auf als die grabenförmigen Vertiefungen. Ein Ausbilden der Vereinzelungsschnitte innerhalb der grabenförmigen Vertiefungen wird dadurch vereinfacht. Weiterhin kann so der erforderliche Abstand zwischen benachbarten Halbleiterkörpern minimiert werden.

Gemäß zumindest einer Ausführungsform des Verfahrens ist auf den Halbleiterkörpern jeweils eine elektrische Kontaktfläche ausgebildet und die entlang der grabenförmigen Vertiefungen

verlaufenden Vereinzelungsschnitte werden zwischen benachbarten Halbleiterkörpern jeweils so ausgebildet, dass eine Mittellinie der Vereinzelungsschnitte weiter von der nächstgelegenen Kontaktfläche der benachbarten Halbleiterkörper entfernt ist als eine Mittellinie der zugeordneten grabenförmigen Vertiefung. Die Kontaktflächen sind insbesondere nicht mittig auf den jeweiligen Halbleiterkörpern angeordnet, sodass die Kontaktfläche eines auf einer Seite der grabenförmigen Vertiefung angrenzenden Halbleiterchips näher an den grabenförmigen Vertiefungen liegt als die Kontaktfläche des auf der anderen Seite der grabenförmigen Vertiefung angrenzenden Halbleiterchips.

Gemäß zumindest einer Ausführungsform des Verfahrens wird der Träger beim Vereinzeln von der den grabenförmigen Vertiefungen gegenüberliegenden Seite her vereinzelt, insbesondere von der Rückseite des Trägerverbunds her. Eine Positionierung der Vereinzelungsschnitte relativ zu den grabenförmigen Vertiefungen kann mittels einer optischen Erkennung der grabenförmigen Vertiefungen durch den Trägerverbund hindurch erfolgen. Insbesondere kann ein hoher optischer Kontrast durch metallfreie grabenförmigen Vertiefungen und dazwischen angeordnetes metallisches Material erzielt werden.

Alternativ kann der Trägerverbund auch von der Seite her vereinzelt werden, auf der auch die grabenförmigen Vertiefungen ausgebildet sind, insbesondere von der Vorderseite des Trägerverbunds her.

Gemäß zumindest einer Ausführungsform des Verfahrens erfolgt beim Vereinzeln im Trägerverbund eine in vertikaler Richtung vollständige oder nur bereichsweise Materialmodifikation,

beispielsweise ein Materialabtrag, durch Laserstrahlung. Für einen vollständigen Materialabtrag eignet sich beispielsweise ein Laserablationsverfahren, etwa mittels eines Lasers im Pulsbetrieb mit Pulsdauern im Nanosekunden- oder Picosekunden-Bereich.

Bei einer nur bereichsweisen Materialmodifikation kann das Vereinzeln entlang von durch die Materialmodifikation definierten Bruchstellen mechanisch induziert werden. Insbesondere kann die Materialmodifikation eine mechanische Spannung im Material induzieren, die die Bruchstellen definiert. Beispielsweise eignet sich hierfür ein Stealth-Dicing-Verfahren.

Gemäß zumindest einer Ausführungsform des Verfahrens erfolgt beim Vereinzeln im Trägerverbund ein chemischer Materialabtrag. Hierfür eignet sich insbesondere ein trockenchemisches Verfahren, beispielsweise ein Plasmatrennverfahren.

Das beschriebene Verfahren ist zur Herstellung eines weiter oben beschriebenen Halbleiterchips besonders geeignet. Im Zusammenhang mit dem Halbleiterchip genannte Merkmale können daher auch für das Verfahren herangezogen werden und umgekehrt.

Weitere Merkmale, Ausgestaltungen und Zweckmäßigkeiten ergeben sich aus der folgenden Beschreibung der Ausführungsbeispiele in Verbindung mit den Figuren.

Gleiche, gleichartige oder gleich wirkende Elemente sind in den Figuren mit gleichen Bezugszeichen versehen.

Die Figuren und die Größenverhältnisse der in den Figuren dargestellten Elemente untereinander sind nicht als maßstäblich zu betrachten. Vielmehr können einzelne Elemente und insbesondere Schichtdicken zur besseren Darstellbarkeit und/oder zum besseren Verständnis übertrieben groß dargestellt sein.

Es zeigen:

Figur 1 ein Ausführungsbeispiel für einen Halbleiterchip in schematischer Schnittansicht;

Figuren 2A und 2B ein Ausführungsbeispiel für ein Halbleiterbauelement in schematischer Schnittansicht (Figur 2A) und schematischer Draufsicht (Figur 2B);

Figuren 3A bis 3F ein erstes Ausführungsbeispiel für ein Verfahren zur Herstellung von Halbleiterchips anhand von Zwischenschritten in schematischer Schnittansicht (Figuren 3A bis 3D) und in Draufsicht (Figuren 3E und 3F); und

Figuren 4A bis 4C ein zweites Ausführungsbeispiel für ein Verfahren zur Herstellung von Halbleiterchips in Schnittansicht (Figur 4A) und in Draufsicht (Figuren 4B und 4C).

Ein Ausführungsbeispiel für einen Halbleiterchip 1 ist in Figur 1 in schematischer Schnittansicht gezeigt. Der Halbleiterchip 1 umfasst einen Halbleiterkörper 2 und einen Träger 5. Der Halbleiterkörper 2 umfasst einen zur Erzeugung von Strahlung und/oder zum Empfangen von Strahlung

vorgesehenen aktiven Bereich 20, der zwischen einer ersten Halbleiterschicht 21 eines ersten Leitungstyps (beispielsweise p-leitend) und einer zweiten Halbleiterschicht 22 eines zweiten Leitungstyps (beispielsweise n-leitend) angeordnet ist.

Für die Halbleiterschichtenfolge eignet sich insbesondere ein III-V-Verbindungs-Halbleitermaterial. III-V-Verbindungs-Halbleitermaterialien sind zur Strahlungserzeugung im ultravioletten ($Al_x In_y Ga_{1-x-y} N$) über den sichtbaren ($Al_x In_y Ga_{1-x-y} N$, insbesondere für blaue bis grüne Strahlung, oder $Al_x In_y Ga_{1-x-y} P$, insbesondere für gelbe bis rote Strahlung) bis in den infraroten ($Al_x In_y Ga_{1-x-y} As$) Spektralbereich besonders geeignet. Hierbei gilt jeweils $0 \leq x \leq 1$, $0 \leq y \leq 1$ und $x + y \leq 1$, insbesondere mit $x \neq 1$, $y \neq 1$, $x \neq 0$ und/oder $y \neq 0$. Mit III-V- Verbindungs-Halbleitermaterialien, insbesondere aus den genannten Materialsystemen, können weiterhin bei der Strahlungserzeugung hohe interne Quanteneffizienzen erzielt werden.

Der Halbleiterkörper 2 ist mittels einer Verbindungsschicht 6, beispielsweise einer Lotschicht oder einer elektrisch leitfähigen Klebeschicht, an dem Träger befestigt. Der Träger 5 dient der mechanischen Stabilisierung des Halbleiterkörpers 2. Ein Aufwachssubstrat für die insbesondere epitaktische Abscheidung der Halbleiterschichten des Halbleiterkörpers ist hierfür nicht mehr erforderlich und daher entfernt. Ein Halbleiterchip, bei dem das Aufwachssubstrat entfernt ist, wird auch als Dünnfilm-Halbleiterchip bezeichnet.

Davon abweichend ist jedoch auch denkbar, dass der Träger 5 selbst das Aufwachssubstrat für die Halbleiterschichten des

Halbleiterkörpers 2 ist. In diesem Fall ist eine Verbindungsschicht zwischen Halbleiterkörper und Träger nicht erforderlich.

Der Träger 5 erstreckt sich in einer vertikalen Richtung zwischen einer dem Halbleiterkörper 2 zugewandten ersten Hauptfläche 53 und einer zweiten Hauptfläche 54. Zwischen der ersten Hauptfläche und der zweiten Hauptfläche verläuft eine Seitenfläche 51, die den Halbleiterkörper in lateraler Richtung, also in einer parallel zu einer Haupterstreckungsebene der Halbleiterschichten des Halbleiterkörpers verlaufenden Richtung begrenzt.
Für den Träger eignet sich insbesondere ein Halbleitermaterial, beispielsweise Silizium, Germanium oder Galliumarsenid. Alternativ ist auch ein anderes Material denkbar, beispielsweise ein Metall.

Die Seitenfläche 51 weist einen ersten Bereich 511 und einen an den ersten Bereich angrenzenden zweiten Bereich 512 auf. Im ersten Bereich weist der Träger 5 eine Einbuchtung 55 auf. Die Seitenfläche 51 verläuft in vertikaler Richtung im Unterschied zu herkömmlichen Halbleiterchips zwischen der ersten Hauptfläche 53 und der zweiten Hauptfläche nicht vollständig in einer Ebene. Vielmehr ist die laterale Ausdehnung des Trägers im ersten Bereich, also im Bereich der Einbuchtung, gezielt verringert. Die laterale Ausdehnung der Einbuchtung beträgt vorzugsweise mindestens 0,5 µm und höchstens 20 µm.

Der zweite Bereich verläuft in vertikaler Richtung zwischen dem ersten Bereich 511 und der zweiten Hauptfläche 54. Die Einbuchtung 55 grenzt an die erste Hauptfläche 53 des Trägers 5 an. In Draufsicht auf den Halbleiterchip 1 weist der Träger

im Bereich der Einbuchtung eine kleinere Querschnittsfläche auf als im zweiten Bereich 512.

Eine weitere Seitenfläche 52 des Trägers ist frei von einer Einbuchtung. Der Träger kann jedoch auch auf mehr als einer Seitenfläche, beispielsweise an zwei gegenüberliegenden Seitenflächen und/oder an zwei aneinander angrenzenden Seitenflächen oder auch an allen Seitenflächen eine solche Einbuchtung aufweisen.

Auf der der zweiten Hauptfläche 54 abgewandten Seite weist der Halbleiterchip eine Kontaktfläche 81 für die elektrische Kontaktierung des Halbleiterchips auf. In dem gezeigten Ausführungsbeispiel überlappt die Kontaktfläche mit dem Halbleiterkörper 2 in Draufsicht auf den Halbleiterchip. Davon abweichend kann die Kontaktfläche jedoch auch lateral beabstandet von dem Halbleiterkörper 2 auf dem Träger 5 angeordnet sein.

Der Halbleiterchip 1 umfasst weiterhin eine Isolationsschicht 4. Die Isolationsschicht ist auf einer Vorderseite 11 des Halbleiterchips ausgebildet. Die Isolationsschicht 4 bedeckt den Halbleiterkörper 2, insbesondere dessen Seitenflächen. Weiterhin bedeckt die Isolationsschicht die über den Halbleiterkörper 2 lateral hinausragenden Bereiche der Verbindungsschicht 6 und die erste Hauptfläche 53 des Trägers. Weiterhin bedeckt die Isolationsschicht 4 den ersten Bereich 511 der Seitenfläche 51. Im ersten Bereich 511 liegt der Träger 5 also nicht frei, sondern ist von der Isolationsschicht insbesondere vollständig bedeckt. Die Gefahr eines Kurzschlusses über den Träger bei der elektrischen Kontaktierung des Halbleiterchips wird so vermieden. Eine zusätzlich zur Isolationsschicht 4, die die

Seitenflächen des Halbleiterkörpers 2 bedeckt, vorgesehene Isolationsschicht ist also nicht erforderlich.

Der zweite Bereich 512 ist frei von der Isolationsschicht. Der Träger 5 liegt im zweiten Bereich also frei. Als Material für die Isolationsschicht eignet sich beispielsweise ein Oxid, beispielsweise Aluminiumoxid (etwa Al_2O_3) oder Siliziumoxid oder ein Nitrid, etwa Siliziumnitrid.

Ein Ausführungsbeispiel für ein Halbleiterbauelement ist in den Figuren 2A und 2B schematisch dargestellt. In diesem Ausführungsbeispiel ist der Halbleiterchip 1 wie im Zusammenhang mit Figur 1 beschrieben ausgeschrieben. Das Halbleiterbauelement 10 umfasst weiterhin einen Formkörper 7. Bei der Herstellung des Halbleiterbauelements wird eine Formmasse für den Formkörper 7 an den Halbleiterchip 1, insbesondere an den Träger 5, angeformt. Beispielsweise eignet sich für das Ausbilden des Formkörpers ein Gieß-Verfahren.

Unter einem Gießverfahren wird allgemein ein Verfahren verstanden, mit dem eine Formmasse gemäß einer vorgegebenen Form ausgestaltet werden kann, beispielsweise mittels Gießens (molding), Spritzgießens (injection molding) oder Spritzpressens (transfer molding).

Der Formkörper 7 grenzt insbesondere im ersten Bereich 511 und im zweiten Bereich 512 der Seitenfläche 51 an den Halbleiterchip 1 an. Im ersten Bereich ist zwischen dem Träger 5 und dem Formkörper 7 die Isolationsschicht 4 ausgebildet. Im zweiten Bereich grenzt der Formkörper an den Träger an.

Für den Formkörper eignet sich beispielsweise ein Kunststoff, beispielsweise ein Silikon. Der Formkörper kann weiterhin mit reflektierenden Partikeln, beispielsweise TiO2-Partikeln, versetzt sein.

Von der Vorderseite 11 des Halbleiterchips ist eine Kontaktbahn 8 von der Kontaktfläche 81 des Halbleiterchips über eine Kante des Halbleiterchips in lateraler Richtung über den Halbleiterchip hinaus auf eine Vorderseite 71 des Formkörpers 7 geführt. Das Halbleiterbauelement 10 kann beispielsweise zwei vorderseitige Kontakte für die externe elektrische Kontaktierung oder zwei rückseitige Kontakte oder einen vorderseitigen Kontakt und einen rückseitigen Kontakt aufweisen. Die Kontakte sind zur vereinfachten Darstellung nicht explizit gezeigt.

Mittels der Isolationsschicht 4 ist gewährleistet, dass die Kontaktbahn 8 an keiner Stelle unmittelbar an den Träger 5 angrenzt. Die Gefahr eines elektrischen Kurzschlusses zwischen der Kontaktbahn und dem Träger, insbesondere an der Seitenfläche des Trägers, wird so vermieden.

In den Figuren 3A bis 3F ist ein erstes Ausführungsbeispiel für ein Verfahren zur Herstellung von Halbleiterchips gezeigt. In den Darstellung in Schnittansicht ist jeweils ein Ausschnitt gezeigt, aus dem bei der Herstellung zwei Halbleiterchips hervorgehen.

Wie in Figur 3A gezeigt, wird ein Verbund 9 bereitgestellt, der einen Trägerverbund 50 und eine Halbleiterschichtenfolge 200 aufweist. Der Trägerverbund erstreckt sich in vertikaler Richtung zwischen einer der Halbleiterschichtenfolge 200 zugewandten Vorderseite 501 und einer gegenüberliegenden

Rückseite 502. Aus dem Trägerverbund werden im späteren Vereinzelungsschritt die einzelnen Träger der Halbleiterchips ausgebildet. In dem gezeigten Ausführungsbeispiel ist die Halbleiterschichtenfolge 200 mit einer Verbindungsschicht 6 an dem Trägerverbund 50 befestigt. Davon abweichend kann der Trägerverbund auch durch ein Aufwachssubstrat für die Halbleiterschichtenfolge 200 gebildet sein.

Die Halbleiterschichtenfolge 200 ist mittels Mesa-Gräben 25 in voneinander beabstandete Halbleiterkörper 2 unterteilt. In dem Trägerverbund wird von der Vorderseite her eine grabenförmige Vertiefung 56 ausgebildet. Die grabenförmige Vertiefung erstreckt sich in vertikaler Richtung in den Trägerverbund hinein, durchtrennt den Trägerverbund jedoch in vertikaler Richtung nicht vollständig. In Draufsicht auf den Verbund verlaufen die grabenförmigen Vertiefungen 56 zwischen benachbarten Halbleiterkörpern 2.

Das Ausbilden der grabenförmigen Vertiefungen kann beispielsweise mittels Laserablation, etwa durch einen gepulsten Laser mit einer Pulsdauer im Picosekunden- oder Nanosekundenbereich erfolgen. Alternativ können die grabenförmigen Vertiefungen auch mittels eines chemischen Verfahrens, etwa eines trockenchemischen Ätzverfahrens, hergestellt werden. Weiterhin kann auch ein mechanisches Verfahren, etwa ein Schleifverfahren oder ein Sägeverfahren Anwendung finden. Zum Beispiel eignet sich eine Wafersäge.

Vor dem Ausbilden der grabenförmigen Vertiefungen 56 kann sich die Verbindungsschicht 6 durchgängig über den Trägerverbund erstrecken. Die Strukturierung der Verbindungsschicht erfolgt in diesem Fall also beim Ausbilden der grabenförmigen Vertiefung. Ein gepulster Laser,

insbesondere mit einer Pulsdauer im Picosekundenbereich, eignet sich hierfür besonders aufgrund der geringen Materialselektivität bei der Abtragung.

Wie in Figur 3E dargestellt, ist es bereits ausreichend, wenn die grabenförmigen Vertiefungen nur entlang einer ersten Richtung parallel zueinander verlaufen. Zwischen Halbleiterkörpern, die entlang dieser Richtung nebeneinander angeordnet sind, erfolgt also kein Ausbilden von grabenförmigen Vertiefungen. Davon abweichend ist jedoch auch denkbar, die grabenförmigen Vertiefungen zusätzlich entlang einer schräg oder senkrecht zur ersten Richtung verlaufenden zweiten Richtung auszubilden.

Nach dem Ausbilden der grabenförmigen Vertiefungen wird, wie in Figur 3B dargestellt, eine Isolationsschicht 4 auf der Vorderseite des Verbunds aufgebracht. Die Isolationsschicht überdeckt insbesondere auch die grabenförmigen Vertiefungen und grenzt im Bereich der grabenförmigen Vertiefungen unmittelbar an den Trägerverbund 50 an. Die Isolationsschicht wird weiterhin so ausgebildet, dass sie alle Bereiche der Vorderseite des Verbunds 9 bedeckt, die nicht für eine elektrische Kontaktierung der späteren Halbleiterchips vorgesehen sind. Lediglich die Kontaktfläche 81 bleibt frei von der Isolationsschicht 4. Für das Ausbilden der Isolationsschicht eignet sich insbesondere ein ALD-Verfahren. Es kann jedoch auch ein anderes Abscheideverfahren, etwa ein CVD-Verfahren, beispielsweise Aufdampfen, oder ein PVD-Verfahren, beispielsweise Sputtern, Anwendung finden.

Nachfolgend wird der Trägerverbund 50 von der Rückseite 502 her gedünnt. Nach dem Dünnen beträgt die vertikale Ausdehnung der grabenförmigen Vertiefungen 56 vorzugsweise zwischen

einschließlich 10 % und einschließlich 70 %, besonders bevorzugt zwischen einschließlich 20 % und einschließlich 50 % der Dicke des Trägerverbunds 50 (Figur 3C).

Nachfolgend wird der Verbund 9 mittels eines Stealth Dicing-Verfahrens vereinzelt (Figur 3D). Hierfür wird zunächst mittels strahlungsinduzierter Materialmodifikation eine Bruchstelle 32 erzeugt, so dass das bestrahlte Material unter mechanischer Spannung steht.

Nachfolgend wird ein Bruch des Trägers mechanisch induziert. Der so entstehende Vereinzelungsschnitt 3 verläuft entlang der ersten Richtung jeweils im Bereich der grabenförmigen Vertiefungen 56. Die Vereinzelung erfolgt hierbei entlang der ersten Richtung und der senkrecht dazu verlaufenden zweiten Richtung (Figur 3F).

Für eine Justage der Vereinzelungsschnitte 3 relativ zu den grabenförmigen Vertiefungen 56 kann die Position der grabenförmigen Vertiefungen durch den Träger hindurch mittels optischer Methoden, beispielsweise mittels einer im infraroten Spektralbereich empfindlichen Kamera, ermittelt werden. Hierbei äußern sich die grabenförmigen Vertiefungen 56 in ihrer metallfreien Ausgestaltung, während zwischen den grabenförmigen Vertiefungen metallische Schichten vorhanden sind, beispielsweise eine Lotschicht als Verbindungsschicht 6.

Die Rückseite des Trägerverbunds 50 ist ebenfalls frei von metallischem Material. Hierdurch wird eine Durchsicht durch den Träger für die Justage der Vereinzelungsschnitte 3 relativ zu den grabenförmigen Vertiefungen 56 vereinfacht.

Durch den Vereinzelungsschnitt 3 entsteht der zweite Bereich 512 der Seitenfläche 51 des beim Vereinzeln entstehenden Trägers 5 des Halbleiterchips. In diesem Bereich ist die Seitenfläche frei von Material der Isolationsschicht 4. Abhängig von der Art der Ausbildung des Vereinzelungsschnitts kann der zweite Bereich zumindest bereichsweise Spuren des Vereinzelungsschnitts aufweisen.

Durch die grabenförmigen Vertiefungen 56 werden die Einbuchtungen 55 im ersten Bereich 511 der Seitenfläche gebildet. Diese ersten Bereiche sind von der Isolationsschicht 4 vollständig bedeckt. Der zweite Bereich 512 entsteht dagegen erst nach dem Ausbilden der Isolationsschicht und ist somit frei von Material der Isolationsschicht.

Ein zweites Ausführungsbeispiel für ein Verfahren ist in den Figuren 4A bis 4C gezeigt. Bei diesem zweiten Ausführungsbeispiel kann das Bereitstellen des Verbunds, das Ausbilden der grabenförmigen Vertiefungen und das Ausbilden der Isolationsschicht 4 sowie das Dünnen des Trägerverbunds wie im Zusammenhang mit den Figuren 3A bis 3C beschrieben erfolgen.

Im Unterschied zum ersten Ausführungsbeispiel erfolgt das Vereinzeln bei diesem Ausführungsbeispiel wie in Figur 4A gezeigt von der Vorderseite des Verbunds 9 her. Beispielsweise erfolgt das Vereinzeln mittels Laserablation mit einem gepulsten Laser mit Pulsdauern im Picosekunden- oder Nanosekundenbereich. Der Vereinzelungsschnitt 3 kann hierbei eine zur grabenförmigen Vertiefung 56 vergleichbare Breite aufweisen.

Vorzugsweise erfolgt das Ausbilden des Vereinzelungsschnitts relativ zu der zugeordneten grabenförmigen Vertiefung 56 derart, dass eine Mittellinie 31 des Vereinzelungsschnitts 3 in Draufsicht auf den Verbund 9 parallel versetzt zu einer Mittellinie 561 der grabenförmigen Vertiefung verläuft. Insbesondere ist der Vereinzelungsschnitt derart versetzt, dass die Mittellinie 31 des Vereinzelungsschnitts 3 zu der nächstgelegenen Kontaktfläche 81 einen größeren Abstand aufweist als die Mittellinie der grabenförmigen Vertiefung 56. Auf diese Weise ist gewährleistet, dass der beim Vereinzeln des Trägerverbunds 50 entstehende Träger 5 der vereinzelten Halbleiterchips an zumindest einer Seitenfläche 51 eine Einbuchtung 55 aufweist, die mit der Isolationsschicht 4 bedeckt ist.

Die Figuren 4B und 4C zeigen die Position der grabenförmigen Vertiefungen 56 und der Vereinzelungsschnitte 3 in Draufsicht auf den Verbund 9. Während die grabenförmigen Vertiefungen nur entlang der ersten Richtung ausgebildet werden, erfolgt das Vereinzeln entlang der ersten Richtung und zusätzlich senkrecht dazu entlang der zweiten Richtung.

Bei der beschriebenen Vereinzelung von der Vorderseite des Verbunds 9 her kann die Rückseite 502 des Trägerverbunds 50 von dem beschriebenen Ausführungsbeispiel abweichend auch mit einer Metallisierung, beispielsweise für die externe elektrische Kontaktierung des Halbleiterchips 2, versehen sein.

Von den vorstehend beschriebenen Ausführungsbeispielen abweichend kann das Vereinzeln auch mittels eines chemischen Verfahrens, beispielsweise mittels eines Plasmaverfahrens, erfolgen. Das Vereinzeln kann hierbei ebenfalls wie im

Zusammenhang mit den Figuren 3A bis 3F beschrieben von der Rückseite her oder wie im Zusammenhang mit den Figuren 4A bis 4C beschrieben von der Vorderseite des Verbunds her erfolgen. Bei einem Vereinzeln von der Vorderseite her kann die Isolationsschicht vor dem Ausbilden des Vereinzelungsschnitts im Bereich des auszuführenden Vereinzelungsschnitts, also am Boden der grabenförmigen Vertiefungen 56, entfernt werden. Dies kann beispielsweise mittels Laserablation, etwa durch einen gepulsten Laser mit Pulsdauern im Picosekundenbereich, erfolgen.

Diese Patentanmeldung beansprucht die Priorität der deutschen Patentanmeldung 10 2013 107 971.7, deren Offenbarungsgehalt hiermit durch Rückbezug aufgenommen wird.

Die Erfindung ist nicht durch die Beschreibung anhand der Ausführungsbeispiele beschränkt. Vielmehr umfasst die Erfindung jedes neue Merkmal sowie jede Kombination von Merkmalen, was insbesondere jede Kombination von Merkmalen in den Patentansprüchen beinhaltet, auch wenn dieses Merkmal oder diese Kombination selbst nicht explizit in den Patentansprüchen oder Ausführungsbeispielen angegeben ist.

Patentansprüche

1. Optoelektronischer Halbleiterchip (1), der einen Träger (5) und einen Halbleiterkörper (2) mit einem zur Erzeugung und/oder zum Empfangen von Strahlung vorgesehenen aktiven Bereich (20), wobei
- der Halbleiterkörper mit einer Verbindungsschicht (6) an dem Träger befestigt ist;
- der Träger sich in einer vertikalen Richtung zwischen einer dem Halbleiterkörper zugewandten ersten Hauptfläche (53) und einer vom Halbleiterkörper abgewandten zweiten Hauptfläche (54) erstreckt, wobei eine Seitenfläche (51) die erste Hauptfläche und die zweite Hauptfläche miteinander verbindet;
- ein erster Bereich (511) der Seitenfläche des Trägers eine Einbuchtung (55) aufweist;
- ein zweiter Bereich der Seitenfläche in vertikaler Richtung zwischen der Einbuchtung und der zweiten Hauptfläche verläuft;
- der Halbleiterchip eine Isolationsschicht (4) aufweist, die den Halbleiterkörper und den ersten Bereich jeweils zumindest teilweise bedeckt; und
- der zweite Bereich frei von der Isolationsschicht ist.

2. Halbleiterchip nach Anspruch 1,
wobei der Träger elektrisch leitfähig ist.

3. Halbleiterchip nach Anspruch 1 oder 2,
wobei die Isolationsschicht einen lateral über den Halbleiterkörper hinausragenden Teil der Verbindungsschicht vollständig überdeckt.

4. Halbleiterchip nach einem der vorhergehenden Ansprüche,
wobei eine vertikale Ausdehnung der Einbuchtung zwischen

einschließlich 10% und einschließlich 70% der vertikalen Ausdehnung des Trägers beträgt.

5. Halbleiterbauelement mit einem Halbleiterchip (1) nach einem der vorhergehenden Ansprüche und mit einem Formkörper (7), wobei
- der Formkörper an den Halbleiterchip angeformt ist und den ersten Bereich und den zweiten Bereich der Seitenfläche des Trägers jeweils zumindest bereichsweise bedeckt; und
- das Halbleiterbauelement eine Kontaktbahn (8) aufweist, die von einer der zweiten Hauptfläche des Trägers abgewandten Vorderseite (11) des Halbleiterchips (2) über den ersten Bereich des Trägers auf eine Vorderseite (71) des Formkörpers geführt ist.

6. Verfahren zur Herstellung einer Mehrzahl von Halbleiterchips mit den Schritten
a) Bereitstellen eines Verbunds (9) mit einer Halbleiterschichtenfolge (200), die einen zur Erzeugung und/oder zum Empfangen von Strahlung vorgesehenen aktiven Bereich (20) aufweist und in eine Mehrzahl von Halbleiterkörpern (2) unterteilt ist, und mit einem Trägerverbund (50), auf dem die Halbleiterschichtenfolge angeordnet ist;
b) Ausbilden von grabenförmigen Vertiefungen (56), die zumindest bereichsweise zwischen benachbarten Halbleiterkörpern verlaufen und sich in den Trägerverbund hinein erstrecken;
c) Ausbilden einer Isolationsschicht (4), die die Halbleiterschichtenfolge und die Seitenflächen (560) der grabenförmigen Vertiefungen jeweils zumindest bereichsweise bedeckt; und

d) Vereinzeln des Verbunds in die Mehrzahl von Halbleiterchips, wobei das Vereinzeln mittels Vereinzelungsschnitten (3) erfolgt, die zumindest bereichsweise entlang der grabenförmigen Vertiefungen verlaufen.

7. Verfahren nach Anspruch 6,
bei dem eine der Halbleiterschichtenfolge zugewandte Vorderseite (501) des Trägerverbunds in Schritt d) im Bereich der grabenförmigen Vertiefungen frei von metallischem Material ist.

8. Verfahren nach Anspruch 6 oder 7,
bei dem eine der Halbleiterschichtenfolge abgewandte Rückseite (502) des Trägerverbunds in Schritt d) frei von metallischem Material ist.

9. Verfahren nach einem der Ansprüche 6 bis 8,
bei dem der Trägerverbund nach Schritt b) gedünnt wird.

10. Verfahren nach einem der Ansprüche 6 bis 9,
bei dem die entlang der grabenförmigen Vertiefungen verlaufenden Vereinzelungsschnitte in Schritt d) eine geringere Breite aufweisen als die grabenförmigen Vertiefungen.

11. Verfahren nach einem der Ansprüche 6 bis 10,
bei dem auf den Halbleiterkörpern jeweils eine elektrische Kontaktfläche (81) ausgebildet ist und die entlang der grabenförmigen Vertiefungen verlaufenden Vereinzelungsschnitte zwischen benachbarten Halbleiterkörpern jeweils so ausgebildet werden, dass eine Mittellinie (31) der Vereinzelungsschnitte weiter von der am nächsten gelegenen

Kontaktfläche der benachbarten Halbleiterkörper entfernt ist als eine Mittellinie (561) der zugeordneten grabenförmigen Vertiefung.

12. Verfahren nach einem der Ansprüche 6 bis 11, bei dem der Trägerverbund in Schritt d) von der den grabenförmigen Vertiefungen gegenüber liegenden Seite her vereinzelt wird.

13. Verfahren nach Anspruch 12, wobei eine Positionierung der Vereinzelungsschnitte relativ zu den grabenförmigen Vertiefungen mittels einer optischen Erkennung der grabenförmigen Vertiefungen durch den Trägerverbund hindurch erfolgt.

14. Verfahren nach einem der Ansprüche 6 bis 13, bei dem in Schritt d) im Trägerverbund eine in vertikaler Richtung vollständige oder nur bereichsweise Materialmodifikation durch Laserstrahlung erfolgt.

15. Verfahren nach einem der Ansprüche 6 bis 13, bei dem in Schritt d) im Trägerverbund ein chemischer Materialabtrag erfolgt.

16. Verfahren nach einem der Ansprüche 6 bis 15, bei dem die grabenförmigen Vertiefungen in Schritt b) mittels kohärenter Strahlung und/oder chemisch und/oder mechanisch ausgebildet werden.

FIG 1

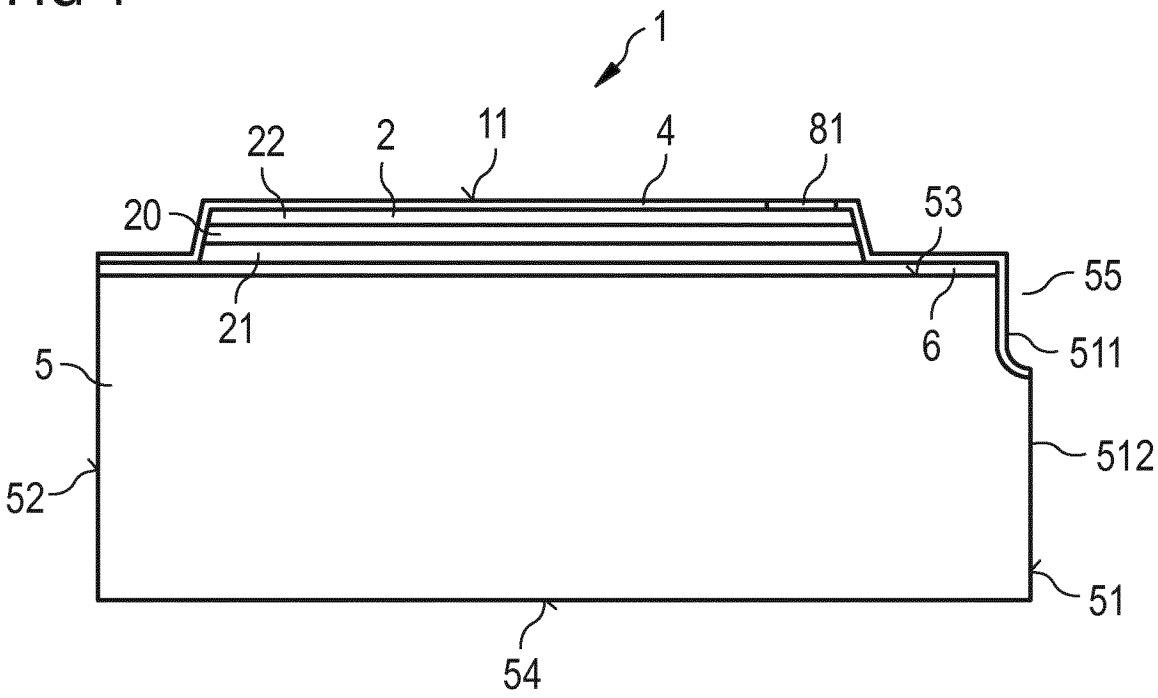


FIG 2A

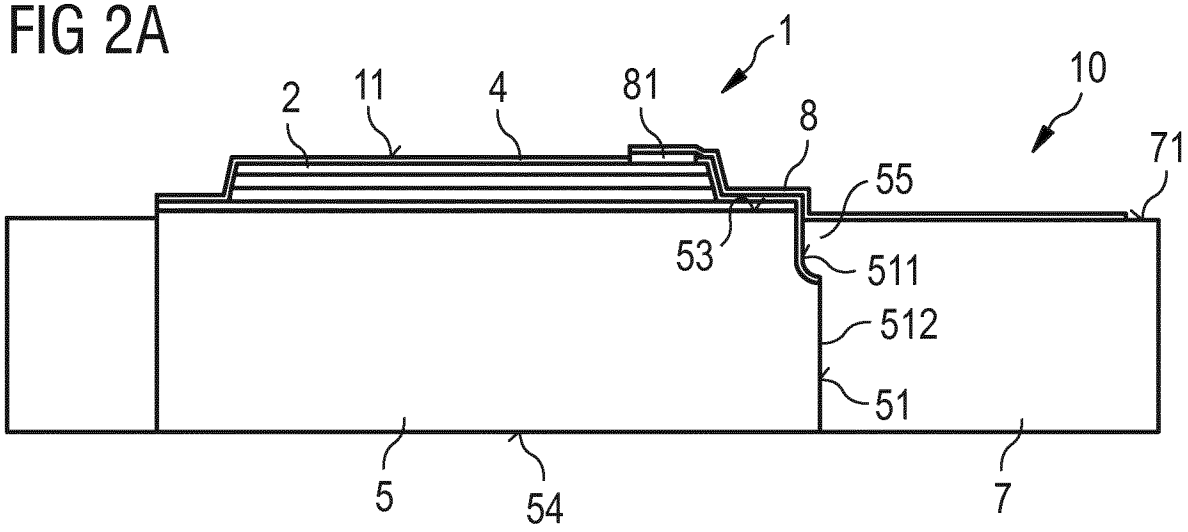


FIG 2B

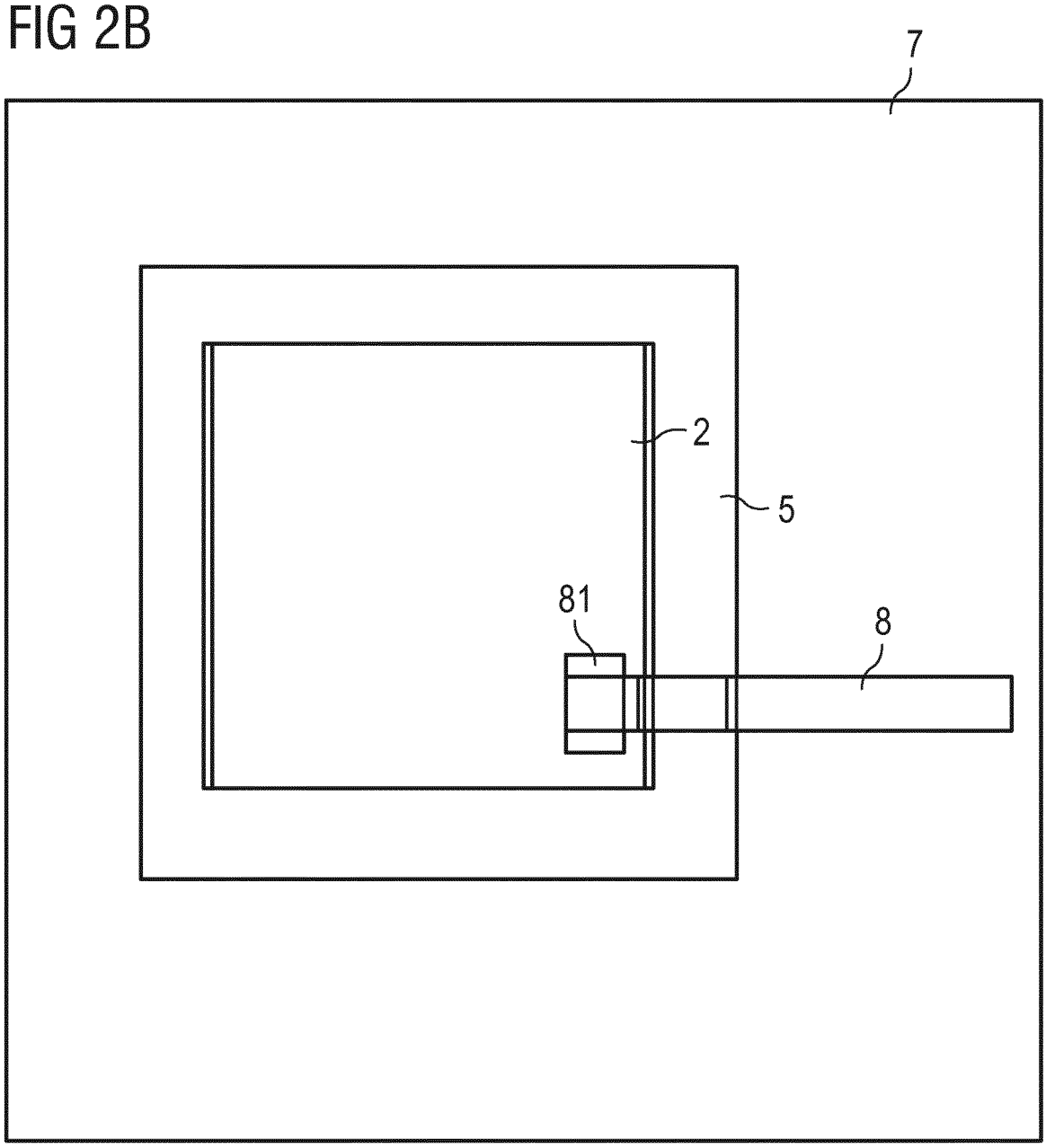


FIG 3A

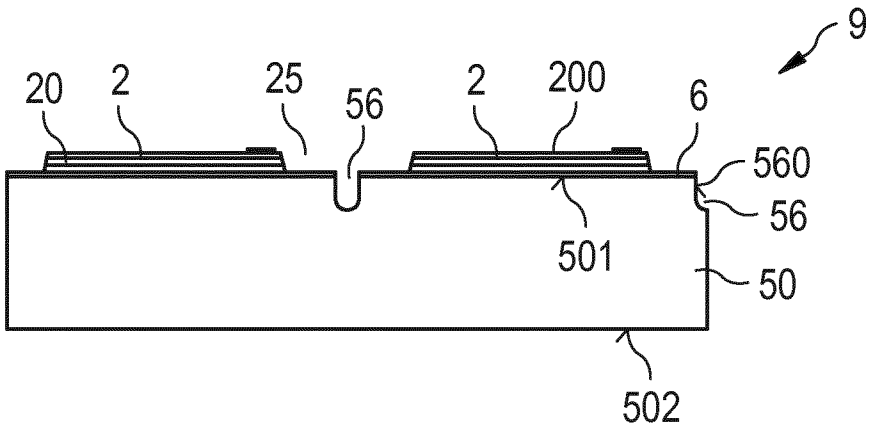


FIG 3B

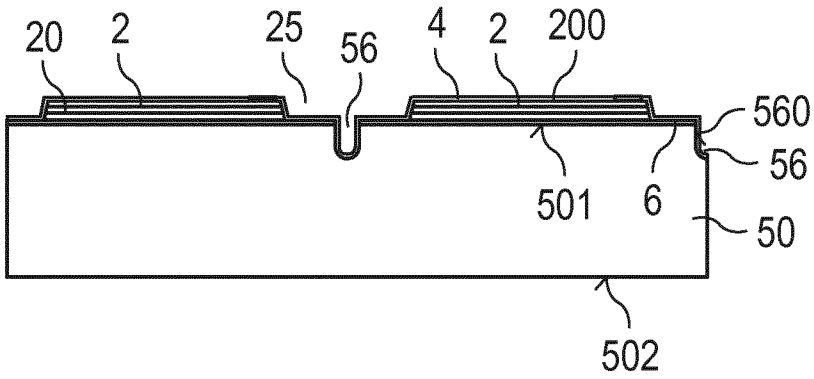


FIG 3C

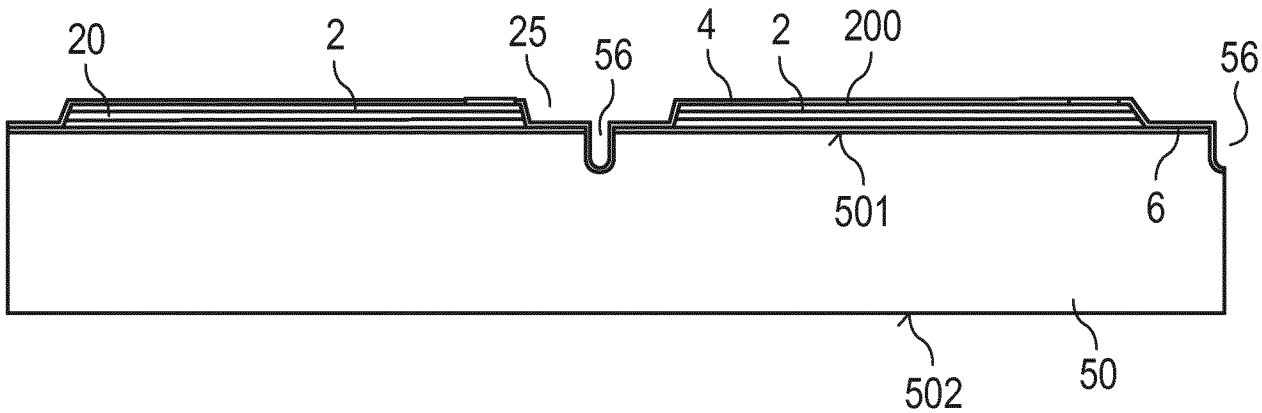


FIG 3D

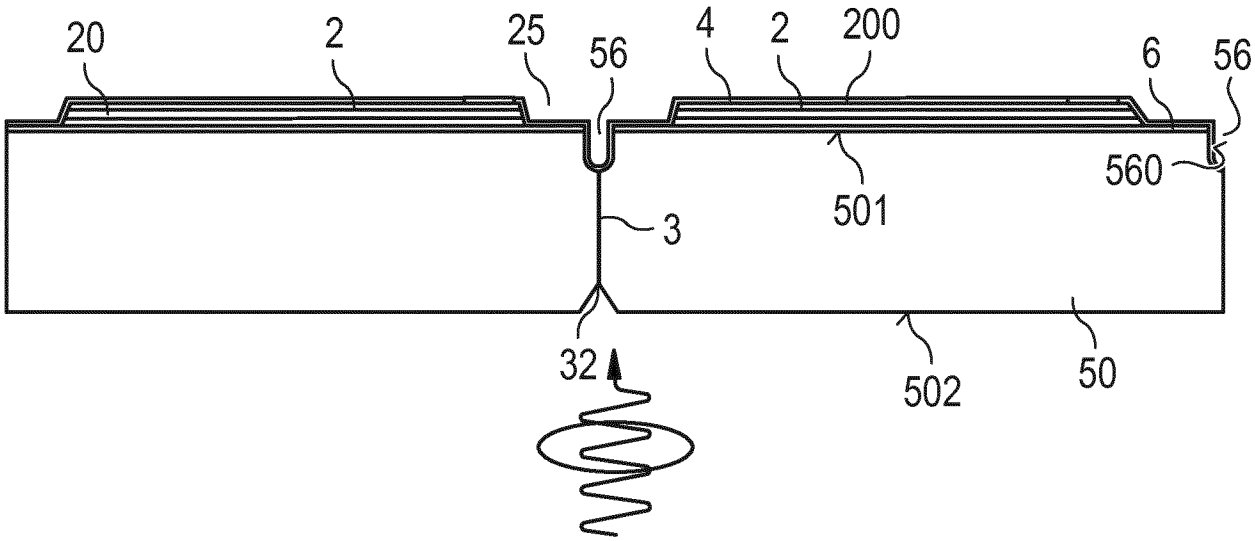


FIG 3E

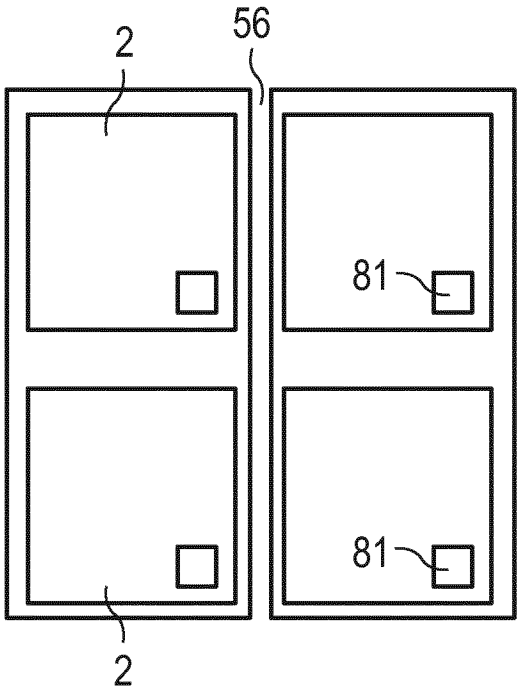


FIG 3F

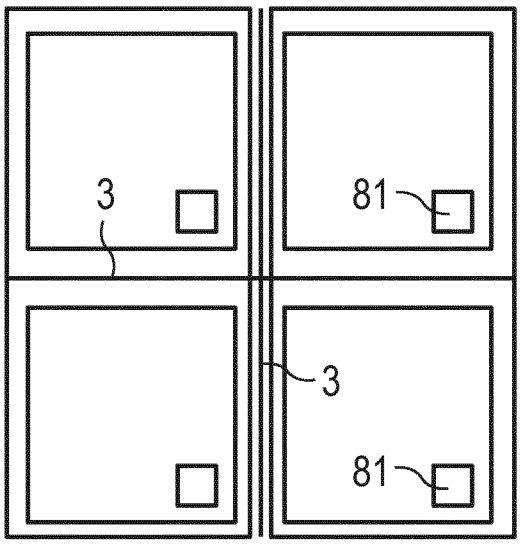


FIG 4A

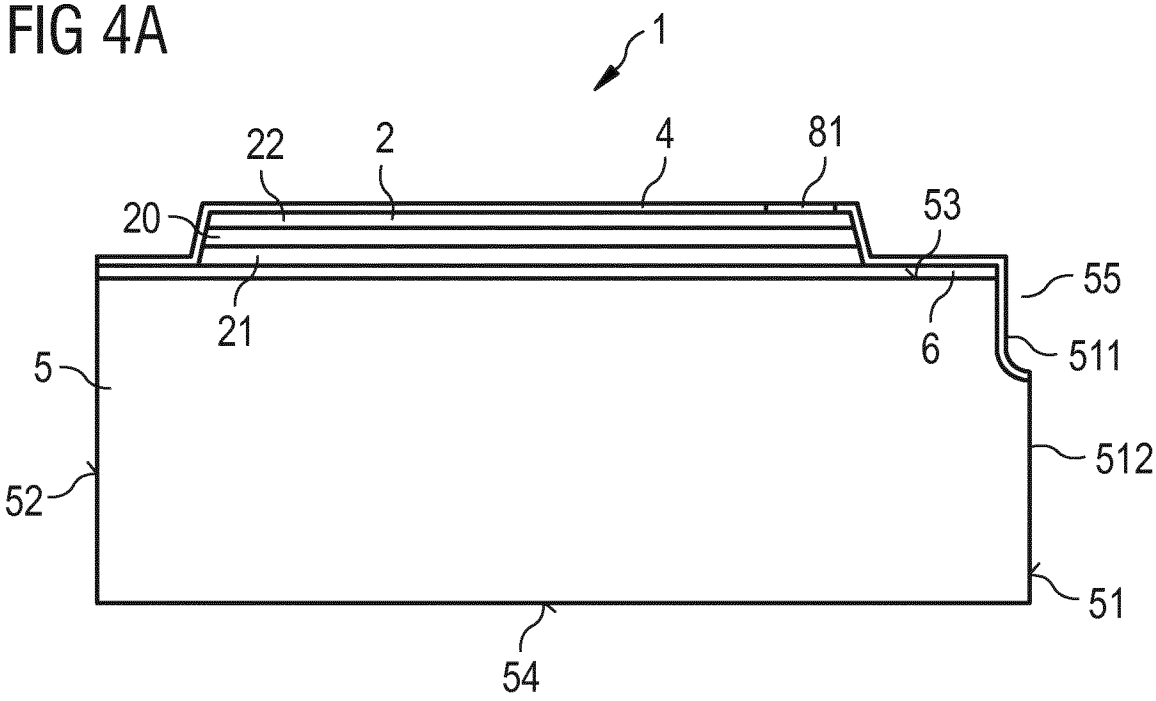


FIG 4B

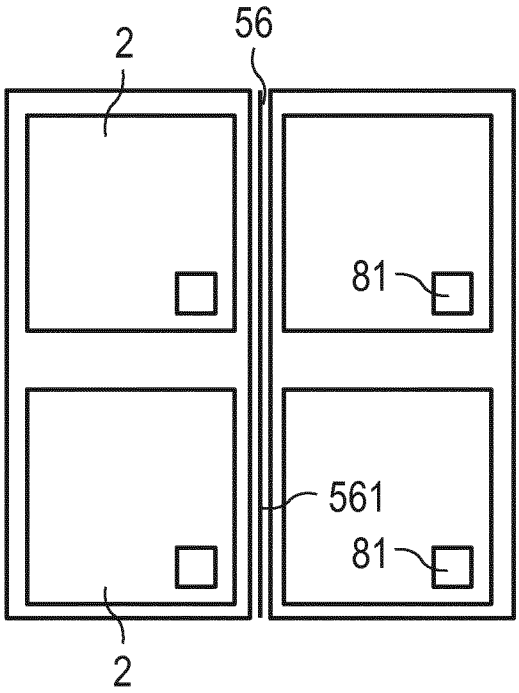
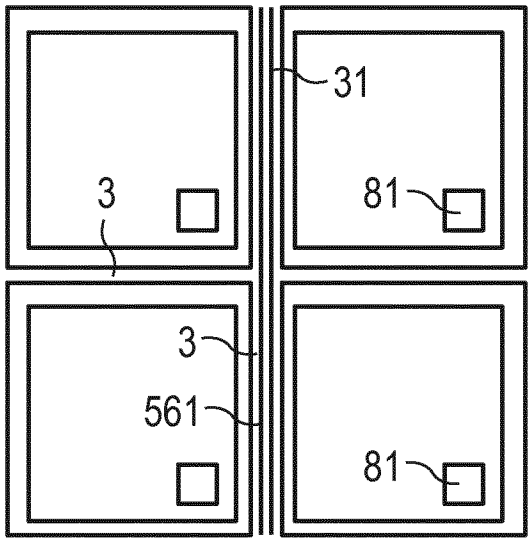


FIG 4C



INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2014/065445

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L33/00 H01L33/38 H01L33/44
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2011/073027 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]; LELL ALFRED [DE]; FEHRER MICHAEL) 23 June 2011 (2011-06-23) page 22 - page 39; figure 1	1-16
A	US 2013/011953 A1 (NAKAJO NAOKI [JP] ET AL) 10 January 2013 (2013-01-10) the whole document	1-16
A	US 5 955 748 A (NAKAMURA YUKIO [JP] ET AL) 21 September 1999 (1999-09-21) the whole document	1-16
A	DE 10 2011 054891 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 2 May 2013 (2013-05-02) the whole document	1-16

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
22 September 2014	30/09/2014

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Aichmayr, Günther

1

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/EP2014/065445

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 2011073027 A1	23-06-2011	CN 102668140 A	12-09-2012
		DE 102009058796 A1	22-06-2011
		EP 2513984 A1	24-10-2012
		JP 2013514642 A	25-04-2013
		KR 20120114311 A	16-10-2012
		TW 201143162 A	01-12-2011
		US 2012326178 A1	27-12-2012
		WO 2011073027 A1	23-06-2011
US 2013011953 A1	10-01-2013	CN 102812566 A	05-12-2012
		JP 5195798 B2	15-05-2013
		JP 2011199122 A	06-10-2011
		TW 201205857 A	01-02-2012
		US 2013011953 A1	10-01-2013
		WO 2011118149 A1	29-09-2011
US 5955748 A	21-09-1999	JP H0832110 A	02-02-1996
		US 5955748 A	21-09-1999
DE 102011054891 A1	02-05-2013	CN 103889643 A	25-06-2014
		DE 102011054891 A1	02-05-2013
		US 2014248758 A1	04-09-2014
		WO 2013060550 A1	02-05-2013

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/EP2014/065445

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
INV. H01L33/00 H01L33/38 H01L33/44
ADD.

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)
EPO-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	WO 2011/073027 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]; LELL ALFRED [DE]; FEHRER MICHAEL) 23. Juni 2011 (2011-06-23) Seite 22 - Seite 39; Abbildung 1	1-16
A	US 2013/011953 A1 (NAKAJO NAOKI [JP] ET AL) 10. Januar 2013 (2013-01-10) das ganze Dokument	1-16
A	US 5 955 748 A (NAKAMURA YUKIO [JP] ET AL) 21. September 1999 (1999-09-21) das ganze Dokument	1-16
A	DE 10 2011 054891 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 2. Mai 2013 (2013-05-02) das ganze Dokument	1-16

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :
"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist
"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche	Absendedatum des internationalen Recherchenberichts
22. September 2014	30/09/2014

Name und Postanschrift der Internationalen Recherchenbehörde	Bevollmächtigter Bediensteter
Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Aichmayr, Günther

1

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen
PCT/EP2014/065445

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
WO 2011073027 A1	23-06-2011	CN 102668140 A	12-09-2012
		DE 102009058796 A1	22-06-2011
		EP 2513984 A1	24-10-2012
		JP 2013514642 A	25-04-2013
		KR 20120114311 A	16-10-2012
		TW 201143162 A	01-12-2011
		US 2012326178 A1	27-12-2012
		WO 2011073027 A1	23-06-2011
US 2013011953 A1	10-01-2013	CN 102812566 A	05-12-2012
		JP 5195798 B2	15-05-2013
		JP 2011199122 A	06-10-2011
		TW 201205857 A	01-02-2012
		US 2013011953 A1	10-01-2013
		WO 2011118149 A1	29-09-2011
US 5955748 A	21-09-1999	JP H0832110 A	02-02-1996
		US 5955748 A	21-09-1999
DE 102011054891 A1	02-05-2013	CN 103889643 A	25-06-2014
		DE 102011054891 A1	02-05-2013
		US 2014248758 A1	04-09-2014
		WO 2013060550 A1	02-05-2013