

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6874007号
(P6874007)

(45) 発行日 令和3年5月19日 (2021.5.19)

(24) 登録日 令和3年4月23日 (2021.4.23)

(51) Int. Cl.	F I
H03K 5/08 (2006.01)	H03K 5/08 E
H04N 5/378 (2011.01)	H04N 5/378
H03M 1/12 (2006.01)	H03M 1/12 C

請求項の数 12 (全 30 頁)

(21) 出願番号	特願2018-535585 (P2018-535585)	(73) 特許権者	316005926
(86) (22) 出願日	平成29年8月8日 (2017.8.8)		ソニーセミコンダクタソリューションズ株式会社
(86) 国際出願番号	PCT/JP2017/028673		神奈川県厚木市旭町四丁目14番1号
(87) 国際公開番号	W02018/037901	(74) 代理人	100121131
(87) 国際公開日	平成30年3月1日 (2018.3.1)		弁理士 西川 孝
審査請求日	令和2年7月13日 (2020.7.13)	(74) 代理人	100082131
(31) 優先権主張番号	特願2016-161892 (P2016-161892)		弁理士 稲本 義雄
(32) 優先日	平成28年8月22日 (2016.8.22)	(72) 発明者	榊原 雅樹
(33) 優先権主張国・地域又は機関	日本国 (JP)		神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内
		審査官	渡井 高広

最終頁に続く

(54) 【発明の名称】 比較器、A/D変換器、固体撮像装置、電子機器、および、比較器の制御方法

(57) 【特許請求の範囲】

【請求項1】

第1の電源電圧で動作し、入力信号の電圧が参照信号の電圧よりも高いときに信号を出力する差動入力回路と、

前記第1の電源電圧と同じかまたはそれよりも低い第2の電源電圧で動作し、前記差動入力回路からの出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度を高速化する正帰還回路と、

前記差動入力回路の前記出力信号を、前記第2の電源電圧に対応する信号に変換する電圧変換回路と

を備え、

前記差動入力回路は、

カレントミラーを構成する第1トランジスタ及び第2トランジスタと、

前記参照信号がゲートに入力される第3トランジスタと、

前記入力信号がゲートに入力される第4トランジスタと、

定電流源としての第5トランジスタと、

前記出力信号を出力する第6トランジスタと

を含み、

前記第1、第2および第6トランジスタが、PMOSトランジスタで構成され、

前記第3乃至第5トランジスタが、NMOSトランジスタで構成され、

前記第1、第2および第6トランジスタのソースが、2V以下の前記第1の電源電圧に

10

20

接続され、

前記第5トランジスタのソースが、0Vよりも低い電圧に接続され、

前記第3トランジスタが、前記第1トランジスタのドレインと前記第5トランジスタのドレインとの間に接続され、

前記第4トランジスタが、前記第2トランジスタのドレインと前記第5トランジスタのドレインとの間に接続され、

前記第6トランジスタは、ゲートを前記第2トランジスタのドレインに接続し、ドレインを前記電圧変換回路に接続して構成された

比較器。

【請求項2】

前記差動入力回路は、

前記第1トランジスタ及び第2トランジスタと前記第3トランジスタ及び第4トランジスタとの間の接続をオンオフする第7トランジスタ及び第8トランジスタと

をさらに含む

請求項1に記載の比較器。

【請求項3】

前記正帰還回路は、前記差動入力回路の前記出力信号と異なる制御信号の入力を受け付け、前記差動入力回路の前記出力信号に関わらず、前記制御信号に基づいて前記比較結果信号を反転させる

請求項1に記載の比較器。

【請求項4】

前記正帰還回路は、

前記差動入力回路の前記出力信号を反転して前記比較結果信号を生成するインバータ回路と、

前記制御信号に基づいて、前記第2の電源電圧を前記インバータ回路に供給するトランジスタと

を有する

請求項3に記載の比較器。

【請求項5】

前記正帰還回路は、前記差動入力回路の前記出力信号と前記制御信号を入力とするNOR回路を有する

請求項3に記載の比較器。

【請求項6】

第1の電源電圧で動作し、入力信号の電圧が参照信号の電圧よりも高いときに信号を出力する差動入力回路と、

前記第1の電源電圧と同じかまたはそれよりも低い第2の電源電圧で動作し、前記差動入力回路からの出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度を高速化する正帰還回路と、

前記差動入力回路の前記出力信号を、前記第2の電源電圧に対応する信号に変換する電圧変換回路を有し、

前記差動入力回路は、

カレントミラーを構成する第1トランジスタ及び第2トランジスタと、

前記参照信号がゲートに入力される第3トランジスタと、

前記入力信号がゲートに入力される第4トランジスタと、

定電流源としての第5トランジスタと、

前記出力信号を出力する第6トランジスタと

を含み、

前記第1、第2および第6トランジスタが、PMOSトランジスタで構成され、

前記第3乃至第5トランジスタが、NMOSトランジスタで構成され、

前記第1、第2および第6トランジスタのソースが、2V以下の前記第1の電源電圧に

10

20

30

40

50

接続され、

前記第5トランジスタのソースが、0Vよりも低い電圧に接続され、

前記第3トランジスタが、前記第1トランジスタのドレインと前記第5トランジスタのドレインとの間に接続され、

前記第4トランジスタが、前記第2トランジスタのドレインと前記第5トランジスタのドレインとの間に接続され、

前記第6トランジスタは、ゲートを前記第2トランジスタのドレインに接続し、ドレインを前記電圧変換回路に接続して構成された

比較器と、

前記比較結果信号が反転したときの時刻コードを記憶するデータ記憶部と

を備えるAD変換器。

10

【請求項7】

第1の電源電圧で動作し、入力信号の電圧が参照信号の電圧よりも高いときに信号を出力する差動入力回路と、

前記第1の電源電圧と同じかまたはそれよりも低い第2の電源電圧で動作し、前記差動入力回路からの出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度を高速化する正帰還回路と、

前記差動入力回路の前記出力信号を、前記第2の電源電圧に対応する信号に変換する電圧変換回路を有し、

前記差動入力回路は、

20

カレントミラーを構成する第1トランジスタ及び第2トランジスタと、

前記参照信号がゲートに入力される第3トランジスタと、

前記入力信号がゲートに入力される第4トランジスタと、

定電流源としての第5トランジスタと、

前記出力信号を出力する第6トランジスタと

を含み、

前記第1、第2および第6トランジスタが、PMOSトランジスタで構成され、

前記第3乃至第5トランジスタが、NMOSトランジスタで構成され、

前記第1、第2および第6トランジスタのソースが、2V以下の前記第1の電源電圧に接続され、

30

前記第5トランジスタのソースが、0Vよりも低い電圧に接続され、

前記第3トランジスタが、前記第1トランジスタのドレインと前記第5トランジスタのドレインとの間に接続され、

前記第4トランジスタが、前記第2トランジスタのドレインと前記第5トランジスタのドレインとの間に接続され、

前記第6トランジスタは、ゲートを前記第2トランジスタのドレインに接続し、ドレインを前記電圧変換回路に接続して構成された

比較器と、

前記比較結果信号が反転したときの時刻コードを記憶するデータ記憶部と

を備えるAD変換器と、

40

画素に入射された光を受光して光電変換することで生成された電荷信号を、前記入力信号として前記差動入力回路に出力する画素回路と

を備える固体撮像装置。

【請求項8】

前記AD変換器は、前記画素ごとに配置される

請求項7に記載の固体撮像装置。

【請求項9】

前記AD変換器は、複数の前記画素で共有される

請求項7に記載の固体撮像装置。

【請求項10】

50

複数の半導体基板で構成されている

請求項7に記載の固体撮像装置。

【請求項11】

第1の電源電圧で動作し、入力信号の電圧が参照信号の電圧よりも高いときに信号を出力する差動入力回路と、

前記第1の電源電圧と同じかまたはそれよりも低い第2の電源電圧で動作し、前記差動入力回路からの出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度を高速化する正帰還回路と、

前記差動入力回路の前記出力信号を、前記第2の電源電圧に対応する信号に変換する電圧変換回路を有し、

前記差動入力回路は、

カレントミラーを構成する第1トランジスタ及び第2トランジスタと、

前記参照信号がゲートに入力される第3トランジスタと、

前記入力信号がゲートに入力される第4トランジスタと、

定電流源としての第5トランジスタと、

前記出力信号を出力する第6トランジスタと

を含み、

前記第1、第2および第6トランジスタが、PMOSトランジスタで構成され、

前記第3乃至第5トランジスタが、NMOSトランジスタで構成され、

前記第1、第2および第6トランジスタのソースが、2V以下の前記第1の電源電圧に接続され、

前記第5トランジスタのソースが、0Vよりも低い電圧に接続され、

前記第3トランジスタが、前記第1トランジスタのドレインと前記第5トランジスタのドレインとの間に接続され、

前記第4トランジスタが、前記第2トランジスタのドレインと前記第5トランジスタのドレインとの間に接続され、

前記第6トランジスタは、ゲートを前記第2トランジスタのドレインに接続し、ドレインを前記電圧変換回路に接続して構成された

比較器と、

前記比較結果信号が反転したときの時刻コードを記憶するデータ記憶部と

を備えるAD変換器と、

画素に入射された光を受光して光電変換することで生成された電荷信号を、前記入力信号として前記差動入力回路に出力する画素回路と

を備える固体撮像装置

を備える電子機器。

【請求項12】

第1の電源電圧で動作する差動入力回路と、前記第1の電源電圧と同じかまたはそれよりも低い第2の電源電圧で動作する正帰還回路と、電圧変換回路とを備え、

前記差動入力回路は、

カレントミラーを構成する第1トランジスタ及び第2トランジスタと、

参照信号がゲートに入力される第3トランジスタと、

入力信号がゲートに入力される第4トランジスタと、

定電流源としての第5トランジスタと、

前記差動入力回路の出力信号を出力する第6トランジスタと

を含み、

前記第1、第2および第6トランジスタが、PMOSトランジスタで構成され、

前記第3乃至第5トランジスタが、NMOSトランジスタで構成され、

前記第1、第2および第6トランジスタのソースが、2V以下の前記第1の電源電圧に接続され、

前記第5トランジスタのソースが、0Vよりも低い電圧に接続され、

10

20

30

40

50

前記第3トランジスタが、前記第1トランジスタのドレインと前記第5トランジスタのドレインとの間に接続され、

前記第4トランジスタが、前記第2トランジスタのドレインと前記第5トランジスタのドレインとの間に接続され、

前記第6トランジスタは、ゲートを前記第2トランジスタのドレインに接続し、ドレインを前記電圧変換回路に接続して構成された比較器の

前記差動入力回路が、前記入力信号の電圧が前記参照信号の電圧よりも高いときに信号を出力し、

前記電圧変換回路が、前記出力信号を、前記第2の電源電圧に対応する信号に変換し、

前記正帰還回路が、前記電圧変換回路により変換された前記差動入力回路の前記出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度を高速化する

比較器の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、比較器、A/D変換器、固体撮像装置、電子機器、および、比較器の制御方法に関し、特に、比較器の判定速度を向上させつつ、消費電力を低減させることができるようにした比較器、A/D変換器、固体撮像装置、電子機器、および、比較器の制御方法に関する。

【背景技術】

【0002】

固体撮像装置の信号読み出し方式で、例えば、画素内などの限られた面積内でAD変換を行う場合、もっとも面積効率が良い方式は、比較器とその後段のデジタル回路で構成される積分型（スロープ型）のAD変換方式である。

【0003】

積分型のAD変換方式を用いて、限られた面積内でAD変換を実現しようとする技術として、非特許文献1が提案されている。例えば、非特許文献1の方式では、後段のデジタル回路を1つのDRAM回路として、複数回スロープ信号を比較器に入力する回路構成とされている。たとえば8bitのAD変換であれば、同じスロープ信号が8回繰り返し比較器に入力される。そして、比較器の出力が反転した時点の0または1のコードをDRAMに記憶する動作と画素外部へ出力する動作が8回繰り返され、全面の比較が終了した時点で、外部に読み出される。

【先行技術文献】

【非特許文献】

【0004】

【非特許文献1】D. Yang, B. Fowler, and A. El Gamal, "A Nyquist rate pixel level ADC for CMOS image sensors," in Proc. IEEE 1998 Custom Integrated Circuits Conf., Santa Clara, CA, May 1998, pp. 237-240.

【発明の概要】

【発明が解決しようとする課題】

【0005】

画素内にAD変換器を配置する場合には、画素列ごとにAD変換器を配置するカラム並列などのように比較的面積の自由度がある場合と異なり、回路の収容面積に限りがあるため、要求を十分に満たす比較器を作製することが難しい。例えば、比較の判定速度が遅くなったり、性能を上げようとすると消費電力が大きくなることもある。

【0006】

本開示は、このような状況に鑑みてなされたものであり、比較器の判定速度を向上させつつ、消費電力を低減させることができるようにするものである。

【課題を解決するための手段】

【0007】

本開示の第1の側面の比較器は、第1の電源電圧で動作し、入力信号の電圧が参照信号の電圧よりも高いときに信号を出力する差動入力回路と、前記第1の電源電圧と同じかまたはそれよりも低い第2の電源電圧で動作し、前記差動入力回路からの出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度を高速化する正帰還回路と、前記差動入力回路の前記出力信号を、前記第2の電源電圧に対応する信号に変換する電圧変換回路とを備え、前記差動入力回路は、カレントミラーを構成する第1トランジスタ及び第2トランジスタと、前記参照信号がゲートに入力される第3トランジスタと、前記入力信号がゲートに入力される第4トランジスタと、定電流源としての第5トランジスタと、前記出力信号を出力する第6トランジスタとを含み、前記第1、第2および第6トランジスタが、PMOSトランジスタで構成され、前記第3乃至第5トランジスタが、NMOSトランジスタで構成され、前記第1、第2および第6トランジスタのソースが、2V以下の前記第1の電源電圧に接続され、前記第5トランジスタのソースが、0Vよりも低い電圧に接続され、前記第3トランジスタが、前記第1トランジスタのドレインと前記第5トランジスタのドレインとの間に接続され、前記第4トランジスタが、前記第2トランジスタのドレインと前記第5トランジスタのドレインとの間に接続され、前記第6トランジスタは、ゲートを前記第2トランジスタのドレインに接続し、ドレインを前記電圧変換回路に接続して構成されている。

10

【0008】

本開示の第1の側面においては、差動入力回路において、第1の電源電圧で動作され、入力信号の電圧が参照信号の電圧よりも高いときに信号が出力され、正帰還回路において、前記第1の電源電圧と同じかまたはそれよりも低い第2の電源電圧で動作され、前記差動入力回路からの出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度が高速化され、電圧変換回路において、前記差動入力回路の前記出力信号が、前記第2の電源電圧に対応する信号に変換され、前記差動入力回路には、カレントミラーを構成する第1トランジスタ及び第2トランジスタと、前記参照信号がゲートに入力される第3トランジスタと、前記入力信号がゲートに入力される第4トランジスタと、定電流源としての第5トランジスタと、前記出力信号を出力する第6トランジスタとが設けられ、前記第1、第2および第6トランジスタが、PMOSトランジスタで構成され、前記第3乃至第5トランジスタが、NMOSトランジスタで構成され、前記第1、第2および第6トランジスタのソースが、2V以下の前記第1の電源電圧に接続され、前記第5トランジスタのソースが、0Vよりも低い電圧に接続され、前記第3トランジスタが、前記第1トランジスタのドレインと前記第5トランジスタのドレインとの間に接続され、前記第4トランジスタが、前記第2トランジスタのドレインと前記第5トランジスタのドレインとの間に接続され、前記第6トランジスタは、ゲートを前記第2トランジスタのドレインに接続し、ドレインを前記電圧変換回路に接続して構成されている。

20

30

【0009】

本開示の第2の側面のAD変換器は、第1の電源電圧で動作し、入力信号の電圧が参照信号の電圧よりも高いときに信号を出力する差動入力回路と、前記第1の電源電圧と同じかまたはそれよりも低い第2の電源電圧で動作し、前記差動入力回路からの出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度を高速化する正帰還回路と、前記差動入力回路の前記出力信号を、前記第2の電源電圧に対応する信号に変換する電圧変換回路とを有し、前記差動入力回路は、カレントミラーを構成する第1トランジスタ及び第2トランジスタと、前記参照信号がゲートに入力される第3トランジスタと、前記入力信号がゲートに入力される第4トランジスタと、定電流源としての第5トランジスタと、前記出力信号を出力する第6トランジスタとを含み、前記第1、第2および第6トランジスタが、PMOSトランジスタで構成され、前記第3乃至第5トランジスタが、NMOSトランジスタで構成され、前記第1、第2および第6トランジスタのソースが、2V以下の前記第1の電源電圧に接続され、前記第5トランジ

40

50

スタのソースが、0Vよりも低い電圧に接続され、前記第3トランジスタが、前記第1トランジスタのドレインと前記第5トランジスタのドレインとの間に接続され、前記第4トランジスタが、前記第2トランジスタのドレインと前記第5トランジスタのドレインとの間に接続され、前記第6トランジスタは、ゲートを前記第2トランジスタのドレインに接続し、ドレインを前記電圧変換回路に接続して構成された比較器と、前記比較結果信号が反転したときの時刻コードを記憶するデータ記憶部とを備える。

【0010】

本開示の第2の側面においては、差動入力回路において、第1の電源電圧で動作され、入力信号の電圧が参照信号の電圧よりも高いときに信号が出力され、正帰還回路において、前記第1の電源電圧と同じかまたはそれよりも低い第2の電源電圧で動作され、前記差動入力回路からの出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度が高速化され、電圧変換回路において、前記差動入力回路の前記出力信号が、前記第2の電源電圧に対応する信号に変換され、前記差動入力回路には、カレントミラーを構成する第1トランジスタ及び第2トランジスタと、前記参照信号がゲートに入力される第3トランジスタと、前記入力信号がゲートに入力される第4トランジスタと、定電流源としての第5トランジスタと、前記出力信号を出力する第6トランジスタとが設けられ、前記第1、第2および第6トランジスタが、PMOSトランジスタで構成され、前記第3乃至第5トランジスタが、NMOSトランジスタで構成され、前記第1、第2および第6トランジスタのソースが、2V以下の前記第1の電源電圧に接続され、前記第5トランジスタのソースが、0Vよりも低い電圧に接続され、前記第3トランジスタが、前記第1トランジスタのドレインと前記第5トランジスタのドレインとの間に接続され、前記第4トランジスタが、前記第2トランジスタのドレインと前記第5トランジスタのドレインとの間に接続され、前記第6トランジスタは、ゲートを前記第2トランジスタのドレインに接続し、ドレインを前記電圧変換回路に接続して構成され、データ記憶部において、前記比較結果信号が反転したときの時刻コードが記憶される。

【0011】

本開示の第3の側面の固体撮像装置は、第1の電源電圧で動作し、入力信号の電圧が参照信号の電圧よりも高いときに信号を出力する差動入力回路と、前記第1の電源電圧と同じかまたはそれよりも低い第2の電源電圧で動作し、前記差動入力回路からの出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度を高速化する正帰還回路と、前記差動入力回路の前記出力信号を、前記第2の電源電圧に対応する信号に変換する電圧変換回路とを有し、前記差動入力回路は、カレントミラーを構成する第1トランジスタ及び第2トランジスタと、前記参照信号がゲートに入力される第3トランジスタと、前記入力信号がゲートに入力される第4トランジスタと、定電流源としての第5トランジスタと、前記出力信号を出力する第6トランジスタとを含み、前記第1、第2および第6トランジスタが、PMOSトランジスタで構成され、前記第3乃至第5トランジスタが、NMOSトランジスタで構成され、前記第1、第2および第6トランジスタのソースが、2V以下の前記第1の電源電圧に接続され、前記第5トランジスタのソースが、0Vよりも低い電圧に接続され、前記第3トランジスタが、前記第1トランジスタのドレインと前記第5トランジスタのドレインとの間に接続され、前記第4トランジスタが、前記第2トランジスタのドレインと前記第5トランジスタのドレインとの間に接続され、前記第6トランジスタは、ゲートを前記第2トランジスタのドレインに接続し、ドレインを前記電圧変換回路に接続して構成された比較器と、前記比較結果信号が反転したときの時刻コードを記憶するデータ記憶部とを備えるAD変換器と、画素に入射された光を受光して光電変換することで生成された電荷信号を、前記入力信号として前記差動入力回路に出力する画素回路とを備える。

【0012】

本開示の第4の側面の電子機器は、第1の電源電圧で動作し、入力信号の電圧が参照信号の電圧よりも高いときに信号を出力する差動入力回路と、前記第1の電源電圧と同じかまたはそれよりも低い第2の電源電圧で動作し、前記差動入力回路からの出力信号に基づ

10

20

30

40

50

いて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度を高速化する正帰還回路と、前記差動入力回路の前記出力信号を、前記第2の電源電圧に対応する信号に変換する電圧変換回路とを有し、前記差動入力回路は、カレントミラーを構成する第1トランジスタ及び第2トランジスタと、前記参照信号がゲートに
入力される第3トランジスタと、前記入力信号がゲートに入力される第4トランジスタと
、定電流源としての第5トランジスタと、前記出力信号を出力する第6トランジスタとを
含み、前記第1、第2および第6トランジスタが、PMOSトランジスタで構成され、前記第
3乃至第5トランジスタが、NMOSトランジスタで構成され、前記第1、第2および第6ト
ランジスタのソースが、2V以下の前記第1の電源電圧に接続され、前記第5トランジス
タのソースが、0Vよりも低い電圧に接続され、前記第3トランジスタが、前記第1トラ
ンジスタのドレインと前記第5トランジスタのドレインとの間に接続され、前記第4トラ
ンジスタが、前記第2トランジスタのドレインと前記第5トランジスタのドレインとの間
に接続され、前記第6トランジスタは、ゲートを前記第2トランジスタのドレインに接続
し、ドレインを前記電圧変換回路に接続して構成された比較器と、前記比較結果信号が反
転したときの時刻コードを記憶するデータ記憶部とを備えるA/D変換器と、画素に入射さ
れた光を受光して光電変換することで生成された電荷信号を、前記入力信号として前記差
動入力回路に出力する画素回路とを備える固体撮像装置を備える。

10

【0013】

本開示の第3及び第4の側面においては、差動入力回路において、第1の電源電圧で動作され、入力信号の電圧が参照信号の電圧よりも高いときに信号が出力され、正帰還回路
において、前記第1の電源電圧と同じかまたはそれよりも低い第2の電源電圧で動作され
、前記差動入力回路からの出力信号に基づいて、前記入力信号と前記参照信号の電圧の比
較結果を表す比較結果信号が反転するときの遷移速度が高速化され、電圧変換回路におい
て、前記差動入力回路の前記出力信号が、前記第2の電源電圧に対応する信号に変換され
、前記差動入力回路には、カレントミラーを構成する第1トランジスタ及び第2トランジ
スタと、前記参照信号がゲートに入力される第3トランジスタと、前記入力信号がゲート
に入力される第4トランジスタと、定電流源としての第5トランジスタと、前記出力信号
を出力する第6トランジスタとが設けられ、前記第1、第2および第6トランジスタが、
PMOSトランジスタで構成され、前記第3乃至第5トランジスタが、NMOSトランジスタで構
成され、前記第1、第2および第6トランジスタのソースが、2V以下の前記第1の電源
電圧に接続され、前記第5トランジスタのソースが、0Vよりも低い電圧に接続され、前
記第3トランジスタが、前記第1トランジスタのドレインと前記第5トランジスタのドレ
インとの間に接続され、前記第4トランジスタが、前記第2トランジスタのドレインと前
記第5トランジスタのドレインとの間に接続され、前記第6トランジスタは、ゲートを前
記第2トランジスタのドレインに接続し、ドレインを前記電圧変換回路に接続して構成さ
れ、データ記憶部において、前記比較結果信号が反転したときの時刻コードが記憶される
。画素回路では、画素に入射された光を受光して光電変換することで生成された電荷信号
が、前記入力信号として前記差動入力回路に出力される。

20

30

【0014】

本開示の第5の側面の比較器の制御方法は、第1の電源電圧で動作する差動入力回路と
、前記第1の電源電圧と同じかまたはそれよりも低い第2の電源電圧で動作する正帰還回
路と、電圧変換回路とを備え、前記差動入力回路は、カレントミラーを構成する第1トラ
ンジスタ及び第2トランジスタと、参照信号がゲートに入力される第3トランジスタと、
入力信号がゲートに入力される第4トランジスタと、定電流源としての第5トランジスタ
と、前記差動入力回路の出力信号を出力する第6トランジスタとを含み、前記第1、第2
および第6トランジスタが、PMOSトランジスタで構成され、前記第3乃至第5トランジス
タが、NMOSトランジスタで構成され、前記第1、第2および第6トランジスタのソースが
、2V以下の前記第1の電源電圧に接続され、前記第5トランジスタのソースが、0Vより
も低い電圧に接続され、前記第3トランジスタが、前記第1トランジスタのドレインと前
記第5トランジスタのドレインとの間に接続され、前記第4トランジスタが、前記第2ト

40

50

ランジスタのドレインと前記第5トランジスタのドレインとの間に接続され、前記第6トランジスタは、ゲートを前記第2トランジスタのドレインに接続し、ドレインを前記電圧変換回路に接続して構成された比較器の前記差動入力回路が、前記入力信号の電圧が前記参照信号の電圧よりも高いときに信号を出力し、前記電圧変換回路が、前記出力信号を、前記第2の電源電圧に対応する信号に変換し、前記正帰還回路が、前記電圧変換回路により変換された前記差動入力回路の前記出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度を高速化する。

【0015】

本開示の第5の側面においては、第1の電源電圧で動作する差動入力回路と、前記第1の電源電圧と同じかまたはそれよりも低い第2の電源電圧で動作する正帰還回路と、電圧変換回路とを備え、前記差動入力回路は、カレントミラーを構成する第1トランジスタ及び第2トランジスタと、参照信号がゲートに入力される第3トランジスタと、入力信号がゲートに入力される第4トランジスタと、定電流源としての第5トランジスタと、前記差動入力回路の出力信号を出力する第6トランジスタとを含み、前記第1、第2および第6トランジスタが、PMOSトランジスタで構成され、前記第3乃至第5トランジスタが、NMOSトランジスタで構成され、前記第1、第2および第6トランジスタのソースが、2V以下の前記第1の電源電圧に接続され、前記第5トランジスタのソースが、0Vよりも低い電圧に接続され、前記第3トランジスタが、前記第1トランジスタのドレインと前記第5トランジスタのドレインとの間に接続され、前記第4トランジスタが、前記第2トランジスタのドレインと前記第5トランジスタのドレインとの間に接続され、前記第6トランジスタは、ゲートを前記第2トランジスタのドレインに接続し、ドレインを前記電圧変換回路に接続して構成された比較器の前記差動入力回路において、前記入力信号の電圧が前記参照信号の電圧よりも高いときに信号が出力され、前記電圧変換回路において、前記出力信号が、前記第2の電源電圧に対応する信号に変換され、前記正帰還回路において、前記電圧変換回路により変換された前記差動入力回路の前記出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度が高速化される。

【0016】

比較器、A/D変換器、固体撮像装置、電子機器、および、比較器の制御方法は、独立した装置であっても良いし、他の装置に組み込まれるモジュールであっても良い。

【発明の効果】

【0017】

本開示の第1乃至第5の側面によれば、比較器の判定速度を向上させつつ、消費電力を低減させることができる。

【0018】

なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

【図面の簡単な説明】

【0019】

【図1】本開示に係る固体撮像装置の概略構成を示す図である。

【図2】画素の詳細構成例を示すブロック図である。

【図3】比較回路の第1構成を示す回路図である。

【図4】比較回路の動作中の各信号の遷移を表す図である。

【図5】画素回路の詳細構成について説明する図である。

【図6】比較回路の第1構成と画素の動作を説明するタイミングチャートである。

【図7】比較回路の第2構成を示す回路図である。

【図8】比較回路の第3構成を示す回路図である。

【図9】比較回路の第4構成を示す回路図である。

【図10】比較回路の第5構成を示す回路図である。

【図11】比較回路の第6構成を示す回路図である。

10

20

30

40

50

【図 1 2】 比較回路の第 6 構成と画素の動作を説明するタイミングチャートである。
【図 1 3】 画素共有の場合の比較回路の構成例を示す回路図である。
【図 1 4】 2 枚の半導体基板を積層することで固体撮像装置を構成する概念図である。
【図 1 5】 2 枚の半導体基板で固体撮像装置を構成する場合の回路構成例を示す図である。

【図 1 6】 3 枚の半導体基板を積層することで固体撮像装置を構成する概念図である。
【図 1 7】 3 枚の半導体基板で固体撮像装置を構成する場合の回路構成例を示す図である。

【図 1 8】 本開示に係る電子機器としての撮像装置の構成例を示すブロック図である。

【発明を実施するための形態】

10

【0020】

以下、本開示を実施するための形態（以下、実施の形態という）について説明する。なお、説明は以下の順序で行う。

1. 固体撮像装置の概略構成例
2. 画素の詳細構成例
3. 比較回路の第 1 構成例
4. 比較回路の第 2 構成例
5. 比較回路の第 3 構成例
6. 比較回路の第 4 構成例
7. 比較回路の第 5 構成例
8. 比較回路の第 6 構成例
9. 画素共有の構成例
10. 複数基板構成 1
11. 複数基板構成 2
12. 電子機器への適用例

20

【0021】

< 1. 固体撮像装置の概略構成例 >

図 1 は、本開示に係る固体撮像装置の概略構成を示している。

【0022】

図 1 の固体撮像装置 1 は、半導体として例えばシリコン (Si) を用いた半導体基板 1 1 に、画素 2 1 が 2 次元アレイ状に配列された画素アレイ部 2 2 を有する。画素アレイ部 2 2 には、時刻コード発生部 2 6 で生成された時刻コードを各画素 2 1 に転送する時刻コード転送部 2 3 も設けられている。そして、半導体基板 1 1 上の画素アレイ部 2 2 の周辺には、画素駆動回路 2 4、DAC (D/A Converter) 2 5、時刻コード発生部 2 6、垂直駆動回路 2 7、出力部 2 8、及びタイミング生成回路 2 9 が形成されている。

30

【0023】

2 次元アレイ状に配列された画素 2 1 のそれぞれには、図 2 を参照して後述するように、画素回路 4 1 と ADC 4 2 が設けられており、画素 2 1 は、画素内の受光素子（例えば、フォトダイオード）で受光した光量に応じた電荷信号を生成し、デジタルの画素信号 SIG に変換して出力する。

40

【0024】

画素駆動回路 2 4 は、画素 2 1 内の画素回路 4 1（図 2）を駆動する。DAC 2 5 は、時間経過に応じてレベル（電圧）が単調減少するスロープ信号である参照信号（基準電圧信号）REF を生成し、各画素 2 1 に供給する。時刻コード発生部 2 6 は、各画素 2 1 が、アナログの画素信号 SIG をデジタルの信号に変換（AD 変換）する際に使用される時刻コードを生成し、対応する時刻コード転送部 2 3 に供給する。時刻コード発生部 2 6 は、画素アレイ部 2 2 に対して複数個設けられており、画素アレイ部 2 2 内には、時刻コード発生部 2 6 に対応する数だけ、時刻コード転送部 2 3 が設けられている。即ち、時刻コード発生部 2 6 と、そこで生成された時刻コードを転送する時刻コード転送部 2 3 は、1 対 1 に対応する。

50

【0025】

垂直駆動回路27は、画素21内で生成されたデジタルの画素信号SIGを、タイミング生成回路29から供給されるタイミング信号に基づいて、所定の順番で出力部28に出力させる制御を行う。画素21から出力されたデジタルの画素信号SIGは、出力部28から固体撮像装置1の外部へ出力される。出力部28は、黒レベルを補正する黒レベル補正処理やCDS(Correlated Double Sampling; 相関2重サンプリング)処理など、所定のデジタル信号処理を必要に応じて行い、その後、外部へ出力する。

【0026】

タイミング生成回路29は、各種のタイミング信号を生成するタイミングジェネレータなどによって構成され、生成した各種のタイミング信号を、画素駆動回路24、DAC25、垂直駆動回路27等

10

【0027】

固体撮像装置1は、以上のように構成されている。なお、図1では、上述したように、固体撮像装置1を構成する全ての回路が、1つの半導体基板11上に形成されるように説明したが、後述するように、固体撮像装置1を構成する回路を複数枚の半導体基板11に分けて配置する構成とすることもできる。

【0028】

<2. 画素の詳細構成例>

図2は、画素21の詳細構成を示すブロック図である。

【0029】

20

画素21は、画素回路41とADC(AD変換器)42で構成されている。

【0030】

画素回路41は、受光した光量に応じた電荷信号をアナログの画素信号SIGとしてADC42に出力する。ADC42は、画素回路41から供給されたアナログの画素信号SIGをデジタル信号に変換する。

【0031】

ADC42は、比較回路51とデータ記憶部52で構成される。

【0032】

比較回路51は、DAC25から供給される参照信号REFと画素信号SIGを比較し、比較結果を表す比較結果信号として、出力信号VCOを出力する。比較回路51は、参照信号REFと画素信号SIGが同一(の電圧)になったとき、出力信号VCOを反転させる。

30

【0033】

比較回路51は、差動入力回路61、電圧変換回路62、及び正帰還回路(PFB: positive feedback)63により構成されるが、詳細は図3を参照して後述する。

【0034】

データ記憶部52には、比較回路51から出力信号VCOが入力される他、垂直駆動回路27から、画素信号の書き込み動作であることを表すWR信号、画素信号の読み出し動作であることを表すRD信号、及び、画素信号の読み出し動作中における画素21の読み出しタイミングを制御するWORD信号が、垂直駆動回路27から供給される。また、時刻コード転送部23を介して、時刻コード発生部26で生成された時刻コードも供給される。

40

【0035】

データ記憶部52は、WR信号及びRD信号に基づいて、時刻コードの書き込み動作と読み出し動作を制御するラッチ制御回路71と、時刻コードを記憶するラッチ記憶部72で構成される。

【0036】

ラッチ制御回路71は、時刻コードの書き込み動作においては、比較回路51からHi(High)の出力信号VCOが入力されている間、時刻コード転送部23から供給される、単位時間ごとに更新される時刻コードをラッチ記憶部72に記憶させる。そして、参照信号REFと画素信号SIGが同一(の電圧)になり、比較回路51から供給される出力信号VCOがLo(Low)に反転されたとき、供給される時刻コードの書き込み(更新)を中止し、最後にラッ

50

チ記憶部72に記憶された時刻コードをラッチ記憶部72に保持させる。ラッチ記憶部72に記憶された時刻コードは、画素信号SIGと参照信号REFが等しくなった時刻を表しており、画素信号SIGがその時刻の基準電圧であったことを示すデータ、即ち、デジタル化された光量値を表す。

【0037】

参照信号REFの掃引が終了し、画素アレイ部22内の全ての画素21のラッチ記憶部72に時刻コードが記憶された後、画素21の動作が、書き込み動作から読み出し動作に変更される。

【0038】

ラッチ制御回路71は、時刻コードの読み出し動作においては、読み出しタイミングを制御するWORD信号に基づいて、画素21が自分の読み出しタイミングとなったときに、ラッチ記憶部72に記憶されている時刻コード（デジタルの画素信号SIG）を、時刻コード転送部23に出力する。時刻コード転送部23は、供給された時刻コードを、列方向（垂直方向）に順次転送し、出力部28に供給する。

【0039】

以下では、時刻コードの書き込み動作においてラッチ記憶部72に書き込まれる時刻コードと区別するため、時刻コードの読み出し動作においてラッチ記憶部72から読み出される出力信号VC0が反転したときの反転時刻コードである、画素信号SIGがその時刻の基準電圧であったことを示すデジタル化された画素データを、AD変換画素データとも称する。

【0040】

<3. 比較回路の第1構成例>

図3は、比較回路51を構成する差動入力回路61、電圧変換回路62、及び正帰還回路63の詳細構成を示す回路図である。

【0041】

差動入力回路61は、画素21内の画素回路41から出力された画素信号SIGと、DAC25から出力された参照信号REFとを比較し、画素信号SIGが参照信号REFよりも高いときに所定の信号（電流）を出力する。

【0042】

差動入力回路61は、差動対となるトランジスタ81及び82、カレントミラーを構成するトランジスタ83及び84、入力バイアス電流Vbに応じた電流IBを供給する定電流源としてのトランジスタ85、並びに、差動入力回路61の出力信号HV0を出力するトランジスタ86により構成されている。

【0043】

トランジスタ81、82、及び85は、NMOS(Negative Channel MOS)トランジスタで構成され、トランジスタ83、84、及び86は、PMOS(Positive Channel MOS)トランジスタで構成される。

【0044】

差動対となるトランジスタ81及び82のうち、トランジスタ81のゲートには、DAC25から出力された参照信号REFが入力され、トランジスタ82のゲートには、画素21内の画素回路41から出力された画素信号SIGが入力される。トランジスタ81と82のソースは、トランジスタ85のドレインと接続され、トランジスタ85のソースは、GND（グラウンド）に接続されている。

【0045】

トランジスタ81のドレインは、カレントミラー回路を構成するトランジスタ83及び84のゲート及びトランジスタ83のドレインと接続され、トランジスタ82のドレインは、トランジスタ84のドレイン及びトランジスタ86のゲートと接続されている。トランジスタ83、84、及び86のソースは、第1電源電圧VDDHに接続されている。

【0046】

電圧変換回路62は、例えば、NMOS型のトランジスタ91で構成される。トランジスタ91のドレインは、差動入力回路61のトランジスタ86のドレインと接続され、トラン

10

20

30

40

50

ジスタ 91 のソースは、正帰還回路 63 内の所定の接続点に接続され、トランジスタ 86 のゲートは、バイアス電圧 VBIAS に接続されている。

【0047】

差動入力回路 61 を構成するトランジスタ 81 乃至 86 は、第 1 電源電圧 VDDH までの高電圧で動作する回路であり、正帰還回路 63 は、第 1 電源電圧 VDDH よりも低い第 2 電源電圧 VDDL で動作する回路である。ここで、第 1 電源電圧 VDDH は、例えば、2.9 [V] とされ、第 2 電源電圧 VDDL は、例えば、1.1 [V] とされる。電圧変換回路 62 は、差動入力回路 61 から入力される出力信号 HVO を、正帰還回路 63 が動作可能な低電圧の信号（変換信号）LVI に変換して、正帰還回路 63 に供給する。

【0048】

バイアス電圧 VBIAS は、定電圧で動作する正帰還回路 63 の各トランジスタ 101 乃至 105 を破壊しない電圧に変換する電圧であれば良い。例えば、バイアス電圧 VBIAS は、正帰還回路 63 の第 2 電源電圧 VDDL と同じ電圧（VBIAS = VDDL）とすることができる。

【0049】

正帰還回路 63 は、差動入力回路 61 からの出力信号 HVO が第 2 電源電圧 VDDL に対応する信号に変換された変換信号 LVI に基づいて、画素信号 SIG が参照信号 REF よりも高いときに反転する比較結果信号を出力する。また、正帰還回路 63 は、比較結果信号として出力する出力信号 VCO が反転するときの遷移速度を高速化する。

【0050】

正帰還回路 63 は、5 つのトランジスタ 101 乃至 105 で構成される。ここで、トランジスタ 101、102、及び 104 は、PMOS トランジスタで構成され、トランジスタ 103 及び 105 は、NMOS トランジスタで構成される。

【0051】

電圧変換回路 62 の出力端であるトランジスタ 91 のソースは、トランジスタ 102 及び 103 のドレインと、トランジスタ 104 及び 105 のゲートに接続されている。トランジスタ 101 及び 104 のソースは、第 2 電源電圧 VDDL に接続され、トランジスタ 101 のドレインは、トランジスタ 102 のソースと接続され、トランジスタ 102 のゲートは、正帰還回路 63 の出力端でもあるトランジスタ 104 及び 105 のドレインと接続されている。トランジスタ 103 及び 105 のソースは、GND に接続されている。トランジスタ 101 のゲートには、初期化信号 INI2 が供給され、トランジスタ 103 のゲートには、初期化信号 INI1 が供給される。

【0052】

トランジスタ 104 と 105 はインバータ回路を構成し、それらのドレインどうしの接続点は、比較回路 51 が出力信号 VCO を出力する出力端となっている。

【0053】

以上のように構成される比較回路 51 の動作について説明する。図 4 は、比較回路 51 の動作中の各信号の遷移を表す。なお、図 4 において“G86”はトランジスタ 86 のゲート電位を表している。

【0054】

まず、参照信号 REF が、全ての画素 21 の画素信号 SIG よりも高い電圧に設定されるとともに、初期化信号 INI1 及び INI2 が Hi にされて、比較回路 51 が初期化される。

【0055】

より具体的には、トランジスタ 81 のゲートには参照信号 REF が、トランジスタ 82 のゲートには画素信号 SIG が印加される。参照信号 REF の電圧が、画素信号 SIG の電圧よりも高い電圧の時は電流源となるトランジスタ 85 が出力した電流のほとんどがトランジスタ 81 を経由してダイオード接続されたトランジスタ 83 に流れる。トランジスタ 83 と共通のゲートを持つトランジスタ 84 のチャネル抵抗は十分低くなりトランジスタ 86 のゲートをほぼ第 1 電源電圧 VDDH レベルに保ち、トランジスタ 86 は遮断される。したがって、電圧変換回路 62 のトランジスタ 91 が導通していたとしても、充電回路としての正帰還回路 63 が変換信号 LVI を充電することは無い。一方、初期化信号 INI1 及び INI2 として H

10

20

30

40

50

iの信号が供給されていることから、トランジスタ103は導通し、正帰還回路63は変換信号LVIを放電する。また、トランジスタ101は遮断するので、正帰還回路63がトランジスタ102を介して変換信号LVIを充電することもない。その結果、変換信号LVIは、GNDレベルまで放電され、正帰還回路63は、インバータを構成するトランジスタ104と105によってHiの出力信号VCOを出力し、比較回路51が初期化される。

【0056】

初期化の後、初期化信号INI1及びINI2がLoにされて、参照信号REFの掃引が開始される。

【0057】

参照信号REFが画素信号SIGよりも高い電圧の期間では、トランジスタ86はオフとなるため遮断され、出力信号VCOはHiの信号となるので、トランジスタ102もオフとなり遮断される。トランジスタ103も、初期化信号INI1はLoとなっているため遮断される。変換信号LVIは、高インピーダンス状態のままGNDを保ち、Hiの出力信号VCOが出力される。

【0058】

参照信号REFが画素信号SIGよりも低くなると、電流源のトランジスタ85の出力電流はトランジスタ81を流れなくなり、トランジスタ83と84のゲート電位は上昇して、トランジスタ84のチャネル抵抗は高くなる。そこに、トランジスタ82を介して流れ込む電流が、電圧降下を起こしてトランジスタ86のゲート電位を下げ、トランジスタ91が導通する。トランジスタ86から出力された出力信号HVOは、電圧変換回路62のトランジスタ91によって変換信号LVIに変換され、正帰還回路63に供給される。充電回路としての正帰還回路63は、変換信号LVIを充電し、電位をGND電圧から第2電源電圧VDDLへ近づけてゆく。

【0059】

そして、変換信号LVIの電圧が、トランジスタ104と105で構成されるインバータの閾値電圧を超えると、出力信号VCOはLoとなり、トランジスタ102が導通する。トランジスタ101も、Loの初期化信号INI2が印加されているため導通しており、正帰還回路63は、トランジスタ101と102を介して、変換信号LVIを急速に充電し、電位を第2電源電圧VDDLまで一気に持ち上げる。

【0060】

電圧変換回路62のトランジスタ91は、ゲートにバイアス電圧VBIASが印加されているので、変換信号LVIの電圧が、バイアス電圧VBIASからトランジスタ閾値下がった電圧値に到達すれば遮断する。トランジスタ86が導通したままとしても、それ以上に変換信号LVIを充電することは無く、電圧変換回路62は、電圧クランプ回路としても機能する。

【0061】

トランジスタ102の導通による変換信号LVIの充電は、そもそも変換信号LVIがインバータ閾値まで上昇してきたことを発端とし、その動きを加速する正帰還動作である。差動入力回路61の電流源であるトランジスタ85は、固体撮像装置1で並列同時に動作する回路数が膨大であることから1回路あたりの電流がきわめて僅かな電流に設定される。さらに、参照信号REFは、時刻コードが切り替わる単位時間に変化する電圧がAD変換のLSBステップとなるために極めて緩慢に掃引される。従って、トランジスタ86のゲート電位の変化も緩慢であり、それによって駆動されるトランジスタ86の出力電流の変化も緩慢である。しかし、その出力電流で充電される変換信号LVIに、後段から正帰還をかけることで、出力信号VCOは十分急速に遷移することができる。望ましくは、出力信号VCOの遷移時間は、時刻コードの単位時間の数分の1であり、典型例としては1ns以下である。本開示の比較回路51は、電流源のトランジスタ85に、例えば0.1uAの僅かな電流を設定しただけで、この出力遷移時間を達成することができる。

【0062】

<画素回路の詳細構成例>

図5を参照して、画素回路41の詳細構成について説明する。

10

20

30

40

50

【0063】

図5は、図3に示した比較回路51に、画素回路41の詳細を追加して示した回路図である。

【0064】

画素回路41は、光電変換素子としてのフォトダイオード(PD)121、排出トランジスタ122、転送トランジスタ123、リセットトランジスタ124、及び、FD(浮遊拡散層)125で構成されている。

【0065】

排出トランジスタ122は、露光期間を調整する場合に使用される。具体的には、露光期間を任意のタイミングで開始したいときに排出トランジスタ122をオンさせると、それまでの間にフォトダイオード121に蓄積されていた電荷が排出されるので、排出トランジスタ122がオフされた以降から、露光期間が開始されることになる。

10

【0066】

転送トランジスタ123は、フォトダイオード121で生成された電荷をFD125に転送する。リセットトランジスタ124は、FD125に保持されている電荷をリセットする。FD125は、差動入力回路61のトランジスタ82のゲートに接続されている。これにより、差動入力回路61のトランジスタ82は、画素回路41の増幅トランジスタとしても機能する。

【0067】

リセットトランジスタ124のソースは、差動入力回路61のトランジスタ82のゲート、及び、FD125に接続されており、リセットトランジスタ124のドレインは、トランジスタ82のドレインと接続されている。したがって、FD125の電荷をリセットするための固定のリセット電圧がない。これは、差動入力回路61の回路状態を制御することで、FD125をリセットするリセット電圧を、参照信号REFを用いて任意に設定可能であるためである。

20

【0068】

<画素部タイミングチャート>

図6のタイミングチャートを参照して、図5に示した画素21の動作について説明する。

【0069】

初めに、時刻 t_1 において、参照信号REFが、それまでのスタンバイ電圧 $V_{s\text{tb}}$ から、FD125の電荷をリセットするリセット電圧 V_{rst} に設定され、リセットトランジスタ124がオンされることにより、FD125の電荷がリセットされる。

30

【0070】

次に、時刻 t_2 において、正帰還回路63のトランジスタ101のゲートに供給される初期化信号INI2がHiに設定され、その直後、トランジスタ103のゲートに供給される初期化信号INI1がHiに設定され、正帰還回路63が初期状態に設定される。

【0071】

また、時刻 t_2 において、参照信号REFが所定の電圧 V_u まで持ち上げられ、参照信号REFと画素信号SIGの比較(参照信号REFの掃引)が開始される。この時点では、参照信号REFが画素信号SIGよりも大きいため出力信号VCOはHiとなっている。

40

【0072】

参照信号REFと画素信号SIGが同一となったと判定された時刻 t_3 において、出力信号VCOが反転(Lowに遷移)される。出力信号VCOが反転されると、上述したように正帰還回路63によって出力信号VCOの反転が高速化される。また、データ記憶部52では、出力信号VCOが反転した時点の時刻データ(NビットのDATA[1]乃至DATA[N])がラッチ記憶される。

【0073】

信号書き込み期間が終了し、かつ、信号読み出し期間の開始時刻である時刻 t_4 において、比較回路51のトランジスタ81のゲートに供給する参照信号REFの電圧が、トラン

50

ジスタ 8 1 がオフするレベル(スタンバイ電圧 V_{stb})まで引き下げられる。これにより、信号読み出し期間中の比較回路 5 1 の消費電流が抑制される。

【0074】

時刻 t_5 において、読み出しタイミングを制御するWORD信号がHiとなり、ラッチ記憶されていた時刻データ (NビットのDATA[1]乃至DATA[N]) が、データ記憶部 5 2 のラッチ制御回路 7 1 から出力される。ここで取得される時刻データは、CDS(Correlated Double Sampling; 相関 2 重サンプリング)処理する際のリセットレベルのP相データとなる。

【0075】

時刻 t_6 において、参照信号REFが所定の電圧 V_u まで持ち上げられるとともに、トランジスタ 1 0 1 のゲートに供給される初期化信号INI2がHiに設定される。その直後、トランジスタ 1 0 3 のゲートに供給される初期化信号INI1もHiに設定され、正帰還回路 6 3 が再び初期状態に設定される。

【0076】

時刻 t_7 において、Hiの転送信号TXにより画素回路 4 1 の転送トランジスタ 1 2 3 がオンされ、フォトダイオード 1 2 1 で生成された電荷がFD 1 2 5 に転送される。

【0077】

その後、初期化信号INI2のLowへの遷移に続いて初期化信号INI1がLowに戻された後、参照信号REFと画素信号SIGの比較(参照信号REFの掃引)が開始される。この時点では、参照信号REFが画素信号SIGよりも大きいため出力信号VCOはHiとなっている。

【0078】

そして、参照信号REFと画素信号SIGが同一となったと判定された時刻 t_8 において、出力信号VCOが反転(Lowに遷移)される。出力信号VCOが反転されると、正帰還回路 6 3 によって出力信号VCOの反転が高速化される。また、データ記憶部 5 2 には、出力信号VCOが反転した時点の時刻データ (NビットのDATA[1]乃至DATA[N]) がラッチ記憶される。

【0079】

信号書き込み期間が終了し、かつ、信号読み出し期間の開始時刻である時刻 t_9 において、比較回路 5 1 のトランジスタ 8 1 のゲートに供給する参照信号REFの電圧が、トランジスタ 8 1 がオフするレベル(スタンバイ電圧 V_{stb})まで引き下げられる。これにより、信号読み出し期間中の比較回路 5 1 の消費電流が抑制される。

【0080】

時刻 t_{10} において、読み出しタイミングを制御するWORD信号がHiとなり、ラッチ記憶されていた時刻データ (NビットのDATA[1]乃至DATA[N]) が、データ記憶部 5 2 のラッチ制御回路 7 1 から出力される。ここで取得される時刻データは、CDS処理する際の信号レベルのD相データとなる。時刻 t_{11} は、上述した時刻 t_1 と同じ状態であり、次の 1 V (1 垂直走査期間) の駆動となる。

【0081】

以上の画素 2 1 の駆動によれば、最初に、リセットレベルのP相データが取得された後、出力部 2 8 へ読み出され、次に、信号レベルのD相データが取得されて、出力部 2 8 へ読み出される。出力部 2 8 は、内部のフレームメモリでP相データを保持しておき、後から供給されるD相データと合せてCDS処理を行う。なお、CDS処理を行う方法は、任意の方法が選択できる。例えば、データ記憶部 5 2 が、その内部でP相データを保持しておき、D相データと同時にまたは交互に出力して、出力部 2 8 がCDS処理を行うようにしてもよい。

【0082】

以上の動作により、固体撮像装置 1 の画素アレイ部 2 2 の各画素 2 1 は、全画素同時にリセットし、かつ、全画素同時に露光するグローバルシャッタ動作が可能である。全画素が同時に露光及び読み出しを行うことが出来るので、通常、画素内に設けられる、電荷が読み出されるまでの間、電荷を保持する保持部が不要である。また、画素 2 1 の構成では、カラム並列読み出し型の固体撮像装置で必要であった、画素信号SIGを出力する画素を選択するための選択トランジスタ等も不要である。

【0083】

10

20

30

40

50

図6を参照して説明した画素21の駆動では、排出トランジスタ122が常にオフに制御されていた。しかし、図6において破線で示されるように、所望の時刻で、排出信号OFGをHiに設定して排出トランジスタ122を一旦オンさせた後、オフさせることにより、任意の露光期間を設定することも可能である。

【0084】

<4. 比較回路の第2構成例>

図7は、比較回路51の第2構成を示す回路図である。なお、図7においても、比較回路51の第2構成とともに画素回路41の詳細回路も併せて示してある。後述する図8乃至図11についても同様とする。

【0085】

比較回路51の第2構成では、正帰還回路63において、2つのトランジスタ161と162が追加されている点以外は、図5に示した第1構成と同様である。

【0086】

第1構成における正帰還回路63のインバータ回路が、第2構成においては、2入力のNOR回路に置き換えられている。PMOSトランジスタで構成されるトランジスタ161のゲートと、NMOSトランジスタで構成されるトランジスタ162のゲートには、第1の入力である変換信号LVIではない、第2の入力である制御信号TEST_VCOが供給される。

【0087】

トランジスタ161のソースは第2電源電圧VDDLに接続され、トランジスタ161のドレインはトランジスタ104のソースに接続されている。トランジスタ162のドレインは、比較回路51の出力端と接続され、トランジスタ162のソースは、GNDに接続されている。

【0088】

以上のように構成される第2構成における比較回路51では、第2の入力である制御信号TEST_VCOをHiにすると、差動入力回路61の状態に関係なく、出力信号VCOをLoにすることができる。

【0089】

バイアス電圧VBIASをLoレベルに制御して、トランジスタ91を遮断させ、初期化信号INI1及びINI2をHiにすると、差動入力回路61の状態に関係なく出力信号VCOはHiになる。したがって、この出力信号VCOの強制的なHi出力と、上述した制御信号TEST_VCOによる強制的なLo出力を組み合わせることにより、差動入力回路61及び、その前段である画素回路41とDAC25の状態に関係なく、出力信号VCOを任意の値に設定することができる。この機能により、例えば、画素21から後段の回路を、固体撮像装置1への光学的入力に頼らず、電気信号入力だけで試験することが可能となる。

【0090】

また例えば、画素信号SIGの電圧が、想定を超える高い輝度（たとえば固体撮像装置1の画角内に写り込んだ太陽像）によって参照信号REFの最終電圧を下回ると、比較回路51の出力信号VCOがHiのまま比較期間を終えることになり、出力信号VCOによって制御されるデータ記憶部52は、値を固定することが出来ずAD変換機能が失われる。このような状態の発生を防止するため、参照信号REFの掃引の最後に、Hiパルスの制御信号TEST_VCOを入力することにより、未だにLoに反転していない出力信号VCOを強制的に反転することができる。データ記憶部52は強制反転直前の時刻コードをラッチ記憶するので、図7の構成を採用した場合には、ADC42は、結果的に、一定以上の輝度入力に対する出力値をクランプしたAD変換器として機能する。

【0091】

<5. 比較回路の第3構成例>

図8は、比較回路51の第3構成を示す回路図である。

【0092】

比較回路51の第3構成では、差動入力回路61において、定電流源としてのトランジスタ85のソースが、GNDではなく、0[V]よりも低い負バイアス電圧VSSに接続されてい

10

20

30

40

50

る点が、図7に示した第2構成と異なる。その他の構成は、図7の第2構成と同様である。負バイアス電圧VSSは、例えば、 -1.8 [V]とされる。

【0093】

比較回路51の第3構成では、トランジスタ85のソース電位を0Vよりも低い電位とすることで、比較回路51の動作レンジが拡大されている。また、トランジスタ85のソース電位を負に引いたことに合せて、画素回路41内のフォトダイオード121とFD125の基板電圧側も負バイアス電圧VSSとされる。これにより、各画素21（画素回路41）の飽和電荷量を増加させることができる。

【0094】

<6. 比較回路の第4構成例>

図9は、比較回路51の第4構成を示す回路図である。

【0095】

比較回路51の第4構成では、図8に示した差動入力回路61のトランジスタ83、84、および86が、トランジスタ83'、84'、および86'に変更されている。その他の構成は、図7の第2構成と同様である。

【0096】

図8に示した第3構成では、第1電源電圧VDDHは、例えば、 2.9 [V]程度に設定されており、差動入力回路61のトランジスタ83、84、および86は、膜厚の厚い高電圧系のトランジスタで構成される。

【0097】

これに対して、図9の第4構成では、トランジスタ83'、84'、および86'は、 2 V以下の低電圧で駆動される、膜厚の薄い低電圧系のトランジスタで構成される。すなわち、トランジスタ85のソース電位を負バイアス電圧VSS (-1.8 [V]) に引いたことに合せて、 2.9 [V]の第1電源電圧VDDHを、 1.1 [V]の第1電源電圧VDDH'に引き下げることで、差動入力回路61のトランジスタ83、84、および86を、低電圧系のトランジスタ83'、84'、および86'へ変更することが可能となる。比較回路51全体の電位差は、 -1.8 [V]から 1.1 [V]までの 2.9 [V]であり、 0 [V]から 2.9 [V]までの 2.9 [V]となっている第1及び第2構成と変わらない。

【0098】

第4構成では、膜厚の厚い高電圧系のトランジスタ83、84、および86を、膜厚の薄い低電圧系のトランジスタ83'、84'、および86'に変更することで、比較回路51の回路面積を小さくすることができる。

【0099】

第2電源電圧VDDLは、第1乃至第3構成と同じ 1.1 [V]のままでもよいが、正帰還回路63は、差動入力回路61の第1電源電圧VDDH'よりも低い電圧で動作させることができるので、第1電源電圧VDDHを第1電源電圧VDDH'に引き下げたことに合せて、第1電源電圧VDDH'よりも低い電圧に下げてもよい。これにより、さらに省電力化することができる。第2電源電圧VDDL'は、例えば、 0.6 [V]程度に設定することができる。第2電源電圧VDDL'の低下に合せてバイアス電圧VBIASも下げられる。

【0100】

<7. 比較回路の第5構成例>

図10は、比較回路51の第5構成を示す回路図である。

【0101】

比較回路51の第5構成を図9の第4構成と比較すると、正帰還回路63において2つのトランジスタ161と162が省略されており、2入力のNOR回路がインバータ回路に戻されている。また、正帰還回路63に、PMOSトランジスタであるトランジスタ163が新たに追加されている。トランジスタ163のソースは、第2電源電圧VDDL'に接続され、ドレインは、トランジスタ102及び103のドレインとトランジスタ104及び105のゲートとともに、トランジスタ91のソースに接続されている。トランジスタ163のゲートには、NOR回路に入力されていた制御信号TEST_VCOの反転信号である制御信号xTE

10

20

30

40

50

ST_VCOが供給される。その他の構成は、図9の第4構成と同様である。

【0102】

図10の比較回路51の第5構成では、差動入力回路61の状態に関係なく、比較回路51の出力信号VCOを強制的にLo出力にすることができるテスト機能を、Loの制御信号xTEST_VCOをトランジスタ163のゲートに供給することによって実現する。

【0103】

換言すれば、図10の比較回路51の第5構成は、テスト機能を、図9に示した第4構成とは異なる方法で実現したものである。初期化信号INI1をLoにした状態で、Loの制御信号xTEST_VCOがトランジスタ163のゲートに供給されたとき、比較回路51は、Loの出力信号VCOを出力する。一方、初期化信号INI1をHiにした状態で、Hiの制御信号xTEST_VCOがトランジスタ163のゲートに供給されたとき、比較回路51は、Hiの出力信号VCOを出力する。

【0104】

図10の比較回路51の第5構成によれば、図9に示した第4構成よりも、トランジスタの個数を1つ少ない個数でテスト機能を実現できる。

【0105】

また、図10の比較回路51の第5構成によれば、正帰還回路63の第2電源電圧VDDLを第2電源電圧VDDL'へ低下させたことによって懸念される誤動作を防止することができる。

【0106】

< 8. 比較回路の第6構成例 >

図11は、比較回路51の第6構成を示す回路図である。

【0107】

比較回路51の第6構成を図10の第5構成と比較すると、差動入力回路61の構成が異なる。具体的には、トランジスタ81と83'との間にトランジスタ165が追加されるとともに、トランジスタ82と84'との間にトランジスタ166が追加されている。

【0108】

トランジスタ165および166はNMOSトランジスタで構成され、トランジスタ165および166のゲートには、制御信号Vhが供給される。トランジスタ165のソースは、トランジスタ81のドレインと接続され、トランジスタ165のドレインは、トランジスタの83'のドレインと接続されている。トランジスタ166のソースは、トランジスタ82のドレインと接続され、トランジスタ166のドレインは、トランジスタの84'のドレインと接続されている。

【0109】

図10に示した第5構成では、トランジスタ83'、84'、及び86'が、トランジスタ81または82と直接つながっているために、負バイアス電圧VSSを、低電圧系のトランジスタ83'、84'、及び86'が耐えられる電圧までしか下げることができない。

【0110】

そこで、図11の比較回路51は、トランジスタ81と83'との間にトランジスタ165を挿入し、かつ、トランジスタ82と84'との間にトランジスタ166を挿入して、トランジスタ81と83'の間と、トランジスタ82と84'の間を必要に応じて切り離すことができるように構成されている。これにより、負バイアス電圧VSSを、例えば、高電圧系のトランジスタが耐えられる電圧まで下げることができる。

【0111】

図11の比較回路51の第6構成によれば、第1電源電圧VDDH'を1.1[V]に引き下げるとともに負バイアス電圧VSSを高電圧系のトランジスタが耐えられる電圧まで下げることができるので、各画素21（画素回路41）の飽和電荷量を確保しつつ、消費電力を低減させることができる。また、低電圧系のトランジスタ83'、84'、および86'を用いるので、回路面積を小さくすることができ、コストを抑制することができる。

【0112】

<タイミングチャート>

図12は、図11に示した比較回路51の第6構成における画素21（画素回路41）の動作を説明するタイミングチャートである。

【0113】

図12のタイミングチャートの時刻 t_{31} 乃至 t_{41} は、それぞれ、図6のタイミングチャートの時刻 t_1 乃至 t_{11} に対応する。

【0114】

図12のタイミングチャートでは、図6のタイミングチャートに、テスト機能のための制御信号 $xTEST_VCO$ と、耐圧緩和トランジスタとしてのトランジスタ165および166のゲートに供給される制御信号 V_h が追加されており、制御信号 $xTEST_VCO$ と制御信号 V_h 以外の動作は、図6のタイミングチャートと同じであるので、その説明を省略する。

10

【0115】

図12に示されるように、参照信号REFがスタンバイ電圧 $V_{s.tb}$ に引き下げられている期間中、制御信号 V_h はLoとなっており、トランジスタ83'、84'、及び86'に高い電位差がかからないように、比較回路51が制御されている。一方、参照信号REFがリセット電圧 V_{rst} や電圧 V_u に設定されている期間は、制御信号 V_h はHiとなっている。なお、制御信号 V_h のHiの電圧は、差動入力回路61の第1電源電圧 $VDDH'$ と負バイアス電圧 VSS によって決定される。例えば、上述したように、第1電源電圧 $VDDH'$ を1.1[V]、負バイアス電圧 VSS を-1.8[V]とした場合、Hiの制御信号 V_h の電圧は、0[V]とすることができる。

20

【0116】

<9. 画素共有の構成例>

これまでに説明した比較回路51は、1つの画素21内に1つのADC42が配置される構成とされていたが、複数の画素21で、1つのADC42を共有する構成とすることもできる。

【0117】

図13は、複数の画素21で1つのADC42を共有する画素共有の場合の比較回路51の構成例を示す回路図である。

【0118】

30

図13では、画素21A、画素21B、画素21C、及び画素21Dの4つの画素21で1つのADC42を共有する場合の比較回路51の構成例が示されている。

【0119】

図13において、比較回路51を構成する差動入力回路61、電圧変換回路62、及び正帰還回路63の構成は、図11に示した第6構成と同様である。

【0120】

図13では、4つの画素21A乃至21Dに、それぞれ、画素回路41A乃至41Dが設けられており、画素回路41A乃至41Dには、フォトダイオード121q、排出トランジスタ122q、及び、転送トランジスタ123qが個別に設けられている。一方、リセットトランジスタ174とFD175は、4つの画素21A乃至21Dで共有されている。

40

【0121】

なお、図13では、比較回路51の回路構成として、図11に示した第6構成を採用しているが、その他の第1構成乃至第5構成のいずれかを採用することもできる。

【0122】

<10. 複数基板構成1>

これまでの説明では、固体撮像装置1が、1枚の半導体基板11上に形成されるものとして説明したが、複数枚の半導体基板11に回路を作り分けることで、固体撮像装置1を構成してもよい。

【0123】

図14は、上側基板11Aと下側基板11Cの2枚の半導体基板11を積層することで固

50

体撮像装置 1 を構成する概念図を示している。

【0124】

上側基板 11A には、フォトダイオード 121 を含む画素回路 41 が少なくとも形成されている。下側基板 11C には、時刻コードを記憶するデータ記憶部 52 と時刻コード転送部 23 が少なくとも形成されている。上側基板 11A と下側基板 11C は、例えば、Cu-Cu などの金属結合などにより接合される。

【0125】

図 15 は、上側基板 11A と下側基板 11C のそれぞれに形成される回路構成例を示している。

【0126】

上側基板 11A には、画素回路 41 と、ADC 42 のうちの差動入力回路 61 のトランジスタ 81、82、85、165、及び 166 が形成されている。下側基板 11C には、トランジスタ 81、82、85、165、及び 166 を除く ADC 42 の回路と時刻コード転送部 23 が形成されている。

【0127】

<11. 複数基板構成 2>

図 14 及び図 15 では固体撮像装置 1 を 2 枚の半導体基板 11 で構成した例について説明したが、3 枚の半導体基板 11 で構成することもできる。

【0128】

図 16 は、上側基板 11A、中間基板 11B、及び、下側基板 11C の 3 枚の半導体基板 11 を積層することで、固体撮像装置 1 を構成する概念図を示している。

【0129】

上側基板 11A には、フォトダイオード 121 を含む画素回路 41 と、比較回路 51 の少なくとも一部の回路が形成されている。下側基板 11C には、時刻コードを記憶するデータ記憶部 52 と時刻コード転送部 23 が少なくとも形成されている。中間基板 11B には、上側基板 11A に配置されない比較回路 51 の残りの回路が形成されている。上側基板 11A と中間基板 11B、及び、中間基板 11B と下側基板 11C は、例えば、Cu-Cu などの金属結合などにより接合される。

【0130】

図 17 は、固体撮像装置 1 を 3 枚の半導体基板 11 で形成する場合の各半導体基板 11 の回路配置例を示している。

【0131】

図 17 の例では、上側基板 11A に配置した回路は、図 15 に示した上側基板 11A の回路と同じであり、比較回路 51 の残りの回路が中間基板 11B に配置され、データ記憶部 52 と時刻コード転送部 23 が下側基板 11C に配置されている。

【0132】

<12. 電子機器への適用例>

本開示は、固体撮像装置への適用に限られるものではない。即ち、本開示は、デジタルスチルカメラやビデオカメラ等の撮像装置や、撮像機能を有する携帯端末装置や、画像読取部に固体撮像装置を用いる複写機など、画像取込部（光電変換部）に固体撮像装置を用いる電子機器全般に対して適用可能である。固体撮像装置は、ワンチップとして形成された形態であってもよいし、撮像部と信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール状の形態であってもよい。

【0133】

図 18 は、本開示に係る電子機器としての、撮像装置の構成例を示すブロック図である。

【0134】

図 18 の撮像装置 800 は、レンズ群などからなる光学部 801、図 1 の固体撮像装置 1 の構成が採用される固体撮像装置（撮像デバイス）802、およびカメラ信号処理回路である DSP(Digital Signal Processor)回路 803 を備える。また、撮像装置 800 は、

10

20

30

40

50

フレームメモリ804、表示部805、記録部806、操作部807、および電源部808も備える。DSP回路803、フレームメモリ804、表示部805、記録部806、操作部807および電源部808は、バスライン809を介して相互に接続されている。

【0135】

光学部801は、被写体からの入射光（像光）を取り込んで固体撮像装置802の撮像面上に結像する。固体撮像装置802は、光学部801によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。この固体撮像装置802として、図1の固体撮像装置1、即ち、画素信号をAD変換する際の判定速度を向上させつつ、消費電力を低減させた比較回路51を有する固体撮像装置を用いることができる。

10

【0136】

表示部805は、例えば、液晶パネルや有機EL(Electro Luminescence)パネル等のパネル型表示装置からなり、固体撮像装置802で撮像された動画または静止画を表示する。記録部806は、固体撮像装置802で撮像された動画または静止画を、ハードディスクや半導体メモリ等の記録媒体に記録する。

【0137】

操作部807は、ユーザによる操作の下に、撮像装置800が持つ様々な機能について操作指令を発する。電源部808は、DSP回路803、フレームメモリ804、表示部805、記録部806および操作部807の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

20

【0138】

上述したように、固体撮像装置802として、上述した比較回路51の第1構成乃至第6構成のいずれかを採用した固体撮像装置1を用いることで、AD変換の判定速度を高速化させつつ、消費電力を低減することができる。従って、ビデオカメラやデジタルスチルカメラ、さらには携帯電話機等のモバイル機器向けカメラモジュールなどの撮像装置800においても、撮影の高速化と低消費電力を実現することができる。

【0139】

上述した説明では、比較回路51及びADC42は、固体撮像装置1に組み込まれた部品として説明したが、それぞれ単独で流通する製品（比較器、AD変換器）とすることができる。

30

【0140】

また、本開示は、固体撮像装置に限らず、他の半導体集積回路を有する半導体装置全般に対して適用可能である。

【0141】

本開示の実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。

【0142】

例えば、上述した各回路構成において、トランジスタの極性（NMOSトランジスタとPMOSトランジスタ）を入れ替えた回路構成でも実現可能である。その場合、トランジスタに入力される制御信号は、HiとLowが反対の信号となる。

40

【0143】

上述した各実施の形態では、参照信号REFが時間経過に応じてレベル（電圧）が単調減少するスロープ信号であるとして説明したが、参照信号REFは、時間経過に応じてレベル（電圧）が単調増加するスロープ信号とすることもできる。

【0144】

上述した各実施の形態では、ADC42が共有される場合、4つの画素21でADC42が共有される例について説明したが、共有される画素21の個数は4個に限らず、その他の個数（例えば、8個）とすることができる。

【0145】

その他、上述した複数の実施の形態の全てまたは一部を組み合わせた形態を採用するこ

50

とができる。上述した実施の形態では説明していない他の実施の形態どうしを適宜組み合わせさせた形態も可能である。

【0146】

なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、本明細書に記載されたもの以外の効果があってもよい。

【0147】

なお、本開示は以下のような構成も取ることができる。

(1)

第1の電源電圧で動作し、入力信号の電圧が参照信号の電圧よりも高いときに信号を出力する差動入力回路と、

10

前記第1の電源電圧よりも低い第2の電源電圧で動作し、前記差動入力回路からの出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度を高速化する正帰還回路と、

前記差動入力回路の前記出力信号を、前記第2の電源電圧に対応する信号に変換する電圧変換回路と

を備え、

前記差動入力回路のソース電圧が0Vよりも低い電圧であるように構成された比較器。

(2)

前記差動入力回路は、カレントミラーを構成する第1トランジスタ及び第2トランジスタを含み、前記第1トランジスタ及び第2トランジスタは、低電圧系のトランジスタで構成される

20

前記(1)に記載の比較器。

(3)

前記低電圧系のトランジスタは、2V以下の前記第1の電源電圧で駆動される

前記(2)に記載の比較器。

(4)

前記差動入力回路は、

前記参照信号が入力される第3トランジスタと、

前記入力信号が入力される第4トランジスタと、

30

前記第1トランジスタ及び第2トランジスタと前記第3トランジスタ及び第4トランジスタとの間の接続をオンオフする第5トランジスタ及び第6トランジスタと

をさらに含む

前記(2)または(3)に記載の比較器。

(5)

前記正帰還回路は、前記差動入力回路の前記出力信号と異なる制御信号の入力を受け付け、前記差動入力回路の前記出力信号に関わらず、前記制御信号に基づいて前記比較結果信号を反転させる

前記(1)乃至(4)のいずれかに記載の比較器。

(6)

40

前記正帰還回路は、

前記差動入力回路の前記出力信号を反転して前記比較結果信号を生成するインバータ回路と、

前記制御信号に基づいて、前記第2の電源電圧を前記インバータ回路に供給するトランジスタと

を有する

前記(5)に記載の比較器。

(7)

前記正帰還回路は、前記差動入力回路の前記出力信号と前記制御信号を入力とするNOR回路を有する

50

前記（５）に記載の比較器。

（８）

第１の電源電圧で動作し、入力信号の電圧が参照信号の電圧よりも高いときに信号を出力する差動入力回路と、

前記第１の電源電圧よりも低い第２の電源電圧で動作し、前記差動入力回路からの出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度を高速化する正帰還回路と、

前記差動入力回路の前記出力信号を、前記第２の電源電圧に対応する信号に変換する電圧変換回路を有し、

前記差動入力回路のソース電圧が０Ｖよりも低い電圧であるように構成された比較器と、

前記比較結果信号が反転したときの時刻コードを記憶するデータ記憶部とを備えるＡＤ変換器。

10

（９）

第１の電源電圧で動作し、入力信号の電圧が参照信号の電圧よりも高いときに信号を出力する差動入力回路と、

前記第１の電源電圧よりも低い第２の電源電圧で動作し、前記差動入力回路からの出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度を高速化する正帰還回路と、

前記差動入力回路の前記出力信号を、前記第２の電源電圧に対応する信号に変換する電圧変換回路を有し、

前記差動入力回路のソース電圧が０Ｖよりも低い電圧であるように構成された比較器と、

前記比較結果信号が反転したときの時刻コードを記憶するデータ記憶部とを備えるＡＤ変換器と、

画素に入射された光を受光して光電変換することで生成された電荷信号を、前記入力信号として前記差動入力回路に出力する画素回路と

を備える固体撮像装置。

20

（１０）

前記ＡＤ変換器は、前記画素ごとに配置される

前記（９）に記載の固体撮像装置。

30

（１１）

前記ＡＤ変換器は、複数の前記画素で共有される

前記（９）に記載の固体撮像装置。

（１２）

複数の半導体基板で構成されている

前記（９）または（１０）に記載の固体撮像装置。

（１３）

第１の電源電圧で動作し、入力信号の電圧が参照信号の電圧よりも高いときに信号を出力する差動入力回路と、

前記第１の電源電圧よりも低い第２の電源電圧で動作し、前記差動入力回路からの出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度を高速化する正帰還回路と、

前記差動入力回路の前記出力信号を、前記第２の電源電圧に対応する信号に変換する電圧変換回路を有し、

前記差動入力回路のソース電圧が０Ｖよりも低い電圧であるように構成された比較器と、

前記比較結果信号が反転したときの時刻コードを記憶するデータ記憶部とを備えるＡＤ変換器と、

画素に入射された光を受光して光電変換することで生成された電荷信号を、前記入力信

40

50

号として前記差動入力回路に出力する画素回路と
 を備える固体撮像装置
 を備える電子機器。

(14)

第1の電源電圧で動作する差動入力回路と、前記第1の電源電圧よりも低い第2の電源電圧で動作する正帰還回路と、電圧変換回路とを備え、前記差動入力回路のソース電圧が0Vよりも低い電圧であるように構成された比較器の

前記差動入力回路が、入力信号の電圧が参照信号の電圧よりも高いときに信号を出力し、

前記電圧変換回路が、前記差動入力回路の出力信号を、前記第2の電源電圧に対応する信号に変換し、

前記正帰還回路が、前記電圧変換回路により変換された前記差動入力回路の出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度を高速化する

比較器の制御方法。

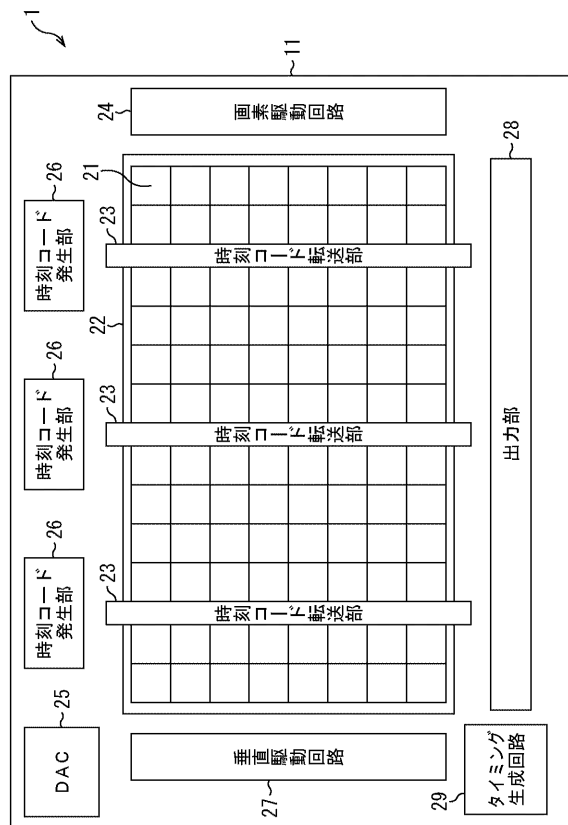
【符号の説明】

【0148】

1 固体撮像装置、 11 半導体基板、 21 画素、 22 画素アレイ部、 23 時刻コード転送部、 26 時刻コード発生部、 28 出力部、 41 画素回路、 42 ADC、 51 比較回路、 52 データ記憶部、 61 差動入力回路、 62 電圧変換回路、 63 正帰還回路、 71 ラッチ制御回路、 72 ラッチ記憶部、 81乃至86、91 トランジスタ、 101乃至105、161乃至163、165、166 トランジスタ、 800 撮像装置、 802 固体撮像装置

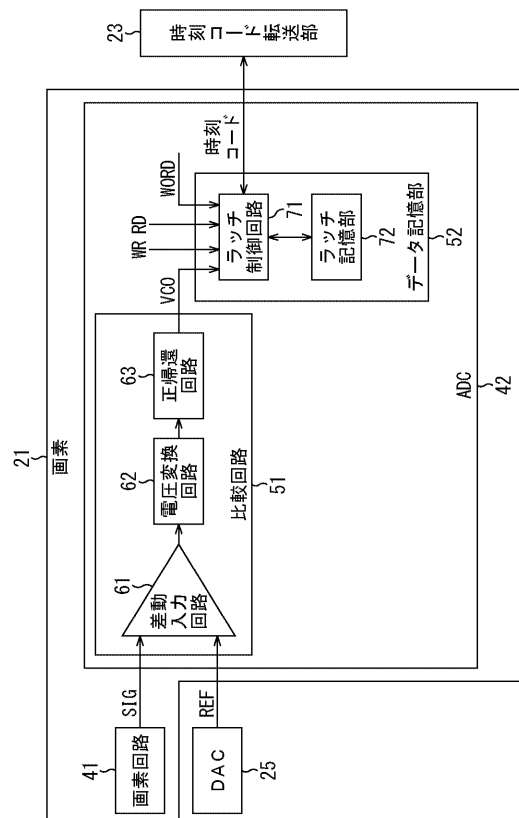
【図1】

FIG. 1

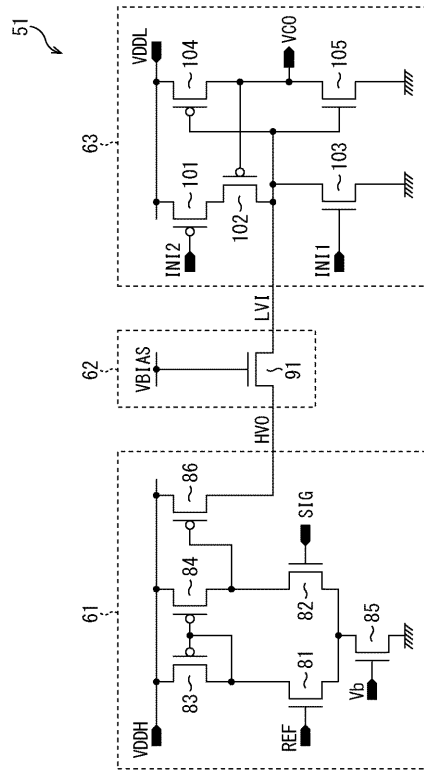


【図2】

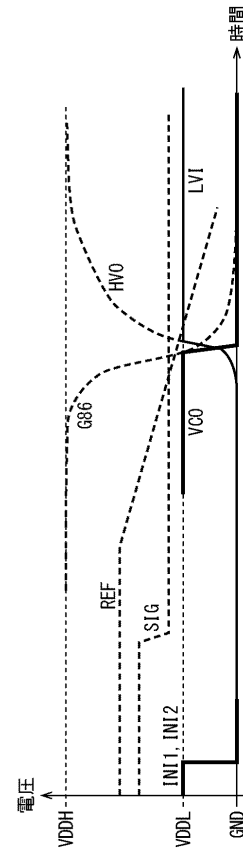
FIG. 2



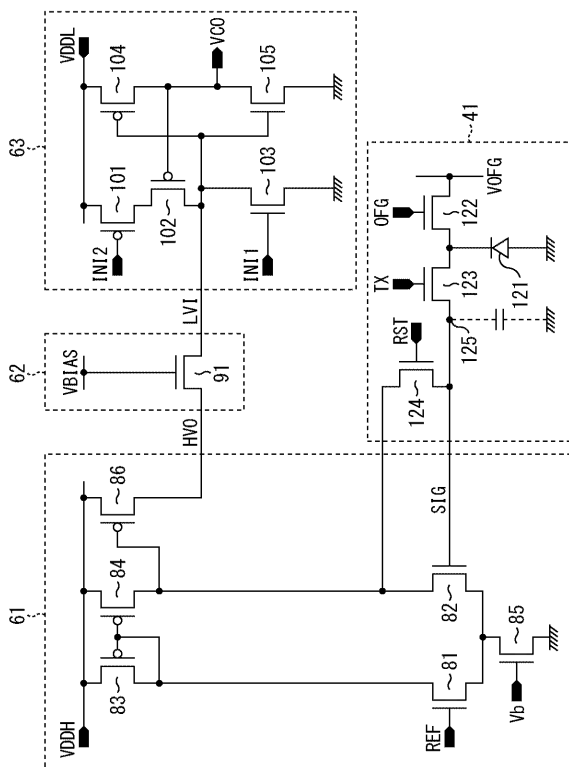
【図 3】
FIG. 3



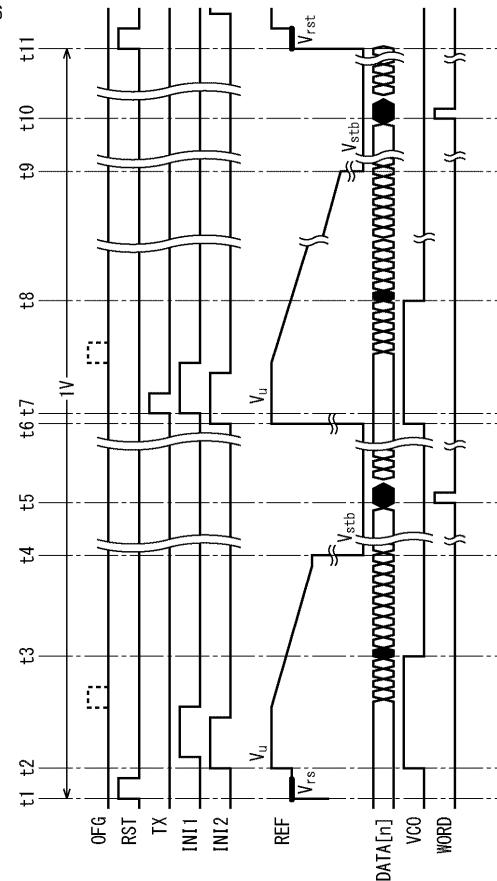
【図 4】
FIG. 4

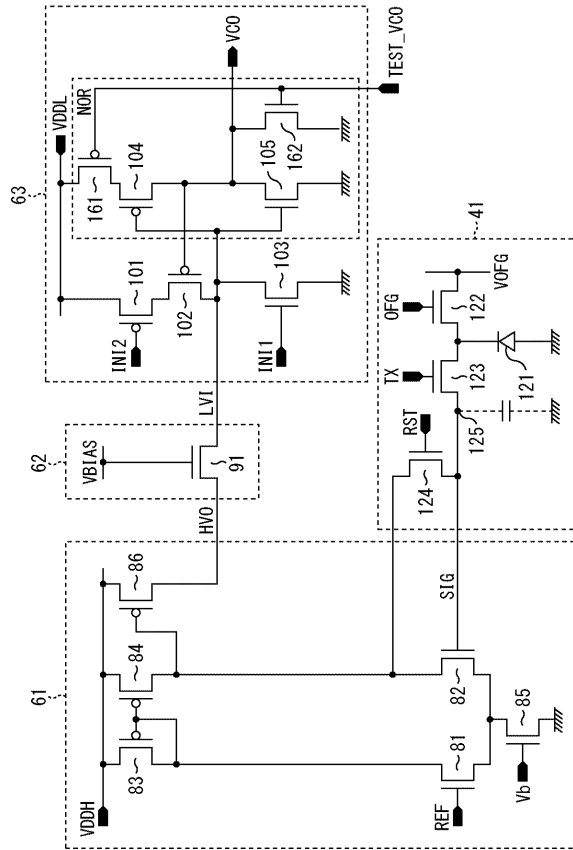
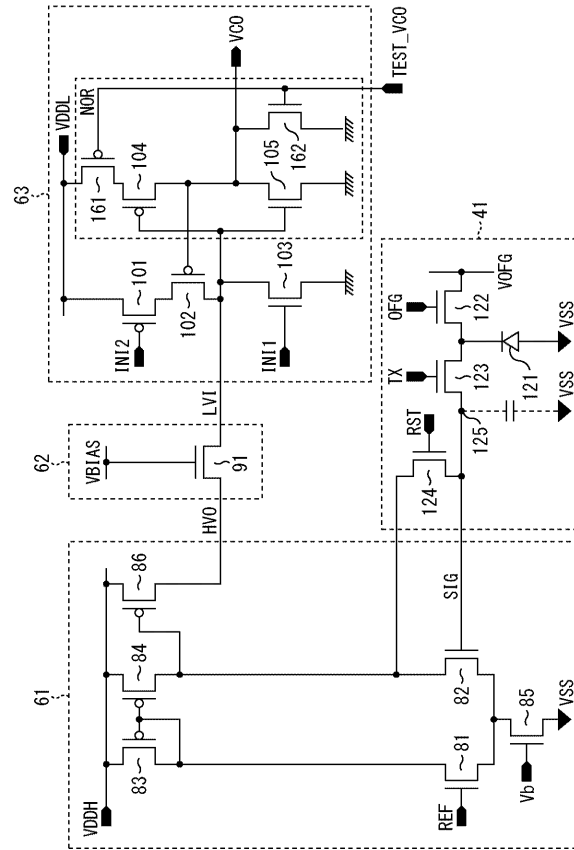
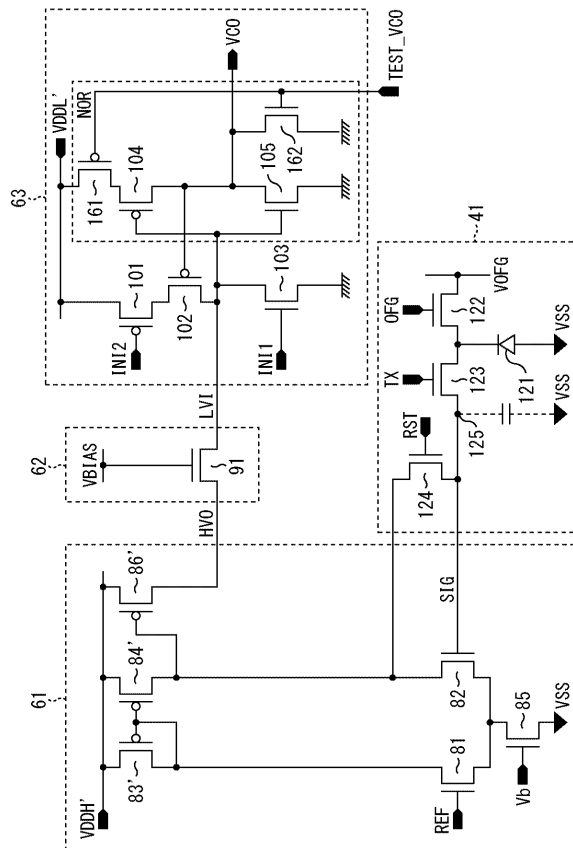


【図 5】
FIG. 5



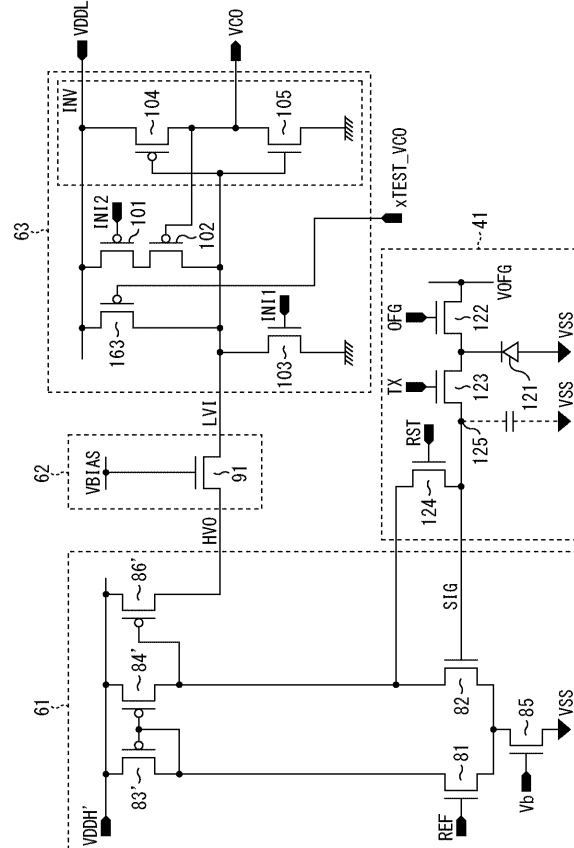
【図 6】
FIG. 6



【図 7】
FIG. 7【図 8】
FIG. 8【図 9】
FIG. 9

【図 10】

FIG. 10



【図 1 2】

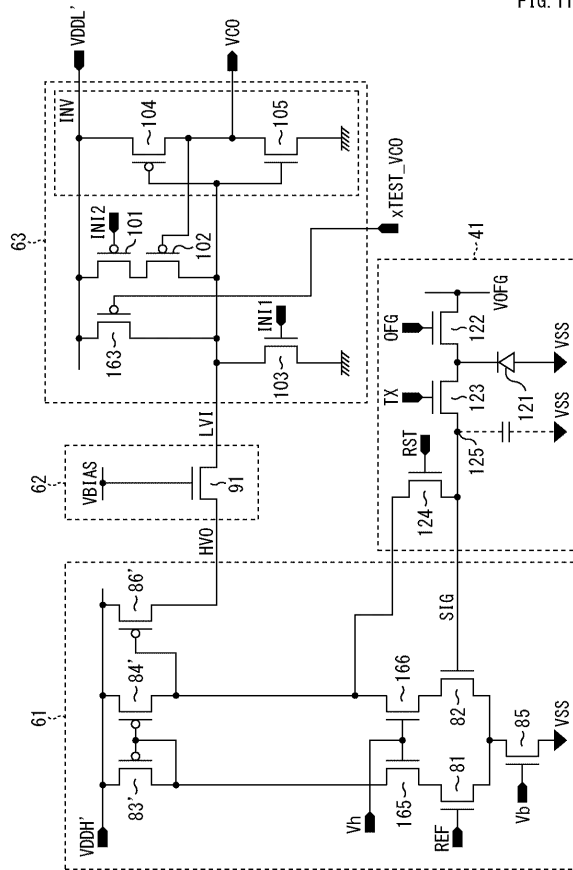


FIG. 11

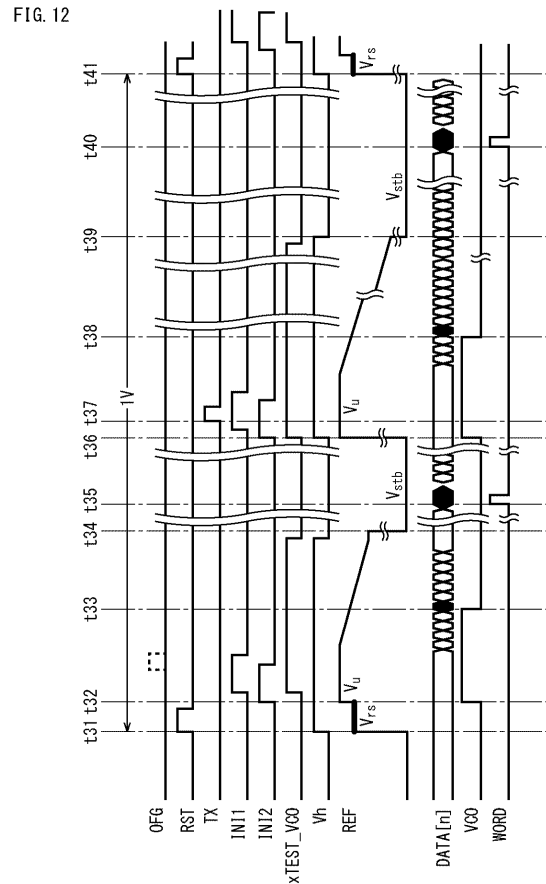


FIG. 12

【図 1 3】

【図 14】

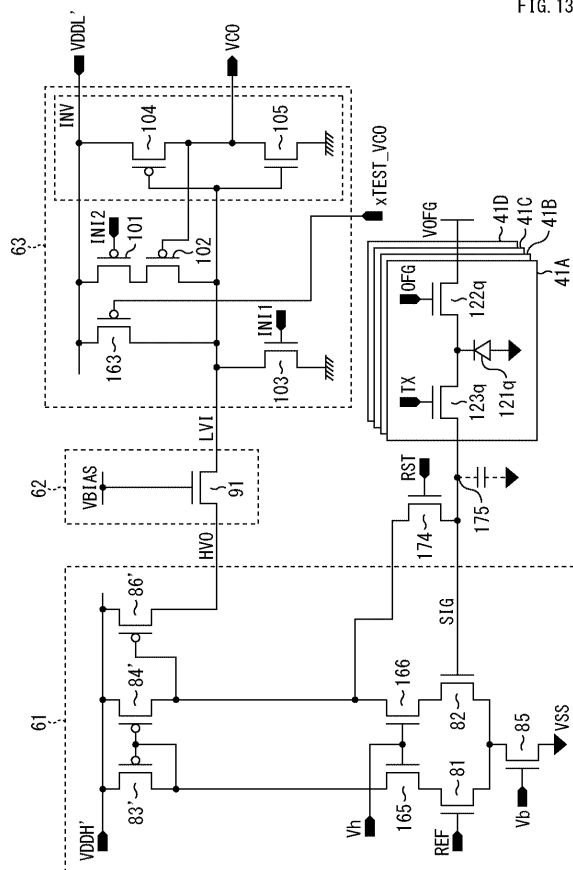


FIG. 13

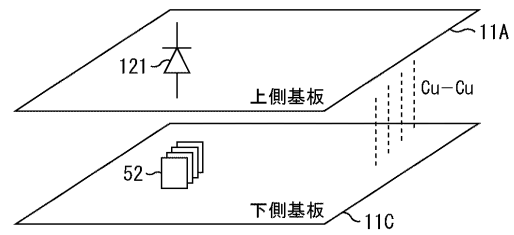


FIG. 14

【図 15】

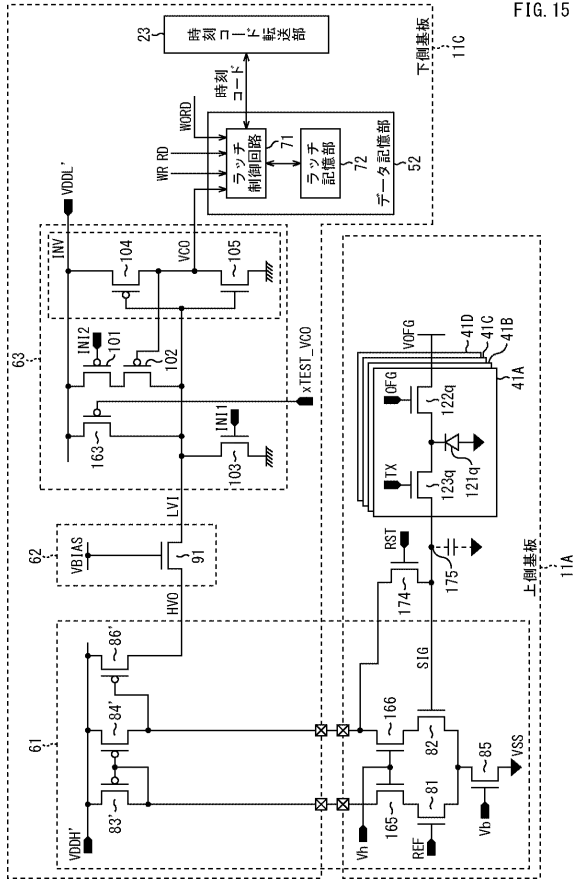


FIG. 15

【図 16】

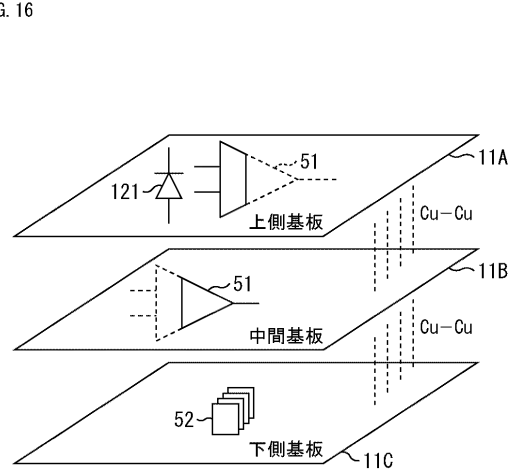
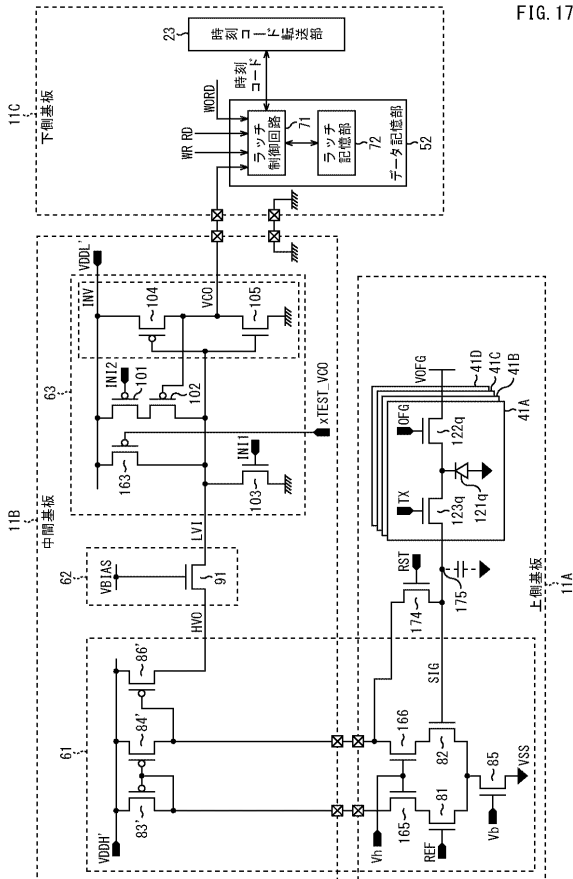


FIG. 16

【図 17】



フロントページの続き

(56)参考文献 国際公開第2016/009832 (WO, A1)

特開2010-109937 (JP, A)

特開2015-139081 (JP, A)

特開2013-46103 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K 5/08

H03M 1/12

H04N 5/378