(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第5011591号
(P5011591)

(45)発行日　平成24年8月29日(2012.8.29)　(24)登録日　平成24年6月15日(2012.6.15)

(51)Int.Cl.		F I		
H01L 21/822	(2006.01)	H01L	27/04	F
H01L 27/04	(2006.01)	H01L	27/04	T
H03K 17/06	(2006.01)	H03K	17/06	C

請求項の数 14　(全 17 頁)

(21)出願番号	特願2007-520441 (P2007-520441)
(86)(22)出願日	平成17年7月5日(2005.7.5)
(65)公表番号	特表2008-506260 (P2008-506260A)
(43)公表日	平成20年2月28日(2008.2.28)
(86)国際出願番号	PCT/US2005/023839
(87)国際公開番号	WO2006/017082
(87)国際公開日	平成18年2月16日(2006.2.16)
審査請求日	平成20年6月24日(2008.6.24)
(31)優先権主張番号	60/586,565
(32)優先日	平成16年7月9日(2004.7.9)
(33)優先権主張国	米国(US)
(31)優先権主張番号	10/996,739
(32)優先日	平成16年11月24日(2004.11.24)
(33)優先権主張国	米国(US)

(73)特許権者　508034325
モサイド・テクノロジーズ・インコーポレーテッド
カナダ・オンタリオ・Ｋ２Ｋ・２Ｘ１・オタワ・ハインズ・ロード・１１・スイート・２０３
(74)代理人　100108453
弁理士　村山　靖彦
(74)代理人　100064908
弁理士　志賀　正武
(74)代理人　100089037
弁理士　渡邊　隆
(74)代理人　100140534
弁理士　木内　敬二

最終頁に続く

(54)【発明の名称】リーク管理システム及びシステム、方法、適応型リーク制御装置、負電圧調整器、チャージポンプ

(57)【特許請求の範囲】

【請求項１】

集積回路であって、

（ａ）前記集積回路に電力を供給し、論理レベルの範囲を定めるＶｄｄ正の供給端子とＶｓｓ接地端子を含む２つの電源端子、

（ｂ）それぞれ論理ゲートと記憶セルの選択された１つであり、それぞれ前記電源端子の１つと直列に電気的に接続されたスリープトランジスターを含むロジック構成要素、

（ｃ）前記論理レベルの範囲外の電圧を生成する電圧源、

（ｄ）前記論理レベルの範囲外の電圧をパワーダウンモードの間に前記スリープトランジスターに印加する回路、及び

（ｅ）前記電圧源を制御し前記パワーダウンモードの間に前記スリープトランジスターを通る漏れ電流を適切に最小化する電圧調整器、を有し、

前記電圧調整器は、前記範囲外の電圧でバイアスされたエミュレートされたスリープトランジスター、及び電圧オフセットを有する前記範囲外の電圧でバイアスされた別のエミュレートされたスリープトランジスターを有し、並びに前記電圧調整器は、前記範囲外の電圧を調整し２つの前記エミュレートされたスリープトランジスターの電圧降下を等しくする集積回路。

【請求項２】

集積回路であって、

（ａ）前記集積回路に電力を供給し、論理レベルの範囲を定めるＶｄｄ正の供給端子と

Ｖｓｓ接地端子を含む２つの電源端子、
（ｂ）それぞれ論理ゲートと記憶セルの選択された１つであり、それぞれ前記電源端子の１つと直列に電気的に接続されたスリープトランジスターを含むロジック構成要素、
（ｃ）前記論理レベルの範囲外の電圧を生成する電圧源、
（ｄ）前記論理レベルの範囲外の電圧をパワーダウンモードの間に前記スリープトランジスターに印加する回路、及び
（ｅ）前記電圧源を制御し前記パワーダウンモードの間に前記スリープトランジスターを通る漏れ電流を適切に最小化する電圧調整器、を有し、
前記電圧調整器は、前記範囲外の電圧でバイアスされたエミュレートされたスリープトランジスター、並びに前記電源端子の前記１つに充電され及び前記エミュレートされたスリープトランジスターを通じて前記電源端子の他方に放電されるキャパシター、を有する集積回路。
【請求項３】
前記電圧調整器は前記範囲外の電圧を、前記キャパシターが前記エミュレートされたスリープトランジスターを通じて放電するために必要な時間量を最大化するレベルに調整する、請求項２記載の集積回路。
【請求項４】
集積回路であって、
（ａ）前記集積回路に電力を供給し、論理レベルの範囲を定めるＶｄｄ正の供給端子とＶｓｓ接地端子を含む２つの電源端子、
（ｂ）それぞれ論理ゲートと記憶セルの選択された１つであり、それぞれ前記電源端子の１つと直列に電気的に接続されたスリープトランジスターを含むロジック構成要素、
（ｃ）前記論理レベルの範囲外の電圧を生成する電圧源、
（ｄ）前記論理レベルの範囲外の電圧をパワーダウンモードの間に前記スリープトランジスターに印加する回路、及び
（ｅ）前記電圧源を制御し前記パワーダウンモードの間に前記スリープトランジスターを通る漏れ電流を適切に最小化する電圧調整器、を有し、
前記スリープトランジスターは前記ロジック構成要素の中の他のトランジスターと同じ閾電圧を有する集積回路。
【請求項５】
前記電源端子の前記１つは前記Ｖｓｓ接地端子であり、前記論理レベルの範囲外の電圧はＶｓｓより低い電圧であり、及び前記スリープトランジスターはｎチャネルトランジスターである、請求項１、２、又は４に記載の集積回路。
【請求項６】
前記電圧調整器はチャージポンプ回路を有し、前記電圧調整器は前記範囲外の電圧の大きさが前記スリープトランジスターを通る漏れ電流を適切に最小化するために不十分である場合に前記チャージポンプ回路をイネーブルし、前記範囲外の電圧の大きさが前記スリープトランジスターを通る漏れ電流を適切に最小化するために十分である場合に前記チャージポンプ回路をディスエーブルする、請求項１、２、または４に記載の集積回路。
【請求項７】
集積回路であって、
（ａ）前記集積回路に電力を供給し、Ｖｄｄ正の供給端子とＶｓｓ接地端子を含む２つの電源端子、
（ｂ）それぞれ論理ゲートと記憶セルの選択された１つであり、それぞれ前記電源端子の１つと直列に電気的に接続されたスリープトランジスターを含むロジック構成要素、
（ｃ）負電圧を生成するチャージポンプ、
（ｄ）前記負電圧をパワーダウンモードの間に前記スリープトランジスターに印加する回路、及び
（ｅ）前記チャージポンプを制御し前記パワーダウンモードの間に前記スリープトランジスターを通る漏れ電流を適切に最小化する電圧調整器、を有し、

前記スリープトランジスターは前記ロジック構成要素の中の他のトランジスターと同じ閾電圧を有する集積回路。

【請求項８】

前記電圧調整器は、前記負電圧の大きさが前記スリープトランジスターを通る漏れ電流を適切に最小化するために不十分である場合に前記チャージポンプ回路をイネーブルし、前記負電圧の大きさが前記スリープトランジスターを通る漏れ電流を適切に最小化するために十分である場合に前記チャージポンプ回路をディスエーブルする、請求項７記載の集積回路。

【請求項９】

方法であって、それぞれ論理ゲートと記憶セルの選択された１つであり及びそれぞれＶｓｓ接地端子と力列に電気的に接続されたスリープトランジスターを有するあるロジック構成要素を有する集積回路の静的リークを最小化し、前記方法は、

前記スリープトランジスターに印加されるべき負電圧を生成する段階、

前記負電圧を前記静的リークを最小化するために調整するか否かを決定する段階、及び

前記決定に従い前記負電圧を調整する段階、を有し、

前記負電圧を調整するか否かを決定する段階は、

前記負電圧を第１のエミュレートされたスリープトランジスターに印加し結果として第１の電流を生じる段階、

前記負電圧とオフセット電圧の和を第２のエミュレートされたスリープトランジスターに印加し結果として第２の電流を生じる段階、及び

前記第１の電流を前記第２の電流と比較する段階、を有する方法。

【請求項１０】

方法であって、それぞれ論理ゲートと記憶セルの選択された１つであり及びそれぞれＶｓｓ接地端子と力列に電気的に接続されたスリープトランジスターを有するあるロジック構成要素を有する集積回路の静的リークを最小化し、前記方法は、

前記スリープトランジスターに印加されるべき負電圧を生成する段階、

前記負電圧を前記静的リークを最小化するために調整するか否かを決定する段階、及び

前記決定に従い前記負電圧を調整する段階、を有し、

前記負電圧を調整するか否かを決定する段階は、前記スリープトランジスターのドレイン－ソース電流とドレイン－ゲート電流を比較する段階、を有する方法。

【請求項１１】

前記スリープトランジスターの１又は複数のパラメーターを監視する段階、を更に有する請求項９又は１０に記載の方法。

【請求項１２】

適応型リーク制御装置であって、集積回路の静的リークを最小化し、前記適応型リーク制御装置は、

正の供給電圧に充電されるキャパシター、

前記キャパシターを前記静的リークに比例するレートで放電するトランジスター、及び

前記キャパシターの放電の最小レートに基づき前記静的リークを制御するスリープトランジスターに印加される負電圧を調整するか否かを決定する制御回路、を有する適応型リーク制御装置。

【請求項１３】

方法であって、集積回路の静的リークを最小化し、前記方法は、

キャパシターを正の供給電圧に充電する段階、

前記キャパシターを前記静的リークに比例する放電レートで放電する段階、及び

スリープトランジスターのゲートに印加される負電圧を調整し前記キャパシターの前記放電レートを最小化する段階、を有する方法。

【請求項１４】

前記キャパシターを第１の所定値に放電するために必要な第１の時間を測定する段階、

前記キャパシターを第２の所定値に放電するために必要な第２の時間を測定する段階、

及び
前記第１の時間及び前記第２の時間の間の比較に従い前記負電圧を調整する段階、を更に有する請求項１３記載の方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、一般に集積回路、及びより詳細には、集積回路内で負電圧を印加するシステム及び方法に関連する。
【０００２】
本願明細書は、発明の名称が「システム・アンド・メソッズ・フォー・アイ／オー・アンド・パワー・マネジメント・アンド・リーケージ・コントロール・オン・インテグレーティッド・サーキッツ（Ｓｙｓｔｅｍｓ ａｎｄ Ｍｅｔｈｏｄｓ ｆｏｒ Ｉ／Ｏ ａｎｄ Ｐｏｗｅｒ Ｉｓｌａｎｄ Ｍａｎａｇｅｍｅｎｔ ａｎｄ Ｌｅａｋａｇｅ Ｃｏｎｔｒｏｌ ｏｎ Ｉｎｔｅｇｒａｔｅｄ Ｃｉｒｃｕｉｔｓ）」である、２００４年７月９日に出願された特許文献１を参照することにより本願明細書に組み込み、その利益を請求する。本出願はまた、発明の名称が「マネジング・パワー・オン・インテグレーティッド・サーキッツ・ユージング・パワー・アイランズ（Ｍａｎａｇｉｎｇ Ｐｏｗｅｒ ｏｎ Ｉｎｔｅｇｒａｔｅｄ Ｃｉｒｃｕｉｔｓ Ｕｓｉｎｇ Ｐｏｗｅｒ Ｉｓｌａｎｄｓ）」である、２００４年５月７日に出願された特許文献２にも関連する。特許文献２は、参照することにより本願明細書に組み込まれる。
【背景技術】
【０００３】
集積回路の１つの設計目標は、電力消費を低減することである。携帯電話やラップトップのようなバッテリーを備えた装置は、特に、集積回路内の電力消費を低減し、バッテリー寿命を延長する必要がある。更に、電力消費の低減は、過熱を防ぎ及び集積回路の放熱を低下させ、場合によっては集積回路を冷却するために必要な放熱板及び／又はファンを除去又は簡素化する。同様に、集積回路内の電力消費の低減は、集積回路を有する装置のために引き出されるＡＣ電力を低減する。
【０００４】
集積回路の競争力のある設計目標は、性能を向上させる。性能を向上するある方法は、回路の最大動作周波数を増大させることによる。回路の最大動作周波数を増大させるため、又はより少ない領域により多くの機能を統合するため、集積回路製造技術は、集積回路の個々の構成要素（例えばトランジスター）の装置の大きさを縮小する。
【０００５】
しかしながら、構成要素装置の大きさは、２５０ナノメーター乃至１３０ナノメーター又はそれ以下の大きさなので、静的リークとして参照されるスタンバイモードにおける装置の電流引き込みは、次第に集積回路の電力量の大きな部分を占めるようになっている。例えば、シミュレーションが示すように、１３０ナノメーター装置を用い５０ワットを浪費する集積回路では、浪費される電力の２０パーセントより多くは、静的リークによる。更に小さい装置では、シミュレーションが示すように、５０ナノメーター形状を用いた集積回路の静的リークは、全電力量の約５０パーセントを構成する。
【０００６】
静的リークを低減するある解決法は、集積回路の論理ゲートと結合された１つ以上のスリープトランジスターの使用を含む。制御信号をスリープトランジスターに印加することは、論理ゲートの静的リークを低減し得る。
【特許文献１】米国特許出願第６０／５８６５６５号明細書
【特許文献２】米国特許出願第１０／８４０８９３号明細書
【特許文献３】米国特許第５，２７４，６０１号明細書
【特許文献４】米国特許第５，２３３，３１４号明細書
【特許文献５】米国特許第５，３６２，９９０号明細書

【特許文献６】米国特許第５，４７３，２８３号明細書
【特許文献７】米国特許第５，４８６，７７４号明細書
【特許文献８】米国特許第５，５０８，６６０号明細書
【特許文献９】米国特許第５，７８１，０６２号明細書
【特許文献１０】米国特許第５，９７３，５５２号明細書
【特許文献１１】米国特許第６，０２１，０５６号明細書
【特許文献１２】米国特許第６，０３１，７７８号明細書
【特許文献１３】米国特許第６，０３４，５６３号明細書
【特許文献１４】米国特許第６，０４６，６２７号明細書
【特許文献１５】米国特許第６，１２４，７５５号明細書
【特許文献１６】米国特許第６，１６０，４３２号明細書
【特許文献１７】米国特許第６，１９８，３４２号明細書
【特許文献１８】米国特許第６，２７８，３３２号Ｂ１明細書
【特許文献１９】米国特許第６，３１６，９８７号Ｂ１明細書
【特許文献２０】米国特許第６，３２９，８７４号Ｂ１明細書
【特許文献２１】米国特許第６，５１２，４０４号Ｂ２明細書
【特許文献２２】米国特許第６，５３５，０５１号Ｂ２明細書
【特許文献２３】米国特許第６，６０３，３４０号Ｂ２明細書
【特許文献２４】米国特許第６，６１７，９３６号Ｂ２明細書
【特許文献２５】米国特許第６，６３１，５０２号Ｂ２明細書
【特許文献２６】米国特許第６，６３６，０９８号Ｂ１明細書
【特許文献２７】米国特許第６，６４２，７５３号Ｂ２明細書
【特許文献２８】米国特許第６，６５４，２９６号Ｂ２明細書
【特許文献２９】米国特許第６，６６４，８２９号Ｂ１明細書
【特許文献３０】米国特許第６，６６７，６４１号Ｂ１明細書
【特許文献３１】米国特許第６，７１０，６６５号Ｂ２明細書
【特許文献３２】米国特許第６，７４１，１１０号Ｂ２明細書
【特許文献３３】米国特許第６，７４４，２９２号Ｂ２明細書
【特許文献３４】米国特許第６，７７１，１１４号Ｂ２明細書
【特許文献３５】米国特許第６，７８１，４３９号Ｂ２明細書
【特許文献３６】米国特許第６，８３８，９０１号Ｂ２明細書
【特許文献３７】米国特許第６，８５３，２５３号Ｂ２明細書
【特許文献３８】米国特許第６，８６１，９１６号Ｂ２明細書
【特許文献３９】米国特許第６，９２４，９９２号Ｂ２明細書
【特許文献４０】米国特許第６，９５４，５１１号Ｂ２明細書
【特許文献４１】米国特許第７，０５１，３０６号Ｂ２明細書
【特許文献４２】米国特許第７，０５３，６９２号Ｂ２明細書
【特許文献４３】米国特許第７，０８４，６９７号Ｂ２明細書
【特許文献４４】米国特許第７，０９２，６８９号Ｂ１明細書
【特許文献４５】米国特許第７，１７６，７３３号明細書
【特許文献４６】米国特許出願公開第２００２／００４１１９６号Ａ１明細書
【特許文献４７】米国特許出願公開第２００２／０１４９４２９号Ａ１明細書
【特許文献４８】米国特許出願公開第２００４／００５７５４６号Ａ１明細書
【特許文献４９】米国特許出願公開第２００４／００６６２２０号Ａ１明細書
【特許文献５０】米国特許出願公開第２００４／００８５１０６号Ａ１明細書
【特許文献５１】米国特許出願公開第２００５／００６８０７６号Ａ１明細書
【特許文献５２】米国特許出願公開第２００５／０１９５００３号Ａ１明細書
【特許文献５３】米国特許出願公開第２００６／００１７４７６号Ａ１明細書
【特許文献５４】米国特許出願公開第２００６／００２２７２７号Ａ１明細書
【特許文献５５】米国特許出願公開第２００７／００１８７０１号Ａ１明細書

【特許文献５６】米国特許出願公開第２００７／００９０８８２号Ａ１明細書
【特許文献５７】欧州特許第０４８４０５９号Ａ２明細書
【特許文献５８】欧州特許第０４０５５２３号Ａ２明細書
【特許文献５９】欧州特許第０７５５１２０号Ａ１明細書
【特許文献６０】欧州特許第１２９２０３２号Ａ１明細書
【特許文献６１】米国特許出願公開第２００３／００３８６５３号Ａ１明細書
【特許文献６２】米国特許出願公開第２００３／００２５１３０号Ａ１明細書
【特許文献６３】米国特許第６，７５９，８７３号Ｂ２明細書
【発明の開示】
【発明が解決しようとする課題】
【０００７】
本発明は、集積回路の静的リークを最小化するシステム及び方法を提供する。
【課題を解決するための手段】
【０００８】
集積回路の静的リークを最小化するシステムは、チャージポンプ、適応型リーク制御部、及び負電圧調整器を有する。チャージポンプは、負電圧をスリープトランジスターに印加する。スリープトランジスターは、集積回路の論理ゲートの静的リークを制御するよう構成される。いくつかの実施例では、論理ゲートは、集積回路の電力アイランドに位置付けられて良い。適応型リーク制御部は、負電圧を調整し、静的リークを最小化するかどうかを決定する。適応型リーク制御部は、負電圧を調整するかどうかを連続的に又は周期的に決定して良い。負電圧調整器は、負電圧を当該決定に従い調整する。
【０００９】
集積回路の静的リークを最小化する方法は、負電圧を生成する段階、負電圧をスリープトランジスターに印加する段階、負電圧を調整し静的リークを最小化するかどうかを決定する段階、及び当該決定に従い負電圧を調整する段階、を有する。方法は、スリープトランジスターを備えた集積回路の論理ゲートの静的リークを制御する段階を有して良い。方法は、１つ以上のスリープトランジスターを監視する段階を有して良い。
【００１０】
本発明の１つの利点は、適応型リーク制御部が負電圧を調整するかどうかを決定するので、静的リークが集積回路の動作温度内の変化を伴い、又は電力変動又は製造のばらつきを伴い、最小化されることである。固定負電圧よりむしろ、スリープトランジスターに印加された負電圧は、静的リークを最小化するため調整される。更なる利点は、単一閾値トランジスター回路が集積回路内で利用されて良く、集積回路の製造過程の複雑さを低減することである。更に別の利点は、負電圧が集積回路内で生成されて良く、集積回路外部の負電圧を生成する構成要素を取り除くことである。
【発明を実施するための最良の形態】
【００１１】
説明図に示されるように、同様の参照番号は、複数の図に亘り同様の又は対応する要素を示す。本発明によるシステム及び方法の例である実施例は、以下に詳細に説明される。理解されるべき点は、しかしながら、本発明が種々の形式で実施されて良いことである。例えば、本願明細書には集積回路の静的リークの最小化に関し記載されているが、本発明の態様は、集積回路内に実施されない回路で実施されて良い。従って、本願明細書に開示された具体的詳細は、制限と解釈されるべきではないが、請求項の根拠として及び当業者に本発明を実質的に任意の適切な具体的システム、構造、方法、処理又は方式で実施するための教示の代表的根拠として、解釈されるべきである。
【００１２】
図１は、本発明のある実施例による、静的リークを最小化するシステムを実施する集積回路１００のブロック図である。集積回路１００は、シリコン及び／又は同様の製造材料に実現された電子装置である。集積回路１００のある例は、システムオンチップである。集積回路１００は、特定の機能を実行する回路のブロックである、複数の知的財産（ＩＰ

）単位を有する。理解されるべき点は、本願明細書に記載された集積回路１００の機能が、単一の集積回路１００により実施されて良く、又は複数の集積回路１００に分割されて良いことである。図１の例である集積回路１００は、中央演算処理装置（ＣＰＵ）１０５、１つ以上の電力アイランド１１０、１つ以上の電力アイランド管理部１２０、及び１つ以上のリーク管理システム１３０を有する。

【００１３】

図１は、簡単のため１つの電力アイランド１１０及び１つの電力アイランド管理部１２０を示すが、集積回路１００の他の実施例は、如何なる数の電力アイランド１１０、電力アイランド管理部１２０、及びリーク管理システム１３０を有しても良い。このような実施例では、いくつかの電力アイランド１１０は、他の電力アイランド１１０に対し異なる回路を有して良い。電力アイランド１１０及び電力アイランド管理部１２０は、発明の名称が「マネジング・パワー・オン・インテグレーティッド・サーキッツ・ユージング・パワー・アイランズ（Ｍａｎａｇｉｎｇ　Ｐｏｗｅｒ　ｏｎ　Ｉｎｔｅｇｒａｔｅｄ　Ｃｉｒｃｕｉｔｓ　Ｕｓｉｎｇ　Ｐｏｗｅｒ　Ｉｓｌａｎｄｓ）」である、２００４年５月７日に出願された同時係属の特許文献２に更に記載されている。

【００１４】

電力アイランド１１０は、電力消費が制御される、集積回路１００の任意の区分、記述、又は区域である。いくつかの実施例では、複数の電力アイランド１１０は、集積回路１００の地形的要因に基づき記述される。いくつかの実施例では、複数の電力アイランド１１０は、集積回路１００の機能ＩＰユニットに基づき記述される。いくつかの実施例では、電力アイランド１１０は、電力のサブアイランドを有し、集積回路１００内の電力制御に更に特化している。いくつかの実施例では、複数の電力アイランド１１０のそれぞれは、電力制御回路を有し、電力アイランド１１０内で電力を制御する。

【００１５】

電力アイランド制御部１２０は、任意の回路、装置、又はシステムであり、電力アイランド１１０の１つの目標電力レベルを決定し、電力アイランド１１０の１つの消費電力レベルを目標電力レベルに変化する動作を決定し、そして当該動作を実行し電力アイランド１１０の１つの消費電力レベルを目標電力レベルに変化する。電力アイランド管理部１２０は、従って、電力アイランド１１０の電力消費を必要に応じて及び集積回路１００の動作に基づき動的に変化し得る。目標電力レベルは、要求された、計算された、又は特定された、電力アイランド１１０の電力消費である。電力アイランド管理部１２０は、電力アイランド管理部１２０の階層又はグループであって良い。

【００１６】

図１は、簡単のため１つの電力アイランド管理部１２０と結合された１つのリーク管理システム１３０を示すが、いくつかの実施例は、複数のリーク管理システム１３０を有する。複数のリーク管理システム１３０を有するある実施例では、リーク管理システム１３０のそれぞれは、複数の電力アイランド管理部１２０の１つと結合される。いくつかの実施例では、リーク管理システム１３０の機能は分割される。いくつかの実施例では、単一のリーク管理システム１３０は、１つ以上の電力アイランド制御部１２０と結合される。理解されるべき点は、本発明の原理が電力アイランド１１０又は電力アイランド制御部１２０を有さない回路に適用されて良いことである。

【００１７】

電力アイランド１１０は、１つ以上の論理ゲート１１５を有する。電力アイランド１１０を有さない実施例では、論理ゲート１１５は、集積回路１００の如何なる論理ゲートを有しても良い。例である実施例の論理ゲート１１５は、インバーター、ＮＡＮＤ、ＮＯＲ、排他的ＯＲ、及び排他的ＮＯＲゲートのような任意の論理回路、同様にフリップフロップ及びラッチのような記憶セルを有する。論理ゲート１１５は、個々の論理ゲートの組み合わせを含む、高いレベルのブール論理を有して良い。

【００１８】

論理ゲート１１５は、以下に更に詳細に記載されるように、スリープトランジスター（

示されない）と連動して、「スリープモード」に電力を落とされて良い。論理ゲート１１５の静的リークを最小化するため、リーク管理システム１３０は、スリープトランジスターに印加されるべき負電圧１５０を生成する。負電圧１５０を、論理ゲート１１５及び接地の間に結合されたＮＭＯＳスリープトランジスターのゲートに印加することは、論理ゲート１１５の静的リークを減少し得る。リーク管理システム１３０は、負電圧イネーブル信号１４０を受信し、及び続いて負電圧１５０を生成し電力アイランド１１０へ送信する。負電圧イネーブル信号１４０は、負電圧イネーブル信号１４０に加え他の信号を有して良い。リーク管理システム１３０は、負電圧１５０を調整するかどうかを決定する。当該決定に基づき、リーク管理システム１３０は、以下に詳細に記載されるように負電圧１５０を調整する。

【００１９】

スリープトランジスターに印加される負電圧１５０を調整することは、論理ゲート１１５の静的リークを最小化する。例えば、静的リークは、動作温度、電圧変動、及び製造のばらつきのようなパラメーターに基づき変化する。従って、固定負電圧をスリープトランジスターに印加することは、論理ゲート１１５の静的リークを最適に最小化しない。更に、負電圧１５０を「オンチップ」で生成することは、集積回路１００の外部の構成要素要件を低減する。

【００２０】

論理ゲート１１５の静的リークを減少するための代案は、１つ以上の高閾値トランジスターが低閾値論理ゲート１１５と直列に挿入される複数閾値電圧ＣＭＯＳを有する。高閾値トランジスターを「オフ」に切り替えることは、論理ゲート１１５の静的リークを減少する。しかしながら、高閾値トランジスターは、集積回路１００の余分な製造過程段階を必要とし、及び通常の閾値トランジスターと比較して論理ゲート１１５の速度を低下させる。負電圧１５０を低閾値ＮＭＯＳスリープトランジスターに提供することは、有利なことに高閾値スリープトランジスターを設ける要件を除去し、従って集積回路１００を製造するために必要な過程段階を低減する。

【００２１】

図２は、本発明のある実施例による、図１の論理ゲート１１５の静的リークを最小化するスリープトランジスター２１０の説明図である。いくつかの実施例では、スリープトランジスター２１０は、論理ゲート（例えばインバーター）１１５と直列に従属接続されたＮＭＯＳトランジスターを有する。論理ゲート１１５の静的リークは、ドレイン－ソース電流（Ｉｄとして図示される）及び／又はドレイン－ゲート電流（Ｉｇとして図示される）としてスリープトランジスターを通過する。論理ゲート１１５の静的リークは、スリープトランジスター２１０を通るＩｄ＋Ｉｇに等しい。スリープトランジスター２１０に印加される負電圧（ＳＬＰＢ）１５０は、スリープトランジスターのドレイン－ソース電流及びドレイン－ゲート電流を調整することにより、論理ゲート１１５の静的リークを制御するために用いられて良い。

【００２２】

図３は、本発明のある実施例による、スリープトランジスター２１０のゲートにおける負電圧の範囲に対する、図２の論理ゲート１１５の静的リークを説明するグラフである。スリープトランジスター２１０のゲートに印加される負電圧（ＳＬＰＢ）１５０が次第に負になるにつれ、スリープトランジスター２１０のドレイン－ソース電流Ｉｄは減少する。しかしながら、負電圧１５０の大きさが最小リーク点Ａを超えて例えば点Ｂへ向けて増大するにつれ、スリープトランジスター２１０のドレイン－ゲート電流Ｉｇは、ドレイン－ソース電流Ｉｄより大きくなる。結果として、論理ゲート１１５の静的リークは増大する。従って、負電圧１５０を約Ｖ（Ａ）に調整することは、ドレイン－ソース電流Ｉｄ及びドレイン－ゲート電流Ｉｇの間の最小リーク点Ａにおける実質的な同一性に対応し、論理ゲート１１５の静的リークを最小化する。

【００２３】

図４は、本発明のある実施例による、図２のスリープトランジスター２１０に負電圧を

印加することにより、論理ゲート１１５の静的リークを最小化するリーク管理システム１３０のブロック図である。リーク管理システム１３０は、適応型リーク制御部（ＡＬＣ）４１０、負電圧調整器４２０、及びチャージポンプ４３０を有する。チャージポンプ４３０は、負電圧１５０（ＳＬＰＢ）を生成する。ＡＬＣ４１０は、負電圧１５０を調整するかどうかを決定する。ＡＬＣ４１０は、当該決定に従い信号（ＣＴＲＬとして図示される）を生成する。負電圧調整器４２０は、ＣＴＲＬ信号に従い負電圧１５０を調整する。

【００２４】

本願明細書に更に記載されるように、ある実施例の負電圧調整器４２０は、チャージポンプ４３０へのイネーブル（ＥＮ）信号を生成し、チャージポンプ４３０をイネーブルさせ、負電圧１５０の大きさを増大させる（つまり、負電圧１５０を更に負にする）。ＥＮ信号がＬｏｗの場合、発振器４２５からチャージポンプ４３０への交番信号は、ディスエーブルされ、チャージポンプ４３０が負電圧１５０の大きさを増大するのを防ぐ。反対に、ＥＮ信号がＨｉｇｈの場合、発振器４２５からの交番信号は、イネーブルされ、チャージポンプ４３０が負電圧１５０の大きさを増大する。負電圧調整器４２０は、ＡＬＣ４１０が負電圧１５０を調整すると決定するかどうかに従いＥＮ信号をオン又はオフに切り替えるので、リーク制御システム１３０は、負電圧１５０を特定の負電圧に維持し、論理ゲート１１５の静的リークを最小化する。

【００２５】

図５は、本発明のある実施例による、図２の論理ゲート１１５の静的リークを最小化する方法の説明図である。段階５００において、ＣＰＵ１０５（図１）はスリープモードに入る。段階５１０において、チャージポンプ４３０（図４）は、負電圧１５０を生成する。段階５１５において、チャージポンプ４３０は、負電圧１５０をスリープトランジスター２１０（図２）に印加する。段階５２０において、ＡＬＣ４１０（図４）は、論理ゲート１１５の静的リークに対応する、スリープトランジスター２１０の１つ以上のパラメーターを監視して良い。ＡＬＣ４１０は、スリープトランジスター２１０を直接監視して良く、又は図６乃至図８を参照して更に記載されるように、１つ以上のエミュレートされたスリープトランジスターを監視して良い。

【００２６】

段階５３０において、ＡＬＣ４１０は、負電圧１５０を調整し静的リークを最小化するかどうかを決定する。ＡＬＣ４１０が負電圧１５０を調整すると決定した場合、ＡＬＣ４１０は、負電圧調整器４２０（図４）へのＣＴＲＬ信号を生成する。段階５４０において、負電圧調整器４２０は、ＣＴＲＬ信号に基づき負電圧１５０を調整する。

【００２７】

ある実施例では、負電圧調整器４２０は、負電圧１５０を連続的に調整する。別の実施例では、負電圧調整器４２０は、負電圧１５０を周期的に調整する。

【００２８】

リーク管理システム１３０は、静的リークが温度変動、電圧変動、又は製造過程のばらつきのような影響により変化する場合でさえ、負電圧１５０を調整し論理ゲート１１５の静的リークを最小化する。リーク管理システム１３０は、有利なことに、集積回路１００に全て統合されて良く、負電圧１５０を生成する集積回路１００の外部構成要素を除去する。更に、リーク管理システム１３０は、有利なことに、単一閾値トランジスターロジックを有する集積回路１００内で利用されて良く、従って集積回路１００の製造が簡素化される。

【００２９】

図６乃至図１０は、図４のリーク管理システム１３０の実施例の更に詳細を説明する。

【００３０】

図６は、本発明のある実施例による、図４の適応型リーク制御部（ＡＬＣ）４１０の説明図である。この実施例のＡＬＣ４１０は、第１のエミュレートされたスリープトランジスター６１０、第２のエミュレートされたスリープトランジスター６２０、差動（演算）増幅器６３０、バイアストランジスター６４０、及び電圧オフセットトランジスター６５

０を有する。理解されるべき点は、この実施例のＡＬＣ４１０がアナログ回路を有し、図４の負電圧１５０を調整するかどうかを連続的に決定することである。

【００３１】

更に理解されるべき点は、図６はバイアストランジスター６４０を、ドレインと結合されたゲートを備え、バイアストランジスター６４０の両端で抵抗性電圧降下を提供するＰＭＯＳトランジスターとして図示するが、バイアストランジスター６４０は抵抗を有して良いということである。ＰＭＯＳバイアストランジスター６４０を備えた例である実施例では、複数のバイアストランジスター６４０の間の一致は、バイアストランジスター６４０の実質的に同一の動作を保証する。例である実施例のオフセットトランジスター６５０の電圧オフセットは、同様に、ドレインと接続されたゲートを備え、電圧オフセットトランジスター６５０の両端に抵抗性電圧降下を提供するＰＭＯＳトランジスターを有する。代案として、電圧オフセットトランジスター６５０は、抵抗を有して良い。

【００３２】

図６では、負電圧１５０（ＳＬＰＢ）は、第１のエミュレートされたスリープトランジスター６１０のゲートに印加される。負電圧１５０は、従って、第１のエミュレートされたスリープトランジスター６１０を通る第１の電流を生成する。第１の電流は、ドレイン－ゲート電流及び／又はドレイン－ソース電流を有して良い。第１のエミュレートされたスリープトランジスター６１０を通る第１の電流は、論理ゲート１１５の静的リークに比例する。第１の電流は、第１のエミュレートされたスリープトランジスター６１０のドレインにおいて、バイアストランジスター（抵抗）６４０の両端の第１の電圧降下を生成する。第１の電圧降下は、差動増幅器６３０の負入力において検知される。

【００３３】

第２のエミュレートされたスリープトランジスター６２０に関し、電圧オフセットトランジスター６５０の抵抗は、負電圧１５０（ＳＬＰＢ）の大きさを電圧オフセット分だけ減少する。第２のエミュレートされたスリープトランジスター６２０のゲートは、負電圧１５０と電圧オフセットの和を受信する。負電圧１５０と電圧オフセットの和は、従って、第２のエミュレートされたスリープトランジスター６２０を通る第２の電流を生成する。第２の電流は、ドレイン－ゲート電流及び／又はドレイン－ソース電流を有して良い。第２の電流は、第２のエミュレートされたスリープトランジスター６２０のドレインにおいて、バイアストランジスター（抵抗）６４０の両端の第２の電圧降下を生成する。第２の電圧降下は、差動増幅器６３０の正入力において検知される。

【００３４】

動作中、第２のエミュレートされたスリープトランジスター６２０のゲートは、電圧オフセットトランジスター６５０により、第１のエミュレートされたスリープトランジスター６１０のゲートと比較して、僅かな電圧オフセットで動作する。図３を参照すると、電圧オフセットは、点Ａ及びＢの間の電圧オフセット、又はＶ（Ｂ）－Ｖ（Ａ）により表されて良い。電圧オフセットの結果として、最小リーク点Ａは、Ｉ（Ｂ）が実質的にＩ（Ａ）に等しくなるよう、負電圧１５０を調整することにより検出されて良い。理解されるべき点は、電圧オフセットトランジスター６５０の動作パラメーターが、電圧オフセットの大きさに影響を及ぼすことである。動作パラメーターは、例えば負電圧１５０のノイズのような条件に基づいて良い。

【００３５】

図３に関する動作原理では、負電圧１５０の大きさが、第１のエミュレートされたスリープトランジスター６１０内に点Ｂに対応する第１の電流Ｉ（Ｂ）を生成し、及び負電圧１５０と電圧オフセットの和が、第２のエミュレートされたスリープトランジスター６２０内に点Ａに対応する第２の電流Ｉ（Ａ）を生成する場合、差動増幅器６３０は、ＣＴＲＬ信号を生成し、Ｉ（Ａ）が実質的にＩ（Ｂ）に等しくなるまで負電圧１５０の大きさを調整する。代案として、負電圧１５０が、第１のエミュレートされたスリープトランジスター６１０及び第２のエミュレートされたスリープトランジスター６２０が実質的に等しい電流を生成するような場合、つまりＩ（Ａ）＝Ｉ（Ｂ）の場合、差動増幅器６３０は、

ＣＴＲＬ信号の現在の値を維持する。結果として生じる動作点は、理想動作点から電圧オフセットトランジスター６５０を通る電流により生成された電圧オフセットの２分の１に等しい値だけオフセットされた負電圧である。ゲートリークが無視できる場合、図３のリークに対するゲート電圧の曲線に何ら影響はない。この場合、ＣＴＲＬ信号は、最小値まで減少し、チャージポンプ４３０（図４）を最大負電圧で動作させる。

【００３６】

図９の負電圧調整器４２０と連動して、この実施例のＡＬＣ４１０は、有利なことに、負電圧１５０を図３の最小リーク点Ａの近くに連続的に制御することにより、論理ゲート１１５の静的リークを最小化する。

【００３７】

図７は、本発明の別の実施例による、図４のＡＬＣ４１０の説明図である。この実施例のＡＬＣ４１０は、充電トランジスター７１０、キャパシター７１５、エミュレートされたスリープトランジスター７２０、比較器７３０、カウンター７４０、及びレジスタ７５０を有する。充電トランジスター７１０は、制御部（示されない）により切り替えられ、キャパシター７１５を正の供給電圧（例えばＶＤＤ）に充電する。制御部はまた、充電トランジスター７１０を切り替え、一度充電されたキャパシター７１５がエミュレートされたスリープトランジスター７２０を通じて放電されるようにして良い。比較器７３０、カウンター７４０、及びレジスタ７５０は、制御回路を有し、キャパシター７１５が所定値ＶＲＥＦまで放電するために必要な時間を測定する。レジスタ７５０と結合された状態論理機械（示されない）は、レジスタ７５０内に格納された値を図８を参照して説明されたように比較する。

【００３８】

ＡＬＣ４１０のこの実施例では、静的リークの最低値に対応するキャパシター７１５の最大放電時間は、負電圧調整器４２０（図４）へのＣＴＲＬ信号のデジタル値を生成するために用いられる。ＡＬＣ４１０が負電圧１５０を調整すると決定した場合、ＡＬＣ４１０はＣＴＲＬ信号を周期的に更新する。この実施例のＡＬＣ４１０の動作は、図８を参照して説明される。

【００３９】

図８は、図７のＡＬＣ４１０の実施例による、図２の論理ゲート１１５の静的リークを最小化する方法の説明図である。要約すると、方法は、キャパシター７１５を正の供給電圧ＶＤＤまで充電する段階、キャパシターを論理ゲート１１５の静的リークに比例するレートでエミュレートされたスリープトランジスター７２０を介して放電する段階、及び負電圧１５０を調整しキャパシター７１５の放電レートを最小化する段階、を有する。負電圧１５０は、エミュレートされたスリープトランジスター７２０を通る最小電流（つまり最小静的リーク）に対応し、キャパシター７１５の放電レートを最小化し、及びキャパシター７１５を放電する時間を最大化する。

【００４０】

段階８０５において、ＣＴＲＬ信号は、最小値に初期化される。ＣＴＲＬ信号を最小値に設定することは、負電圧調整器４２０にスリープ信号ＳＬＰＢ１５０の大きさを最小値に駆動するよう指示する。段階８１０において、制御部は、充電トランジスター７１０を切り替える。従ってキャパシター７１５はＶＤＤに充電される。段階８１５において、充電トランジスター７１０はオフに切り替えられる。従って、キャパシター７１５はエミュレートされたスリープトランジスター７２０を通じて放電する。段階８２０において、基準電圧ＶＲＥＦは、ＶＤＤ（例えばＶＤＤ／２）より小さい一定電圧に設定される。段階８２５において、比較器７３０は、キャパシター７１５がＶＲＥＦに放電した後、カウンター７４０への出力を生成する。カウンター７４０は、キャパシター７１５をＶＲＥＦに放電するために必要な時間を決定する。レジスタ７５０は、カウンター７４０のカウント（つまり時間）を格納する。

【００４１】

段階８２７において、ＣＴＲＬ信号は、１ビットだけインクリメントされる。段階８３

０において、制御部は、充電トランジスター７１０を切り替える。従ってキャパシター７１５は再びＶＤＤに充電される。段階８４０において、充電トランジスター７１０はオフに切り替えられる。段階８６０において、比較器７３０は、キャパシター７１５がＶＲＥＦに放電した後、カウンター７４０への出力を生成する。カウンター７４０は、ＣＴＲＬ信号の新しい値及び対応するＳＬＰＢ信号で、キャパシター７１５を放電するために必要な時間を決定する。

【００４２】

段階８７０において、状態論理機械は、段階８３０－８６０を通過した時の電流を（つまり、キャパシター７１５を、ＣＴＲＬ信号の新しい値及びＳＬＰＢ信号のＶＲＥＦに放電するために必要な時間）、段階８３０－８６０を前に通過した時のレジスタ７５０の値と比較する。現在のパスのレジスタ７５０の値が、前のパスのレジスタ７５０の値に対して減少していない場合、ＣＴＲＬ信号の新しい値は、エミュレートされたスリープトランジスター７２０を通じた静的リークの最低値に対応する。この場合、方法は、段階８２７に戻り、ＣＴＲＬ信号を更にインクリメントし、そしてキャパシター７１５を放電するために必要な時間を測定する。代案として、段階８７０において、キャパシター７１５を放電するために必要な時間が、エミュレートされたスリープトランジスター７２０を通る静的リークのより高い値に対応して、減少した場合、前に格納されたレジスタ７５０の値は、エミュレートされたスリープトランジスター７２０を通じた静的リークの最低値に対応する。最小静的リークに対応するＣＴＲＬ信号の値は、負電圧調整器４２０を制御するために用いられ、負電圧１５０の適切な設定を生成する。

【００４３】

図７乃至図８のデジタルＡＬＣ４１０の実施例のある利点は、ＣＴＲＬ信号がデジタル信号を比較することである。デジタルＣＴＲＬ信号は、制御信号１４０を介し、図１の複数のリーク管理部１３０へ転送されて良い。例えば、シリコンは優れた熱伝導体であるので、リーク管理部１３０及び電力アイランド管理部１２０を備えた単一のデジタルＡＬＣ４１０を利用することは有利であり得る。この実施例の複数の電力アイランド管理部１２０のそれぞれは、負電圧調整器４２０及びチャージポンプ４３０を有する。従ってリーク制御システム１３０の機能は、集積回路１００の全域に必要に応じて分配される。

【００４４】

図９は、本発明のある実施例による、論理ゲート１１５の静的リークを最小化する図４の負電圧調整器４２０の説明図である。負電圧調整器４２０は、負電圧１５０を受信するインターフェース、第１の分圧器９０５、第２の分圧器９１５、及び比較器９２０を有する。ある実施例では、第１の分圧器９０５は、ソースに結合されたバルクを備えたスタックドＰＭＯＳトランジスター（示されない）の直列を有する。理解されるべき点は、例えば、ソースに結合されたバルクを備えた３個の等価なスタックドＰＭＯＳトランジスターの直列が、３分割の分圧器を第１の分圧器９０５内に設けることである。更に理解されるべき点は、第１の分圧器９０５が如何なる分割比を有しても良いことである。第１の分圧器９０５は、正の電圧源（例えば、ＶＤＤ）に対し固定電圧基準（例えば、点Ｃ）を供給する。この実施例の固定電圧基準は、比較器９２０の負の端子と結合される。

【００４５】

同様に、ソースに結合されたバルクを備えた３個の等価なスタックドＰＭＯＳトランジスターの直列は、３分割の分圧器を第２の分圧器９１５の固定抵抗に設ける。更に理解されるべき点は、第２の分圧器９１５が如何なる分割比を有しても良いことである。この実施例の第２の分圧器９１５は、比較器９２０の正の端子と結合される。

【００４６】

図６のＡＬＣ４１０により生成されるアナログＣＴＲＬ信号と関連する実施例では、第２の分圧器９１５の可変抵抗９１０は、負電圧１５０及びＡＬＣ４１０により生成された受信信号（ＣＴＲＬ）に従い、第２の分圧器９１５に可変電圧基準（例えば、点Ｄ）を生成させる。可変抵抗９１０は、トランジスター回路を有して良い。ＣＴＲＬ信号に従い、可変抵抗９１０は、高インピーダンスと低インピーダンスの間で変化する。

【００４７】
図７乃至図８のデジタルＡＬＣ４１０と関連して、第２の分圧器９１５の可変抵抗９１０は、デジタルＣＴＲＬ信号により制御される切り替え抵抗網を有する。この実施例の可変抵抗９１０は、２つ以上の切り替え抵抗を有して良い。可変抵抗９１０はまた、ソースと結合されたバルクを備えた２つ以上のＰＭＯＳトランジスターを有する。
【００４８】
動作中、負の電圧調整器４２０は、負電圧１５０を、比較に基づき固定電圧基準（点Ｃ）及び可変電圧基準（点Ｄ）の間で調整する。比較器９２０は、イネーブル（ＥＮ）信号を生成し、チャージポンプ４３０（図４）をイネーブルし、負電圧１５０の大きさを増大する。ＥＮ信号がＬｏｗの場合、発振器４２５（図４）からチャージポンプ４３０への交番信号は、ディスエーブルされ、チャージポンプ４３０が負電圧１５０の大きさを増大するのを防ぐ。ＥＮ信号がＨｉｇｈの場合、発振器４２５からの交番信号は、イネーブルされ、チャージポンプ４３０が負電圧１５０の大きさを増大する。従って、ＡＬＣ４１０からのＣＴＲＬ信号に従い、比較器９２０は、チャージポンプ４３０を制御し、負電圧１５０の大きさを増大するか又は減少させる。
【００４９】
図１０は、本発明のある実施例による、静的リークを最小化する図４のチャージポンプ４３０の説明図である。チャージポンプ４３０は、正電圧（例えばＶＤＤ）を受信するインターフェース、ポンプキャパシター１０１０、正の交差して結合されたパスゲート１０２０、及び負の交差して結合されたパスゲート１０３０を有する。ポンプキャパシター１０１０は、ポンプキャパシター１０１０の第１の端子において正電圧ＶＤＤと結合される。
【００５０】
この実施例の正の交差して結合されたパスゲート１０２０は、発振器４２５（図４）からの交番信号と容量性結合される。正の交差して結合されたパスゲート１０２０は、ポンプキャパシター１０１０の第２の端子を仮想接地１０４０と、第１のＰＭＯＳスイッチ１０５０を介し結合し、交番信号に基づきポンプキャパシター１０１０を充電する。負の交差して結合されたパスゲート１０３０は、発振器４２５からの交番信号の相補部と容量性結合される。負の交差して結合されたパスゲート１０３０は、交番信号の相補部に基づき、ポンプキャパシター１０１０の第２の端子を第２のＰＭＯＳスイッチ１０５０を介して負の出力端子（例えば、負電圧１５０）と結合することにより、ポンプキャパシター１０１０を放電する。負の出力端子は、負電圧１５０をスリープトランジスター２１０に供給し、図２の論理ゲート１１５の静的リークを制御する。
【００５１】
理解されるべき点は、交差して結合されたパスゲート１０２０及び１０３０が、ＰＭＯＳトランジスターの井戸と結合する抵抗接点を備えたＰＭＯＳトランジスターを有することである。ＳＬＰ信号へのインターフェースは、基板を正の基準（例えばＶＤＤ）と仮想接地１０４０の間で切り替えるよう構成される。ＳＬＰ信号は、標準的にスリープモードを出るときにアクティベートされ、ＶＤＤを生成する電力供給がＰＭＯＳトランジスタースイッチ１０５０を介して接地に短絡されるのを防ぎ、及び井戸内のＰＮ接合が順バイアスされるのを保証する。基板は常にＰＭＯＳトランジスターのソース及びドレインと等しい又はより高い電位にあるので、トランジスターから基板へ如何なる電流も流れない。ＳＬＰ信号はまた、チャージポンプ４３０をディスエーブルする。
【００５２】
リーク管理システム１３０は、適応型リーク制御部４１０、負電圧調整器４２０、及び図４乃至図１０のチャージポンプ４３０を有し、静的リークが温度変動、電圧変動、又は製造過程のばらつきのような影響により変化する場合でさえ、論理ゲート１１５の静的リークを最小化する。リーク管理システム１３０は、集積回路１００に全て統合されて良く、集積回路１００の外部構成要素を除去する。更に、リーク管理システム１３０は、有利なことに、単一閾値トランジスターロジックを有する集積回路１００内で利用されて良く

、集積回路１００の製造を簡素化する。

【００５３】

以上の記載は、説明であり限定ではない。本発明の種々の変形は、本開示を読んだ後、当業者には明らかである。本発明の範囲は、従って、以上の説明を参照して決定されるよりむしろ、以上の説明の等価物を全ての範囲を包含する特許請求の範囲を参照して決定されるべきである。

【図面の簡単な説明】

【００５４】

【図１】本発明のある実施例による、静的リークを最小化するシステムを実施する集積回路のブロック図である。

【図２】本発明のある実施例による、図１の論理ゲートの静的リークを最小化するスリープトランジスターの説明図である。

【図３】本発明のある実施例による、スリープトランジスターのゲートにおける負電圧の範囲に対する、図２の論理ゲートの静的リークを説明するグラフである。

【図４】本発明のある実施例による、図２のスリープトランジスターに負電圧を印加することにより、論理ゲートの静的リークを最小化するリーク管理システムのブロック図である。

【図５】本発明のある実施例による、図２の論理ゲートの静的リークを最小化する方法の説明図である。

【図６】本発明のある実施例による、図４の適応型リーク制御部（ＡＬＣ）の説明図である。

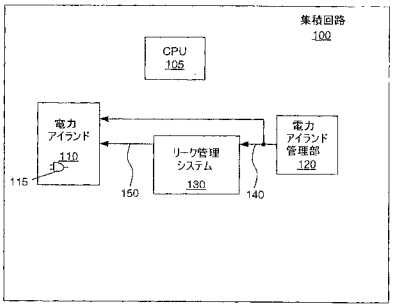
【図７】本発明の別の実施例による、図４のＡＬＣの説明図である。

【図８】図７のＡＬＣの実施例による、図２の論理ゲートの静的リークを最小化する方法の説明図である。

【図９】本発明のある実施例による、論理ゲートの静的リークを最小化する図４の負電圧調整器の説明図である。

【図１０】本発明のある実施例による、静的リークを最小化する図４のチャージポンプの説明図である。

【図１】



【図２】

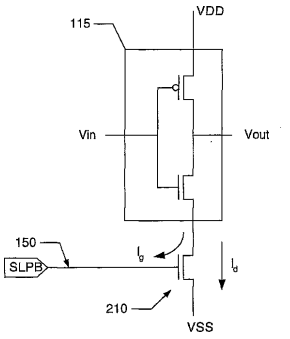
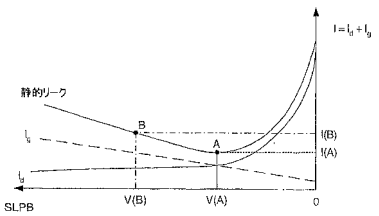


FIG. 2

【図３】



【図４】

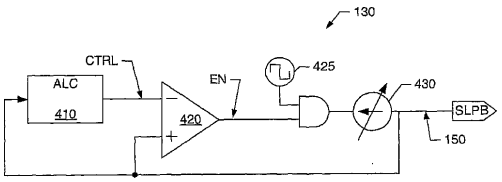
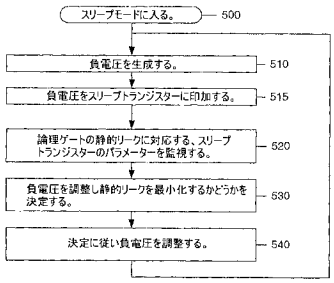


FIG. 4

【図５】



【図６】

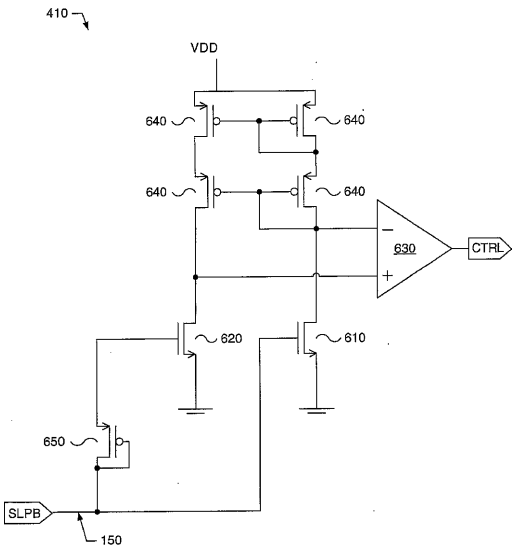
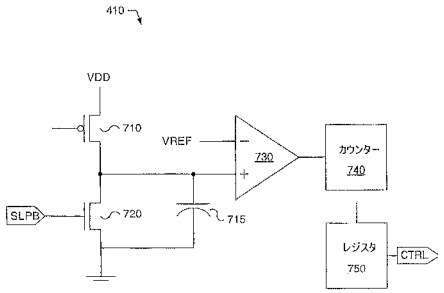
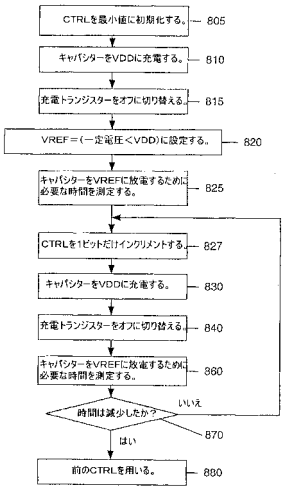


FIG. 6

【図７】



【図８】



【図９】

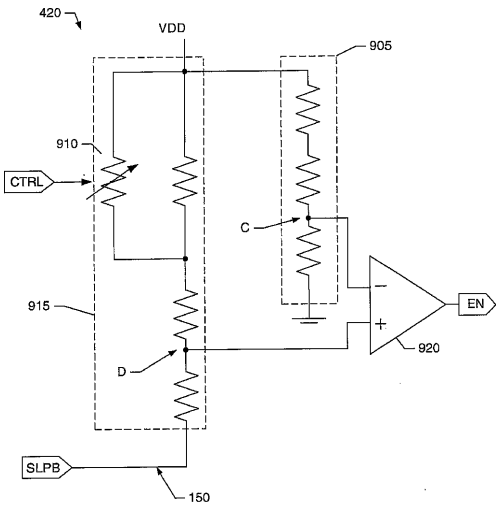


FIG. 9

【図１０】

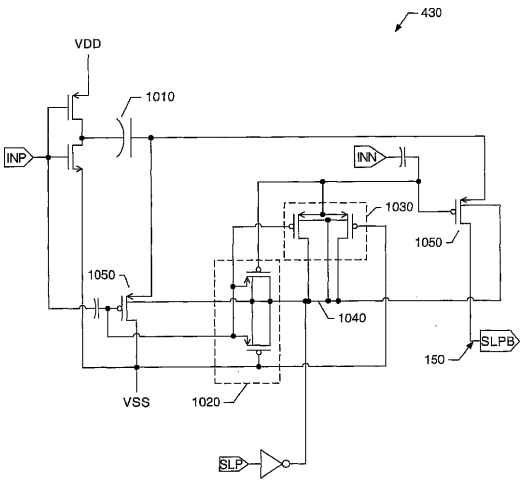


FIG. 10

フロントページの続き

(72)発明者　カプラン，ランディ
アメリカ合衆国　カリフォルニア州　９４０８９　サニーヴェール　オーリーンズ・ドライヴ　１３２２
(72)発明者　シュウェイク，スティーヴン
アメリカ合衆国　カリフォルニア州　９４０８９　サニーヴェール　オーリーンズ・ドライヴ　１３２２

審査官　大嶋　洋一

(56)参考文献　特開２００４－１４７１７５（ＪＰ，Ａ）
特開２０００－０４８５６８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 21/822
H01L 27/04
H03K 17/06