

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6305709号
(P6305709)

(45) 発行日 平成30年4月4日(2018.4.4)

(24) 登録日 平成30年3月16日(2018.3.16)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G09G 3/20 (2006.01)	G09G 3/20 680G
G02F 1/133 (2006.01)	G09G 3/20 670J
	G09G 3/20 621M
	G09G 3/20 641C
請求項の数 12 (全 33 頁) 最終頁に続く	

(21) 出願番号	特願2013-175130 (P2013-175130)	(73) 特許権者	512187343
(22) 出願日	平成25年8月27日 (2013. 8. 27)		三星ディスプレイ株式会社
(65) 公開番号	特開2014-71452 (P2014-71452A)		Samsung Display Co., Ltd.
(43) 公開日	平成26年4月21日 (2014. 4. 21)		大韓民国京畿道龍仁市器興区三星路1
審査請求日	平成28年8月26日 (2016. 8. 26)	(74) 代理人	100121382
(31) 優先権主張番号	10-2012-0108898		弁理士 山下 託嗣
(32) 優先日	平成24年9月28日 (2012. 9. 28)	(72) 発明者	尹 銖 浣
(33) 優先権主張国	韓国 (KR)		大韓民国京畿道華城市陵洞 陵洞マウルサンロックイエガ757棟602号
		(72) 発明者	權 英 根
			大韓民国京畿道龍仁市器興区貢税洞 タップシルマウルデジュピオレ2団地アパート208棟2005号
最終頁に続く			

(54) 【発明の名称】 表示パネル

(57) 【特許請求の範囲】

【請求項1】

ゲート線及びデータ線を含む表示領域と、
 ゲート線の一端に接続し、複数のステージを含み、基板上に集積されてゲート電圧を出力し、前記ステージはインバータ部及び出力部を含むゲート駆動部とを含み、
 前記出力部は、第1トランジスタ及び第1キャパシタを含み、
 前記第1トランジスタは、入力端子にクロック信号が印加され、制御端子が、第1キャパシタを介してゲート電圧出力端子に接続されている接続点と接続されており、出力端子が、ゲート電圧出力端子と接続されて、クロック信号に基づくゲートオン電圧、及び、第1低電圧に基づくゲートオフ電圧を出力し、
 前記インバータ部は、第1インバータ出力電圧と、これより低くゲートオフ電圧よりも低い第2低電圧に基づく第2インバータ出力電圧を出力し、
 前記ステージは、ノイズ除去部をさらに含み、
 前記ノイズ除去部は、少なくとも一つのトランジスタをさらに含み、
 ノイズ除去部にさらに含まれる少なくとも一つのトランジスタは、制御端子が前段ステージの前記インバータ部からの前記第1インバータ出力電圧及び第2インバータ出力電圧の印加を受け、入力端子が前記ゲート電圧出力端子と接続されており、出力端子が、前記第1低電圧が印加される導体と接続されている、表示装置。

【請求項2】

前記インバータ部は、少なくとも二つのトランジスタを含み、

前記少なくとも二つのトランジスタは、前記第 2 低電圧が印加される導体と接続されている、請求項 1 に記載の表示装置。

【請求項 3】

ノイズ除去部に含まれる少なくとも一対のトランジスタは、制御端子が前記第 1 インバータ出力電圧、及び前記第 2 インバータ出力電圧の印加を受け、入力端子が前記接続点に接続されており、出力端子が、前記第 2 低電圧が印加される導体と接続されている、請求項 2 に記載の表示装置。

【請求項 4】

前記ステージは、プルダウン部をさらに含み、

プルダウン部に含まれる少なくとも一対のトランジスタは、制御端子が次段ステージからの出力の印加を受け、入力端子が前記接続点に接続されており、出力端子が、前記第 2 低電圧が印加される導体と接続されている、請求項 3 に記載の表示装置。

10

【請求項 5】

前記ステージは、伝達信号生成部をさらに含み、

伝達信号生成部に含まれる少なくとも一つのトランジスタは、入力端子に前記クロック信号が印加され、制御端子が前記接続点と接続されており、出力端子が伝達信号出力端子と接続されて伝達信号を出力する、請求項 4 に記載の表示装置。

【請求項 6】

前記プルダウン部は、少なくとも一つのトランジスタをさらに含み、

プルダウン部にさらに含まれる少なくとも一つのトランジスタは、制御端子が前記次段ステージからの出力の印加を受け、入力端子が前記伝達信号出力端子と接続されており、出力端子が、前記第 2 低電圧が印加される導体と接続されている、請求項 5 に記載の表示装置。

20

【請求項 7】

前記プルダウン部は、少なくとも一つのトランジスタをさらに含み、

このようにさらに含まれる少なくとも一つのトランジスタは、制御端子が、次の次の段の前記ステージからの出力の印加を受け、入力端子が前記接続点と接続されており、出力端子が、前記第 2 低電圧が印加される導体と接続されている、請求項 6 に記載の表示装置。

【請求項 8】

前記トランジスタは全て酸化物半導体を含む、請求項 7 に記載の表示装置。

30

【請求項 9】

前記ステージは、プルダウン部をさらに含み、

プルダウン部に含まれる少なくとも一対のトランジスタは、制御端子が次段ステージからの出力の印加を受け、入力端子が前記接続点に接続されており、出力端子が、前記第 1 低電圧が印加される導体と接続されている、請求項 3 に記載の表示装置。

【請求項 10】

前記ステージは、プルダウン部をさらに含み、

プルダウン部に含まれる少なくとも一つのトランジスタは、制御端子が次段ステージからの出力の印加を受け、入力端子が前記接続点に接続されており、出力端子が、前記第 2 低電圧が印加される導体と接続されている、請求項 3 に記載の表示装置。

40

【請求項 11】

前記ステージは、プルダウン部をさらに含み、

プルダウン部に含まれる少なくとも一つのトランジスタは、制御端子が次段ステージからの出力の印加を受け、入力端子が前記接続点に接続されており、出力端子が、前記第 1 低電圧が印加される導体と接続されている、請求項 3 に記載の表示装置。

【請求項 12】

前記ステージは、ノイズ除去部をさらに含み、

ノイズ除去部に含まれる少なくとも一つのトランジスタは、制御端子が前記第 1 インバータ出力電圧、及び前記第 2 インバータ出力電圧の印加を受け、入力端子が前記接続点に

50

接続されており、出力端子が、前記第2低電圧が印加される導体と接続されている、請求項2に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示パネルに関し、表示パネルに集積されたゲート駆動部を有する表示パネルに関する。

【背景技術】

【0002】

表示パネルのうちの液晶表示装置は、現在、最も幅広く使用されている平板表示装置の一つであって、画素電極と共通電極など電界生成電極 (field generating electrode) が形成されている二枚の表示パネルと、その間に挿入されている液晶層とを含む。液晶表示装置は、電界生成電極に電圧を印加して液晶層に電界を生成し、これを通じて液晶層の液晶分子の方向を決定して、入射光の偏光を制御することによって画像を表示する。表示パネルは、液晶表示装置以外にも有機発光表示装置、プラズマ表示装置、及び電気泳動表示装置などがある。

【0003】

このような表示装置には、ゲート駆動部及びデータ駆動部が含まれている。このうちゲート駆動部は、ゲート線、データ線、薄膜トランジスタなどと共にパターンニングして、パネルの上に集積してもよい。このように集積されたゲート駆動部は、別途のゲート駆動用チップを形成する必要がなくて、製造原価が節減される長所がある。

【0004】

しかし、このように集積されたゲート駆動部の内部に形成された薄膜トランジスタは、ゲート信号を印加する間に一定水準の漏洩電流が発生して出力が低下することにより、ゲート電圧のレベルが低下する問題が生じる。

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明の目的は、表示パネルに実装されたゲート駆動部が出力するゲートオン電圧のレベルが低くなることを防止するか、または漏洩電流によって問題が生じないようにすることにある。

【課題を解決するための手段】

【0006】

このような課題を解決するために、本発明の実施形態による表示装置は、ゲート線及びデータ線を含む表示領域、及びゲート線の一端に接続し、複数のステージを含み、基板上に集積されてゲート電圧を出力し、前記ステージは、インバータ部、出力部を含むゲート駆動部を含み、前記出力部は、第1トランジスタ及び第1キャパシタを含み、前記第1トランジスタの入力端子はクロック信号が印加され、制御端子はQ接続点と接続されており、出力端子はゲート電圧出力端子と接続してゲート電圧が出力され、前記インバータの出力電圧のうち低電圧は、前記出力部によって出力されるゲート電圧の低電圧より低い第2低電圧を有する。

【0007】

前記インバータ部は、少なくとも二つのトランジスタを含み、前記少なくとも二つのトランジスタが前記第2低電圧と接続してもよい。

【0008】

前記ステージは、制御端子は前記インバータの前記出力電圧の印加を受け、入力端子は前記Q接続点に接続されており、出力端子は前記第2低電圧と接続されている、少なくとも一対のトランジスタを含むノイズ除去部をさらに含んでもよい。

【0009】

10

20

30

40

50

前記ステージは、制御端子は次段ステージの出力の印加を受け、入力端子は前記Q接続点に接続されており、出力端子は前記第2低電圧と接続されている、少なくとも一対のトランジスタを含むプルダウン部をさらに含んでもよい。

【0010】

前記ノイズ除去部は、制御端子は前段ステージの前記インバータの前記出力電圧の印加を受け、入力端子は前記ゲート電圧出力端子と接続されており、出力端子は前記ゲート電圧の低電圧と接続されている、少なくとも一つのトランジスタをさらに含んでもよい。

【0011】

前記ステージは、入力端子は前記クロック信号が印加され、制御端子は前記Q接続点と接続されており、出力端子は伝達信号出力端子と接続されて伝達信号が出力される、少なくとも一つのトランジスタを含む伝達信号生成部をさらに含んでもよい。

10

【0012】

前記プルダウン部は、制御端子は前記次段ステージの出力の印加を受け、入力端子は前記伝達信号出力端子と接続されており、前記出力端子は前記第2低電圧と接続されている、少なくとも一つのトランジスタをさらに含んでもよい。

【0013】

前記プルダウン部は、次の次段前記ステージの出力の印加を受け、入力端子は前記Q接続点と接続されており、出力端子は前記第2低電圧と接続されている少なくとも一つのトランジスタをさらに含んでもよい。

【0014】

前記トランジスタは全て酸化物半導体を含んでもよい。

20

【0015】

前記ステージは、制御端子は次段ステージの出力の印加を受け、入力端子は前記Q接続点に接続されており、出力端子は前記ゲート電圧の低電圧と接続されている、少なくとも一対のトランジスタを含むプルダウン部をさらに含んでもよい。

【0016】

前記ステージは、制御端子は次段ステージの出力の印加を受け、入力端子は前記Q接続点に接続されており、出力端子は前記第2低電圧と接続されている、少なくとも一つのトランジスタを含むプルダウン部をさらに含んでもよい。

【0017】

前記ステージは、制御端子は次段ステージの出力の印加を受け、入力端子は前記Q接続点に接続されており、出力端子は前記ゲート電圧の低電圧と接続されている、少なくとも一つのトランジスタを含むプルダウン部をさらに含んでもよい。

30

【0018】

前記ステージは、制御端子は前記インバータの前記出力電圧の印加を受け、入力端子は前記Q接続点に接続されており、出力端子は前記第2低電圧と接続されている、少なくとも一つのトランジスタを含むノイズ除去部をさらに含んでもよい。

【0019】

本発明の他の実施形態による表示装置は、ゲート線及びデータ線を含む表示領域、及びゲート線の一端に接続し、複数のステージを含み、基板上に集積されてゲート電圧を出力し、前記ステージはインバータ部、出力部を含むゲート駆動部を含み、前記出力部は第1トランジスタ及び第1キャパシタを含み、前記第1トランジスタの入力端子はクロック信号が印加され、制御端子はQ接続点と接続されており、出力端子はゲート電圧出力端子と接続してゲート電圧が出力され、前記インバータの出力電圧のうち低電圧は、前記出力部によって出力されるゲート電圧の低電圧を有する。

40

【0020】

前記インバータ部は、出力端子は前記ゲート電圧の低電圧より低い第2低電圧と接続されている、少なくとも二つのトランジスタを含んでもよい。

【発明の効果】

【0021】

50

以上のように、表示パネルに実装されたゲート駆動部のトランジスタのうちの一部トランジスタの出力端子をさらに低い低電圧と接続して、当該トランジスタにかかる電圧差を減らすことにより、ゲート駆動部が出力するゲートオン電圧のレベルが低くなることを防止するか、または漏洩電流によって問題が生じないようにする。

【図面の簡単な説明】

【0022】

【図1】本発明の実施形態による表示パネルの平面図である。

【図2】図1のゲート駆動部及びゲート線を具体化して示したブロック図である。

【図3】本発明の実施形態によるゲート駆動部のうちの一つのステージを拡大して示した回路図である。

10

【図4】酸化物半導体を含む薄膜トランジスタの電圧による電流グラフである。

【図5】本発明の実施形態によるゲート駆動部の動作特性を示したタイミング図である。

【図6】本発明の実施形態によるゲート駆動部の動作特性を示したタイミング図である。

【図7】本発明の実施形態によるゲート駆動部の動作特性を示したタイミング図である。

【図8】本発明の他の実施形態によるゲート駆動部のうちの一つのステージを拡大して示した回路図である。

【図9】本発明の他の実施形態によるゲート駆動部のうちの一つのステージを拡大して示した回路図である。

【図10】本発明の他の実施形態によるゲート駆動部のうちの一つのステージを拡大して示した回路図である。

20

【図11】本発明の他の実施形態によるゲート駆動部のうちの一つのステージを拡大して示した回路図である。

【図12】本発明の他の実施形態によるゲート駆動部のうちの一つのステージを拡大して示した回路図である。

【図13】他の実施形態によるゲート駆動部及びゲート線を具体化して示したブロック図である。

【図14】図13の実施形態によるゲート駆動部のうちの一つのステージを拡大して示した回路図である。

【図15】本発明の他の実施形態によるゲート駆動部のうちの一つのステージを拡大して示した回路図である。

30

【図16】本発明の他の実施形態によるゲート駆動部のうちの一つのステージを拡大して示した回路図である。

【図17】本発明の他の実施形態によるゲート駆動部のうちの一つのステージを拡大して示した回路図である。

【図18】本発明の他の実施形態によるゲート駆動部のうちの一つのステージを拡大して示した回路図である。

【図19】本発明の他の実施形態によるゲート駆動部のうちの一つのステージを拡大して示した回路図である。

【図20】本発明の他の実施形態による表示装置の平面図である。

【図21】図20の実施形態で使用されたクロック信号の波形図である。

40

【発明を実施するための形態】

【0023】

添付した図面を参照して、本発明の実施形態について本発明が属する技術分野における通常の知識を有する者が容易に実施できるように詳細に説明する。しかし、本発明は種々の異なる形態に実現でき、ここで説明する実施形態に限られない。

【0024】

図面において、種々の層及び領域を明確に表現するために厚さを拡大して示した。明細書の全体にわたって類似する部分に対しては同一の図面符号を付けた。層、膜、領域、板などの部分が他の部分の「上」にあるというとき、これは他の部分の「すぐ上」にある場合だけでなく、その中間に他の部分がある場合も含む。一方、ある部分が他の部分の「す

50

ぐ上」にあるというときには、中間に他の部分がないことを意味する。

【0025】

次に、本発明の実施形態による表示装置について、図1を参照して詳細に説明する。

【0026】

図1は、本発明の実施形態による表示装置の平面図である。

【0027】

図1を参照すれば、本発明の一実施形態による表示パネル100は、画像を表示する表示領域300、表示領域300のゲート線にゲート電圧を印加するゲート駆動部500を含む。一方、表示領域300のデータ線は、表示パネル100に付着されたフレキシブルプリント回路膜(FPC; flexible printed circuit film)450などのフィルムの上に形成されたデータドライバIC460からデータ電圧が印加される。一方、ゲート駆動部500及びデータドライバIC460は信号制御部600によって制御される。フレキシブルプリント回路膜450などのフィルムの外側にはプリント回路基板(PCB; printed circuit board)が形成されて、信号制御部600からの信号をデータドライバIC460及びゲート駆動部500に伝達する。信号制御部600から提供される信号としては、第1クロック信号CKV、第2クロック信号CKVB、及びスキャン開示信号STVPなどの信号と、特定レベルの低電圧Vss1、Vss2を提供する信号を含む。実施形態によっては低電圧を一種類だけ有してもよい。

【0028】

表示領域300は、液晶表示パネルである場合には、薄膜トランジスタTrsw、液晶キャパシタClc、及び維持キャパシタCstなどを含み、図1においては液晶表示パネルを例として挙げている。一方、有機発光表示パネルにおいては薄膜トランジスタ、及び有機発光ダイオードを含み、その他の表示パネルにおいては薄膜トランジスタなどの素子を含んで表示領域300を形成する。本発明は液晶表示パネルに限定されないが、明確に説明するために、以下では液晶表示パネルを例として挙げて説明する。

【0029】

表示領域300には、多数のゲート線G1~Gn及び多数のデータ線D1~Dmを含み、多数のゲート線G1~Gn及び多数のデータ線D1~Dmは絶縁して交差している。

【0030】

各画素PXには、薄膜トランジスタTrsw、液晶キャパシタClc、及び維持キャパシタCstを含む。薄膜トランジスタTrswの制御端子は一つのゲート線に接続され、薄膜トランジスタTrswの入力端子は一つのデータ線に接続され、薄膜トランジスタTrswの出力端子は液晶キャパシタClcの一端端子及び維持キャパシタCstの一端端子に接続される。液晶キャパシタClcの他側端子は共通電極に接続され、維持キャパシタCstの他側端子は信号制御部600から印加される維持電圧Vcstが印加される。液晶表示パネルの画素PXの構造も多様な実施形態が存在し、図1に示した画素PXの基本構造から追加構成を有する画素PXも本発明を適用することができる。

【0031】

多数のデータ線D1~Dmは、データドライバIC460からデータ電圧が印加され、多数のゲート線G1~Gnは、ゲート駆動部500からゲート電圧が印加される。

【0032】

データドライバIC460は、表示パネル100の上側または下側に形成されて、縦方向に延長されたデータ線D1~Dmと接続しているが、図1においては、データドライバIC460が表示パネル100の上側に位置する実施形態を示している。

【0033】

ゲート駆動部500は、クロック信号CKV、CKVB、スキャン開示信号STVP、及びゲートオフ電圧に準ずる第1低電圧Vss1と、ゲートオフ電圧より低い第2低電圧Vss2の印加を受け、ゲート電圧(ゲートオン電圧及びゲートオフ電圧)を生成して、ゲート線G1~Gnに順次にゲートオン電圧を印加する。

10

20

30

40

50

【 0 0 3 4 】

ゲート駆動部 5 0 0 に印加されるクロック信号 C K V、C K V B、スキャン開示信号 S T V P、第 1 低電圧 V s s 1、及び第 2 低電圧 V s s 2 は、図 1 に示したようにデータドライバ I C 4 6 0 が位置するフレキシブルプリント回路膜 4 5 0 のうち、最もゲート駆動部 5 0 0 と近いフレキシブルプリント回路膜 4 5 0 を通じてゲート駆動部 5 0 0 に印加される。このような信号は、外部または信号制御部 6 0 0 からプリント回路基板 4 0 0 を通じてフレキシブルプリント回路膜 4 5 0 などのフィルムに伝達される。

【 0 0 3 5 】

以上、表示装置の全体的な構造について説明した。

【 0 0 3 6 】

以下、本発明と関するゲート駆動部 5 0 0 及びゲート線 G 1 ~ G n を中心に説明する。

10

【 0 0 3 7 】

図 2 は、図 1 のゲート駆動部及びゲート線を具体化して示したブロック図である。

【 0 0 3 8 】

図 2 においては、ゲート駆動部 5 0 0 をブロック化して詳細に示している。

【 0 0 3 9 】

図 2 において、表示領域 3 0 0 を抵抗 R p とキャパシタンス C p に示した。これは、ゲート線 G 1 ~ G n、液晶キャパシタ C l c、及び維持キャパシタ C s t は、それぞれ抵抗値及びキャパシタンスを有し、これらを全て合わせて一つの抵抗 R p 及び一つのキャパシタンス C p に示したものである。つまり、ゲート線は、図 2 に示したように、回路的には抵抗 R p とキャパシタンス C p を有するものと示すことができる。これら値は、一つのゲート線が全体的に有する値であり、表示領域 3 0 0 の構造及び特性によって他の値を有することができる。ステージ S R から出力されたゲート電圧はゲート線に伝達される。各ステージ S R n に対応してそれぞれゲート線 G n が接続されている。

20

【 0 0 4 0 】

以下、ゲート駆動部 5 0 0 について説明する。

【 0 0 4 1 】

ゲート駆動部 5 0 0 は、互いに従属的に接続された多数のステージ S R 1、S R 2、S R 3、S R 4 を含む。各ステージ S R 1、S R 2、S R 3、S R 4、... は、三個の入力端子 I N 1、I N 2、I N 3、一つのクロック入力端子 C K、二つの電圧入力端子 V i n 1、V i n 2、ゲート電圧を出力するゲート電圧出力端子 O U T、伝達信号出力端子 C R o u t、及びインバータ信号出力端子 I V T o u t を含む。

30

【 0 0 4 2 】

先ず、第 1 入力端子 I N 1 は、前段ステージの伝達信号出力端子 C R o u t に接続して、以前段の伝達信号 C R の印加を受けるが、最初のステージは前段ステージが存在しないので、第 1 入力端子 I N 1 にスキャン開示信号 S T V P が印加される。

【 0 0 4 3 】

第 2 入力端子 I N 2 は、次段ステージの伝達信号出力端子 C R o u t に接続して、次段の伝達信号 C R の印加を受ける。

【 0 0 4 4 】

n - 1 番目ゲート線 G n - 1 に接続されたステージ S R n - 1 (図示せず)、及び n 番目ゲート線 G n に接続されたステージ S R n (図示せず) は、次段及び次の次段ステージから伝達信号 C R を受信するために、ダミーステージを二つ形成してもよい。ダミーステージ S R n + 1、S R n + 2 (図示せず) は、他のステージ S R 1 ~ S R n とは異なり、ダミーゲート電圧を生成して出力するステージである。つまり、他のステージ S R 1 - S R n から出力されたゲート電圧は、ゲート線を通じて伝達されながら画素にデータ電圧が印加されて画像を表示する。しかし、ダミーステージ S R n + 1、S R n + 2 は、ゲート線に接続してなくてもよく、ゲート線と接続しても画像を表示しないダミー画素 (図示せず) のゲート線と接続していて、画像を表示するのに用いられなくてもよい。

40

【 0 0 4 5 】

50

一方、第3入力端子IN3は、前段ステージのインバータ信号出力端子IVToutに接続して、以前段のインバータ信号IVTが印加されるが、最初のステージは前段ステージが存在しないので、これに対応する信号を別途に生成して入力させるか、またはダミーステージSRn+1、SRn+2（図示せず）でこれとタイミングの適した信号を生成するようにして、これを受信してもよい。即ち、当該ステージにおいてゲートオン電圧が印加される1H区間では、低電圧Vss1またはVss2が印加されるタイミングを有する信号を出力制御信号OCSという。

【0046】

クロック入力端子CKにはクロック信号が印加されるが、多数のステージのうち奇数番目ステージのクロック入力端子CKには第1クロック信号CKVが印加され、偶数番目ステージのクロック入力端子CKには第2クロック信号CKVBが印加される。第1クロック信号CKVと第2クロック信号CKVBは、互いに位相が反対になるクロック信号である。

10

【0047】

第1電圧入力端子Vin1にはゲートオフ電圧に該当する第1低電圧Vss1が印加され、第2電圧入力端子Vin2には第1低電圧Vss1より低い第2低電圧Vss2が印加される。第1低電圧Vss1及び第2低電圧Vss2の電圧値は実施形態によって多様でありうるが、本実施形態においては、第1低電圧Vss1値として-6Vを使用しており、第2低電圧Vss2値として-10Vを使用している。つまり、第2低電圧Vss2が第1低電圧Vss1よりさらに低い電圧を使用する。

20

【0048】

次に、ゲート駆動部500の動作について説明する。

【0049】

先ず、第1ステージSR1は、クロック入力端子CKを通じて外部から提供される第1クロック信号CKVを、第1入力端子IN1を通じてスキャン開示信号STVPを、第1電圧入力端子Vin1及び第2電圧入力端子Vin2に第1低電圧Vss1及び第2低電圧Vss2を、第2入力端子IN2を通じて第2ステージSR2から提供される伝達信号CRを、そして第3入力端子IN3を通じて出力制御信号を受信して、第1ゲートラインにゲート電圧出力端子OUTを通じてゲートオン電圧を出力する。また、伝達信号出力端子CROUTでは伝達信号CRを出力して第2ステージSR2の第1入力端子IN1に伝達し、インバータ信号出力端子IVToutではインバータ信号IVTを第2ステージSR2の第3入力端子IN3に伝達する。

30

【0050】

第2ステージSR2は、クロック入力端子CKを通じて外部から提供される第2クロック信号CKVBを、第1入力端子IN1を通じて第1ステージSR1の伝達信号CRを、第1電圧入力端子Vin1及び第2電圧入力端子Vin2に第1低電圧Vss1及び第2低電圧Vss2を、第2入力端子IN2を通じて第3ステージSR3からそれぞれ提供される伝達信号CRを、そして第3入力端子IN3を通じて第1ステージSR1から提供されるインバータ信号IVTを受信して、第2ゲートラインにゲート電圧出力端子OUTを通じてゲートオン電圧を出力する。また、伝達信号出力端子CROUTでは伝達信号CRを出力して、第3ステージSR3の第1入力端子IN1及び第1ステージSR1の第2入力端子IN2に伝達し、インバータ信号出力端子IVToutではインバータ信号IVTを第3ステージSR3の第3入力端子IN3に伝達する。

40

【0051】

一方、第3ステージSR3は、クロック入力端子CKを通じて外部から提供される第1クロック信号CKVを、第1入力端子IN1を通じて第2ステージSR2の伝達信号CRを、第1電圧入力端子Vin1及び第2電圧入力端子Vin2に第1低電圧Vss1及び第2低電圧Vss2を、第2入力端子IN2を通じて第4ステージSR4から提供される伝達信号CRを、そして第3入力端子IN3を通じて第2ステージSR2から提供されるインバータ信号IVTを受信して、第3ゲートラインにゲート電圧出力端子OUTを通じ

50

てゲートオン電圧を出力する。また、伝達信号出力端子 $CRout$ では伝達信号 CR を出力して、第4ステージ $SR4$ の第1入力端子 $IN1$ 及び第2ステージ $SR2$ の第2入力端子 $IN2$ に伝達し、インバータ信号出力端子 $IVTout$ ではインバータ信号 IVT を第4ステージ $SR4$ の第3入力端子 $IN3$ に伝達する。

【0052】

上記と同様の方法により、 n 番目ステージ SRn は、クロック入力端子 CK を通じて外部から提供される第2クロック信号 $CKVB$ を、第1入力端子 $IN1$ を通じて第 $n-1$ ステージ $SR2$ の伝達信号 CR を、第1電圧入力端子 $Vin1$ 及び第2電圧入力端子 $Vin2$ に第1低電圧 $Vss1$ 及び第2低電圧 $Vss2$ を、第2入力端子 $IN2$ 及び第3入力端子 $IN3$ を通じて第 $n+1$ ステージ $SRn+1$ (ダミーステージ) からそれぞれ提供される伝達信号 CR を、そして第3入力端子 $IN3$ を通じて第 $n-1$ ステージ $SRn-1$ から提供されるインバータ信号 IVT を受信して、 n 番目ゲートラインにゲート電圧出力端子 OUT を通じてゲートオン電圧を出力する。また、伝達信号出力端子 $CRout$ では伝達信号 CR を出力して、第 $n+1$ ステージ $SRn+1$ (ダミーステージ) の第1入力端子 $IN1$ 及び第 $n-1$ ステージ $SRn-1$ の第2入力端子 $IN2$ に伝達し、インバータ信号出力端子 $IVTout$ ではインバータ信号 IVT を第 $n+1$ ステージ $SRn+1$ (ダミーステージ) に伝達する。

10

【0053】

図2を参照して、全体的なゲート駆動部500のステージ SR の接続構造について説明した。以下では、図3を参照して、一つのゲート線に接続されたゲート駆動部のステージ SR の構造についてさらに詳細に説明する。

20

【0054】

図3は、本発明の実施形態によるゲート駆動部のうちの一つのステージを拡大して示した回路図である。

【0055】

本実施形態によるゲート駆動部500の各ステージ SR は、入力部511、インバータ部512、伝達信号生成部513、出力部514、ノイズ除去部515、及びプルダウン部516を含む。

【0056】

先ず、入力部511は、一つのトランジスタ(第4トランジスタ $Tr4$)を含み、第4トランジスタ $Tr4$ の入力端子及び制御端子は、第1入力端子 $IN1$ に共通接続(ダイオード接続)されており、出力端子は、 Q 接続点(以下、第1ノードともいう)と接続されている。入力部511は、第1入力端子 $IN1$ にハイ電圧が印加される場合、これを Q 接続点に伝達する役割を果たす。

30

【0057】

インバータ部512は、4個のトランジスタ(第12トランジスタ $Tr12$ 、第7トランジスタ $Tr7$ 、第8トランジスタ $Tr8$ 、及び第13トランジスタ $Tr13$)を含む。先ず、第12トランジスタ $Tr12$ は、ダイオード接続して制御端子が接続された一端(入力端)はクロック入力端子 CK と接続されており、他端(出力端)は第7トランジスタ $Tr7$ の制御端子及び第13トランジスタ $Tr13$ の入力端子と接続されている。第7トランジスタ $Tr7$ は、制御端子が第12トランジスタ $Tr12$ の出力端と接続され、入力端子はクロック入力端子 CK と接続され、出力端子は I 接続点(インバータノードまたは第2ノードともいう)と接続されている。第8トランジスタ $Tr8$ は、制御端子は本段ステージの伝達信号出力端子 $CRout$ と接続され、入力端子は I 接続点と接続され、出力端子は第2電圧入力端子 $Vin2$ と接続されている。第13トランジスタ $Tr13$ は、入力端子が第12トランジスタ $Tr12$ の出力端と接続され、制御端子は本段ステージの伝達信号出力端子 $CRout$ と接続され、出力端子は第2電圧入力端子 $Vin2$ と接続されている。以上のような接続によってクロック信号にハイ信号が印加されると、第12トランジスタ $Tr12$ 及び第7トランジスタ $Tr7$ によってそれぞれ第8トランジスタ $Tr8$ 及び第13トランジスタ $Tr13$ の入力端子に伝達されて、 I 接続点がハイ電圧を有し、

40

50

伝達されたハイ信号は、本段ステージの伝達信号出力端子C R o u t から伝達信号C R が出力されると、I 接続点の電圧を第2低電圧V s s 2 に低くする。その結果、インバータ部5 1 2のI 接続点は、本段ステージの伝達信号C R 及びゲートオン電圧と反対の電圧レベルを有する。

【0058】

伝達信号生成部5 1 3は、一つのトランジスタ(第15トランジスタT r 1 5)を含む。第15トランジスタT r 1 5の入力端子にはクロック入力端子C K が接続して、第1クロック信号C K V または第2クロック信号C K V B が入力され、制御端子は前記入力部5 1 1の出力、即ち、Q 接続点に接続され、出力端子は伝達信号C R を出力する伝達信号出力端子C R o u t に接続されている。ここで、制御端子と出力端子の間には寄生キャパシタ(図示せず)が形成されていてもよい。第15トランジスタT r 1 5の出力端子は、伝達信号出力端子C R o u t だけでなく、ノイズ除去部5 1 5及びプルダウン部5 1 6と接続して、第2低電圧V s s 2の印加を受ける。その結果、伝達信号C R がロー(low)のときの電圧値は、第2低電圧V s s 2値を有する。

10

【0059】

出力部5 1 4は、一つのトランジスタ(第1トランジスタT r 1)及び一つのキャパシタ(第1キャパシタC 1)を含む。第1トランジスタT r 1の制御端子はQ 接続点に接続され、入力端子はクロック入力端子C K を通じて第1クロック信号C K V または第2クロック信号C K V B の入力を受け、制御端子と出力端子の間には第1キャパシタC 1が形成され、出力端子はゲート電圧出力端子O U T と接続されている。また、出力端子はノイズ除去部5 1 5及びプルダウン部5 1 6と接続されており、ノイズ除去部5 1 5及びプルダウン部5 1 6を通じて第1電圧入力端子V i n 1と接続されている。その結果、ゲートオフ電圧の電圧値は第1低電圧V s s 1値を有する。このような出力部5 1 4は、Q 接続点における電圧及び前記第1クロック信号C K V によってゲート電圧を出力する。Q 接続点の電圧によって第1トランジスタT r 1の制御端子と出力端子の間に電圧差が発生し、この電圧差が第1キャパシタC 1に保存された後、クロック信号によってハイ電圧が印加されると、充電された電圧がブーストアップされて高い電圧がゲートオン電圧に出力される。

20

【0060】

ノイズ除去部5 1 5は、I 接続点の出力によって制御される部分であって、5個のトランジスタ(第3トランジスタT r 3、第10トランジスタT r 1 0及び第10-1トランジスタT r 1 0-1、第11トランジスタT r 1 1及び第11-1トランジスタT r 1 1-1)を含む。第3トランジスタT r 3の制御端子はI 接続点と接続され、入力端子はゲート電圧出力端子O U T と接続され、出力端子は第1電圧入力端子V i n 1と接続されている。第3トランジスタT r 3は、I 接続点の電圧によってゲート電圧出力端子O U T の電圧を第1低電圧V s s 1に変更させる。第10トランジスタT r 1 0及び第10-1トランジスタT r 1 0-1は、入力端子と出力端子を互いに接続し、制御端子が同一の端子に接続(以下、これを略して追加接続という)された一対のトランジスタであって、制御端子は全てI 接続点に接続され、一対のトランジスタの入力端子はQ 接続点に接続され、出力端子は第2電圧入力端子V i n 2と接続されている。第10トランジスタT r 1 0及び第10-1トランジスタT r 1 0-1は、I 接続点の電圧によってQ 接続点の電圧を第2低電圧V s s 2に変更させる。一対の追加接続されたトランジスタを使用することによって、二つのトランジスタが第2低電圧とI 接続点の間の電圧差を分けて印加を受けるようにして、Q 接続点における漏洩電流の発生を少なくする。実施形態によって第10トランジスタT r 1 0及び第10-1トランジスタT r 1 0-1は、3個以上の薄膜トランジスタが追加接続された構造に形成してもよい。このとき、追加形成されるトランジスタも入力端子と出力端子を互いに接続し、制御端子が同一のI 接続点に接続していてもよい。第11トランジスタT r 1 1は、制御端子がI 接続点と接続され、入力端子は伝達信号出力端子C R o u t と接続され、出力端子は第2電圧入力端子V i n 2と接続されている。つまり、第11トランジスタT r 1 1は、I 接続点の電圧によって伝達信号出力端子C R

30

40

50

outの電圧を第2低電圧 V_{ss2} に変更させる。第11-1トランジスタ Tr_{11-1} は、制御端子が第3入力端子 IN_3 を通じて前段ステージのI接続点と接続され、入力端子はゲート電圧出力端子OUTと接続され、出力端子は第1電圧入力端子 V_{in1} と接続されている。第11-1トランジスタ Tr_{11-1} は、前段ステージのI接続点(インバータ出力)の電圧によってゲート電圧出力端子OUTの電圧を第1低電圧 V_{ss1} に変更させる。ここで、第3トランジスタ Tr_3 は、本段ステージのインバータ出力によってゲート電圧出力端子OUTを第1低電圧 V_{ss1} に変更させる動作を行い、第11-1トランジスタ Tr_{11-1} は、前段ステージのインバータ出力によってゲート電圧出力端子OUTを第1低電圧 V_{ss1} に変更させる動作を行う。

【0061】

プルダウン部516は、次段の伝達信号CRによって制御される部分で、4個のトランジスタ(第2トランジスタ Tr_2 、第9トランジスタ Tr_9 、第9-1トランジスタ Tr_{9-1} 、第17トランジスタ Tr_{17})を含む。第2トランジスタ Tr_2 は、制御端子は第2入力端子 IN_2 に接続され、入力端子はゲート電圧出力端子OUTと接続され、出力端子は第1電圧入力端子 V_{in1} と接続されている。第2トランジスタ Tr_2 は、次段の伝達信号CRによってゲート電圧出力端子OUTの電圧を第1低電圧 V_{ss1} に変更させる。第9トランジスタ Tr_9 及び第9-1トランジスタ Tr_{9-1} は、入力端子と出力端子を互いに接続し、制御端子が同一の端子に接続、即ち、追加接続された一对のトランジスタであって、制御端子は全て第2入力端子 IN_2 に接続され、一对のトランジスタの入力端子はQ接続点に接続され、出力端子は第2電圧入力端子 V_{in2} と接続されている。以上のように、一对の追加接続されたトランジスタを使用することによって、二つのトランジスタが第2低電圧と次段のキャリアー信号間の電圧(特に、低電圧での電圧)差を分けて印加を受けるようにして、Q接続点における漏洩電流の発生を少なくする。実施形態によって第9トランジスタ Tr_9 及び第9-1トランジスタ Tr_{9-1} は、3個以上の薄膜トランジスタが追加接続された構造に形成してもよい。このとき、追加形成されるトランジスタも入力端子と出力端子を互いに接続し、制御端子が同一の第2入力端子 IN_2 に接続していてもよい。第17トランジスタ Tr_{17} は、制御端子は第2入力端子 IN_2 に接続され、入力端子は伝達信号出力端子CROUTに接続され、出力端子は第2電圧入力端子 V_{in2} に接続されている。

【0062】

ゲート電圧及び伝達信号CRは多様な電圧値を有してもよいが、本実施形態においては、ゲートオン電圧は25V、ゲートオフ電圧及び第1低電圧 V_{ss1} は-5Vを有し、伝達信号CRのハイ(high)電圧は25V、ロー(low)電圧及び第2低電圧 V_{ss2} は-10Vを有する。以下、上述の電圧レベルに基づいて動作を説明する。

【0063】

まとめると、一つのステージSRは、Q接続点における電圧によって伝達信号生成部513、出力部514が動作して、伝達信号CRのハイ(high)電圧及びゲートオン電圧を出力し、前段及び次段の伝達信号CRによって、伝達信号CRはハイ(high)電圧から第2低電圧 V_{ss2} に低くなり、ゲートオン電圧は第1低電圧 V_{ss1} に低くなって、ゲートオフ電圧となる。

【0064】

以上のような構造は、次のような特徴を有する。

【0065】

先ず、インバータ部512の第8トランジスタ Tr_8 及び第13トランジスタ Tr_{13} は、出力端子が第2低電圧 V_{ss2} と接続されている。その結果、I接続点の低い電圧値で第2低電圧 V_{ss2} 値を有するようにする。これは、インバータの出力であるI接続点の電圧を制御端子に受けるノイズ除去部515のトランジスタに影響を与える。例えば、第10トランジスタ Tr_{10} 及び第10-1トランジスタ Tr_{10-1} は、制御端子の電圧(I接続点電圧)のうち低い電圧(第2低電圧 V_{ss2})と、出力端子の電圧(第2低電圧 V_{ss2})との間の電圧レベル差がなくなって、薄膜トランジスタのソースとゲート

10

20

30

40

50

電極間の電圧差がゼロとなり、漏洩電流が発生しない。このような点は、薄膜トランジスタのチャンネル層を酸化物半導体で使用した場合にも維持される。一般に、酸化物半導体を使用する薄膜トランジスタは、非晶質シリコンを使用した薄膜トランジスタに比べ、漏洩電流が10倍以上発生するため、酸化物半導体を使用する場合、漏洩電流を減らす必要がある。3種類の酸化物半導体を使用した薄膜トランジスタの特性は、図4のグラフに示している。

【0066】

図4は、酸化物半導体を含む薄膜トランジスタの電圧による電流グラフであり、横軸はゲート電極とソース電極間の電圧差であり、縦軸はソース電極とドレイン電極間の電流（漏洩電流）を示す。図4では、3種類の酸化物半導体を使用した薄膜トランジスタのそれぞれの特性が、実線、破線、一点鎖線で表されている。図4に示したように、酸化物半導体を使用する薄膜トランジスタは、電圧の変化に敏感に漏洩電流が急減することを確認でき、ゲート電極とソース電極間の電圧差を減らすのが漏洩電流による問題を除去する方法である。

10

【0067】

図3の第8トランジスタTr8及び第13トランジスタTr13とは異なり、Tr8及びTr13の出力端子が第1低電圧Vss1に接続された場合には、I接続点の低電圧が-5V値を有するようになるが、この場合、第10トランジスタTr10及び第10-1トランジスタTr10-1は第2低電圧Vss2の-10Vと、制御端子には-5Vの低電圧が印加されるので、5Vの電圧差が発生する。これについて図4を参照すれば、電流がオフである場合の電流量に比べ5Vである場合の電流量が約10の4乗倍の電流が流れることが分かり、漏洩電流が相対的に大きいということが分かる。したがって、図3に示したように、第8トランジスタTr8及び第13トランジスタTr13の出力端子が第2低電圧Vss2に接続されることで、ノイズ除去部515に含まれているトランジスタの漏洩電流を減らすことができ、Q接続点の電流漏れによってゲートオン電圧が十分な電圧値を有しないことを防止する。

20

【0068】

Q接続点の電流の漏れを減らすために、図3の実施形態においては、一对の薄膜トランジスタを追加接続（入力端子と出力端子を互いに接続し、制御端子が同一の端子に接続）した構造を有する。第9トランジスタ及び第9-1トランジスタと、第10トランジスタ及び第10-1トランジスタである。二対のトランジスタは、全てQ接続点の電圧を第2低電圧Vss2に低くする動作を行い、第9トランジスタTr9及び第9-1トランジスタTr9-1は、次段ステージの伝達信号CRによって動作し、第10トランジスタTr10及び第10-1トランジスタTr10-1は、インバータ出力（I接続点の電圧）によって動作する。これらトランジスタをこのように追加接続した構造の一对のトランジスタに形成したことは、一つのトランジスタに形成したときに比べ、漏洩電流を減らすことができるためである。つまり、制御端子に印加される電圧と第2低電圧間の電圧差によって、トランジスタがターンオフの状態でも漏洩電流が発生するが、二つのトランジスタを追加接続すれば、二つのトランジスタがこれら電圧差を分けて有するようになるので、トランジスタを通じて漏洩電流が減少するようになる。特に、酸化物半導体を使用する薄膜トランジスタの場合、図4に示したように、電圧が増加することによって幾何級数的に漏洩電流が高くなるが、電圧が半分になると、漏洩電流も半分以上減るので、漏洩電流を減らすことができる。

30

40

【0069】

また、図3の実施形態においては、第11-1トランジスタTr11-1によって、前段ステージのI接続点の電圧（インバータ出力）を利用して本段ステージでフローティングされる区間をフローティングされないようにし、ゲート電圧を安定化させる。これにより、クロック信号が反転しながら発生するノイズに対しても、ゲート電圧を低電圧に維持させることができる。

【0070】

50

また、図3の実施形態においては、第17トランジスタTr17を使用して、クロック信号の遅延によって伝達信号CRの出力端から発生するノイズ(Glitch noise)を、次のステージの伝達信号CRに基づいて除去するようにする。

【0071】

また、図3の実施形態においては、次の次段ステージの信号(例えば、伝達信号CR)を利用して、本段ステージを安定化させるトランジスタ及び配線を削除した。実施形態によってはこのようなトランジスタを使用した本段ステージのQ接続点またはI接続点の電圧を安定化させることができるが、図3の実施形態においては、これを削除してステージ間の配線接続を簡略化し、ステージからもトランジスタを一つ削除して、そのサイズを小さくした。その結果、表示装置で画像を表示する表示領域以外の周辺領域に含まれているゲート駆動部のサイズを小さくして、狭いベゼル(bezel)を有するようにすることができる。

10

【0072】

また、図3の実施形態においては、第9トランジスタ及び第9-1トランジスタの出力端子が第2低電圧Vss2と接続するように形成している。これは、Q接続点から発生するディレイ現象によってゲート電圧が下がる時間が遅れることを改善する。つまり、さらに低い電圧でQ接続点の電圧を下げて、ゲート電圧も急速に低電圧に低くなるようにする。その結果、第2トランジスタTr2のようにゲート電圧出力端子OUTの電圧をプルダウンさせるトランジスタのサイズを小さくすることができる。このように、ステージに含まれているトランジスタのサイズが減れば、各ステージのサイズが減って、狭いベゼルを有する表示装置を実現することができる。

20

【0073】

以上のような特徴を有する図3の実施形態と、以上のような特徴を有していない比較例について、図5乃至図7を参照して比較する。

【0074】

図5乃至図7は、本発明の実施形態によるゲート駆動部の動作特性を示したタイミング図である。

【0075】

図5乃至図7において、実線グラフは図3の実施形態を示し、点線は比較例を示しており、酸化物半導体を使用した薄膜トランジスタを基準として実験した。

30

【0076】

図5の最初のグラフによれば、比較例と図3の実施形態はブーストアップされた電圧値は同一であるが、図3の実施形態は、電流漏れが少なく電圧値が維持されるのに対し、比較例は、Q接続点(Q-node)における電流漏れによって電圧値が下がることを確認できる。

【0077】

また、ゲートオン電圧がゲートオフ電圧に低くなるときにも、図3の実施形態は、若干の遅延と共に正確に下がるが、比較例は、一定のレベルの電圧を1H程度の期間の間に維持することを確認できる。これは、Q接続点における電圧降下が速かに起こるようになるためである。

40

【0078】

図5の2番目グラフにおいては、伝達信号CRの出力において、比較例ではクロック信号によってノイズ(Glitch noise; 拡大された図面部分を参照)が発生することが分かる。しかし、図3の実施形態ではノイズが除去されたことを確認できる。

【0079】

図5の3番目グラフにおいては、ゲートオン電圧の出力を示したもので、比較例と図3の実施形態は差がないことが分かる。つまり、比較例でもゲートオン電圧は適切に生成しているが、Q接続点の電圧と伝達信号CRで問題があって、長時間使用するとき誤動作の問題が発生するおそれ大きい。

【0080】

50

図5の実施形態は、60Hzの駆動で図3の実施形態と比較例を実験した結果であるが、図6においては、それよりも低周波数である30Hz及び10Hzでの結果値を示している。低周波数の駆動になるほど、比較例では問題点がさらに明確に現れるのが見られるが、図3の実施形態では60Hzと差がない動作を行うことが分かる。その結果、消費電力を減らすために、停止画像を表示するとき駆動周波数を低くしても、図3の実施形態ではゲート駆動部の出力による表示品質の低下が発生しないことが分かる。

【0081】

一方、図7においては、ノイズ(Glitch noise)による問題点を明確に観察するために、クロック信号CKVに負荷(load)を大きく印加して、それによる結果波形をみた。

10

【0082】

まず、一般的な負荷のサイズに6倍をした場合(図7の上部グラフ)をみると、図7の2番目グラフに示したように、図3の実施形態及び比較例のいずれも図5及び図6に比べてノイズ(Glitch noise)が大きく発生しているが、Q接続点の電圧及びゲート出力は、図3の実施形態では依然として問題ないことを確認できる。しかし、比較例ではQ接続点の電圧が低電圧に下がるのに遅延が発生することが分かる。

【0083】

また、負荷を10倍した場合(図7の下部グラフ)においては、図3の実施形態及び比較例のいずれもノイズ(Glitch noise)が大きく発生しているが、図3の実施形態はQ接続点の電圧やゲート出力は問題がなく、比較例はQ接続点の電圧が低電圧に下がるのに遅延が発生している。

20

【0084】

以上のように、図3の実施形態においては、ゲート電圧、Q接続点の電圧、及び伝達信号において良好な特性を提供することを確認できる。

【0085】

図3の実施形態について変形された実施形態も良好な出力を有する。以下、これについて説明する。

【0086】

まず、図8乃至図12について説明する。

【0087】

図8乃至図12は、本発明の他の実施形態によるゲート駆動部のうちの一つのステージを拡大して示した回路図である。

30

【0088】

図8の実施形態は、図3と異なり、第9-1トランジスタTr9-1の出力端子が第1電圧入力端子Vin1と接続している点で差がある。

【0089】

その結果、追加接続された一対のトランジスタTr9、Tr9-1により、次段ステージの伝達信号CRによって本段ステージのQ接続点の電圧が第1低電圧Vss1に低くなる。

【0090】

図8の実施形態によって第9トランジスタTr9及び第9-1トランジスタTr9-1により、Q接続点の電圧がさらに低い第2低電圧Vss2に下がらないようにして、Q接続点の電圧が低電圧に下がるのに遅延が発生しうるが、プルダウン部516の他のトランジスタによって動作には問題がない。また、図5乃至図7から見られるように、比較例もゲートオン電圧の出力には変化がなくて、本実施形態を使用するのに問題はない。

40

【0091】

一方、図9の実施形態は、図3の実施形態と比較するとき、第17トランジスタTr17が除去されている。

【0092】

図3の実施形態において、第17トランジスタTr17は、次段ステージの伝達信号C

50

Rによって本段の伝達信号CRを第2低電圧V_{ss2}に低くする役割を果たす。しかし、インバータの出力(I接続点の電圧)によって伝達信号CRを第2低電圧に下げる第11トランジスタTr₁₁が存在するので、第17トランジスタTr₁₇がない図9の実施形態も使用可能である。

【0093】

図9の実施形態は、図8の実施形態と同様に、第9-1トランジスタTr₉₋₁の出力端子が第1電圧入力端子Vin₁と接続されている変形も可能である。

【0094】

一方、図10の実施形態は、図3の実施形態と比較するとき、第11-1薄膜トランジスタTr₁₁₋₁が除去されている。

10

【0095】

第11-1トランジスタTr₁₁₋₁は、前段ステージのI接続点(インバータ出力)の電圧によってゲート電圧出力端子OUTの電圧を第1低電圧V_{ss1}に変更させる動作を行うトランジスタであって、反転クロックによって生成された前段ステージのインバータ出力によってゲート電圧を低電圧に下げる。しかし、ゲート電圧出力を第1低電圧に下げるトランジスタは、第2トランジスタTr₂及び第3トランジスタTr₃も存在するので、削除されても動作するのに問題がない。

【0096】

図10の実施形態は、図8の実施形態と同様に、第9-1トランジスタTr₉₋₁の出力端子が第1電圧入力端子Vin₁と接続しているか、または図9の実施形態と同様に、第17トランジスタTr₁₇が除去される変形も可能である。

20

【0097】

一方、図11の実施形態は、図3の実施形態と比較するとき、第9-1トランジスタTr₉₋₁及び第10-1トランジスタTr₁₀₋₁が除去されている。

【0098】

つまり、図3の実施形態において追加接続されている一対のトランジスタを、一つのトランジスタに変更した構造である。図3においては、漏洩電流を減らすために一対のトランジスタTr₉、Tr₉₋₁、Tr₁₀、Tr₁₀₋₁を使用しているが、必ず一対のトランジスタを要することではなく、一つのトランジスタのチャンネルの幅及び長さを利用して、薄膜トランジスタを大きく形成してもよい。一方、実施形態によっては第9-1薄膜トランジスタ及び第10-1薄膜トランジスタのうちの一つだけを除去してもよい。

30

【0099】

図11の実施形態は、図8の実施形態と同様に、第9-1トランジスタTr₉₋₁の出力端子が第1電圧入力端子Vin₁と接続しているか、または図9の実施形態と同様に、第17トランジスタTr₁₇が除去されているか、または図10の実施形態と同様に、第9-1トランジスタTr₉₋₁または第10-1トランジスタTr₁₀₋₁が除去されている変形も可能である。

【0100】

一方、図12の実施形態は、図3の実施形態と比較するとき、インバータ部512が第2低電圧V_{ss2}と接続されておらず、第1低電圧V_{ss1}と接続されている。つまり、インバータ部512の第8トランジスタTr₈及び第13トランジスタTr₁₃の出力端子が第2電圧入力端子Vin₂と接続されている。図12の実施形態においては、I接続点の電圧を第1低電圧V_{ss1}に低くするようになるので、I接続点の電圧を制御端子に印加を受けるトランジスタが影響を受けることがある。つまり、第10トランジスタTr₁₀及び第10-1トランジスタTr₁₀₋₁のトランジスタの制御端子及び出力端子間の電圧差が発生し、漏洩電流が発生しうるが、酸化物半導体を使用しない場合には漏洩電流の問題がなく、酸化物半導体を使用しても薄膜トランジスタの漏洩電流特性を良好に形成することもでき、図3に示したように追加接続された一対のトランジスタを通じて漏洩電流を減らすことも可能である。したがって、図12の実施形態も使用するのに問題はない。

40

50

【 0 1 0 1 】

図 1 2 の実施形態は、図 8 の実施形態と同様に、第 9 - 1 トランジスタ $T r 9 - 1$ の出力端子が第 1 電圧入力端子 $V i n 1$ と接続しているか、または図 9 の実施形態と同様に、第 1 7 トランジスタ $T r 1 7$ が除去されているか、または図 1 0 の実施形態と同様に、第 9 - 1 トランジスタ $T r 9 - 1$ または第 1 0 - 1 トランジスタ $T r 1 0 - 1$ が除去されているか、または図 1 1 の実施形態と同様に、第 8 トランジスタ $T r 8$ 及び第 1 3 トランジスタ $T r 1 3$ の出力端子が第 2 電圧入力端子 $V i n 2$ と接続されている変形も可能である。

【 0 1 0 2 】

以上のような図 8 乃至図 1 2 の実施形態とは異なり、各ステージでは次の次段ステージの伝達信号 $C R$ を受信して動作するトランジスタを含んでもよい。

10

【 0 1 0 3 】

以下、図 1 3 及び図 1 4 を参照して説明する。

【 0 1 0 4 】

図 1 3 は、他の実施形態によるゲート駆動部及びゲート線を具体化して示したブロック図であり、図 1 4 は、図 1 3 の実施形態によるゲート駆動部のうちの一つのステージを拡大して示した回路図である。

【 0 1 0 5 】

図 1 3 に示したゲート駆動部 5 0 0 を参照すると、次の通りである。

【 0 1 0 6 】

ゲート駆動部 5 0 0 は、互いに従属的に接続された多数のステージ $S R 1$ 、 $S R 2$ 、 $S R 3$ 、 $S R 4$ を含む。各ステージ $S R 1$ 、 $S R 2$ 、 $S R 3$ 、 $S R 4$ 、... は、四つの入力端子 $I N 1$ 、 $I N 2$ 、 $I N 3$ 、 $I N 4$ 、一つのクロック入力端子 $C K$ 、二つの電圧入力端子 $V i n 1$ 、 $V i n 2$ 、ゲート電圧を出力するゲート電圧出力端子 $O U T$ 、伝達信号出力端子 $C R o u t$ 、及びインバータ信号出力端子 $I V T o u t$ を含む。

20

【 0 1 0 7 】

まず、第 1 入力端子 $I N 1$ は、前段ステージの伝達信号出力端子 $C R o u t$ に接続されて、以前段の伝達信号 $C R$ が印加されるが、最初のステージは、前段ステージが存在しないので、第 1 入力端子 $I N 1$ にスキャン開示信号 $S T V P$ が印加される。

【 0 1 0 8 】

第 2 入力端子 $I N 2$ は、次段ステージの伝達信号出力端子 $C R o u t$ に接続されて、次段の伝達信号 $C R$ が印加される。また、第 4 入力端子 $I N 4$ は、次の次段ステージの伝達信号出力端子 $C R o u t$ に接続されて、次の次段伝達信号 $C R$ が印加される。

30

【 0 1 0 9 】

$n - 1$ 番目ゲート線 $G n - 1$ に接続されたステージ $S R n - 1$ (図示せず)、及び n 番目ゲート線 $G n$ に接続されたステージ $S R n$ (図示せず) は、次段及び次の次段ステージから伝達信号 $C R$ を受信するために、ダミーステージを二つ形成してもよい。ダミーステージ $S R n + 1$ 、 $S R n + 2$ (図示せず) は、他のステージ $S R 1 - S R n$ とは異なり、ダミーゲート電圧を生成して出力するステージである。つまり、他のステージ $S R 1 - S R n$ から出力されたゲート電圧はゲート線を通じて伝達されながら、画素にデータ電圧が印加されて画像を表示する。しかし、ダミーステージ $S R n + 1$ 、 $S R n + 2$ はゲート線に接続してなくてもよく、ゲート線と接続しても画像を表示しないダミー画素 (図示せず) のゲート線と接続していて、画像を表示するのに使用されなくてもよい。

40

【 0 1 1 0 】

一方、第 3 入力端子 $I N 3$ は、前段ステージのインバータ信号出力端子 $I V T o u t$ に接続して、以前段のインバータ信号 $I V T$ が印加されるが、最初のステージは前段ステージが存在しないので、これに対応する信号を別途に生成して入力させるか、またはダミーステージ $S R n + 1$ 、 $S R n + 2$ (図示せず) でこれとタイミングが適した信号を生成するようにして、これを受信してもよい。ここで、最初のステージの第 3 入力端子 $I N 3$ に入力される信号は、第 1 ゲート線 $G 1$ にゲートオン電圧が印加される 1 H 区間では第 2 低

50

電圧 V_{ss2} が印加され、その後 1 H 区間では伝達信号 CR の高電圧（実施形態によって多様でありうるが、本実施形態では 20 V の電圧が印加される必要がある。以上のように、当該ステージにおいてゲートオン電圧が印加される 1 H 区間では、低電圧 V_{ss1} または V_{ss2} が印加されるタイミングを有する信号を、以下、出力制御信号 OCS といい、出力制御信号 OCS は、実施形態によってゲートオン電圧が印加された後の 1 H で高電圧（伝達信号 CR の高電圧またはゲートオン電圧）が印加されるタイミングを有してもよい。以下では、出力制御信号 OCS の特性を有する信号として前段ステージまたは本段ステージのインバータ信号 IVT を使用する実施形態を中心に説明されている。しかし、必ずこれに限定されることではない。

【0111】

クロック入力端子 CK にはクロック信号が印加されるが、多数のステージのうち奇数番目ステージのクロック入力端子 CK には第 1 クロック信号 CKV が印加され、偶数番目ステージのクロック入力端子 CK には第 2 クロック信号 $CKVB$ が印加される。第 1 クロック信号 CKV と第 2 クロック信号 $CKVB$ は互いに位相が反対になるクロック信号である。

【0112】

第 1 電圧入力端子 $Vin1$ にはゲートオフ電圧に該当する第 1 低電圧 V_{ss1} が印加され、第 2 電圧入力端子 $Vin2$ には第 1 低電圧 V_{ss1} より低い第 2 低電圧 V_{ss2} が印加される。第 1 低電圧 V_{ss1} 及び第 2 低電圧 V_{ss2} の電圧値は、実施形態によって多様でありうるが、本実施形態においては、第 1 低電圧 V_{ss1} 値として -6 V を使用し、第 2 低電圧 V_{ss2} 値として -10 V を使用する。つまり、第 2 低電圧 V_{ss2} が第 1 低電圧 V_{ss1} よりもさらに低い電圧を使用する。

【0113】

ゲート駆動部 500 の動作について説明すると、次の通りである。

【0114】

まず、第 1 ステージ $SR1$ は、クロック入力端子 CK を通じて外部から提供される第 1 クロック信号 CKV を、第 1 入力端子 $IN1$ を通じてスキャン開示信号 $STVP$ を、第 1 電圧入力端子 $Vin1$ 及び第 2 電圧入力端子 $Vin2$ に第 1 低電圧 V_{ss1} 及び第 2 低電圧 V_{ss2} を、第 2 入力端子 $IN2$ 及び第 4 入力端子 $IN4$ を通じて第 2 ステージ $SR2$ 及び第 3 ステージ $SR3$ からそれぞれ提供される伝達信号 CR を、そして第 3 入力端子 $IN3$ を通じて出力制御信号を受信して、第 1 ゲートラインにゲート電圧出力端子 OUT を通じてゲートオン電圧を出力する。また、伝達信号出力端子 $CRout$ では伝達信号 CR を出力して第 2 ステージ $SR2$ の第 1 入力端子 $IN1$ に伝達し、インバータ信号出力端子 $IVTout$ ではインバータ信号 IVT を第 2 ステージ $SR2$ の第 3 入力端子 $IN3$ に伝達する。

【0115】

第 2 ステージ $SR2$ は、クロック入力端子 CK を通じて外部から提供される第 2 クロック信号 $CKVB$ を、第 1 入力端子 $IN1$ を通じて第 1 ステージ $SR1$ の伝達信号 CR を、第 1 電圧入力端子 $Vin1$ 及び第 2 電圧入力端子 $Vin2$ に第 1 低電圧 V_{ss1} 及び第 2 低電圧 V_{ss2} を、第 2 入力端子 $IN2$ 及び第 4 入力端子 $IN4$ を通じて第 3 ステージ $SR3$ 及び第 4 ステージ $SR4$ からそれぞれ提供される伝達信号 CR を、そして第 3 入力端子 $IN3$ を通じて第 1 ステージ $SR1$ から提供されるインバータ信号 IVT を受信して、第 2 ゲートラインにゲート電圧出力端子 OUT を通じてゲートオン電圧を出力する。また、伝達信号出力端子 $CRout$ では伝達信号 CR を出力して、第 3 ステージ $SR3$ の第 1 入力端子 $IN1$ 及び第 1 ステージ $SR1$ の第 2 入力端子 $IN2$ に伝達し、インバータ信号出力端子 $IVTout$ ではインバータ信号 IVT を第 3 ステージ $SR3$ の第 3 入力端子 $IN3$ に伝達する。

【0116】

一方、第 3 ステージ $SR3$ は、クロック入力端子 CK を通じて外部から提供される第 1 クロック信号 CKV を、第 1 入力端子 $IN1$ を通じて第 2 ステージ $SR2$ の伝達信号 CR

10

20

30

40

50

を、第1電圧入力端子 V_{in1} 及び第2電圧入力端子 V_{in2} に第1低電圧 V_{ss1} 及び第2低電圧 V_{ss2} を、第2入力端子 $IN2$ 及び第4入力端子 $IN4$ を通じて第4ステージ $SR4$ 及び第5ステージ $SR5$ からそれぞれ提供される伝達信号 CR を、そして第3入力端子 $IN3$ を通じて第2ステージ $SR2$ から提供されるインバータ信号 IVT を受信して、第3ゲートラインにゲート電圧出力端子 OUT を通じてゲートオン電圧を出力する。また、伝達信号出力端子 $CRout$ では伝達信号 CR を出力して、第4ステージ $SR4$ の第1入力端子 $IN1$ 、第1ステージ $SR1$ の第4入力端子 $IN4$ 、及び第2ステージ $SR2$ の第2入力端子 $IN2$ に伝達し、インバータ信号出力端子 $IVTout$ ではインバータ信号 IVT を第4ステージ $SR4$ の第3入力端子 $IN3$ に伝達する。

【0117】

上記と同様の方法により、 n 番目ステージ SRn はクロック入力端子 CK を通じて外部から提供される第2クロック信号 $CKVB$ を、第1入力端子 $IN1$ を通じて第 $n-1$ ステージ $SR2$ の伝達信号 CR を、第1電圧入力端子 V_{in1} 及び第2電圧入力端子 V_{in2} に第1低電圧 V_{ss1} 及び第2低電圧 V_{ss2} を、第2入力端子 $IN2$ 及び第4入力端子 $IN4$ を通じて第 $n+1$ ステージ $SRn+1$ （ダミーステージ）及び第 $n+2$ ステージ $SRn+2$ （ダミーステージ）からそれぞれ提供される伝達信号 CR を、そして第3入力端子 $IN3$ を通じて第 $n-1$ ステージ $SRn-1$ から提供されるインバータ信号 IVT を受信して、 n 番目ゲートラインにゲート電圧出力端子 OUT を通じてゲートオン電圧を出力する。また、伝達信号出力端子 $CRout$ では伝達信号 CR を出力して、第 $n+1$ ステージ $SRn+1$ （ダミーステージ）の第1入力端子 $IN1$ 、第 $n-2$ ステージ $SRn-2$ の第4入力端子 $IN4$ 、及び第 $n-1$ ステージ $SRn-1$ の第2入力端子 $IN2$ に伝達し、インバータ信号出力端子 $IVTout$ ではインバータ信号 IVT を第 $n+1$ ステージ $SRn+1$ （ダミーステージ）に伝達する。

【0118】

以上のように、図13を参照して、全体的なゲート駆動部500のステージ SR の接続構造について説明した。以下では、図14を参照して、一つのゲート線に接続されたゲート駆動部のステージ SR の構造について、さらに詳細に説明する。

【0119】

図14の実施形態は、図3とは異なり、第6トランジスタ $Tr6$ が追加形成されている。第6トランジスタ $Tr6$ は第4入力端子 $IN4$ と制御端子が接続され、入力端子は Q 接続点と接続され、出力端子は第2電圧入力端子 V_{in2} と接続されて第2低電圧 V_{ss2} に接続されている。その結果、二番目の次段ステージの伝達信号 CR によって、 Q 接続点の電圧を第2低電圧 V_{ss2} に低くする動作を行う。第6トランジスタ $Tr6$ はプルダウン部516に含まれる。

【0120】

図14の実施形態によるゲート駆動部500の各ステージ SR は、入力部511、インバータ部512、伝達信号生成部513、出力部514、ノイズ除去部515、及びプルダウン部516を含む。

【0121】

まず、入力部511は、一つのトランジスタ（第4トランジスタ $Tr4$ ）を含み、第4トランジスタ $Tr4$ の入力端子及び制御端子は第1入力端子 $IN1$ に共通接続（ダイオード接続）され、出力端子は Q 接続点（以下、第1ノードとも言う）と接続されている。入力部511は、第1入力端子 $IN1$ にハイ電圧が印加される場合、これを Q 接続点に伝達する役割を果たす。

【0122】

インバータ部512は、4個のトランジスタ（第12トランジスタ $Tr12$ 、第7トランジスタ $Tr7$ 、第8トランジスタ $Tr8$ 、及び第13トランジスタ $Tr13$ ）を含む。まず、第12トランジスタ $Tr12$ は、ダイオード接続して制御端子が接続された一端（入力端）はクロック入力端子 CK と接続されており、他端（出力端）は第7トランジスタ $Tr7$ の制御端子及び第13トランジスタ $Tr13$ の入力端子と接続されている。第7ト

10

20

30

40

50

ランジスタTr7は、制御端子が第12トランジスタTr12の出力端と接続され、入力端子はクロック入力端子CKと接続され、出力端子はI接続点（インバータノードまたは第2ノードともいう）と接続されている。第8トランジスタTr8は、制御端子は本段ステージの伝達信号出力端子CROUTと接続され、入力端子はI接続点と接続され、出力端子は第2電圧入力端子VIN2と接続されている。第13トランジスタTr13は、入力端子が第12トランジスタTr12の出力端と接続され、制御端子は本段ステージの伝達信号出力端子CROUTと接続され、出力端子は第2電圧入力端子VIN2と接続されている。以上のような接続により、クロック信号にハイ信号が印加されると、第12トランジスタTr12及び第7トランジスタTr7によってそれぞれ第8トランジスタTr8及び第13トランジスタTr13の入力端子に伝達されて、I接続点がハイ電圧を有し、伝達されたハイ信号は、本段ステージの伝達信号出力端子CROUTから伝達信号CRが出力されると、I接続点の電圧を第2低電圧VSS2に低くする。その結果、インバータ部512のI接続点は、本段ステージの伝達信号CR及びゲートオン電圧と反対の電圧レベルを有する。

10

【0123】

伝達信号生成部513は、一つのトランジスタ（第15トランジスタTr15）を含む。第15トランジスタTr15の入力端子にはクロック入力端子CKが接続されて、第1クロック信号CKVまたは第2クロック信号CKVBが入力され、制御端子は前記入力部511の出力、即ち、Q接続点に接続され、出力端子は伝達信号CRを出力する伝達信号出力端子CROUTと接続されている。ここで、制御端子と出力端子の間には寄生キャパシタ（図示せず）が形成されていてもよい。第15トランジスタTr15の出力端子は伝達信号出力端子CROUTだけでなく、ノイズ除去部515及びプルダウン部516と接続されて、第2低電圧VSS2が印加される。その結果、伝達信号CRがロー（Low）のときの電圧値は、第2低電圧VSS2値を有する。

20

【0124】

出力部514は、一つのトランジスタ（第1トランジスタTr1）及び一つのキャパシタ（第1キャパシタC1）を含む。第1トランジスタTr1の制御端子はQ接続点に接続され、入力端子はクロック入力端子CKを通じて第1クロック信号CKVまたは第2クロック信号CKVBを受信し、制御端子と出力端子の間には第1キャパシタC1が形成され、出力端子はゲート電圧出力端子OUTと接続されている。また、出力端子はノイズ除去部515及びプルダウン部516と接続され、ノイズ除去部515及びプルダウン部516を通じて第1電圧入力端子VIN1と接続されている。その結果、ゲートオフ電圧の電圧値は第1低電圧VSS1値を有する。このような出力部514は、Q接続点における電圧及び前記第1クロック信号CKVによってゲート電圧を出力する。Q接続点の電圧によって第1トランジスタTr1の制御端子と出力端子の間に電圧差が発生し、この電圧差が第1キャパシタC1に保存された後、クロック信号によってハイ電圧が印加されると、充電された電圧がブーストアップされながら高い電圧がゲートオン電圧に出力される。

30

【0125】

ノイズ除去部515は、I接続点の出力によって制御される部分であって、5個のトランジスタ（第3トランジスタTr3、第10トランジスタTr10、第10-1トランジスタTr10-1、第11トランジスタTr11、及び第11-1トランジスタTr11-1）を含む。第3トランジスタTr3の制御端子はI接続点と接続され、入力端子はゲート電圧出力端子OUTと接続され、出力端子は第1電圧入力端子VIN1と接続されている。第3トランジスタTr3は、I接続点の電圧によってゲート電圧出力端子OUTの電圧を第1低電圧VSS1に変更させる。第10トランジスタTr10及び第10-1トランジスタTr10-1は、入力端子と出力端子を互いに接続して、制御端子が同一の端子に接続（以下、これを略して追加接続という）された一対のトランジスタであって、制御端子は全てI接続点に接続され、一対のトランジスタの入力端子はQ接続点に接続され、出力端子は第2電圧入力端子VIN2と接続されている。第10トランジスタTr10及び第10-1トランジスタTr10-1は、I接続点の電圧によってQ接続点の電圧を

40

50

第2低電圧 V_{ss2} に変更させる。一对の追加接続されたトランジスタを使用することにより、二つのトランジスタが第2低電圧とI接続点の間の電圧差を分けて印加を受けるようにして、Q接続点における漏洩電流の発生を少なくする。第11トランジスタ $Tr11$ は、制御端子がI接続点と接続され、入力端子は伝達信号出力端子 C_{out} と接続され、出力端子は第2電圧入力端子 V_{in2} と接続されている。つまり、第11トランジスタ $Tr11$ は、I接続点の電圧によって伝達信号出力端子 C_{out} の電圧を第2低電圧 V_{ss2} に変更させる。第11-1トランジスタ $Tr11-1$ は、制御端子が第3入力端子 $IN3$ を通じて前段ステージのI接続点と接続され、入力端子はゲート電圧出力端子 OUT と接続され、出力端子は第1電圧入力端子 V_{in1} と接続されている。第11-1トランジスタ $Tr11-1$ は、前段ステージのI接続点(インバータ出力)の電圧によってゲート電圧出力端子 OUT の電圧を第1低電圧 V_{ss1} に変更させる。ここで、第3トランジスタ $Tr3$ は、本段ステージのインバータ出力でゲート電圧出力端子 OUT を第1低電圧 V_{ss1} に変更させ、第11-1トランジスタ $Tr11-1$ は、前段ステージのインバータ出力でゲート電圧出力端子 OUT を第1低電圧 V_{ss1} に変更させる。

【0126】

プルダウン部516は、次段の伝達信号 CR によって制御される部分であって、5個のトランジスタ(第2トランジスタ $Tr2$ 、第6トランジスタ $Tr6$ 、第9トランジスタ $Tr9$ 、第9-1トランジスタ $Tr9-1$ 、及び第17トランジスタ $Tr17$)を含む。第2トランジスタ $Tr2$ は、制御端子は第2入力端子 $IN2$ に接続され、入力端子はゲート電圧出力端子 OUT と接続され、出力端子は第1電圧入力端子 V_{in1} と接続されている。第2トランジスタ $Tr2$ は、次段の伝達信号 CR によってゲート電圧出力端子 OUT の電圧を第1低電圧 V_{ss1} に変更させる。第6トランジスタ $Tr6$ は、図3実施形態と差がある部分であって、制御端子は第4入力端子 $IN4$ と接続され、入力端子はQ接続点と接続され、出力端子は第2電圧入力端子 V_{in2} と接続されて第2低電圧 V_{ss2} に接続されている。その結果、次の次段ステージの伝達信号 CR によって、Q接続点の電圧を第2低電圧 V_{ss2} に低くする動作を行う。第9トランジスタ $Tr9$ 及び第9-1トランジスタ $Tr9-1$ は、入力端子と出力端子を互いに接続し、制御端子が同一の端子に接続、即ち、追加接続された一对のトランジスタであって、制御端子は全て第2入力端子 $IN2$ に接続され、一对のトランジスタの入力端子はQ接続点に接続され、出力端子は第2電圧入力端子 V_{in2} と接続されている。以上のように、一对の追加接続されたトランジスタを使用することにより、二つのトランジスタが第2低電圧と次段のキャリアー信号間の電圧(特に、低電圧における電圧)差を分けて印加を受けるようにして、Q接続点における漏洩電流の発生を少なくする。第17トランジスタ $Tr17$ は、制御端子は第2入力端子 $IN2$ に接続され、入力端子は伝達信号出力端子 C_{out} と接続され、出力端子は第2電圧入力端子 V_{in2} と接続されている。

【0127】

まとめると、一つのステージ SR は、Q接続点における電圧によって伝達信号生成部513、出力部514が動作して、伝達信号 CR のハイ(high)電圧及びゲートオン電圧を出力し、前段及び次段の伝達信号 CR によって、伝達信号 CR はハイ(high)電圧から第2低電圧 V_{ss2} に低くなり、ゲートオン電圧は第1低電圧 V_{ss1} に低くなって、ゲートオフ電圧となる。

【0128】

以上のような構造は、次のような特徴を有する。

【0129】

まず、インバータ部512の第8トランジスタ $Tr8$ 及び第13トランジスタ $Tr13$ は、出力端子が第2低電圧 V_{ss2} と接続されている。その結果、I接続点の低い電圧値で第2低電圧 V_{ss2} 値を有するようになる。これは、インバータの出力のI接続点の電圧を制御端子に受けるノイズ除去部515のトランジスタに影響を与える。例えば、第10トランジスタ $Tr10$ 及び第10-1トランジスタ $Tr10-1$ は、制御端子の電圧(I接続点の電圧)のうちの低い電圧(第2低電圧 V_{ss2})と出力端子の電圧(第2低電

10

20

30

40

50

圧 V_{ss2}) 間の電圧レベル差がなくなると、薄膜トランジスタのソースとゲート電極間の電圧差がゼロになり、漏洩電流が発生しない。このような点は、薄膜トランジスタのチャネル層を酸化物半導体で使用した場合にも維持される。一般に、酸化物半導体を使用する薄膜トランジスタは、非晶質シリコンを使用した薄膜トランジスタに比べ、漏洩電流が 10 倍以上発生するので、酸化物半導体を使用する場合、漏洩電流を減らす必要がある。酸化物半導体を使用した薄膜トランジスタの特性は、前述の図 4 のグラフに示している。

【 0 1 3 0 】

図 4 は、酸化物半導体を含む薄膜トランジスタの電圧による電流グラフであり、横軸はゲート電極とソース電極の間の電圧差であり、縦軸はソース電極とドレイン電極の間の電流（漏洩電流）を示す。

10

【 0 1 3 1 】

図 4 に示したように、酸化物半導体を使用する薄膜トランジスタは、電圧の変化に敏感に漏洩電流が急減することを確認でき、ゲート電極とソース電極間の電圧差を減らすのが、漏洩電流による問題を除去する方法である。

【 0 1 3 2 】

図 3（図 1 4）の第 8 トランジスタ Tr_8 及び第 1 3 トランジスタ Tr_{13} とは異なり、 Tr_8 及び Tr_{13} の出力端子が第 1 低電圧 V_{ss1} に接続された場合には、I 接続点の低電圧が $-5V$ 値を有するようになるが、この場合、第 1 0 トランジスタ Tr_{10} 及び第 1 0 - 1 トランジスタ Tr_{10-1} は、第 2 低電圧 V_{ss2} である $-10V$ と、制御端子には $-5V$ の低電圧が印加されるので、 $5V$ の電圧差が発生する。これについて図 4 を参照すれば、約 1 0 の 4 乗倍の電流が流れることが分かり、漏洩電流が相対的に大きいということが分かる。したがって、図 3（図 1 4）と同様に、第 8 トランジスタ Tr_8 及び第 1 3 トランジスタ Tr_{13} の出力端子が第 2 低電圧 V_{ss2} に接続されて、ノイズ除去部 5 1 5 に含まれているトランジスタの漏洩電流を減らすことができ、Q 接続点の電流漏れによってゲートオン電圧が十分な電圧値を有しないことを防止する。

20

【 0 1 3 3 】

Q 接続点の電流漏れを減らすために、図 3（図 1 4）の実施形態においては、一对の薄膜トランジスタを追加接続（入力端子と出力端子を互いに接続し、制御端子が同一の端子に接続）した構造を有する。第 9 トランジスタ及び第 9 - 1 トランジスタと、第 1 0 トランジスタ及び第 1 0 - 1 トランジスタである。二対のトランジスタは、全て Q 接続点の電圧を第 2 低電圧 V_{ss2} に低くする動作を行い、第 9 トランジスタ Tr_9 及び第 9 - 1 トランジスタ Tr_{9-1} は次段ステージの伝達信号 CR によって動作し、第 1 0 トランジスタ Tr_{10} 及び第 1 0 - 1 トランジスタ Tr_{10-1} はインバータ出力（I 接続点の電圧）によって動作する。これらトランジスタをこのように追加接続した構造の一对のトランジスタに形成したことは、一つのトランジスタに形成したときに比べ、漏洩電流を減らすことができるためである。つまり、制御端子に印加される電圧と第 2 低電圧の間の電圧差によって、トランジスタがターンオフの状態でも漏洩電流が発生するが、二つのトランジスタを追加接続すれば、二つのトランジスタがこれら電圧差を分けて有するようになるので、トランジスタを通じて漏洩電流が減少する。特に、酸化物半導体を使用する薄膜トランジスタの場合、図 4 に示したように、電圧が増加することによって幾何級数的に漏洩電流が高くなるが、電圧が半分になると、漏洩電流も半分以上減るので、漏洩電流を減らすことができる。

30

40

【 0 1 3 4 】

また、図 3（図 1 4）の実施形態においては、第 1 1 - 1 トランジスタ Tr_{11-1} によって前段ステージの I 接続点の電圧（インバータ出力）を利用して、本段ステージでフローティングされる区間をフローティングされないようにして、ゲート電圧を安定化させる。これによってクロック信号が反転しながら発生するノイズに対しても、ゲート電圧を低電圧に維持させることができる。

【 0 1 3 5 】

また、図 3（図 1 4）の実施形態においては、第 1 7 トランジスタ Tr_{17} を使用して

50

、クロック信号の遅延によって伝達信号CRの出力端で発生するノイズ(Glitch noise)を、次のステージの伝達信号CRに基づいて除去するようにする。

【0136】

また、図3(図14)の実施形態においては、次の次段ステージの信号(例えば、伝達信号CR)を利用して、本段ステージを安定化させるトランジスタ及び配線を削除した。実施形態によっては、このようなトランジスタを使用して本段ステージのQ接続点またはI接続点の電圧を安定化させることができるが、図3(図14)の実施形態ではこれを削除してステージ間の配線接続を簡略化しており、ステージからもトランジスタを一つ削除して、そのサイズを小さくした。その結果、表示装置で画像を表示する表示領域以外の周辺領域に含まれているゲート駆動部のサイズを小さくして、狭いベゼル(bezel)を有するようにすることができる。

10

【0137】

また、図3(図14)の実施形態においては、第9トランジスタ及び第9-1トランジスタの出力端子が第2低電圧Vss2と接続するように形成している。これは、Q接続点から発生するディレイ現象によって、ゲート電圧が下がる時間が遅れることを改善する。つまり、さらに低い電圧でQ接続点の電圧を下げて、ゲート電圧も速やかに低電圧に低くなるようにする。その結果、第2トランジスタTr2のようにゲート電圧出力端子OUTの電圧をプルダウンさせるトランジスタのサイズを小さくすることができる。このように、ステージに含まれているトランジスタのサイズが減少すると、各ステージのサイズが減少して、狭いベゼルを有する表示装置を実現することができる。

20

【0138】

それだけでなく、第6トランジスタTr6により、次の次段の伝達信号CRによってQ接続点の電圧が第2低電圧Vss2に低くなるので、Q接続点の電圧がさらに安定化される。但し、図2及び図13を比較してみれば分かるように、次の次段ステージで信号が入力されなければならないので、ゲート駆動部500が形成される領域が広がる面がある。

【0139】

以上のような特徴を有する図14の実施形態においても、図5乃至図7に示している図3の実施形態の結果値と類似する結果値を有することと類推される。その理由は、差異点が第6トランジスタTr6以外にはなく、第6トランジスタTr6はプルダウン部516を補完する役割を果たすためである。

30

【0140】

以下、図14の変形された実施形態について、図15乃至図19を参照して説明する。

【0141】

図15乃至図19は、本発明の他の実施形態によるゲート駆動部のうちの一つのステージを拡大して示した回路図である。

【0142】

図15の実施形態は、図14とは異なり、第9-1トランジスタTr9-1の出力端子が第1電圧入力端子Vin1と接続している点で差がある。

【0143】

その結果、追加接続された一対のトランジスタTr9、Tr9-1により、次段ステージの伝達信号CRによって本段ステージのQ接続点の電圧が第1低電圧Vss1に低くなる。

40

【0144】

図15の実施形態により、第9トランジスタTr9及び第9-1トランジスタTr9-1によってQ接続点の電圧がさらに低い第2低電圧Vss2に下がらないようにして、Q接続点の電圧が低電圧に下がるのに遅延が発生しうるが、プルダウン部516の他のトランジスタによって動作には問題がない。また、図5乃至図7から見られるように、比較例もゲートオン電圧の出力には変化がなく、本実施形態を使用するのに問題はない。

【0145】

50

一方、図16の実施形態は、図14の実施形態と比較するとき、第17トランジスタTr17が除去されている。

【0146】

図14の実施形態において、第17トランジスタTr17は、次段ステージの伝達信号CRによって本段の伝達信号CRを第2低電圧Vss2に低くする役割を果たす。しかし、インバータの出力(I接続点の電圧)によって伝達信号CRを第2低電圧に下げる第11トランジスタTr11が存在するので、第17トランジスタTr17がない図16の実施形態も使用可能である。

【0147】

図16の実施形態は、図15の実施形態と同様に、第9-1トランジスタTr9-1の出力端子が第1電圧入力端子Vin1と接続されている変形も可能である。

10

【0148】

一方、図17の実施形態は、図14の実施形態と比較するとき、第11-1薄膜トランジスタTr11-1が除去されている。

【0149】

第11-1トランジスタTr11-1は、前段ステージのI接続点(インバータ出力)の電圧によって、ゲート電圧出力端子OUTの電圧を第1低電圧Vss1に変更させる動作を行うトランジスタであって、反転クロックによって生成された前段ステージのインバータ出力でゲート電圧を低電圧に下げる。しかし、ゲート電圧出力を第1低電圧に下げるトランジスタは第2トランジスタTr2及び第3トランジスタTr3も存在するので、削除されても動作するのに問題がない。

20

【0150】

図17の実施形態は、図15の実施形態と同様に、第9-1トランジスタTr9-1の出力端子が第1電圧入力端子Vin1と接続されているか、または図16の実施形態と同様に、第17トランジスタTr17が除去される変形も可能である。

【0151】

一方、図18の実施形態は、図14の実施形態と比較するとき、第9-1トランジスタTr9-1及び第10-1トランジスタTr10-1が除去されている。

【0152】

つまり、図14の実施形態において追加接続されている一对のトランジスタを一つのトランジスタに変更した構造である。図14においては、漏洩電流を減らすために一对のトランジスタTr9、Tr9-1、Tr10、Tr10-1を使用した。必ず一对のトランジスタを要することではなく、一つのトランジスタのチャンネルの幅及び長さを利用して、薄膜トランジスタを大きく形成することもできる。一方、実施形態によっては第9-1薄膜トランジスタ及び第10-1薄膜トランジスタのうちの一つだけが除去されてもよい。

30

【0153】

図18の実施形態は、図15の実施形態と同様に、第9-1トランジスタTr9-1の出力端子が第1電圧入力端子Vin1と接続されているか、または図16の実施形態と同様に、第17トランジスタTr17が除去されているか、または図17の実施形態と同様に、第9-1トランジスタTr9-1または第10-1トランジスタTr10-1が除去されている変形も可能である。

40

【0154】

一方、図19の実施形態は、図14の実施形態と比較するとき、インバータ部512が第2低電圧Vss2と接続されておらず、第1低電圧Vss1と接続されている。つまり、インバータ部512の第8トランジスタTr8及び第13トランジスタTr13の出力端子が第2電圧入力端子Vin2と接続されている。図19の実施形態においては、I接続点の電圧を第1低電圧Vss1に低くするようになるので、I接続点の電圧を制御端子に印加を受けるトランジスタが影響を受けることがある。つまり、第10トランジスタTr10及び第10-1トランジスタTr10-1のトランジスタの制御端子及び出力端子

50

間の電圧差が発生し、漏洩電流が発生しうるが、酸化物半導体を使用しない場合には、漏洩電流の問題がなく、酸化物半導体を使用しても薄膜トランジスタの漏洩電流特性を良好に形成することもでき、図14に示したように、追加接続された一对のトランジスタを通じて漏洩電流を減らすことも可能である。したがって、図19の実施形態も使用するのに問題はない。

【0155】

図19の実施形態は、図15の実施形態と同様に、第9-1トランジスタTr9-1の出力端子が第1電圧入力端子Vin1と接続しているか、または図16の実施形態と同様に、第17トランジスタTr17が除去されているか、または図17の実施形態と同様に、第9-1トランジスタTr9-1または第10-1トランジスタTr10-1が除去されているか、または図18の実施形態と同様に、第8トランジスタTr8及び第13トランジスタTr13の出力端子が第2電圧入力端子Vin2と接続されている変形も可能である。

10

【0156】

以上のトランジスタは、酸化物半導体を含むか、または非晶質シリコンまたは多結晶シリコンを含んでもよい。

【0157】

一方、以上では2個のクロック信号CKV、CKVBを使用する表示装置を基準に説明した。

【0158】

しかし、4個のクロック信号(即ち、二対のクロック信号)を使用してもよく、それ以上の個数のクロック信号を使用する表示装置を形成することも可能である。

20

【0159】

以下、図20及び図21を参照して、4個のクロック信号(つまり、二対のクロック信号)を使用する表示装置について説明する。

【0160】

図20は、本発明の他の実施形態による表示装置の平面図であり、図21は、図20の実施形態で使用されたクロック信号の波形図である。

【0161】

図20を参照すれば、本発明の実施形態による表示パネル100は、画像を表示する表示領域300、及び表示領域300のゲート線にゲート電圧を印加する一对のゲート駆動部500-1、500-2を含む。一方、表示領域300のデータ線は、表示パネル100に付着されたフレキシブルプリント回路膜(FPC; flexible printed circuit film)450などのフィルムの上に形成されたデータドライバIC460からデータ電圧が印加される。一方、ゲート駆動部500-1、500-2及びデータドライバIC460は信号制御部600によって制御される。フレキシブルプリント回路膜450などのフィルムの外側には、プリント回路基板(PCB; printed circuit board)が形成されて、信号制御部600からの信号をデータドライバIC460及びゲート駆動部500-1、500-2に伝達する。信号制御部600から提供される信号として、第1クロック信号CKV1、第2クロック信号CKVB1、第3クロック信号CKV2、第4クロック信号CKVB2、スキャン開示信号STVP1、STVP2などの信号と、特定レベルの低電圧Vss1、Vss2を提供する信号を含む。実施形態によっては低電圧を一種類だけ有してもよい。ここで、第1クロック信号CKV1、第2クロック信号CKVB1、第3クロック信号CKV2、及び第4クロック信号CKVB2の関係は、図21に示したような位相差を有してもよい。

30

40

【0162】

表示領域300は、液晶表示パネルである場合には、薄膜トランジスタTrsw、液晶キャパシタC1c、及び維持キャパシタCstなどを含み、図20では液晶表示パネルを例として挙げて示している。一方、有機発光表示パネルでは薄膜トランジスタ、及び有機発光ダイオードを含み、その他の表示パネルでは薄膜トランジスタなどの素子を含んで表

50

示領域300を形成する。本発明は、液晶表示パネルに限定されないが、明確に説明するために、以下では液晶表示パネルを例として挙げて説明する。

【0163】

表示領域300には、多数のゲート線G1～Gn及び多数のデータ線D1～Dmを含み、多数のゲート線G1～Gn及び多数のデータ線D1～Dmは絶縁して交差している。

【0164】

各画素PXには、薄膜トランジスタTrsw、液晶キャパシタClc、及び維持キャパシタCstを含む。薄膜トランジスタTrswの制御端子は一つのゲート線に接続され、薄膜トランジスタTrswの入力端子は一つのデータ線に接続され、薄膜トランジスタTrswの出力端子は液晶キャパシタClcの一側端子及び維持キャパシタCstの一側端子に接続される。液晶キャパシタClcの他側端子は共通電極に接続され、維持キャパシタCstの他側端子は信号制御部600から印加される維持電圧Vcstが印加される。液晶表示パネルの画素PXの構造も多様な実施形態が存在し、図20に示した画素PXの基本構造から追加構成を有する画素PXも本発明を適用することができる。

10

【0165】

多数のデータ線D1～Dmは、データドライバIC460からデータ電圧が印加され、多数のゲート線G1～Gnは、ゲート駆動部500-1、500-2からゲート電圧が印加される。つまり、多数のゲート線G1～Gnは、奇数行のゲート線と偶数行のゲート線に区分され、奇数行のゲート線は第1ゲート駆動部500-1に接続され、偶数行のゲート線は第2ゲート駆動部500-2に接続されている。

20

【0166】

データドライバIC460は、表示パネル100の上側または下側に形成されて、縦方向に延長されたデータ線D1～Dmと接続しているので、図20の実施形態においては、データドライバIC460が表示パネル100の上側に位置する実施形態を示している。

【0167】

第1ゲート駆動部500-1は、第1クロック信号CKV1、第2クロック信号CKVB1、第1スキャン開示信号STVP1、及びゲートオフ電圧に準ずる第1低電圧Vss1と、ゲートオフ電圧より低い第2低電圧Vss2の印加を受けて、ゲート電圧(ゲートオン電圧及びゲートオフ電圧)を生成し、奇数行のゲート線に順次にゲートオン電圧を印加する。

30

【0168】

第2ゲート駆動部500-2は、第3クロック信号CKV2、第4クロック信号CKVB2、第2スキャン開示信号STVP2、及びゲートオフ電圧に準ずる第1低電圧Vss1と、ゲートオフ電圧より低い第2低電圧Vss2の印加を受けて、ゲート電圧(ゲートオン電圧及びゲートオフ電圧)を生成し、偶数行のゲート線に順次にゲートオン電圧を印加する。

【0169】

図21に示したように、本実施形態において、第1クロック信号CKV1と第2クロック信号CKVB1は位相差が180度であり、第3クロック信号CKV2と第4クロック信号CKVB2は位相差が180度である。また、第1クロック信号CKV1と第3クロック信号CKV2との位相差(図21のTd)は、実施形態によって多様でありうるが、本実施形態では90度の位相差を有する。

40

【0170】

図21に示しているように、第1ないし第4クロック信号の位相関係においては、奇数行のゲート線と偶数行のゲート線のうち互いに隣接するゲート線間にはゲートオン電圧が印加される区間が一部重なってもよい。このとき、データ電圧が、隣接する二行の画素に全て印加されてもよいが、当該データ電圧は、二行の画素のうち一行の画素(前段行の画素)に印加される電圧であり、それ以外の行の画素(後端行の画素)はプリーチャージ(pre-charge)されてもよい。

【0171】

50

ゲート駆動部 500 - 1、500 - 2 に印加されるクロック信号 CKV1、CKVB1、CKV2、CKVB2、スキャン開示信号 STVP1、STVP2、第1低電圧 Vss1 及び第2低電圧 Vss2 は、図20に示したように、データドライバ IC460 が位置するフレキシブルプリント回路膜 450 のうち、ゲート駆動部 500 - 1、500 - 2 と最も近いフレキシブルプリント回路膜 450 を通じてゲート駆動部 500 - 1、500 - 2 にそれぞれ印加される。このような信号は、外部または信号制御部 600 からプリント回路基板 400 を通じてフレキシブルプリント回路膜 450 などのフィルムに伝達される。

【0172】

以上、表示装置の全体的な構造について説明した。

10

【0173】

図20で使用されている第1ゲート駆動部 500 - 1 及び第2ゲート駆動部 500 - 2 の構造は、図2または図13の構造を有してもよいが、各ステージは、図3、図8乃至図12、及び図14乃至図19の構造を有してもよい。また、その他の本発明に対応する構造を有してもよい。

【0174】

以上、本発明の好ましい実施形態について詳細に説明したが、本発明の権利範囲はこれに限定されることなく、請求の範囲で定義している本発明の基本概念を利用した当業者の種々の変形及び改良形態も本発明の権利範囲に属するものである。

【符号の説明】

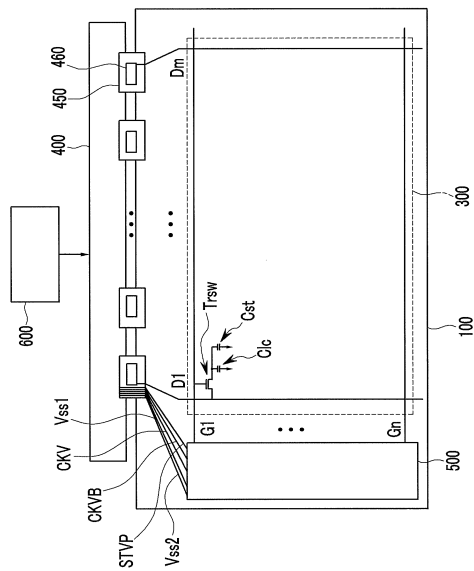
20

【0175】

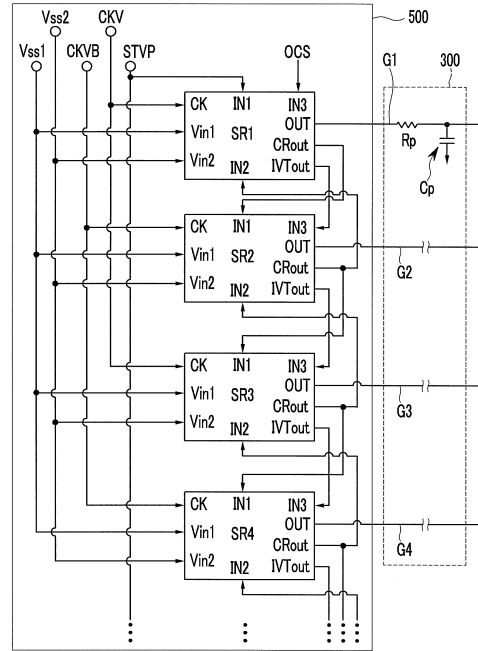
- 100 表示パネル
- 300 表示領域
- 400 プリント回路基板
- 450 フレキシブルプリント回路膜
- 460 データドライバIC
- 500 ゲート駆動部
- 511 入力部
- 512 インバータ部
- 513 伝達信号生成部
- 514 出力部
- 515 ノイズ除去部
- 516 プルダウン部
- 600 信号制御部

30

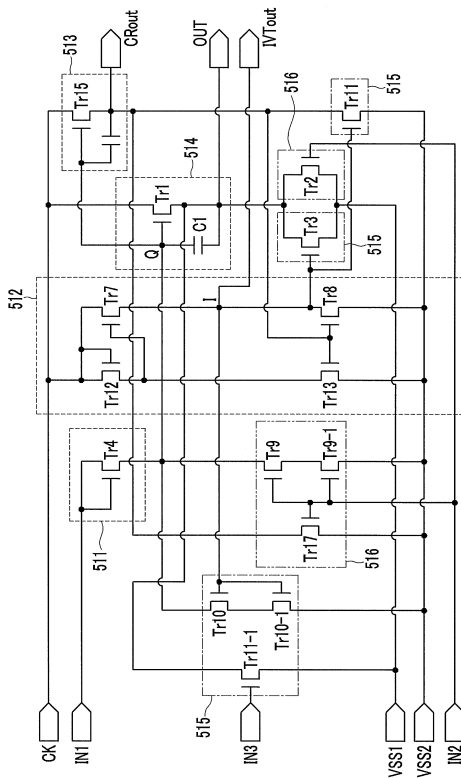
【図1】



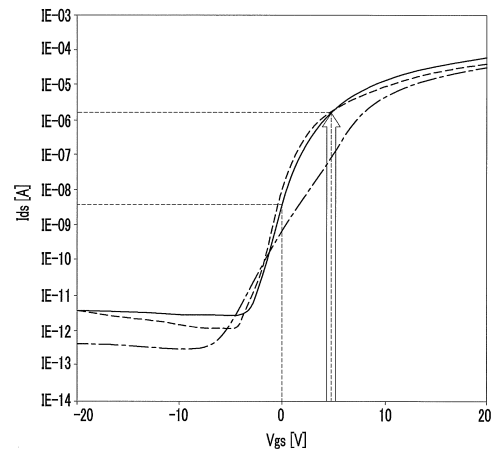
【図2】



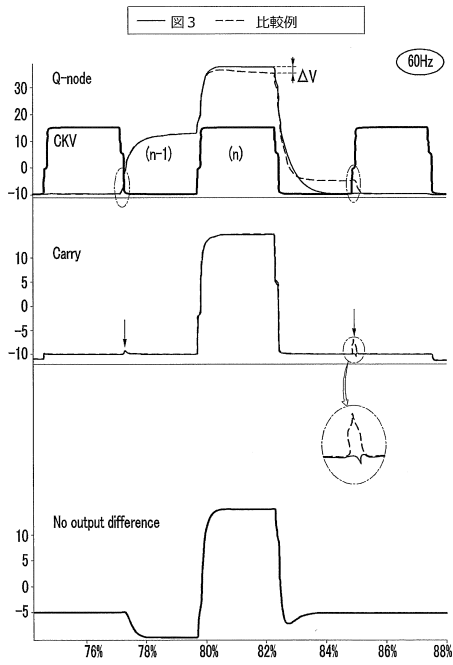
【図3】



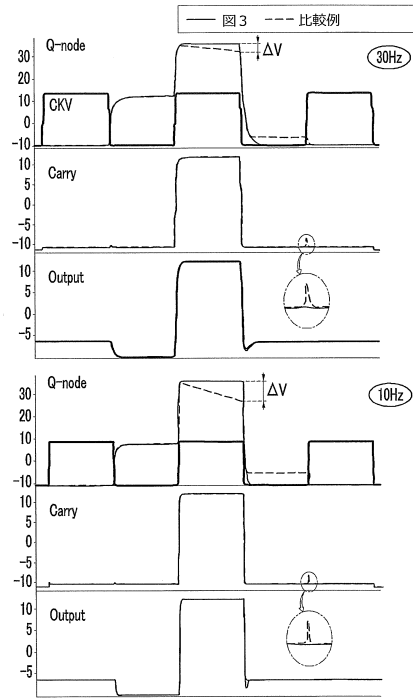
【図4】



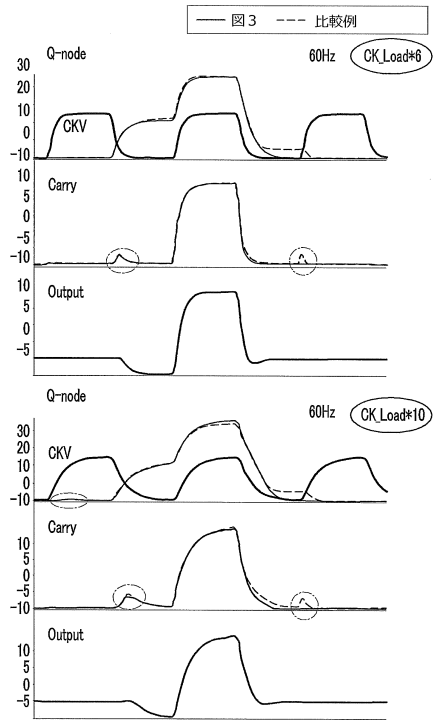
【 図 5 】



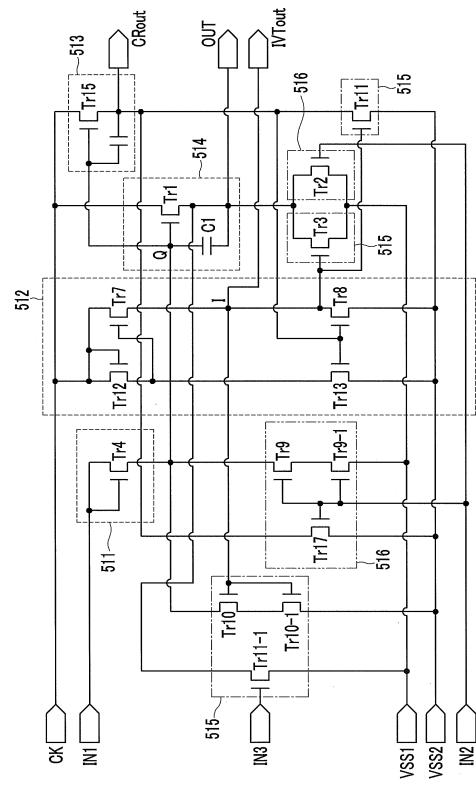
【 図 6 】



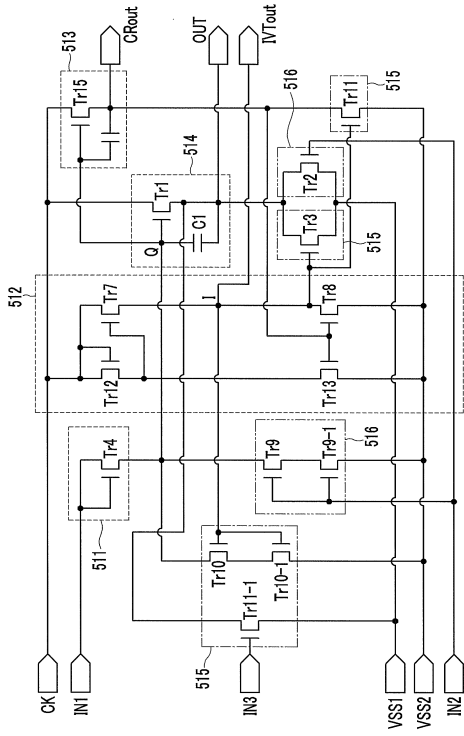
【 図 7 】



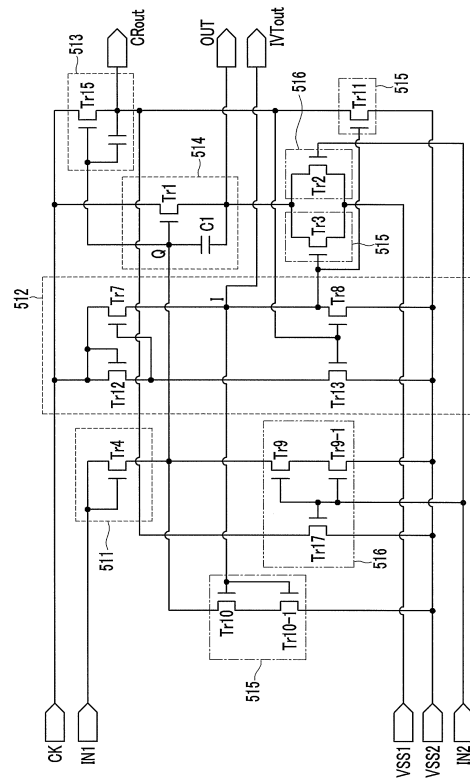
【 図 8 】



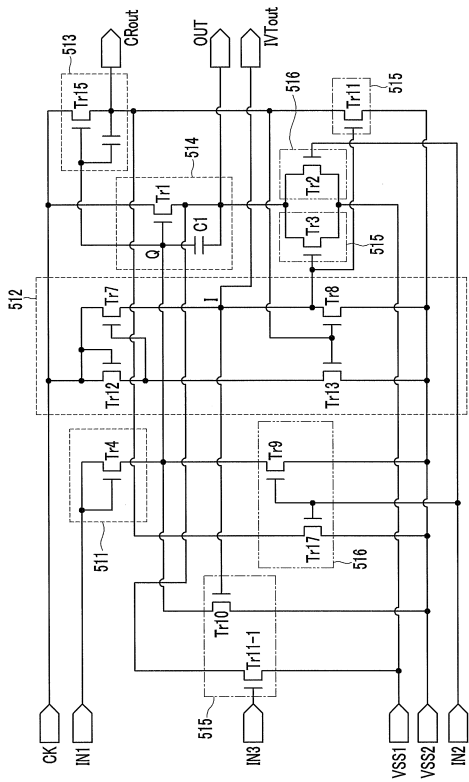
【 図 9 】



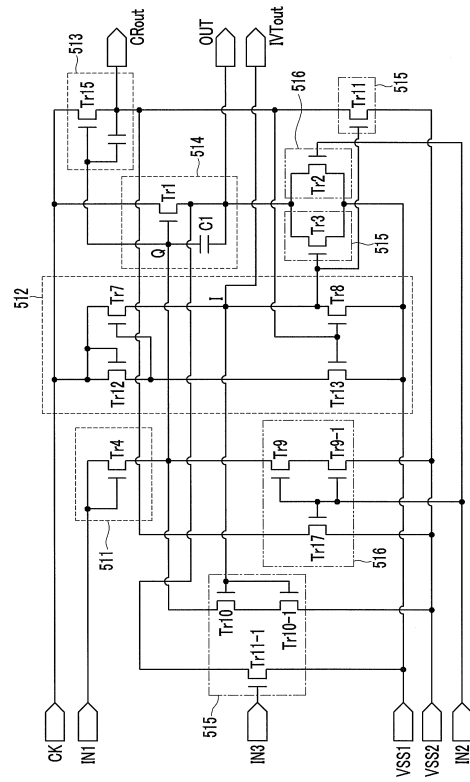
【 図 10 】



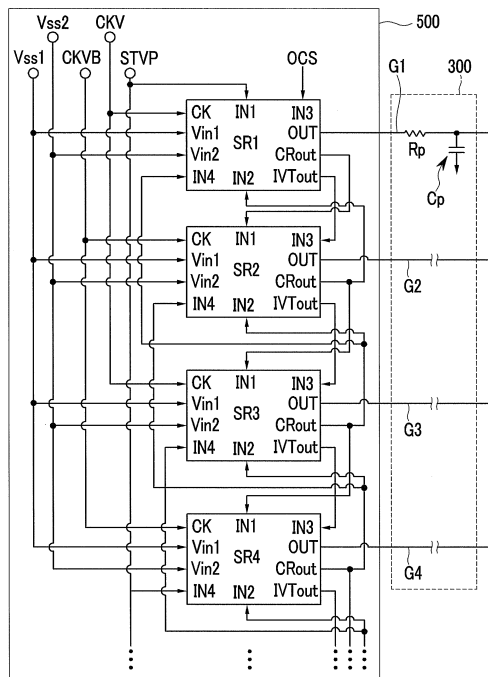
【 図 11 】



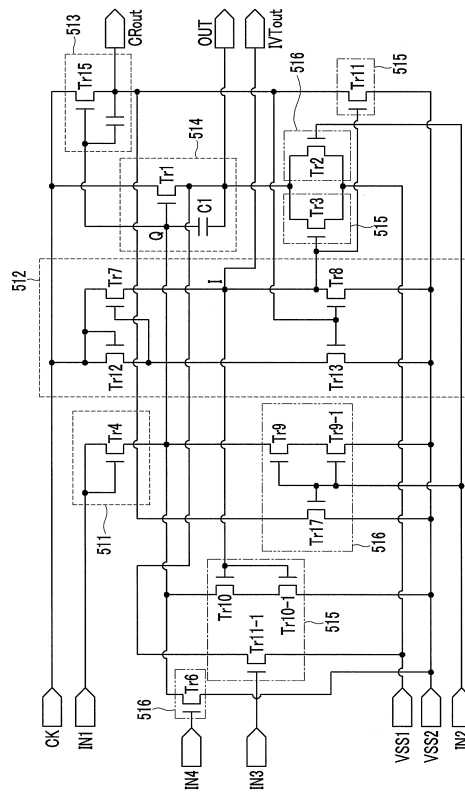
【 図 12 】



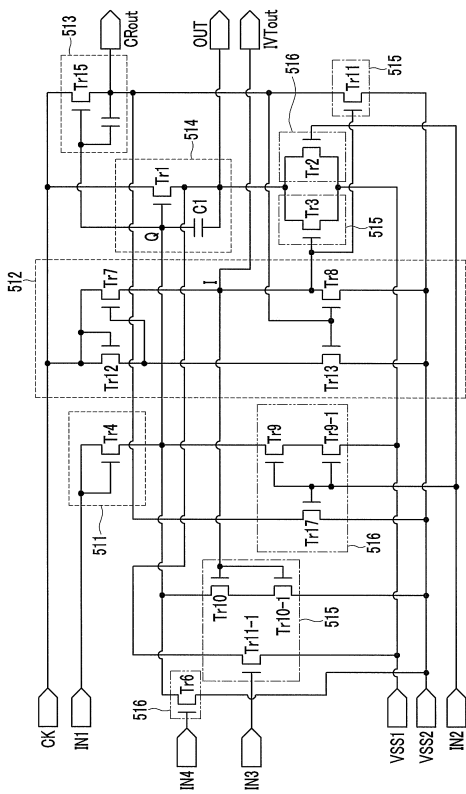
【図 13】



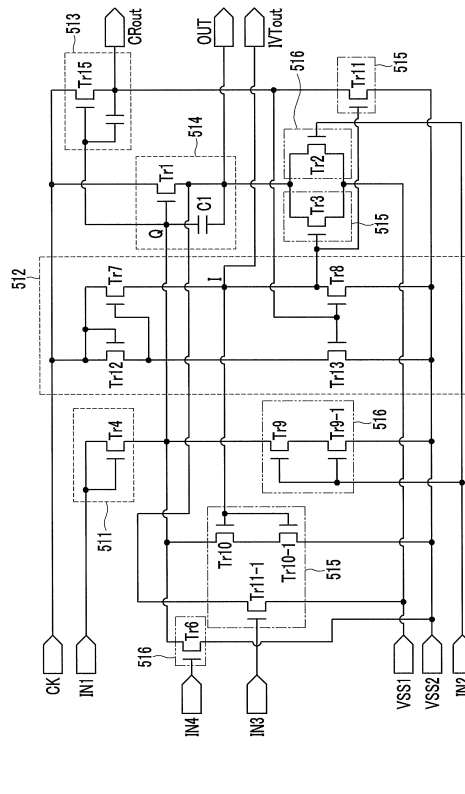
【図 14】



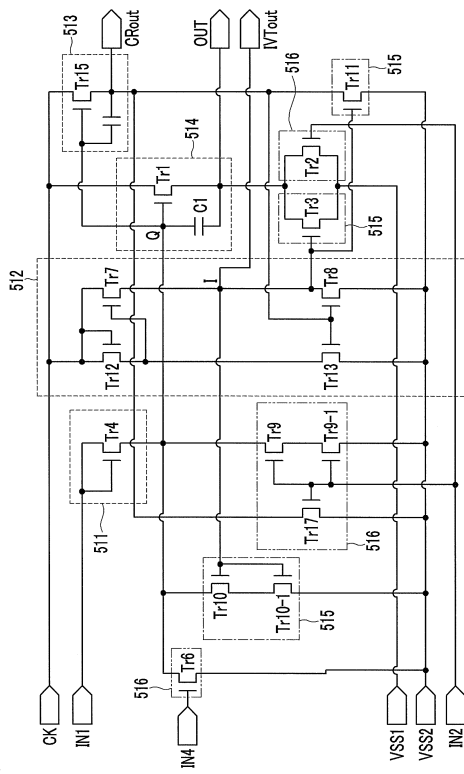
【図 15】



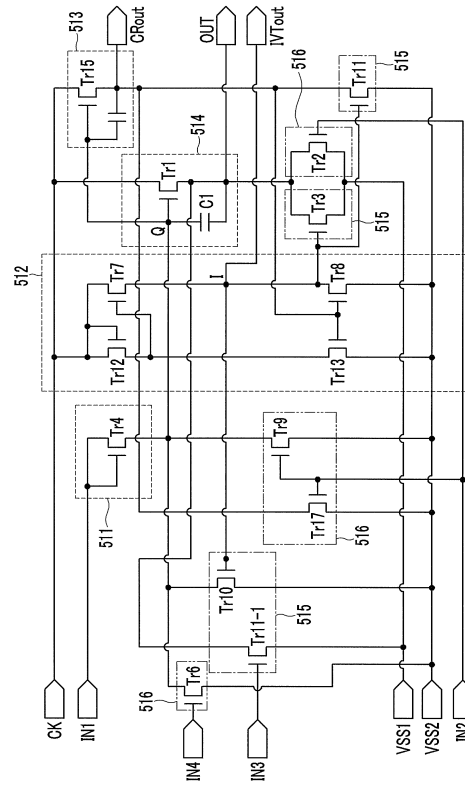
【図 16】



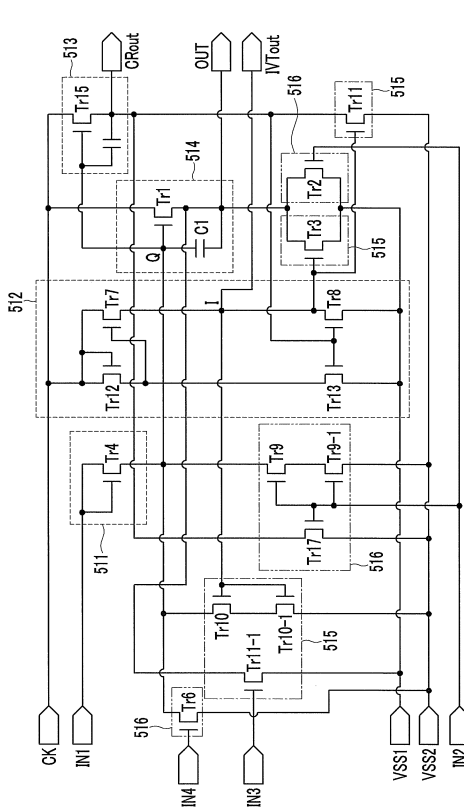
【 図 17 】



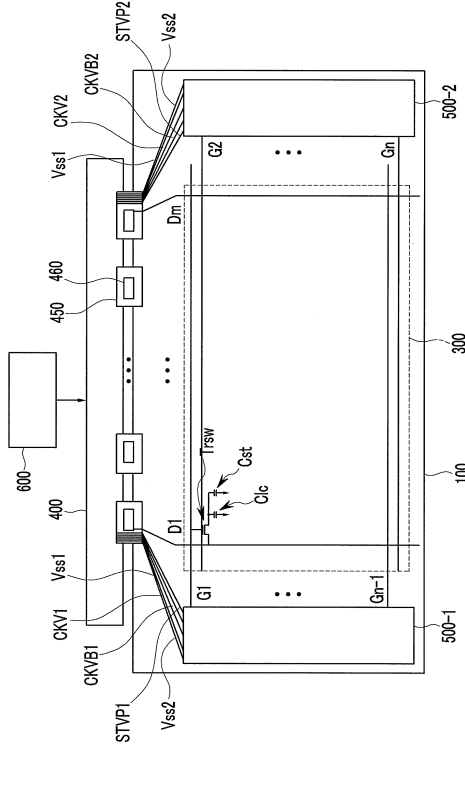
【 図 18 】



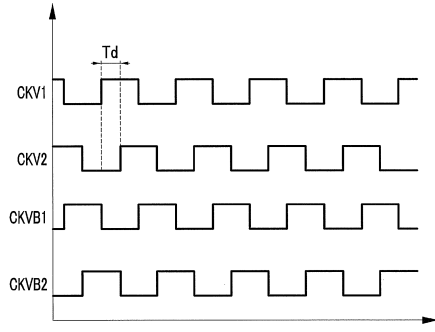
【 図 19 】



【 図 20 】



【 図 2 1 】



フロントページの続き

(51)Int.Cl. F I
G 0 2 F 1/133 5 5 0

(72)発明者 金 智 善
大韓民国ソウル市江西区内鉢山1洞678-27 ドンヘビラ ガ棟B01号

(72)発明者 金 鐘 熙
大韓民国京畿道華城市陵洞 スッソクマウルザヨンエンギョンナム806-1403

(72)発明者 徐 榮 完
大韓民国京畿道水原市靈通区 シン 洞340-22番地201号

(72)発明者 林 栽 瑾
大韓民国京畿道水原市靈通区靈通洞978-3番地206号

審査官 斎藤 厚志

(56)参考文献 特開2011-113096(JP,A)
特開2012-155106(JP,A)
米国特許出願公開第2010/0097368(US,A1)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 3 6
G 0 2 F 1 / 1 3 3
G 0 9 G 3 / 2 0