

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6440723号
(P6440723)

(45) 発行日 平成30年12月19日(2018.12.19)

(24) 登録日 平成30年11月30日(2018.11.30)

| | |
|--------------------------|--------------------|
| (51) Int.Cl. | F 1 |
| HO 1 L 23/12 (2006.01) | HO 1 L 23/12 501 P |
| HO 1 L 21/60 (2006.01) | HO 1 L 23/12 B |
| HO 1 L 21/3205 (2006.01) | HO 1 L 23/12 Q |
| HO 1 L 21/768 (2006.01) | HO 1 L 21/92 602 P |
| HO 1 L 23/522 (2006.01) | HO 1 L 21/88 T |

請求項の数 13 (全 17 頁)

| | |
|---------------|-------------------------------|
| (21) 出願番号 | 特願2016-550525 (P2016-550525) |
| (86) (22) 出願日 | 平成27年2月11日 (2015.2.11) |
| (65) 公表番号 | 特表2017-510063 (P2017-510063A) |
| (43) 公表日 | 平成29年4月6日 (2017.4.6) |
| (86) 國際出願番号 | PCT/US2015/015450 |
| (87) 國際公開番号 | W02015/123321 |
| (87) 國際公開日 | 平成27年8月20日 (2015.8.20) |
| 審査請求日 | 平成30年1月24日 (2018.1.24) |
| (31) 優先権主張番号 | 14/179,202 |
| (32) 優先日 | 平成26年2月12日 (2014.2.12) |
| (33) 優先権主張国 | 米国(US) |

| | |
|-----------|---|
| (73) 特許権者 | 507364838 クアルコム、インコーポレイテッド アメリカ合衆国 カリフォルニア 921 21 サンディエゴ モアハウス ドラ イブ 5775 |
| (74) 代理人 | 100108453 弁理士 村山 靖彦 |
| (74) 代理人 | 100163522 弁理士 黒田 晋平 |
| (72) 発明者 | ヨン・キュ・ソン アメリカ合衆国・カリフォルニア・921 21-1714-サン・ディエゴ・モアハウス・ドライブ・5775 |

最終頁に続く

(54) 【発明の名称】ウェハレベルパッケージ(WLP)のための浮遊UBMポール上のインダクタ設計

(57) 【特許請求の範囲】

【請求項1】

第1の相互接続および複数の残りの相互接続が実装されたダイと、
前記ダイ内であって、前記第1の相互接続および前記複数の残りの相互接続の上に配設されたインダクタであって、

前記ダイに電気的かつ機械的に結合される第1の端子と、

前記第1の相互接続を通じて前記ダイに電気的かつ機械的に結合される第2の端子と、

前記複数の残りの相互接続に機械的に結合されるが、前記複数の残りの相互接続に電気的に結合されない前記インダクタの残りの部分と

を備えるインダクタとを備えた、装置。

【請求項2】

前記第1の相互接続が、アンダーバンブメタライゼーション(UBM)層を通じて前記ダイに電気的に結合された、請求項1に記載の装置。

【請求項3】

ウェハレベルパッケージ(WLP)、フリップチップボールグリッドアレイ(FCBGA)パッケージ、およびフリップチップチップスケールパッケージ(FCCSP)のうちの少なくとも1つの中に一体化された、請求項1に記載の装置。

【請求項4】

前記インダクタが前記ダイ上の单一の層内に配設された、請求項1に記載の装置。

10

20

【請求項 5】

前記インダクタが 2 次元である、請求項 1 に記載の装置。

【請求項 6】

装置を製造する方法であって、

第 1 の相互接続および複数の残りの相互接続が実装されたダイを設けるステップと、

前記ダイ内であって、前記第 1 の相互接続および前記複数の残りの相互接続の上にインダクタを配設するステップであって、

前記インダクタの第 1 の端子を形成し、前記ダイに前記第 1 の端子を電気的かつ機械的に結合するステップと、

前記インダクタの第 2 の端子を形成し、前記第 1 の相互接続を通じて前記ダイに前記第 2 の端子を電気的かつ機械的に結合するステップと、

前記インダクタの残りの部分を形成し、前記複数の残りの相互接続に前記インダクタの前記残りの部分を機械的に結合するが、前記複数の残りの相互接続に前記インダクタの前記残りの部分を電気的に結合しないステップと

を含むステップとを含む、方法。

【請求項 7】

前記第 1 の相互接続が、アンダーバンプメタライゼーション (UBM) 層を通じて前記ダイに電気的に結合される、請求項 6 に記載の装置を製造する方法。

【請求項 8】

ウェハレベルパッケージ (WLP)、フリップチップボールグリッドアレイ (FCBG)
A) パッケージ、パッケージオンパッケージ (POP) パッケージ、およびフリップチップチップスケールパッケージ (FCCSP) のうちの少なくとも 1 つの中に前記装置を一
体化するステップをさらに含む、請求項 6 に記載の装置を製造する方法。

【請求項 9】

前記ダイ内に配設された前記インダクタを設けるステップが、前記ダイ上の単一の層内
に前記インダクタを配設するステップを含む、請求項 6 に記載の装置を製造する方法。

【請求項 10】

前記インダクタが 2 次元である、請求項 6 に記載の装置を製造する方法。

【請求項 11】

前記ダイ内に金属層を設けるステップと、

前記金属層上に銅再分配層を設けるステップと、

前記銅再分配層上にポリイミド層を設けるステップと、

前記ポリイミド層上に部分的に配設され、前記銅再分配層上に部分的に配設されるアン
ダーバンプメタライゼーション (UBM) 層を設けるステップとをさらに含む、請求項 6
に記載の装置を製造する方法。

【請求項 12】

前記ダイ内の金属層と、

前記金属層上の銅再分配層と、

前記銅再分配層上のポリイミド層と、

前記ポリイミド層上に部分的に配設され、前記銅再分配層上に部分的に配設されるアン
ダーバンプメタライゼーション (UBM) 層とをさらに備える、請求項 1 に記載の装置。

【請求項 13】

データを含むコンピュータ可読媒体であって、前記データが、マシンによってアクセス
されるとき、装置を製造するための請求項 6 から 11 のいずれか一項に記載の方法に従う
動作を前記マシンに実施させる、コンピュータ可読媒体。

【発明の詳細な説明】

【技術分野】

【0001】

本開示の態様は、一般には半導体パッケージングに関し、詳細には、ウェハレベルパッ
ケージングおよび改良型のボードレベル信頼性のためのインダクタ設計を実装する半導体

10

20

30

40

50

パッケージングに関する。

【背景技術】

【0002】

無線デバイス（たとえば、携帯電話またはスマートフォン）は、2方向または多方向通信をサポートするためにアンテナに結合された送信機および受信機を含み得る。送信機は、音声および/またはデータで高周波（RF）搬送波信号を変調して変調後信号を得、1つまたは複数の電力増幅器を使用して、変調後信号を増幅し、適切な出力電力レベルを有する出力RF信号を得、アンテナを介して出力RF信号を基地局に送信し得る。

【0003】

インダクタは、無線通信のために使用される電力増幅器の不可欠な部品である。たとえば、インダクタは、タンク回路内で、チョークとして使用されるなどされ得る。インダクタをデバイス内に一体化するとき、ボードレベル信頼性が主要な問題である。たとえば、はんだボイド、温度サイクリング、機械的振動、エレクトロマイグレーションなどのボードレベル信頼性に対する起こり得る効果についての問題が提起されてきた。

【0004】

従来の一解決策は、表面実装技術（SMT）を使用して、チップ上に1つまたは複数のインダクタを実装することである。しかし、この解決策は、チップの外部にインダクタを取り付けることを必要とする。この解決策の一結果は、電力増幅器内のチョークインダクタが取り除かれ、SMTインダクタで置き換えられることである。チョークインダクタをSMTインダクタで置き換えることにより、電力増幅器の有する雑音余裕が減少する。

【0005】

別の従来の解決策は、パッケージ基板内にインダクタを埋め込むことである。この解決策も課題を有する。たとえば、パッケージ基板内にインダクタを埋め込む結果、パッケージングコストが増大する。さらに、パッケージ基板内にインダクタを埋め込む結果、インダクタのための余分な空間が必要とするためにパッケージが大きくなる。

【0006】

さらに別の従来の解決策は、ランドグリッドアレイ（LGA）技術を使用して、積層基板上にインダクタを実装することである。この実装は、基板上のはんだボールを使用して基板内に埋め込まれた螺旋インダクタを使用する。図1に、インダクタを実装するためのダイ102を形成する従来型基板を示す。ダイ102は、いくつかのはんだボール104a~104zを含む。インダクタがダイ102上に実装されるとき、はんだボールのいくつかを実装解除しなければならない。たとえば、図1は、インダクタの最適な性能のためにはんだボール104k、104l、104p、および104qを実装解除しなければならないことを（点線を用いて）示す。しかし、はんだボールのいくつかが実装解除される場合、はんだボールについての密度要件に違反し得る。たとえば、ボードレベル信頼性規格を満たすために、ダイ102とプリント回路基板（PCB）との間のはんだ接続が少ないとき、熱的および/または機械的要件が満たされなければならない。

【0007】

代替策は、すべてのはんだボールをダイ102上に残すことである。はんだボール104k、104l、104p、および104qがダイ102から実装解除されない場合、はんだボール104k、104l、104p、および104qは「浮遊する」と言われる。これは、インダクタがダイ102上に一体化されるとき、はんだボール104k、104l、104p、および104qがダイ102に電気的に結合されないからである。あいにく、浮遊はんだボールは高い渦電流を引き起こし、その結果、インダクタのインダクタンスが低下し、インダクタについての直流（DC）抵抗（Rdc）が高くなり、インダクタの品質係数（Q）が低下する。

【0008】

さらに、L、Rdc、およびQについての値は、プロセス変動による変化の影響を受ける。インダクタンスについての値が変動する場合、パッケージ内に可変キャパシタンスを含めることなどによって、変動を補償する方法が必要となる。この構成要素の追加により

10

20

30

40

50

、材料コストが増加し、製造コストが増加し、パッケージのサイズが増大する。

【発明の概要】

【発明が解決しようとする課題】

【0009】

たとえば電力増幅器内で、インダクタを実装するための改良型の装置および方法が求められている。

【課題を解決するための手段】

【0010】

本明細書で説明する技術の例示的実装は、ウェハレベルパッケージ (WLP) についての浮遊はんだボール上のインダクタ設計のための装置、システム、方法、およびコンピュータ可読媒体を対象とする。インダクタ設計の特徴は、インダクタ設計がボードレベル信頼性規格に適合し、はんだボールを実装解除することを必要とせず、それでもなお、インダクタのインダクタンスおよび品質係数 (Q) を維持することである。

10

【0011】

1つまたは複数の実装では、半導体デバイスは、第1の相互接続および複数の残りの相互接続が実装されたダイを含む。半導体デバイスはまた、ダイ内に配設されたインダクタも含む。インダクタは、ダイに電気的かつ機械的に結合される第1の端子を含む。インダクタはまた、第1の相互接続を使用してダイに電気的かつ機械的に結合される第2の端子も含む。インダクタは、複数の残りの相互接続に機械的に結合されるが、複数の残りの相互接続に電気的に結合されない残りの部分を含む。

20

【0012】

いくつかの実装では、第1の相互接続は、アンダーバンプメタライゼーション (UBM) 層を使用してダイに電気的に結合されるはんだボールであり得、半導体デバイスが、ウェハレベルパッケージ (WLP) 、フリップチップボールグリッドアレイ (FCBGA) パッケージ、およびフリップチップチップスケールパッケージ (FCCSP) のうちの少なくとも1つの中に一体化され、インダクタがダイ上の単一の層内に配設され、インダクタは2次元である。

【0013】

別の実装では、半導体デバイスは、第1の相互接続および複数の残りの相互接続が実装されたダイを含む。半導体デバイスはまた、プリント回路基板 (PCB) も含む。半導体デバイスは、ダイ内に配設されたインダクタをさらに含む。インダクタは、ダイに電気的かつ機械的に結合される第1の端子と、第1の相互接続を使用してプリント回路基板 (PCB) に電気的かつ機械的に結合される第2の端子とを含む。インダクタの残りの部分は、複数の残りの相互接続に機械的に結合されるが、残りの相互接続に電気的に結合されない。

30

【0014】

別の実装では、半導体デバイスは、第1の相互接続および複数の残りの相互接続が実装されたダイを含む。半導体デバイスはまた、プリント回路基板 (PCB) も含む。半導体デバイスは、プリント回路基板内に配設されたインダクタをさらに含む。インダクタは、第1の相互接続を使用してプリント回路基板に電気的かつ機械的に結合される第1の端子を含む。インダクタはまた、ダイに電気的かつ機械的に結合される第2の端子を含む。インダクタは、複数の残りの相互接続に機械的に結合されるが、複数の残りの相互接続に電気的に結合されない残りの部分を含む。

40

【0015】

さらに別の実装では、半導体デバイスを製造する方法は、第1の相互接続および複数の残りの相互接続が実装されたダイを設けることを含む。半導体デバイスを製造する方法はまた、ダイ内にインダクタを配設することも含む。インダクタは、ダイに電気的かつ機械的に結合される第1の端子と、第1の相互接続を使用してダイに電気的かつ機械的に結合される第2の端子とを含む。インダクタはまた、複数の残りの相互接続に機械的に結合されるが、複数の残りの相互接続に電気的に結合されない残りの部分も含む。

50

【0016】

さらに別の実装では、半導体デバイスは、第1の相互接続および複数の残りの相互接続が実装されたダイを設けるための手段と、ダイ内にインダクタを配設するための手段とを備える。ダイ内にインダクタを配設するための手段は、第1の端子を形成するための手段と、ダイに第1の端子を電気的かつ機械的に結合するための手段と、第2の端子を形成するための手段と、第1の相互接続を使用してダイに第2の端子を電気的かつ機械的に結合するための手段と、インダクタの残りの部分を形成するための手段と、複数の残りの相互接続にインダクタの残りの部分を機械的に結合するが、複数の残りの相互接続にインダクタの残りの部分を電気的に結合しない手段とを備える。

【0017】

10

非一時的コンピュータ可読媒体が、本明細書で説明する方法のうちの1つまたは複数を実装し得る。さらに、半導体デバイス／アセンブリが有線または無線デバイス内で実装され得る。

【0018】

20

上記は、本明細書で説明される1つまたは複数の実装に関する簡略化した概要である。したがって、概要は、すべての企図される態様および／または実装に関する包括的概要とみなされるべきではなく、概要は、すべての企図される態様および／または実装に関する主要な、または不可欠な要素を特定するため、あるいは何らかの特定の態様および／または実装に関連する範囲を描写するためのものとみなされるべきでもない。したがって、概要は、以下で提示される詳細な説明に先行して、本明細書で開示される機構に関する1つまたは複数の態様および／または実装に関するいくつかの概念を簡略化した形態で提示するという唯一の目的を有する。

【0019】

添付の図面は、本明細書で説明される技術の説明を助けるために提示され、実装の限定ではなく、実装の例示のためだけに提示される。

【図面の簡単な説明】

【0020】

【図1】インダクタを実装するための従来型基板の上面図である。

【図2】本明細書で説明される技術の1つまたは複数の実装による、その中にインダクタが配設された基板の上面図である。

30

【図3】本明細書で説明される技術の1つまたは複数の実装による半導体アセンブリの断面図である。

【図4】本明細書で説明される技術の1つまたは複数の実装による半導体デバイスの断面図である。

【図5】本明細書で説明される実装による、半導体デバイスを作成する方法の流れ図である。

【図6】本明細書で説明される実装に従って本明細書で開示される技術が配置され得る無線ネットワークである。

【発明を実施するための形態】

【0021】

40

一般には、本明細書で開示される手段は、ウェハレベルパッケージ（WLP）についての浮遊相互接続および／または浮遊はんだボール上のインダクタ設計のためのシステム、方法、装置、およびコンピュータ可読媒体を対象とする。1つまたは複数の実装では、インダクタ設計は、ウェハ／ダイ上のはんだボールを実装解除することを必要としない。浮遊はんだボールはインダクタの一部を形成する。

【0022】

本明細書で説明される技術の一特徴は、インダクタ内により低い直流（DC）抵抗である。これは、インダクタのアンダーバンプメタライゼーション（UBM）パッドを使用する、インダクタを通過するより大きい電流があるからである。

【0023】

50

本明細書で説明される技術の別の特徴は、インダクタについてのインダクタンスが増大することである。これは、浮遊はんだボールがインダクタの一部であり、螺旋インダクタ内でもう1巻きを可能にするからである。

【0024】

本明細書で説明される技術の別の特徴は、はんだボール104k、104l、104p、および104qを実装解除することなく高いキュー品質係数(Q)が達成されることである。たとえば、インダクタについてのキュー品質係数(Q)は、以下の式によって得られる。

【0025】

【数1】

10

$$Q = \frac{\omega L}{R}$$

【0026】

上式で、 ω はラジアン動作周波数であり、Lはインダクタのインダクタンスであり、Rはインダクタの実効直列抵抗であり、積Lはインダクタの誘導性リアクタンスである。したがって、本明細書で説明されるインダクタは、実効直列抵抗(R)が低く、インダクタンス(L)が高いので、より高い品質係数(Q)を達成し得る。

【0027】

本明細書で説明される技術の別の特徴は、インダクタがその中に実装される電力増幅器において、より高い電圧ヘッドルームを可能にすることである。たとえば、本明細書で説明される技術に従って実装されるインダクタを使用すると、インダクタ内の寄生抵抗が低くなる。寄生抵抗が低いと、オームの法則($V = I * R$ 、ただしVは電圧であり、Iは電流であり、Rは抵抗である)は、インダクタがより多くの電圧を降下させることを規定する。したがって、インダクタについての電圧ヘッドルームが大きくなる。

20

【0028】

本明細書で説明される技術の別の特徴は、電力増幅器がより高い電力付加効率(PAE)および電力増幅器利得を達成し得ることである。たとえば、インダクタ内の寄生抵抗が低くなる結果、電力損失が低くなる。電力損失が低くなる結果、電力付加効率(PAE)が高くなる。

30

【0029】

本明細書で説明される技術のさらに別の特徴は、パッケージ内に一体化されるインダクタが3次元ではなく2次元であるので、渦電流が低減または解消されることである。すなわち、インダクタは、パッケージ上の単一層内に配設される。この結果、ボードレベル信頼性(BLR)も高くなる。

【0030】

図2は、はんだボール104a～104zが完全に実装されたダイ102を有する半導体デバイス200の上面図である。はんだボール104a～104zを有するものとして示されているが、ダイ102には、任意の適切な相互接続が実装され得る。

40

【0031】

1つまたは複数の実装では、半導体デバイス200は、積層パッケージ基板ではなく、ウェハレベルパッケージ(WLP)、フリップチップボールグリッドアレイ(FCBA)パッケージ、またはフリップチップチップスケールパッケージ(FCCSP)である。

【0032】

インダクタ202は、はんだボール104a～104zの一部の上に配設される。図示される実装では、インダクタ202は、はんだボール104k、104l、104p、および104q上に配設される。したがって、インダクタ202を収容するために、はんだボール104a～104zのうちのどれもダイ102から実装解除されていない。はんだボール104k、104p、および104qは電気的に「浮遊」したままにされる。はんだボール104k、104p、および104qに、その上に配設されたインダクタ202

50

が実装されたままにすることは、はんだボール 104k、104l、104p、および 104q が、積層基板上の従来のインダクタ実装では提供されない、インダクタ 202 に対する機械的支持を提供することを可能にする。はんだボール 104k、104l、104p、および 104q に、その上に配設されたインダクタ 202 が実装されたままにすることはまた、はんだボール 104k、104l、104p、および 104q がインダクタ 202 の部分を形成することも可能にする。

【0033】

図示される実装では、インダクタ 202 は、第 1 の端子 204、第 2 の端子 206、および残りの部分 208a ~ 208c を含む。第 1 の端子 204 は、金属トレース（図示せず）を使用してダイ 102 に電気的かつ機械的に結合される。第 2 の端子 206 は、はんだボール 104l を使用してダイ 102 に電気的かつ機械的に結合され、はんだボール 104l は、アンダーバンプメタライゼーション（UBM）層（図示せず）に結合される。インダクタ 202 の残りの部分 208a ~ 208c は、はんだボール 104k、104p、および 104q に機械的に結合されるが、ダイ 102 またははんだボール 104k、104p、および 104q には電気的に結合されない。はんだボール 104k、104p、および 104q は電気的に浮遊している。

【0034】

図 3 は、本明細書で説明される技術の 1 つまたは複数の実装による半導体アセンブリ 300 内に実装される半導体デバイス 200 の一部の断面図である。図示される実装は、下位レベル金属スタック 302 と、下位レベル金属スタック 302 上に配設された上端金属層（MA 層）304 とを有するダイ 102 を示す。

【0035】

下位レベル金属スタック 302 および MA 層 304 上にパッシベーション層 306 も配設される。パッシベーション層は任意の適切な酸化物であり得る。第 1 のポリイミド層 308 がパッシベーション層 306 および MA 層 304 上に配設される。

【0036】

銅再分配層（CuRDL）310 が MA 層 304 およびポリイミド層（PM1）308 上に配設され、インダクタ 202 が形成される。銅再分配層（CuRDL）310 は、一方のインダクタ 202 の端子から他方のインダクタ 202 の端子への円形ターンを取る螺旋設計であり得る。一方のインダクタ 202 の端子は、ポリイミド層（PM1）308 上のパッドに結合され得、他方のインダクタ 202 の端子は、MA 層 304 に結合され得る。

【0037】

図示される実装では、端子 206 は、ポリイミド層（PM1）308 上の 1 つまたは複数のパッドを介して銅再分配層（CuRDL）310 に結合される。図示される実装ではさらに、端子 204 は、MA 層 304 上の 1 つまたは複数のパッドを介して銅再分配層（CuRDL）310 に結合される。

【0038】

代替実装では、端子 204 は、ポリイミド層（PM1）308 上の 1 つまたは複数のパッドを介して銅再分配層（CuRDL）310 に結合され、端子 206 は、MA 層 304 上の 1 つまたは複数のパッドを介して銅再分配層（CuRDL）310 に結合される。銅再分配層（CuRDL）310 は、任意の適切な導電性テープであり得る。

【0039】

第 2 のポリイミド層（PM2）312 が、ポリイミド層（PM1）308 および銅再分配層（CuRDL）310 上に配設される。アンダーバンプメタライゼーション（UBM）層 314 が第 2 のポリイミド層（PM2）312 および銅再分配層（CuRDL）310 上に配設される。はんだボール 104l がアンダーバンプメタライゼーション（UBM）層 314 上に配設される。プリント回路基板（PCB）316 がはんだボール 104l 上に配設される。

【0040】

10

20

30

40

50

図示される実装では、銅再分配層（CuRDL）310は、インダクタ202の少なくとも一部を形成する。たとえば、MA層304に結合される銅再分配層（CuRDL）310の部分は、インダクタ202の第1の端子204であり得、アンダーバンプメタライゼーション（UBM）層314に結合される銅再分配層（CuRDL）310の部分は、インダクタ202の第2の端子206であり得る。銅再分配層（CuRDL）310の残りの部分は、パッシベーション層306および第2のポリイミド層（PM2）312を使用して、ダイ102から電気的に分離されたままである。

【0041】

1つまたは複数の実装では、広い銅再分配層（CuRDL）310を第1のポリイミド層（PM1）308上の大きい銅再分配層（CuRDL）310パッドに結合させることにより、インダクタ202についての、より低い直流（DC）抵抗（Rdc）が達成される。インダクタ202についての、より低い直流（DC）抵抗（Rdc）はまた、はんだボール104k、1041、104p、および104qが実装解除されないので達成される。さらに、はんだボール104k、1041、104p、および104qにインダクタ202の部分を形成させることにより、直流（DC）抵抗（Rdc）が低減され、インダクタ202についてのボードレベル信頼性が改善される。さらに、第1のポリイミド層（PM1）308パッドからの円形ターンをインダクタ202に取らせることによってアセンブリの磁束が改善され、それによってインダクタ202のインダクタンスが改善される。

【0042】

通常、はんだボール104k、1041、104p、および104qが実装解除される場合、磁場伝播を妨げるうず電流が存在し、インダクタンスが低下する。はんだボール104k、1041、104p、および104qをダイ102から実装解除する必要がないことにより、このいわゆる「ボール効果」による低下がなくなる。

【0043】

図4は、本明細書で説明される技術の1つまたは複数の代替実装による半導体アセンブリ400内に実装される半導体デバイス200の一部の断面図である。図示される実装は、下位レベル金属スタック302、MA層304、パッシベーション層306、第1のポリイミド層（PM1）308、銅再分配層（CuRDL）310、ポリイミド層（PM2）312、アンダーバンプメタライゼーション（UBM）層314、はんだボール1041、およびプリント回路基板（PCB）416を有するダイ102を含む点で、半導体アセンブリ300と同様である。

【0044】

しかし、図4に示される実装では、MA層304に結合される銅再分配層（CuRDL）310の部分は、インダクタ202の第2の端子206であり得、アンダーバンプメタライゼーション（UBM）層314に結合される銅再分配層（CuRDL）310の部分は、インダクタ202の第1の端子204であり得る。銅再分配層（CuRDL）310の残りの部分は、パッシベーション層306および第2のポリイミド層（PM2）312を使用して、ダイ102から電気的に分離されたままである。

【0045】

図5は、本明細書で説明される技術の1つまたは複数の実装による、半導体デバイス200を作成する方法500を示す流れ図である。

【0046】

ブロック502では、方法500は、はんだボールが実装されたダイを設ける。1つまたは複数の実装では、方法500は、はんだボール104a～104zが実装されるダイ102を設ける。ダイ102は、堆積、フォトリソグラフィ、エッチング、化学的機械的平坦化（CMP）などの周知の技法を使用して製造され得る。ボール配置システム、合金はんだペーストを用いるステンシル印刷などの周知の技法を使用して、ダイ102にはんだボールが実装され得る。

【0047】

10

20

30

40

50

ブロック 504 では、方法 500 はダイ内（またはダイ上）にインダクタを設ける。1つまたは複数の実装では、インダクタ 202 は、ダイ 102 内（またはダイ 102 上）に配設され、はんだボール 104k、104l、104p、および 104q の周りに円形パターンで形成される。インダクタ 202 の第 1 の端子 204 が、ダイ 102 に電気的かつ機械的に結合され得、そこでは銅再分配層（CuRDL）310 が MA 層 304 と対応する。インダクタ 202 の第 2 の端子 206 が、ダイ 102 に電気的かつ機械的に結合され得、そこでは銅再分配層（CuRDL）310 がアンダーバンプメタライゼーション（UMB）層 314 と対応する。

【0048】

代替実装では、端子接続が反転され得る。はんだボールのどれも実装解除されていないので、得られるアセンブリは、改善された機械的安定性を有する。

【0049】

図 6 は、インダクタ 202、半導体アセンブリ 300、および / または半導体アセンブリ 400 がその中で実装され得る、本明細書で説明される技術の例示的実装によるブロードバンド無線ネットワーク 600 のブロック図である。無線ネットワーク 600 はユーザデバイス 602 および基地局 604 を含む。

【0050】

図示される実装では、ユーザデバイス 602 は、プロセッサ 606、データソース 608、送信（TX）データプロセッサ 610、受信（RX）データプロセッサ 612、送信（TX）多入力多出力（MIMO）プロセッサ 614、メモリ 616、復調器（DEMODULATOR）618、いくつかのトランシーバ 620A から 620T、およびいくつかのアンテナ 622A から 622T を含む。

【0051】

図示される実装では、ユーザデバイス 602 は、データソース 624、プロセッサ 626、受信データプロセッサ 628、送信データプロセッサ 630、メモリ 632、変調器 634、いくつかのトランシーバ 636A から 636T、いくつかのアンテナ 638A から 638T、およびメッセージ制御モジュール 640 を含む。

【0052】

図示されるユーザデバイス 602 は、ユーザ機器、サブスクライバ局、サブスクライバユニット、移動局、モバイル、モバイルノード、リモート局、リモート端末、ユーザ端末、ユーザエージェント、ユーザデバイス、または何らかの他の用語を含み、それらとして実装され、またはそれらとして知られ得る。いくつかの実装では、ユーザデバイス 602 は、セルラーフォン、コードレス電話、セッション開始プロトコル（SIP）フォン、無線ローカルループ（WLL）局、携帯情報端末（PDA）、無線接続機能を有するハンドヘルドデバイス、または無線モデムに接続された何らかの他の適切な処理デバイスであり得る。したがって、本明細書で教示される 1 つまたは複数の態様は、フォン（たとえば、セルラーフォンまたはスマートフォン）、コンピュータ（たとえば、ラップトップ）、ポータブル通信デバイス、ポータブルコンピューティングデバイス（たとえば、携帯情報端末）、エンターテイメントデバイス（たとえば、音楽デバイス、ビデオデバイス、または衛星ラジオ）、全地球測位システムデバイス、または無線媒体を介して通信するように構成される任意の他の適切なデバイス内に組み込まれ得る。

【0053】

図示される基地局 604 は、NodeB、eNodeB、無線ネットワークコントローラ（RNC）、基地局（BS）、無線基地局（RBS）、基地局コントローラ（BSC）、送受信基地局（BTS）、トランシーバ機能（TF）、無線トランシーバ、無線ルータ、基本サービスセット（BSS）、拡張サービスセット（ESS）、マクロセル、マクロノード、Home eNB（HeNB）、フェムトセル、フェムトノード、ピコノード、または何らかの他の類似の用語を含み、それらとして実装され、またはそれらとして知られ得る。

【0054】

10

20

30

40

50

図示されるデータソース 608 は、いくつかのデータストリームについてのトラフィックを送信 (TX) データプロセッサ 610 に提供する。

【0055】

送信 (TX) データプロセッサ 610 は、各データストリームについてのトラフィックデータを、コーディングされたデータを提供するためにそのデータストリームについて選択された特定のコーディング方式に基づいてフォーマットし、コーディングし、インターリープする。各データストリームについてのコーディングされたデータが、OFDM 技法を使用してパイルオフデータと多重化され得る。

【0056】

パイルオフデータは通常、既知の方式で処理される既知のデータパターンであり、チャネル応答を推定するために受信機システムで使用され得る。次いで、各データストリームについての多重化されたパイルオフおよびコーディング済みデータが、そのデータストリームについて選択された特定の変調方式（たとえば、BPSK、QSPK、M-PSK、またはM-QAM）に基づいて変調され（すなわち、シンボルマッピングされ）、変調シンボルが提供される。

【0057】

各データストリームについてのデータレート、コーディング、および変調は、プロセッサ 610 によって実施される命令によって決定され得る。メモリ 616 は、プロセッサ 610 またはユーザデバイス 602 の他の構成要素によって使用されるプログラムコード、データ、および他の情報を記憶し得る。

【0058】

次いで、すべてのデータストリームについての変調シンボルが TX MIMO プロセッサ 614 に提供され、TX MIMO プロセッサ 614 は、（たとえばOFDMについて）変調シンボルをさらに処理する。次いで、TX MIMO プロセッサ 614 は、NT 变調シンボルストリームを NT トランシーバ (XCVR) 620A から 620T に提供する。いくつかの実装では、TX MIMO プロセッサ 614 は、ビーム形成重みを、データストリームのシンボルと、シンボルがそこから送信されているアンテナとに適用する。

【0059】

各トランシーバ (XCVR) 620A から 620T は、それぞれのシンボルストリームを受信および処理して 1つまたは複数のアナログ信号を提供し、アナログ信号をさらに調整（たとえば、増幅、濾波、およびアップコンバート）して、MIMO チャネルを介する送信に適した変調後信号を提供する。次いで、トランシーバ (XCVR) 620A から 620T からの NT 变調後信号が、それぞれ NT アンテナ 622A から 622T から送信される。

【0060】

基地局 604 において、送信された変調後信号が NR アンテナ 638A から 638R によって受信され、各アンテナ 638A から 638R から受信された信号が、それぞれのトランシーバ (XCVR) 636A から 636R に提供される。各トランシーバ (XCVR) 636A から 636R は、受信したそれぞれの信号を調整（たとえば、濾波、増幅、およびダウンコンバート）し、調整後信号をデジタル化してサンプルを提供し、サンプルをさらに処理して、対応する「受信後」シンボルストリームを提供する。

【0061】

次いで、受信 (RX) データプロセッサ 628 が、NR トランシーバ (XCVR) 636A から 636R から NR 受信後シンボルストリームを受信し、特定の受信機処理技法に基づいて処理し、NT 「検出後」シンボルストリームを提供する。次いで、受信 (RX) データプロセッサ 628 は、各検出後シンボルストリームを復調、デインタリープ、および復号化し、データストリームについてのトラフィックデータを回復する。受信 (RX) データプロセッサ 628 による処理は、ユーザデバイス 602 における送信 (TX) MIMO プロセッサ 614 および送信 (TX) データプロセッサ 610 によって実施されるものと相補的である。

10

20

30

40

50

【0062】

プロセッサ626は、どのプリコーディングマトリックスを使用するか（以下で論じられる）を周期的に決定する。プロセッサ626は、マトリックス索引部分およびランク値部分を含む逆方向リンクメッセージを構築する。

【0063】

データメモリ632は、基地局604のプロセッサ626または他の構成要素によって使用されるプログラムコード、データ、および他の情報を記憶し得る。

【0064】

逆方向リンクメッセージは、通信リンクおよび／または受信後データストリームに関する様々なタイプの情報を含み得る。次いで、逆方向リンクメッセージは、データソース624からいくつかのデータストリームについてのトラフィックデータも受信するTXデータプロセッサ630によって処理され、変調器634によって変調され、トランシーバ（X C V R）636Aから636Rによって調節され、ユーザデバイス602に送り戻される。

10

【0065】

ユーザデバイス602において、基地局604からの変調後信号がアンテナ622Aから622Tによって受信され、トランシーバ（X C V R）620Aから620Rによって調節され、復調器（D E M O D）618によって復調され、R Xデータプロセッサ612によって処理されて、基地局604によって送信された逆方向リンクメッセージが抽出される。次いで、プロセッサ610は、ビーム形成重みを決定するためにどのプリコーディングマトリックスを使用するかを決定し、次いで抽出後メッセージを処理する。

20

【0066】

ユーザデバイス602および基地局604について、記載の構成要素のうちの2つ以上の機能が単一の構成要素によって提供され得ることを理解されたい。たとえば、単一の処理構成要素が、メッセージ制御構成要素640およびプロセッサ626の機能を提供し得る。

【0067】

無線ノードが非無線式に（たとえば、有線接続を介して）情報を送信および／または受信するように構成され得ることも理解されたい。したがって、本明細書で論じられる受信機および送信機は、非無線媒体を介して通信するために、適切な通信インターフェース構成要素（たとえば、電気的または光学的インターフェース構成要素）を含み得る。

30

【0068】

ネットワーク600は、以下の技術のうちの任意の1つまたは複数の組合せを実装し得る。符号分割多元接続（C D M A）システム、多重キャリアC D M A（M C C D M A）、広帯域C D M A（W - C D M A）、高速パケットアクセス（H S P A、H S P A +）システム、時分割多元接続（T D M A）システム、周波数分割多元接続（F D M A）システム、シングルキャリアF D M A（S C - F D M A）システム、直交周波数分割多元接続（O F D M A）システム、または他の多元接続技法。本明細書の教示を利用する無線通信システムは、I S - 9 7、c d m a 2 0 0 0、I S - 8 7 6、W - C D M A、T D S C D M A、および他の規格などの1つまたは複数の規格を実装するように設計され得る。

40

【0069】

C D M Aネットワークは、ユニバーサル地上無線アクセス（U T R A）、c d m a 2 0 0 0、または他の何らかの技術などの無線技術を実装し得る。U T R Aは、W - C D M Aおよび低チップレート（L C R）を含む。c d m a 2 0 0 0技術は、I S - 2 0 0 0、I S - 9 7、およびI S - 8 7 6規格をカバーする。T D M Aネットワークは、G l o b a l S y s t e m f o r M o b i l e C o m m u n i c a t i o n s（G S M）などの無線技術を実装し得る。O F D M Aネットワークは、進化型U T R A（E - U T R A）、I E E E 8 0 2 . 1 1、I E E E 8 0 2 . 1 6、I E E E 8 0 2 . 2 0、F l a s h - O F D M（登録商標）などの無線技術を実装し得る。U T R A、E - U T R A、およびG S Mはユニバーサルモバイル通信システム（U M T S）の部分である。

50

【 0 0 7 0 】

本明細書の教示は、3 G P P L o n g T e r m E v o l u t i o n (L T E) システム、ウルトラモバイルブロードバンド(U M B)システム、および他のタイプのシステム内で実装され得る。L T Eは、E - U T R Aを使用するU M T Sのリリースである。U T R A、E - U T R A、G S M、U M T S、およびL T Eは、「3 r d G e n e r a t i o n P a r t n e r s h i p P r o j e c t」(3 G P P)という名称の組織からの文書で説明されており、c d m a 2 0 0 0は、「3 r d G e n e r a t i o n P a r t n e r s h i p P r o j e c t 2」(3 G P P 2)という名称の組織からの文書で説明されている。

【 0 0 7 1 】

10

本開示のいくつかの態様が3 G P Pの用語を用いて説明され得るが、本明細書の教示は3 G P P(たとえば、R e 1 9 9 、R e 1 7 、R e 1 6 、R e 1 7)技術だけではなく、3 G P P 2(たとえば、1 x R T T 、1 x E X - D O R e 1 0 、R e v A 、R e v B)技術および他の技術にも適用され得ることを理解されたい。

【 0 0 7 2 】

本明細書で説明される技術の態様が、本明細書で説明される技術の特定の実装を対象とする以下の説明および関連する図面で開示される。本明細書で説明される技術の範囲から逸脱することなく、代替実装が考案され得る。さらに、本明細書で説明される技術の重要な詳細を不明瞭にしないように、本明細書で説明される技術の周知の要素は詳細には説明されず、または省略される。

20

【 0 0 7 3 】

「例示的」という語は、本明細書では「一例、事例、または例示としての役割を果たすこと」を意味するために使用される。「例示的」なものとして本明細書で説明されるどんな態様も、必ずしも他の態様よりも好ましい、または有利であると解釈されるべきではない。同様に、「本明細書で説明される技術の実装」という用語は、本明細書で説明される技術のすべての実装が、議論された特徴、利点、または動作方法を含むことを必要とするわけではない。

【 0 0 7 4 】

本明細書で使用される用語は、特定の実装を説明するためのものにすぎず、本明細書で説明される技術の実装の限定が意図されるわけではない。本明細書では、文脈がそうでないことを明確に示すのでない限り、単数形「 a 」、「 a n 」、および「 t h e 」は複数形も含むものとする。「備える」および／または「含む」という用語は、本明細書で使用されるとき、明記される特徴、完全体、ステップ、動作、要素、および／または構成要素の存在を指定するが、1つまたは複数の他の特徴、完全体、ステップ、動作、要素、構成要素、および／またはそのグループの存在または追加を除外しないことをさらに理解されよう。

30

【 0 0 7 5 】

さらに、多くの実装が、たとえばコンピューティングデバイスの要素によって実施される動作のシーケンスの点から説明される。本明細書で説明される様々な動作が、特定の回路(たとえば、特定用途向けI C (A S I C))によって、1つまたは複数のプロセッサによって実行中のプログラム命令によって、あるいは両者の組合せによって実施され得ることを理解されよう。さらに、本明細書で説明されるこれらの動作のシーケンスは、実行時に本明細書で説明される機能を関連するプロセッサに実施させる、対応するコンピュータ命令のセットがその中に格納された任意の形態のコンピュータ可読記憶媒体内で完全に実施されるとみなされ得る。したがって、本明細書で説明される技術の様々な態様が、いくつかの異なる形態で実施され得るが、そのすべては、特許請求の範囲の対象の範囲内にあることが企図されている。さらに、本明細書で説明される実装の各々について、任意のそのような実装の対応する形態が、記載の動作を実施するように「構成された論理」として本明細書で説明され得る。

40

【 0 0 7 6 】

50

様々な異なる技術および技法のいずれかを使用して、情報および信号が提示され得ることを当業者は理解されよう。たとえば、上記の説明全体を通じて参照され得るデータ、命令、コマンド、情報、信号、ビット、シンボル、およびチップは、電圧、電流、電磁波、磁場もしくは磁気粒子、光場あるいは光粒子、またはそれらの任意の組合せによって表現され得る。

【0077】

さらに、本明細書で開示される態様に関連して説明される様々な例示的論理ブロック、モジュール、回路、およびアルゴリズムステップが、電子ハードウェア、コンピュータソフトウェア、または両者の組合せとして実装され得ることを当業者はさらに理解されよう。ハードウェアとソフトウェアのこの互換性を明確に示すために、様々な例示的構成要素、ブロック、モジュール、回路、およびステップが、その機能の点から上記で一般的に説明された。そのような機能がハードウェアとして実装されるか、それともソフトウェアとして実装されるかは、特定の応用分野、およびシステム全体に課される設計制約に依存する。当業者は、特定の適用分野ごとに様々な方式で記載の機能を実装し得るが、そのような実装決定が、本明細書で説明される技術の範囲からの逸脱を引き起こすと解釈されるべきではない。

【0078】

本明細書で開示される実施形態に関連して説明される方法、シーケンス、および／またはアルゴリズムは、ハードウェアとして直接的に、プロセッサによって実行されるソフトウェアモジュールとして、または2つの組合せとして実施され得る。ソフトウェアモジュールは、RAMメモリ、フラッシュメモリ、ROMメモリ、EPROMメモリ、EEPROMメモリ、レジスタ、ハードディスク、取外し可能ディスク、CD-ROM、または当技術分野で周知の任意の他の形態の記憶媒体内に常駐し得る。例示的記憶媒体は、プロセッサが記憶媒体から情報を読み取り、記憶媒体に情報を書き込むことができるようプロセッサに結合される。代替実施形態では、記憶媒体はプロセッサと一体であり得る。

【0079】

したがって、本明細書で説明される技術の一実装は、半導体デバイスを製造する方法を実施するコンピュータ可読媒体を含み得る。したがって、本明細書で説明される技術は図示される実施例に限定されず、本明細書で説明される機能を実施するための任意の手段が、本明細書で説明される技術の実装内に含まれる。

【0080】

上記の開示は本明細書で説明される技術の例示的実装を示すが、添付の特許請求の範囲によって定義される本明細書で説明される技術の範囲から逸脱することなく、様々な変更および修正が本明細書で行われることに留意されたい。本明細書で説明される技術の実装による方法クレームの機能、ステップ、および／または動作は、何らかの特定の順序で実施される必要はない。さらに、本明細書で説明される技術の要素が単数形で説明され、または特許請求の範囲に記載され得るが、単数であることが明示的に述べられるのでない限り、複数も企図される。

【符号の説明】

【0081】

- 102 ダイ
- 104 はんだボール
- 200 半導体デバイス
- 202 インダクタ
- 204 第1の端子
- 206 第2の端子
- 208 残りの部分
- 300 半導体アセンブリ
- 302 下位レベル金属スタック
- 304 上端金属層(MA層)

10

20

30

40

50

| | | |
|-------|------------------------------|----|
| 3 0 6 | パッシベーション層 | |
| 3 0 8 | 第1のポリイミド層 | |
| 3 1 0 | 銅再分配層 (C u R D L) | |
| 3 1 2 | 第2のポリイミド層 (P M 2) | |
| 3 1 4 | アンダーバンプメタライゼーション (U B M) 層 | |
| 3 1 6 | プリント回路基板 (P C B) | |
| 4 0 0 | 半導体デバイス | |
| 6 0 0 | ブロードバンド無線ネットワーク | |
| 6 0 2 | ユーザデバイス | |
| 6 0 4 | 基地局 | 10 |
| 6 0 6 | プロセッサ | |
| 6 0 8 | データソース | |
| 6 1 0 | プロセッサ | |
| 6 1 2 | 受信 (R X) データプロセッサ | |
| 6 1 4 | 送信 (T X) M I M O プロセッサ | |
| 6 1 6 | メモリ | |
| 6 1 8 | 復調器 (D E M O D) | |
| 6 2 0 | トランシーバ (X C V R) | |
| 6 2 2 | アンテナ | |
| 6 2 4 | データソース | 20 |
| 6 2 6 | プロセッサ | |
| 6 2 8 | 受信 (R X) データプロセッサ | |
| 6 3 0 | T X データプロセッサ | |
| 6 3 2 | メモリ | |
| 6 3 4 | 変調器 | |
| 6 3 6 | トランシーバ | |
| 6 3 8 | アンテナ | |
| 6 4 0 | メッセージ制御モジュール | |

【図1】

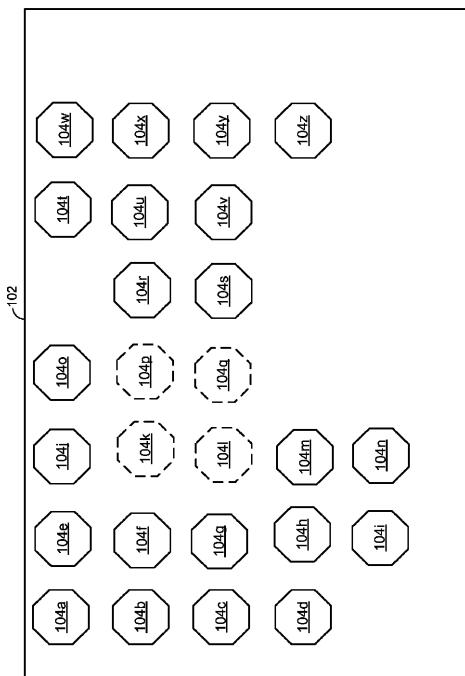


FIG. 1

【図2】

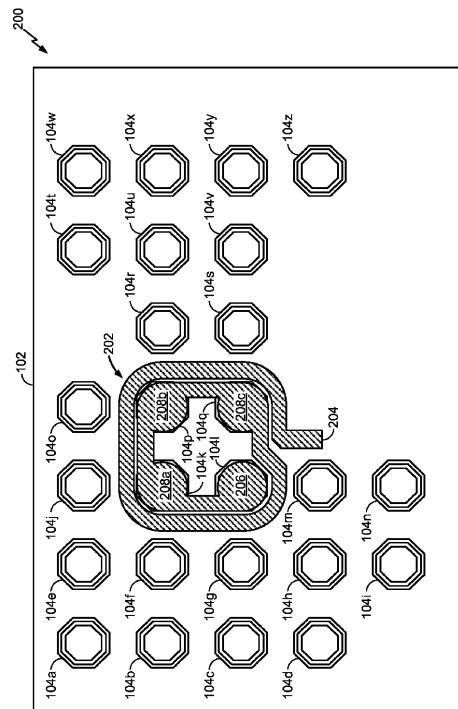


FIG. 2

【図3】

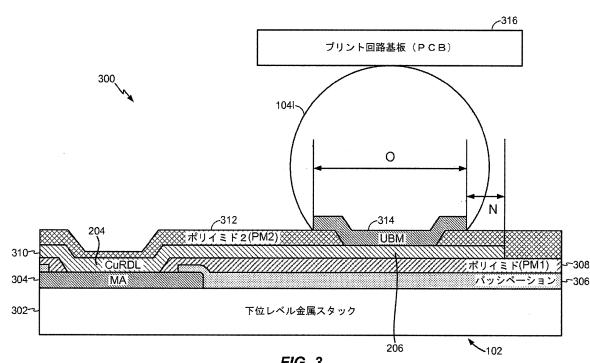
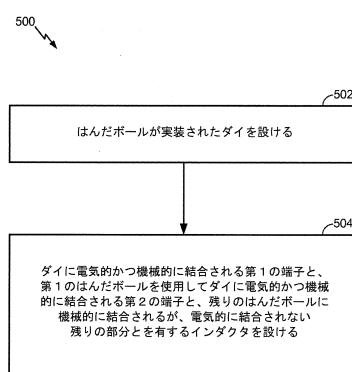


FIG. 3

【図5】



【図4】

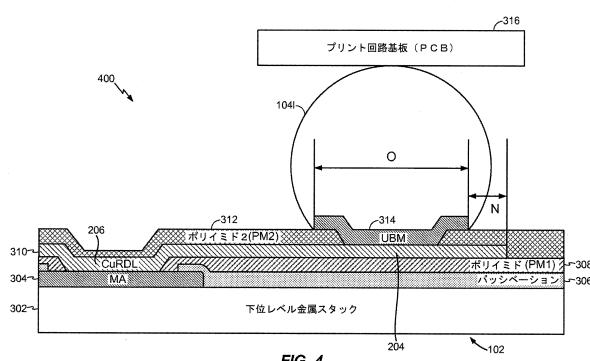
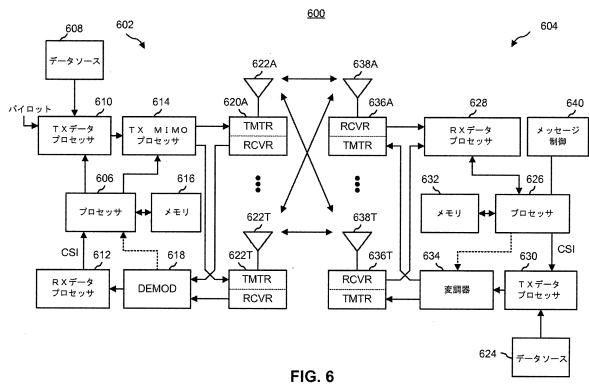


FIG. 4

FIG. 5

【図6】



フロントページの続き

(72)発明者 ユンソ・パク

アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライ
ヴ・5775

(72)発明者 シャオナン・ジャン

アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライ
ヴ・5775

(72)発明者 ライアン・デイヴィッド・レーン

アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライ
ヴ・5775

(72)発明者 アリストテレ・ハディクリストス

アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライ
ヴ・5775

審査官 木下 直哉

(56)参考文献 米国特許出願公開第2013/0127060(US, A1)

米国特許出願公開第2007/0279176(US, A1)

特開2008-205422(JP, A)

特開2008-218566(JP, A)

特開2011-035349(JP, A)

特開2008-210828(JP, A)

特開2002-190568(JP, A)

特開2008-124363(JP, A)

米国特許第6762495(US, B1)

(58)調査した分野(Int.Cl., DB名)

H01L 21/3205-21/3213

H01L 21/60

H01L 21/768

H01L 21/822

H01L 23/12-23/15

H01L 23/522

H01L 23/532

H01L 27/04

H05K 3/46