

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 8 月 9 日(09.08.2012)



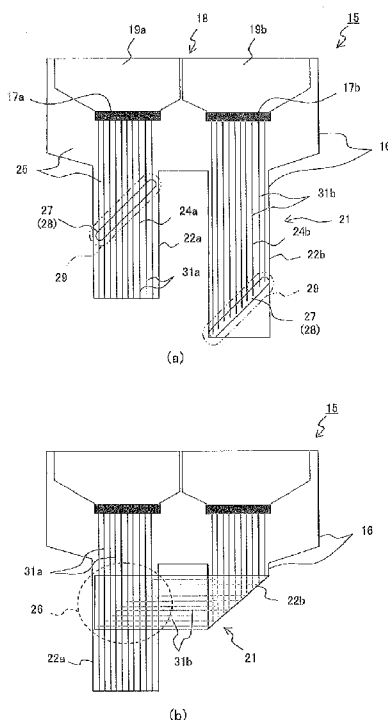
(10) 国際公開番号
WO 2012/104979 A1

- (51) 国際特許分類:
H01L 21/60 (2006.01) *H01L 25/18* (2006.01)
H01L 25/04 (2006.01) *H05K 1/02* (2006.01)
- (21) 国際出願番号: PCT/JP2011/051966
- (22) 国際出願日: 2011 年 1 月 31 日(31.01.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通フロンテック株式会社 (FUJITSU FRONTTECH LIMITED) [JP/JP]; 〒2068555 東京都稲城市矢野口 1 7 7 6 番地 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 三宅俊正 (MIYAKE, Toshimasa) [JP/JP]; 〒2068555 東京都稲城市矢野口 1 7 7 6 番地 富士通フロンテック株式会社内 Tokyo (JP).
- (74) 代理人: 大菅義之 (OSUGA, Yoshiyuki); 〒1020084 東京都千代田区二番町 8 番地 2 0 二番町ビル 3 F Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SINGLE-LAYER CHIP-ON-FILM (COF) TYPE DRIVER CHIP MODULE

(54) 発明の名称: 単層 COF (Chip On Film) 型ドライバチップモジュール

[図1]



(57) Abstract: Provided is a single-layer COF type driver chip module in which the input wiring sides of a plurality of single-layer COF type driver chips are integrated together without using a two-layer FPC. Two output-side-connection wiring sections (19) and two input-side-connection wiring sections (24) are wired by printing on a single-layer flexible substrate (16), two semiconductor chips (17) are mounted, and a resist coating surface (25) is formed. The two input-side-connection wiring sections (24) are wired by printing on individual substrate extensions (22) formed so as to be individually divided and brought out from a body (23). The individual substrate extension (22b) of the input-side-connection wiring section (24b) is folded 90° so that the resist coating surface (25) is on the inside. The distal end section of the extension forms an overlapping section (26) with the resist coating surface (25) of the input-side-connection wiring section (24a). A resist-free section (28) is formed in advance on a portion (27) of the overlapping section (26) that faces a connecting wiring (31), an electroconductive adhesive (29) is applied, and the connecting wiring (31) is connected and integrated by pressure applied from the front and back.

(57) 要約: 複数の単層 COF 型ドライバチップの入力配線側を 2 層 FPC を用いずに一体化した単層 COF 型ドライバチップモジュールを提供する。単層フレキシブル基板 16 にそれぞれ 2 個の出力側接続配線部 19 と入力側接続配線部 24 がプリント配線され、2 個の半導体チップ 17 が実装され、レジスト材被膜面 25 が形成される。2 つの入力側接続配線部 24 は、本体部 23 から個別に分かれて引き出されて形成されている基板個別延出部 22 にプリント配線されている。入力側接続配線部 24 b はレジスト材被膜面 25 を内側にして基板個別延出部 22 b を 90° 折り曲げられ、その先端部は入力側接続配線部 24 a のレジスト材被膜面 25 との重

ね合わせ部 26 を形成する。重ね合わせ部 26 の接続配線 31 の対向部分 27 には予めレジスト材除去部 28 が形成され、導電性接着剤 29 が貼着され、表裏からの押圧により接続配線 31 が接続されて一体化している。

明 細 書

発明の名称：

単層COF（Chip On Film）型ドライバチップモジュール

技術分野

[0001] 本発明は、単層COF（Chip On Film）型ドライバチップモジュールに係わり、更に詳しくは液晶パネル等の表示パネルに実装される駆動装置としての複数の単層COF型ドライバチップの入力配線側を2層FPCを用いずに一体化して表示パネル等の制御基板に実装可能な形態にした単層COF型ドライバチップモジュールに関する。

背景技術

[0002] 従来、2つのドライバチップが1つのフレキシブル基板に実装され、その2つのドライバチップに形成された入力端子に接続される配線の一部が共用化されているCOF型ドライバチップモジュールが提案されている（例えば、特許文献1参照）。

[0003] また、フレキシブル基板に2つのドライバが実装され、各入力配線がゲート電極の配列方向に複数並設され、各ドライバごとに入力配線を有しているCOF型ドライバチップモジュールが提案されている（例えば、特許文献2参照）。

[0004] ところで、従来、COF型としてフレキシブル基板に2個のドライバチップを実装した場合、それらの入力配線部を1個の入力端子部に纏めるためには、パターンの関係上、2層のFPC（Flexible Printed Circuits）を使用しなければならなかった。

[0005] 図4は、従来の2個のドライバの入力配線部を1個のコネクタ接続用入力端子部に纏めるために2層FPCを使用しなければならない1例を示す図である。同図は、2層FPC1に2個のドライバ2（2a、2b）が実装されている。そして、それぞれの入力配線部3（3a、3b）が、接続部4で入力配線1本ごとに相互に接続されて、1個の入力端子部5を形成している。

[0006] 図5は、従来の2個のドライバの入力配線部を1個のコネクタ接続用入力端子部に纏めるために2層FPCを使用しなければならない他の例を示す図である。同図は、2個の単層FPC6にそれぞれ実装されたドライバ2（2a、2b）の入力配線部7及び7を、1個の入力コネクタ8に接続するために、入力配線部7及び7と入力コネクタ8との間に2層FPC9を介在させている。

[0007] この2層FPC9には、図4に示した入力配線部3（3a、3b）、接続部4、及び入力端子部5と同様な、入力配線部11（11a、11b）、接続部12、及び入力端子部13が形成されている。なお、入力コネクタ8は制御基板14のコネクタであり、制御基板14は例えば液晶パネル等の制御基板である。

[0008] 図6は、従来の2個のドライバを2層のFPCを使用しないでコネクタに接続する場合の例を示す図である。この場合は2個のドライバは、それぞれ単独でその入力配線部7をコネクタ8に接続することになるので、ドライバそのものは単層FPC6に実装することができる。しかし、制御基板14の方に入力コネクタ8が2個必要となり、制御基板14がコスト高を招くことになる。

先行技術文献

特許文献

[0009] 特許文献1：特開2006-093331号公報

特許文献2：特開2007-258518号公報

発明の概要

発明が解決しようとする課題

[0010] 上記のように、従来は、2個のドライバの入力配線部を1個のコネクタ接続用入力端子部に纏めるためには、2層FPCを用いなければならない。しかし、2層FPCは単層FPCよりも高価である。

[0011] そればかりでなく、2層FPCはリール材が存在しない。そのためドライ

バチップを実装する際に自動ボンディング機を使用することができない。したがって、個別の実装作業となるため、材料的にも作業的にも高コストであるという課題がある。

[0012] そうかといって、2層FPCを使用しないで2個のドライバの入力配線部をコネクタに接続しようとする、コネクタが2個必要となって制御基板側のコストが増加する。

本発明は、上記従来の課題を解決するものであって、複数個の単層COF型ドライバチップの入力配線側を2層FPCを用いずに一体化して表示パネル等の制御基板に実装可能な形態にした単層COF型ドライバチップモジュールを提供することを目的とする。

課題を解決するための手段

[0013] 上記課題を解決するために、本発明の単層COF型ドライバチップモジュールは、単層フレキシブル基板と、該単層フレキシブル基板に実装された複数の半導体チップと、複数の上記半導体チップにそれぞれ接続され、上記単層フレキシブル基板にプリント配線されてレジスト材で被膜された複数の出力側接続配線部と、複数の上記半導体チップにそれぞれ接続され、上記単層フレキシブル基板の個別に分かれて引き出されて形成されている複数の基板個別延出部にプリント配線されてレジスト材で被膜された複数の入力側接続配線部と、を有し、複数の上記入力側接続配線部のうち、基準とする1つの上記入力側接続配線部に対し、他の上記入力側接続配線部は上記レジスト材で被膜された面を内側にして上記基板個別延出部を折り曲げられ、その先端部を基準とする1つの上記入力側接続配線部の上記レジスト材で被膜された面に重ね合わせた状態の重ね合わせ部を形成し、該重ね合わせ部において、それぞれの上記入力側接続配線部の個々の入力側接続配線が個々に対応して対向する部分の上記レジスト材が予め除去されたレジスト材除去部を形成しており、該レジスト材除去部には導電性接着剤が予め介装されており、該導電性接着剤を介して、それぞれの上記入力側接続配線部の個々の入力側接続配線が個々に対応して対向する部分で電氣的に接続されていることにより、

上記単層フレキシブル基板は複数の上記出力側接続配線部と、基準とする 1 つの上記入力側接続配線部とからなるドライバチップモジュールを形成する、ように構成される。

発明の効果

[0014] 本発明は、複数個の C O F 型ドライバチップの入力配線側を 2 層 F P C を用いずに一体化できるので、ドライバチップを単層 F P C に実装することができ、これにより、ドライバチップモジュールを安価な単層 F P C で実現可能となるだけでなく、単層 F P C であればリール材を採用できるので自動ボンディング機での作業が可能となって作業コストを抑えることができ、部品コストと作業コストの両面で製作費用を低減させることができるという効果を奏する。

図面の簡単な説明

[0015] [図1] (a) は本発明の実施例 1 に係る単層 C O F 型ドライバチップモジュールの製造過程の要部を示す図、(b) はその完成平面図を示す図である。

[図2] 実施例 1 の変形例を示す図である。

[図3] 実施例 2 に係る単層 C O F 型ドライバチップモジュールの構成を示す平面図である。

[図4] 従来の 2 個のドライバの入力配線部を 1 個のコネクタ接続用入力端子部に纏めるために 2 層 F P C を使用しなければならない 1 例を示す図である。

[図5] 従来の 2 個のドライバの入力配線部を 1 個のコネクタ接続用入力端子部に纏めるために 2 層 F P C を使用しなければならない他の例を示す図である。

[図6] 従来の 2 個のドライバを 2 層の F P C を使用しないでコネクタに接続する場合の例を示す図である。

発明を実施するための形態

[0016] 以下、本発明の実施の形態について、詳細に説明する。

実施例 1

- [0017] 図1は、実施例1に係る単層COF (Chip On Film) 型ドライバチップモジュールの製造過程の要部を示す図であり、図1 (b)はその完成図を示す図である。図1 (a), (b)に示すように、本例の単層COF型ドライバチップモジュール15は、単層フレキシブル基板16と、その単層フレキシブル基板16に実装された複数（図1の例では2個）の半導体チップ17（17a、17b）を備えている。
- [0018] 上記の単層フレキシブル基板16には、出力側18に出力側接続配線部19（19a、19b）がプリント配線されている。出力側接続配線部19の個々の出力側接続配線の内側端部は、それぞれ半導体チップ17（17a、17b）の出力側に接続されている。
- [0019] また、単層フレキシブル基板16の入力側21には、個別に分かれて引き出された2つの基板個別延出部22（22a、22b）が形成されている。単層フレキシブル基板16の半導体チップ17が実装されている本体部23と基板個別延出部22とに連続して、入力側接続配線部24（24a、24b）がプリント配線されている。
- [0020] 入力側接続配線部24の個々の入力側接続配線31（31a、31b）の内側端部は、それぞれ半導体チップ17（17a、17b）の入力側に接続されている。これらの半導体チップ17、出力側接続配線部19、及び入力側接続配線部23が配設されている上から、単層フレキシブル基板16の全面に、レジスト材被膜面25が形成されている。
- [0021] 上記の単層フレキシブル基板16には、例えば単層FPC (Flexible Printed Circuits) を用いることができる。単層FPCであれば、リール材を採用できるので自動ボンディング機での作業で上記の構成を容易に実現することができる。
- [0022] 次に、上記2つの入力側接続配線部22のうち基準とする1つの入力側接続配線部22、例えば入力側接続配線部22aに対し、他の入力側接続配線部22（図1 (a), (b)の場合は入力側接続配線部22b）は、図1 (b)に示すように、レジスト材被膜面25を内側にして基板個別延出部をほぼ90°折

り曲げられる。そして、その先端部を、基準とする入力側接続配線部 22a のレジスト材被膜面 25 に重ね合わせた状態の重ね合わせ部 26 が形成される。

[0023] この折り曲げと重ね合わせに先立って、図 1 (a) に示すように、上記の重ね合わせ部 26 に対応する部分において、入力側接続配線部 22a 及び 22b それぞれの個々の入力側接続配線が個々に対応して対向する部分 27 に、レジスト材被膜面 25 のレジスト材が除去されたレジスト材除去部 28 が形成される。

[0024] そして、このレジスト材除去部 28 には導電性接着剤 29 が予め貼着される。なお、導電性接着剤 29 としては、ACF (Anisotropic Conductive Film) を用いる。ACF は面方向に絶縁性を保持し、厚み方向に導電性を持つ異方性の導電性を持つ導電性接着剤である。

[0025] また、図 1 (a) では、導電性接着剤 29 の貼着位置を示すため、入力側接続配線部 22a 及び 22b 双方のレジスト材除去部 28 に導電性接着剤 29 を貼着したように示しているが、実際には、いずれか一方のみでよい。

[0026] こののち、図 1 (b) に示すように、入力側接続配線部 22b をレジスト材被膜面 25 を内側にして基板個別延出部 22b をほぼ 90° 折り曲げると、図 1 (a) に示す入力側接続配線部 22a 及び 22b のレジスト材除去部 28 が導電性接着剤 29 を介して重ね合わせられる。

[0027] ここで、重ね合わせ部 26 を表裏から押圧装置を用いて押圧すれば、入力側接続配線部 22 (22a、22b) それぞれの個々の入力側接続配線 31 (31a、31b) が個々に対応して対向する部分で、導電性接着剤 29 を介して、電氣的に接続される。

[0028] これにより、図 1 (b) に示すように、単層フレキシブル基板 16 は、2つの出力側接続配線部 19a、19b と、基準とする 1つの入力側接続配線部 22a とからなるドライバチップモジュールを形成する。すなわち、単層 COF 型ドライバチップモジュール 15 が完成する。

[0029] 図 2 は、実施例 1 の変形例を示す図である。なお、図 2 には、図 1 (a), (b)

に示した構成と同一の構成及び機能部分には図 1 (a), (b) と同一の番号を付与して示している。図 2 に示す単層 C O F 型ドライバチップモジュール 3 0 は、入力側接続配線部 2 2 b のプリント配線が図 1 (a), (b) の場合よりも細かいピッチで形成されている。

- [0030] プリント配線が細かい分に応じて、入力側接続配線部 2 2 b が配設されている基板個別延出部 2 2 b の幅が細く形成されている。これにより、図 2 に示すように、基板個別延出部 2 2 b を 9 0 ° 折り曲げたとき、基準の基板個別延出部 2 2 a と重なる部分の幅が狭くなるので、その狭くなった分だけ入力側 2 1 の端子を短くできる、つまり単層 C O F 型ドライバチップモジュール 3 0 を小型化できるという効果がある。

実施例 2

- [0031] 図 3 は、実施例 2 に係る単層 C O F 型ドライバチップモジュールの構成を示す平面図である。なお、図 3 には図 1 (a), (b) に示した構成と同一の構成及び機能部分には図 1 (a), (b) と同一の番号を付与して示している。
- [0032] 図 3 示す単層 C O F 型ドライバチップモジュール 3 1 は、単層フレキシブル基板 1 6 に、3 個の半導体チップ 1 7 (1 7 a、1 7 b、1 7 c) が実装されている。この 3 個の半導体チップ 1 7 に対応して、出力側 1 8 には、3 つの出力側接続配線部 1 9 (1 9 a、1 9 b、1 9 c) がプリント配線されている。
- [0033] 各出力側接続配線部 1 9 の個々の出力側接続配線の内側端部が、それぞれ半導体チップ 1 7 (1 7 a、1 7 b、1 7 c) の出力側に接続されていることは、図 1 の場合と同様である。
- [0034] また、単層フレキシブル基板 1 6 の入力側 2 1 には、3 個の半導体チップ 1 7 に対応して、3 つの基板個別延出部 2 2 (2 2 a、2 2 b、2 2 c) が形成されている。この場合も、単層フレキシブル基板 1 6 の半導体チップ 1 7 が実装されている本体部 2 3 と基板個別延出部 2 2 とに連続して、入力側接続配線部 2 4 (2 4 a、2 4 b、2 4 c) がプリント配線されている。
- [0035] 入力側接続配線部 2 4 の個々の入力側接続配線 3 1 (3 1 a、3 1 b、3

1 c) の内側端部は、それぞれ半導体チップ 17 (17 a、17 b、17 c) の入力側に接続されている。

[0036] これらの半導体チップ 17、出力側接続配線部 19、及び入力側接続配線部 23 が配設されている上から、単層フレキシブル基板 16 の全面に、レジスト材被膜面 25 が形成されている。

[0037] ここで、上記 3 つの入力側接続配線部 22 のうち 1 つの入力側接続配線部 22 b を基準とすることにする。この入力側接続配線部 22 b に対し、他の 1 つの入力側接続配線部 22 c を、レジスト材被膜面 25 を内側にして基板個別延出部 22 c を 90° 右方に折り曲げて、入力側接続配線部 22 b に重ねる。

[0038] 他のもう 1 つの入力側接続配線部 22 a を、レジスト材被膜面 25 を内側にして基板個別延出部 22 a を 90° 左方に折り曲げて、入力側接続配線部 22 b と 22 c との重ね合わせ部 26 に重複しない入力側 21 方向にずれた位置で、入力側接続配線部 22 b に重ねる。

[0039] いずれの重ね合わせ部 26 においても、折り曲げと重ね合わせに先立って、図 1 の場合と同様に、予め個々の入力側接続配線が個々に対応して対向する部分 27 に、レジスト材除去部 28 が形成され、導電性接着剤 29 が貼着されている。

[0040] この場合も、2 つの重ね合わせ部 26 を表裏から押圧装置を用いて押圧すれば、入力側接続配線部 22 (22 a、22 b、22 c) それぞれの個々の入力側接続配線 31 (31 a、31 b、31 c) が個々に対応して対向する部分で、導電性接着剤 29 を介して、電氣的に接続される。

[0041] これにより、図 3 に示すように、単層フレキシブル基板 16 は、3 つの出力側接続配線部 19 a、19 b、19 c と、基準の入力側接続配線部 22 b とからなるドライバチップモジュールを形成する。すなわち、単層 COF 型ドライバチップモジュール 31 が完成する。

[0042] なお、上記の実施例では単層フレキシブル基板 16 に実装された半導体チップ 17 が 2 個の場合と 3 個の場合を示したが、これに限ることなく、半導

体チップ 17 を 4 個以上実装した場合でも、図 3 に示す手法を用いれば、入力側接続配線部 22 を 1 個で構成することができる。

産業上の利用可能性

[0043] 本発明は、複数の単層 COF 型ドライバチップの入力配線側を 2 層 FPC を用いずに一体化した単層 COF 型ドライバチップモジュールに利用することができる。

符号の説明

- [0044]
- 1 2 層 F P C
 - 2 (2 a、2 b) ドライバ
 - 3 (3 a、3 b) 入力配線部
 - 4 接続部
 - 5 入力端子部
 - 6 単層 F P C
 - 7 入力配線部
 - 8 入力コネクタ
 - 9 2 層 F P C
 - 11 (11 a、11 b) 入力配線部
 - 12 接続部
 - 13 入力端子部
 - 14 制御基板
 - 15 単層 COF 型ドライバチップモジュール
 - 16 単層フレキシブル基板
 - 17 (17 a、17 b) 半導体チップ
 - 18 出力側
 - 19 (19 a、19 b) 出力側接続配線部
 - 21 入力側
 - 22 (22 a、22 b) 基板個別延出部
 - 23 本体部

- 24 (24 a、24 b) 入力側接続配線部
- 25 レジスト材被膜面
- 26 重ね合わせ部
- 27 対向部分
- 28 レジスト材除去部
- 29 導電性接着剤
- 30、31 単層COF型ドライバチップモジュール

請求の範囲

[請求項1]

単層フレキシブル基板と、

該単層フレキシブル基板に実装された複数の半導体チップと、

複数の前記半導体チップにそれぞれ接続され、前記単層フレキシブル基板にプリント配線されてレジスト材で被膜された複数の出力側接続配線部と、

複数の前記半導体チップにそれぞれ接続され、前記単層フレキシブル基板の個別に分かれて引き出されて形成されている複数の基板個別延出部にプリント配線されてレジスト材で被膜された複数の入力側接続配線部と、

を有し、

複数の前記入力側接続配線部のうち、基準とする1つの前記入力側接続配線部に対し、他の前記入力側接続配線部は前記レジスト材で被膜された面を内側にして前記基板個別延出部を折り曲げられ、その先端部を基準とする1つの前記入力側接続配線部の前記レジスト材で被膜された面に重ね合わせた状態の重ね合わせ部を形成し、

該重ね合わせ部において、それぞれの前記入力側接続配線部の個々の入力側接続配線が個々に対応して対向する部分の前記レジスト材が予め除去されたレジスト材除去部を形成しており、

該レジスト材除去部には導電性接着剤が予め介装されており、

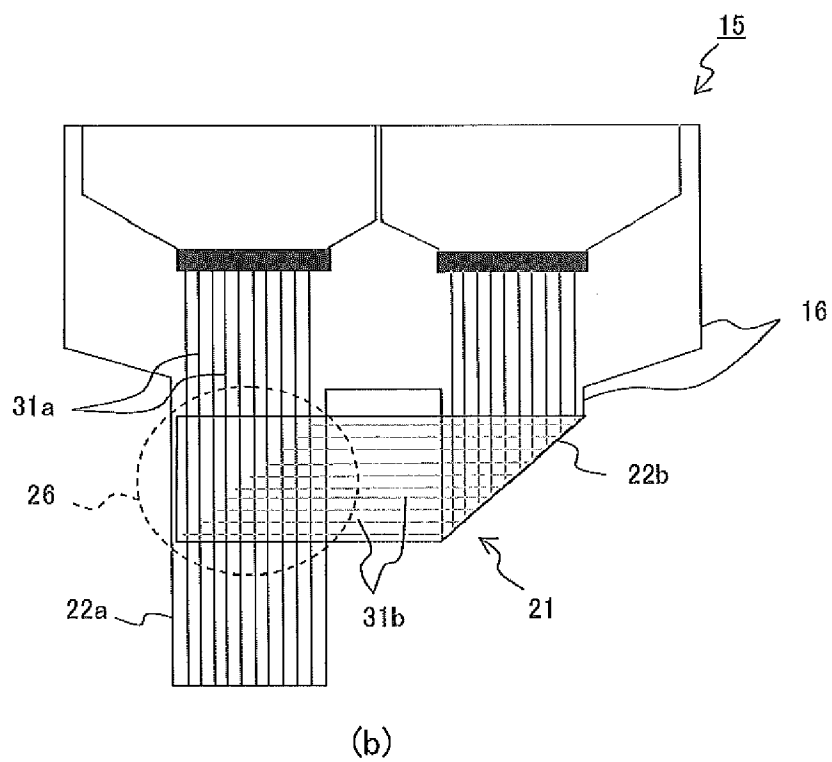
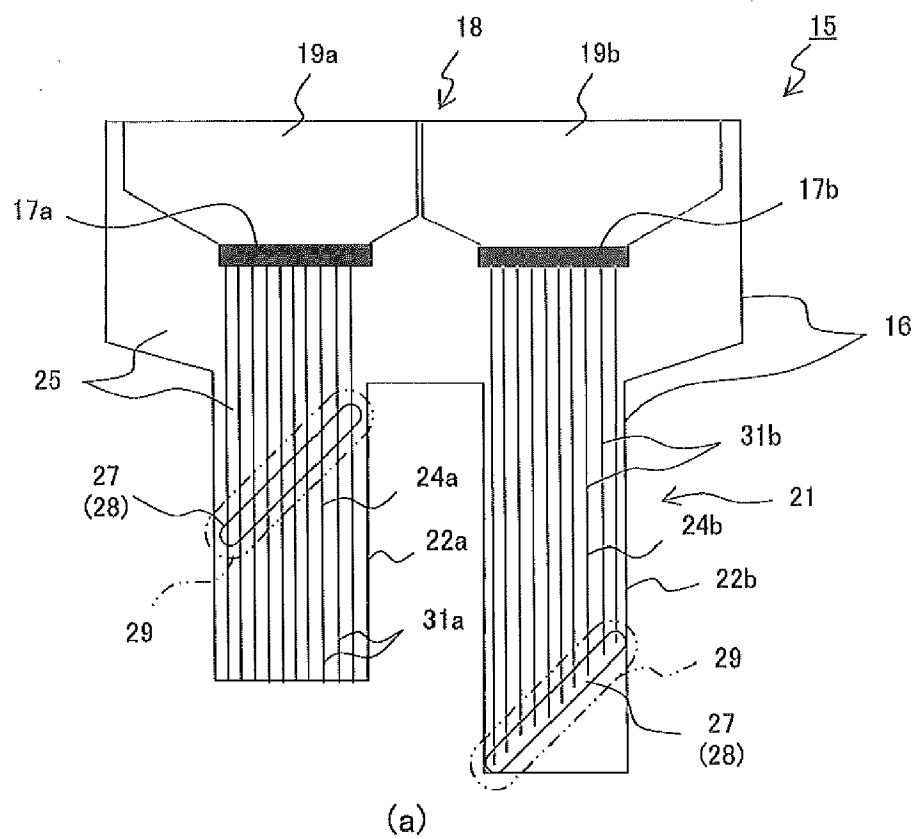
該導電性接着剤を介して、それぞれの前記入力側接続配線部の個々の入力側接続配線が個々に対応して対向する部分で電氣的に接続されていることにより、

前記単層フレキシブル基板は複数の前記出力側接続配線部と、基準とする1つの前記入力側接続配線部とからなるドライバチップモジュールを形成する、

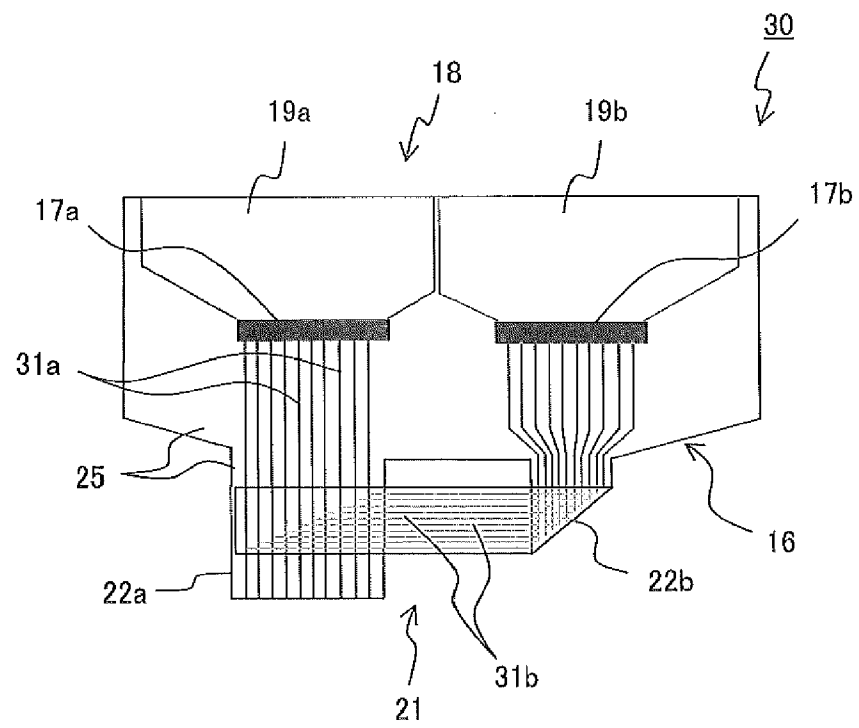
ことを特徴とする単層COF (Chip On Film) 型ドライバチップモジュール。

- [請求項2] 前記導電性接着剤は、A C F (Anisotropic Conductive Film) である、ことを特徴とする請求項 1 に記載の単層 C O F (Chip On Film) 型ドライバチップモジュール。
- [請求項3] 前記単層フレキシブル基板は、単層 F P C (Flexible Printed Circuits) である、ことを特徴とする請求項 1 または 2 に記載の単層 C O F (Chip On Film) 型ドライバチップモジュール。

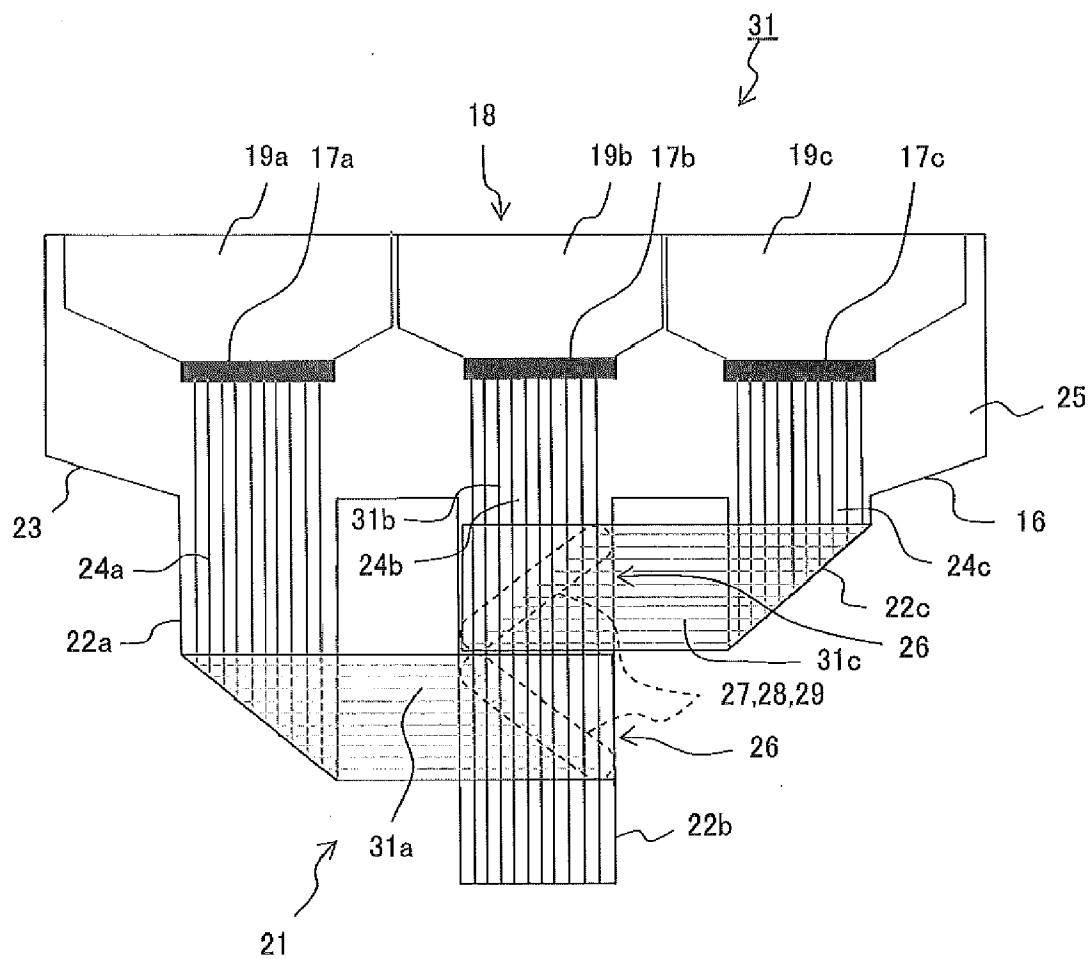
[図1]



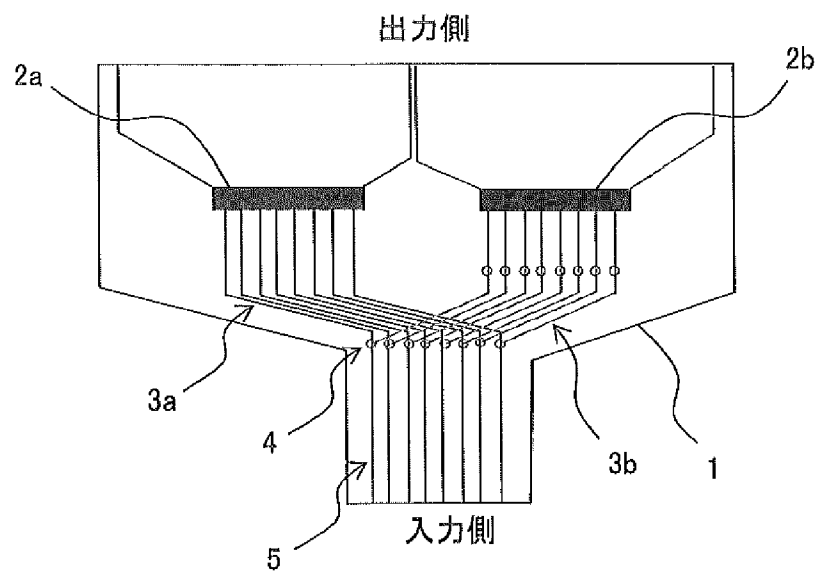
[図2]



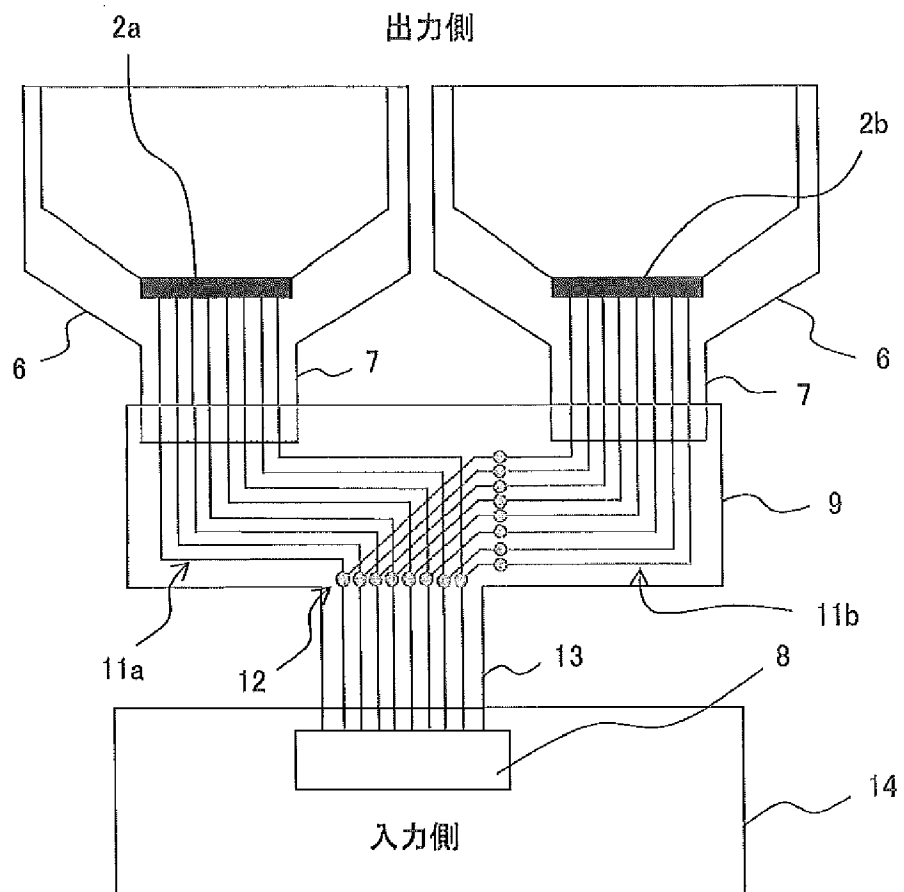
[図3]



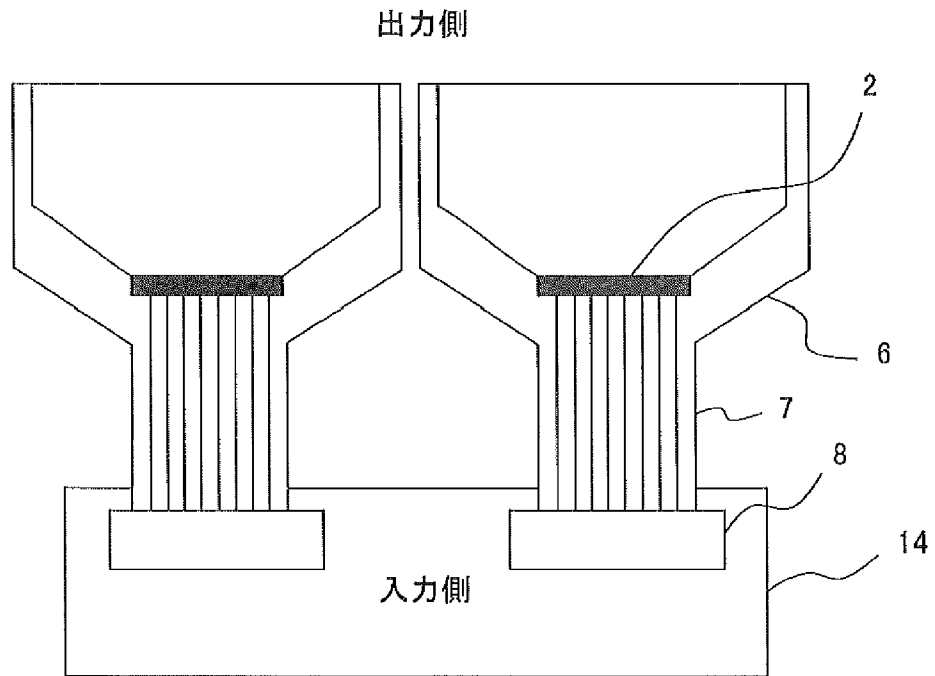
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/051966

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/60(2006.01)i, H01L25/04(2006.01)i, H01L25/18(2006.01)i, H05K1/02(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/60, H01L25/04, H01L25/18, H05K1/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 4-48676 A (Hitachi Chemical Co., Ltd.), 18 February 1992 (18.02.1992), entire text; all drawings (Family: none)	1-3
A	JP 8-31477 A (Kyosera Eruko Kabushiki Kaisha), 02 February 1996 (02.02.1996), entire text; all drawings (Family: none)	1-3
A	JP 4-26180 A (NEC Corp.), 29 January 1992 (29.01.1992), entire text; all drawings (Family: none)	1-3



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 February, 2011 (22.02.11)

Date of mailing of the international search report
08 March, 2011 (08.03.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/60(2006.01)i, H01L25/04(2006.01)i, H01L25/18(2006.01)i, H05K1/02(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/60, H01L25/04, H01L25/18, H05K1/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 4-48676 A（日立化成工業株式会社）1992.02.18, 全文, 全図（ファミリーなし）	1 - 3
A	JP 8-31477 A（京セラエルコ株式会社）1996.02.02, 全文, 全図（ファミリーなし）	1 - 3
A	JP 4-26180 A（日本電気株式会社）1992.01.29, 全文, 全図（ファミリーなし）	1 - 3

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 2 . 0 2 . 2 0 1 1

国際調査報告の発送日

0 8 . 0 3 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

石野 忠志

4 R

3 5 4 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 7 1