

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6401027号
(P6401027)

(45) 発行日 平成30年10月3日 (2018. 10. 3)

(24) 登録日 平成30年9月14日 (2018. 9. 14)

(51) Int. Cl.

F I

HO 1 L 29/786 (2006. 01)
 HO 1 L 21/336 (2006. 01)
 HO 1 L 29/66 (2006. 01)
 HO 1 L 51/05 (2006. 01)
 HO 1 L 51/30 (2006. 01)

HO 1 L 29/78 6 2 2
 HO 1 L 29/78 6 1 8 B
 HO 1 L 29/78 6 1 7 N
 HO 1 L 29/78 6 1 8 E
 HO 1 L 29/78 6 2 6 C

請求項の数 12 外国語出願 (全 24 頁) 最終頁に続く

(21) 出願番号 特願2014-239027 (P2014-239027)
 (22) 出願日 平成26年11月26日 (2014. 11. 26)
 (65) 公開番号 特開2015-119178 (P2015-119178A)
 (43) 公開日 平成27年6月25日 (2015. 6. 25)
 審査請求日 平成29年10月24日 (2017. 10. 24)
 (31) 優先権主張番号 13197942. 9
 (32) 優先日 平成25年12月18日 (2013. 12. 18)
 (33) 優先権主張国 欧州特許庁 (EP)
 (31) 優先権主張番号 14154114. 4
 (32) 優先日 平成26年2月6日 (2014. 2. 6)
 (33) 優先権主張国 欧州特許庁 (EP)

早期審査対象出願

(73) 特許権者 591060898
 アイメック
 I M E C
 ベルギー、ペー-3001ルーヴァン、カ
 ペルドリーフ75番
 (73) 特許権者 599098493
 カトリーケ・ユニフェルシテイト・ルーヴ
 アン
 Katholieke Universi
 teit Leuven
 ベルギー、ペー-3000ルーヴァン、ワ
 ーイストラート6番、ボックス5105、
 カーユー・ルーヴァン・アール・アンド・
 デイ

最終頁に続く

(54) 【発明の名称】 二層グラフェントネル電界効果トランジスタ

(57) 【特許請求の範囲】

【請求項 1】

a . 底面と頂面を有する二層グラフェン (1 0 3) と、
 b . 前記二層グラフェン (1 0 3) の底面に容量結合された下部ゲート電極 (1 2 1) と
 、
 c . 前記二層グラフェン (1 0 3) の頂面に容量結合された第 1 上部ゲート電極 (1 3 1
 , 1 3 3) と、選択的に、
 d . 前記頂面に沿って前記第 1 上部ゲート電極 (1 3 1) から分離し (D 1)、前記二層
 グラフェン (1 0 3) の頂面に容量結合された第 2 上部ゲート電極 (1 3 2) とを備え、
 前記第 2 上部ゲート電極 (1 3 2) が不在状態で、前記下部ゲート電極 (1 2 1) は、
 前記第 1 上部ゲート電極 (1 3 1) と部分的にオーバーラップし (D)、これにより前記下
 部ゲート電極 (1 2 1) および前記第 1 上部ゲート電極 (1 3 1 , 1 3 3) に容量結合さ
 れたチャネル領域 (1 4 0) を画定し、

ソース領域 (1 5 0) が、前記第 1 上部ゲート電極 (1 3 1) にのみ容量結合され、

ドレイン領域 (1 6 0) が、前記下部ゲート電極 (1 2 1) にのみ容量結合され、

前記第 2 上部ゲート電極 (1 3 2) がある状態で、前記下部ゲート電極 (1 2 1) の全
 体が、前記第 1 上部ゲート電極 (1 3 1) および前記第 2 上部ゲート電極 (1 3 2) とオ
 ーラップし、これにより、前記下部ゲート電極 (1 2 1) および前記第 1 上部ゲート電
 極 (1 3 1) に容量結合されたチャネル領域 (1 4 0) と、前記第 2 上部ゲート電極 (1
 3 2) および前記下部ゲート電極 (1 2 1) に容量結合されたソース領域 (1 5 0) と、

10

20

前記下部ゲート電極（１２１）にのみ容量結合されたバリア領域（１５１）と、前記下部ゲート電極（１２１）にのみ容量結合されたドレイン領域（１６０）とを画定する、
二層グラフェントネル電界効果トランジスタ。

【請求項２】

基板（１００）の上に第１ゲート誘電体層（１１１）を備え、

前記二層グラフェン（１０３）は、互いに隣接する第１グラフェン層（１０１）と第２グラフェン層（１０２）を有し、

前記二層グラフェン（１０３）は、前記第１ゲート誘電体層（１１１）と第２ゲート誘電体層（１１２）との間に挟まれ、

前記第１ゲート誘電体層（１１１）は前記第１グラフェン層（１０１）に接触し、

前記第２ゲート誘電体層（１１２）は前記第２グラフェン層（１０２）に接触し、

前記第１上部ゲート電極（１３１）は、前記第２グラフェン層（１０２）に対向する前記第２ゲート誘電体層（１１２）に接触する、

請求項１に記載の二層グラフェントネル電界効果トランジスタ。

【請求項３】

前記下部ゲート電極（１２１）は基板（１００）内に埋め込まれ、

前記基板（１００）は、前記下部ゲート電極（１２１）が埋め込まれた下部誘電体層（１００ｂ）が上側に位置する半導体層（１００ａ）を有し、

前記下部ゲート電極（１２１）は頂面を有し、前記下部誘電体層（１００ｂ）は誘電体頂面を有し、

前記下部ゲート電極（１２１）の頂面は、前記下部誘電体層（１００ｂ）の誘電体頂面と同一平面内にある、

請求項１または２に記載の二層グラフェントネル電界効果トランジスタ。

【請求項４】

前記第１上部ゲート電極（１３１，１３３）は上部誘電体層（１００ｃ）により覆われ、

前記ドレイン領域（１６０）は、前記下部ゲート電極（１２１）と前記上部誘電体層（１００ｃ）の一部との間に挟まれている、

請求項１から３のいずれか１項に記載の二層グラフェントネル電界効果トランジスタ。

【請求項５】

少なくとも１つの上部ゲート電極（１３１，１３３）と下部ゲート電極（１２１）のそれぞれについて別々にバイアスを印加するように適合したコンタクト（２２１，２３１，２３２，２３３）を備えた、

請求項１から４のいずれか１項に記載の二層グラフェントネル電界効果トランジスタ。

【請求項６】

前記第１ゲート誘電体層（１１１）と前記第２ゲート誘電体層（１１２）は同一の等価酸化膜厚を有する、

請求項２に記載の二層グラフェントネル電界効果トランジスタ。

【請求項７】

前記トランジスタは、第１上部ゲート電極（１３１）と第２上部ゲート電極（１３２）を有し、

前記第１上部ゲート電極（１３１）と第２上部ゲート電極（１３２）はともに、前記第２グラフェン層（１０２）に対向する前記第２ゲート誘電体層（１１２）に接触する、

請求項２に記載の二層グラフェントネル電界効果トランジスタ。

【請求項８】

前記二層グラフェン（１０３）は化学的にドーピングされていない、

請求項１から７のいずれか１項に記載の二層グラフェントネル電界効果トランジスタ。

10

20

30

40

50

【請求項 9】

前記二層グラフェン(103)中にp-i-n接合またはn-i-p接合を静電的に誘導する工程を含む、

請求項1に記載の二層グラフェントネル電界効果トランジスタを動作させる方法。

【請求項 10】

前記p-i-n接合またはn-i-p接合を静電的に誘導する工程は、上部ゲート電極(133, 131)に電圧を印加することと、該電圧と逆符号の電圧を前記下部ゲート電極(121)に印加することを含む、

請求項9に記載の方法。

【請求項 11】

前記第2上部ゲート電極(132)が存在し、

前記二層グラフェン(103)中にp-n-i-n接合またはn-p-i-p接合を静電的に誘導する工程を含む、

請求項1に記載の二層グラフェントネル電界効果トランジスタを動作させる方法。

【請求項 12】

p-n-i-n接合またはn-p-i-p接合を静電的に誘導する工程は、前記下部ゲート電極(121)に一定のバイアス V_{bg} を印加することと、該バイアス V_{bg} と逆符号であって $|V_{tg2}| > |V_{bg}|$ を満たすバイアス V_{tg2} を前記第2上部ゲート電極(132)に印加してp型ソース領域(150)を形成することと、前記バイアス V_{bg} と逆符号であって、ドレイン-ソース間電圧 V_{ds} を印加しないで測定した場合には $|V_{bg}|$ と略等しい大きさの電圧 V_{tg1} を前記第1上部ゲート電極(131)に印加して、前記二層グラフェン(103)内に真性チャネル領域(140)を形成することを含む、

請求項11に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、二層グラフェン(BLG)を備えた半導体デバイス、ならびに、こうした二層グラフェン(BLG)半導体デバイスを製造する方法および動作させる方法に関する。

【背景技術】

【0002】

グラフェンは、原子レベルで薄い半金属の二次元膜であり、複数の炭素原子が配列し、面内共有結合(結合)に構造的に依存する sp^2 蜂の巣格子をなす。また、グラフェンは、非酸化性環境で化学的に安定であり、機械的に非常に硬い。グラフェンの電子輸送特性は、マイクロエレクトロニクスで従来用いられている材料よりも大きく優れていることがわかっている。具体的には、電荷輸送度または電荷移動度が、グラフェンの重要な態様である。また、グラフェンは、室温での移動度が非常に大きい($10^4 \sim 10^6 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$)という特性を有する。それゆえ、グラフェンは、ポストCMOS用途の最も有望な候補材料の1つである。

【0003】

単層グラフェン(SLG)は、ギャップレス(バンドギャップなし)の半金属である。その結果、活性チャネルとしてSLGを用いた電界効果トランジスタ(FET)では、オン電流/オフ電流(I_{on}/I_{off})比が小さくなり(一般的に ~ 10)、スイッチを切ることができない。これは、ロジック用のマイクロエレクトロニクスにおいてグラフェンの利用が阻まれる主な理由の1つである。

【0004】

二層グラフェン(BLG)は、垂直方向に重ねられ且つ結合を介して相互作用する2つのSLGからなる。BLGは、SLGと同じくゼロバンドギャップ特性を有し、それゆえ半金属である。しかし、BLG面に対して垂直な方向に印加される外部電場を用いて重ねられた二層の反転対称性を壊すと、BLGにバンドギャップが導入される(しばしば、バ

10

20

30

40

50

ンドギャップ開口(opening)やバンドギャップ拡大(widening)とも称される)。B L Gは、印加する電場の強度に応じたバンドギャップを持つ半導体となる。導入可能なバンドギャップの最大値は、層間結合エネルギーにのみ依存する。したがって、得られるバンドギャップは0 ~ 300 meVであり、電界効果トランジスタのオン電流 / オフ電流 (I_{on} / I_{off}) 比は約100となる。

【0005】

今までのところ、上記のように縦方向の対称性を壊すことで生じるB L Gのバンドギャップ開口部は、2つの方法で達成されている。すなわち、吸着質によりB L G内にバンドギャップを形成する化学ドーピング、または、ゲート電極が生成する電束密度による電気ドーピングである。

10

【0006】

しかし、第1のアプローチ(化学ドーピング)では、ドーパントがB L G上で不均一に拡散しやすいので、制御が容易でない。さらに、ドーパントは、移動しやすく、またグラフェンと相互作用しやすく、これによりデバイス性能の安定性の課題となる欠陥が生じやすい。また、ドーパントの堆積は、現在のところ、通常のCMOSプロセスフローとほとんど適合しない。また、ドーパントプロファイルの設計が充分ではない。なぜなら、グラフェンと吸着質との相互作用が弱いことに起因して、グラフェンに沿った均一なドーパントプロファイルを達成するのが非常に難しいからである。

【0007】

第2のアプローチ(電気ドーピング)では、B L Gと直接に接触する外部ゲートスタック(例えば上部ゲートスタック)を用いて、B L G面に対して垂直な方向の電束密度が形成される。

20

【0008】

B L Gにおいて、小さいバンドギャップを達成できること、およびバンド間トンネリングが大きいことを利用して、従来のFETよりも I_{on} / I_{off} 比が大きく、サブスレッショルドスイングが小さいトンネル電界効果トランジスタ(以下、TFETと称する)を作成できる。TFETはトンネル障壁を有するものであって、トンネル障壁は連続的にp型ドープ領域、真性領域、n型ドープ領域(p - i - n)領域を有する。一方、従来のFETはp - n領域のみを有する。トンネル障壁の高さはTFETのゲートポテンシャルにより調節でき、これによりTFETの輸送電流を制御できる。したがって、ゲート電圧のバイアスによりチャネル領域におけるバンドベンディングを制御することにより、デバイスのスイッチオンとスイッチオフを切り替えることができる。

30

【0009】

こうしたTFETの動作には、急峻なp型ドープ領域、真性領域、n型ドープ領域が必要となる。既在の技術では、サブ100 nmテクノロジーで必要となる急峻で狭いドーパントプロファイル(したがってp - i - n階段接合)を達成することが非常に難しい。

【0010】

それゆえ、B L G内にバンドギャップを形成するのに充分大きくかつ調整可能である横電場を誘導可能とする新規なB L G TFET構造に対するニーズが存在する。特に、この電場は、二層にわたって3 . 5 V / nmを超える電束密度であってもよい。また、階段接合部を有するn - i - p(またはp - i - n)半導体領域を作成するニーズが存在する。さらに、この分野では、グラフェンの構造的完全性とデバイスの安定性に対する影響が小さい構造に対するニーズが存在する。

40

【発明の概要】

【0011】

本発明の1つの目的は、スイッチングの効率性が高い二層グラフェン系半導体デバイスを提供することである。

【0012】

この目的は、第1の独立請求項の技術特性を示す二層グラフェントンネル電界効果トランジスタにより達成される。

50

【 0 0 1 3 】

本発明の 1 つの目的は、化学的にドーピングされていない二層グラフェン中に、少なくともソース領域、チャネル領域およびドレイン領域を電氣的に誘導することである。

【 0 0 1 4 】

本発明の別の目的は、こうした二層グラフェントネル電界効果トランジスタを動作させる方法を提供することである。

【 0 0 1 5 】

この目的は、第 2 の独立請求項の工程を含む方法により達成される。

【 0 0 1 6 】

本発明の別の目的は、こうした二層グラフェントネル電界効果トランジスタを製造する方法を提供することである。

【 0 0 1 7 】

この目的は、第 3 の独立請求項の工程を含む方法により達成される。

【 0 0 1 8 】

種々の態様により、少なくともソース領域、チャネル領域およびドレイン領域を備えた二層グラフェントネル電界効果トランジスタについて開示する。このソース領域、チャネル領域およびドレイン領域は、少なくとも 1 つの上部ゲート電極と下部ゲート電極を互いに適切に配置することにより、また、ゲート電極に適切なバイアスを印加することにより電氣的に誘導される（好ましくは化学的にドーピングされない）。言い換えると、種々の態様により、以下の二層グラフェントネル電界効果トランジスタについて開示する。すなわち、この二層グラフェントネル電界効果トランジスタは、（ a ）二層グラフェン層と、（ b ）少なくとも 1 つの上部ゲート電極および下部ゲート電極とを備える。この少なくとも 1 つの上部ゲート電極および下部ゲート電極は、これらのゲート電極に適切なバイアスを印加したときに（ i ）ソース領域、（ i i ）チャネル領域、（ i i i ）ドレイン領域が二層グラフェン内で電氣的に誘導されるように、互いに適切に配置されている。

【 0 0 1 9 】

実施形態で、二層グラフェン層は化学的にドーピングされていなくてよい。二層グラフェンの化学的なドーピングを必要とせずに、ソース領域、チャネル領域およびドレイン領域を二層グラフェン内に形成できることは、本発明の実施形態の 1 つの利点である。

【 0 0 2 0 】

実施形態で、適切にバイアスを印加することは、第 1 極性の電圧を上部電極に印加すること、および、第 2 極性の電圧を下部電極に印加することであってもよい。

【 0 0 2 1 】

実施形態で、第 1 極性の電圧の大きさは、第 2 極性の電圧の大きさと近い値（例えば 15 % 以内、12 % 以内または 11 % 以内）であってもよい。

【 0 0 2 2 】

実施形態によれば、上部ゲート電極と下部ゲート電極は、以下のようにして、二層グラフェン層の両面に対向して配置されてもよい。すなわち、二層グラフェン層において上部ゲート電極と下部ゲート電極の両方が存在する領域（例えば、二層グラフェン層において上部ゲートと下部ゲートの両方がオーバーラップする領域）に、チャネル領域が電氣的に誘導されるように、配置されてもよい。

【 0 0 2 3 】

二層グラフェン半導体デバイス（例えばトンネル電界効果トランジスタ）について開示する。このデバイスは、底面と頂面を有する二層グラフェン 103 と、二層グラフェン 103 の底面に容量結合された下部ゲート電極 121 と、二層グラフェン 103 の頂面に容量結合された第 1 上部ゲート電極 131、133 と、上部ゲート電極 131、133 にのみ容量結合されたソース領域 150 と、下部ゲート電極 121 にのみ容量結合されたドレイン領域 160 とを備える。下部ゲート電極 121 は、第 1 上部ゲート電極 131 と（少なくとも）部分的にオーバーラップする部分（D）を有し、これにより下部ゲート電極 121 および第 1 上部ゲート電極 131、133 に容量結合されたチャネル領域 140 を画定

10

20

30

40

50

する。

【 0 0 2 4 】

さらに、二層グラフェン半導体デバイスは、頂面に沿って第 1 上部ゲート電極 1 3 1 から分離した部分 (D 1) を有し且つ二層グラフェン 1 0 3 の頂面に容量結合された第 2 上部ゲート電極 1 3 2 を備えていてもよい。下部ゲート電極 1 2 1 の全体が、第 1 上部ゲート電極 1 3 1 および第 2 上部ゲート電極 1 3 2 とオーバーラップしており、これにより、下部ゲート電極 1 2 1 および第 1 上部ゲート電極 1 3 1 に容量結合されたチャネル領域 1 4 0 と、第 2 上部ゲート電極 1 3 2 および下部ゲート電極 1 2 1 に容量結合されたソース領域 1 5 0 と、下部ゲート電極 1 2 1 にのみ容量結合されたバリア領域 1 5 1 と、下部ゲート電極 1 2 1 にのみ容量結合されたドレイン領域 1 6 0 とを画定する。実施形態で、バリア領域 1 5 1 はソース領域 1 5 0 とチャネル領域 1 4 0 との間に配置されている。実施形態で、ドレイン領域 1 6 0 はチャネル領域 1 4 0 に接触し、二層グラフェンの他の領域には接触しない。

10

【 0 0 2 5 】

底面と頂面を有する二層グラフェン 1 0 3 と、二層グラフェン 1 0 3 の底面に容量結合された下部ゲート電極 1 2 1 と、二層グラフェン 1 0 3 の頂面に容量結合された第 1 上部ゲート電極 1 3 1 とを備えた二層グラフェン半導体デバイスについて開示する。これらのゲート電極は、下部ゲート電極 1 2 1 にのみ容量結合されたドレイン領域 1 6 0 と、下部ゲート電極 1 2 1 および第 1 上部ゲート電極 1 3 1 に容量結合されたチャネル領域 1 4 0 と、上部ゲート電極 1 3 1 にのみ容量結合されたソース領域 1 5 0 とを形成するように構成されている。

20

【 0 0 2 6 】

二層グラフェン半導体デバイスは、頂面に沿って第 1 上部ゲート電極 1 3 1 から分離した部分 (D 1) を有し、二層グラフェン 1 0 3 の頂面に容量結合された第 2 上部ゲート電極 1 3 2 を備えてもよい。これらのゲート電極は、さらに、第 2 上部ゲート電極 1 3 2 および下部ゲート電極 1 2 1 に容量結合されたソース領域 1 5 0 を形成するように構成されてもよい。また、二層グラフェン半導体デバイスは、チャネル領域 1 4 0 とソース領域 1 5 0 との間に、下部ゲート電極 1 2 1 にのみ容量結合されたバリア領域 1 5 1 を備えてもよい。

【 0 0 2 7 】

30

第 1 の態様により、基板 1 0 0 の上に設けられた第 1 ゲート誘電体層 1 1 1 と、互いに隣接する第 1 グラフェン層 1 0 1 および第 2 グラフェン層 1 0 2 を有する二層グラフェン 1 0 3 とを備えた二層グラフェン半導体デバイスについて開示する。二層グラフェン 1 0 3 は、第 1 ゲート誘電体層 1 1 1 と第 2 ゲート誘電体層 1 1 2 との間に挟まれている。第 1 ゲート誘電体層 1 1 1 は第 1 グラフェン層 1 0 1 に接触し、第 2 ゲート誘電体層 1 1 2 は第 1 グラフェン層 1 0 2 に接触する。二層グラフェン層は、化学的にドーピングされていない。また、このデバイスは、(第 2 グラフェン層 1 0 2 に対向する) 第 2 ゲート誘電体層 1 1 2 に接触する上部ゲート電極 1 3 3 と、(第 1 グラフェン層 1 0 1 に対向する) 第 1 ゲート誘電体層 1 1 1 に接触する下部ゲート電極 1 2 1 とを備える。下部ゲート電極 1 2 1 は上部ゲート電極 1 3 3 に対して変位しており、これにより、二層グラフェンにおいて、距離 D のオーバーラップ領域と非オーバーラップ領域が画定される。さらに、二層グラフェン 1 0 3 は、長手方向に、ソース領域 1 5 0 、チャネル領域 1 4 0 およびドレイン領域 1 6 0 を備える。チャネル領域 1 4 0 は、一端でソース領域 1 5 0 に隣接し、多端でドレイン領域 1 6 0 に隣接している。チャネル領域 1 4 0 は、二層グラフェンの一部であって、上部ゲート電極 1 3 3 と下部ゲート電極 1 2 1 との間に挟まれたオーバーラップ部分である。ソース領域 1 5 0 は、上部ゲート電極 1 3 3 のみに接触する二層グラフェンの非オーバーラップ領域である。ドレイン領域 1 6 0 は、下部ゲート電極 1 2 1 のみに接触する二層グラフェンの非オーバーラップ領域である。

40

【 0 0 2 8 】

第 1 の態様の実施形態によれば、下部ゲート電極 1 2 1 は基板 1 0 0 内に埋め込まれて

50

もよい。基板 100 は、下部ゲート電極 121 が埋め込まれた下部誘電体層 100b が上側に位置する半導体層 100a を有していてもよい。下部ゲート電極 121 は、下部誘電体層 100b 内に埋め込まれている。下部ゲート電極 121 は頂面を有し、下部誘電体層 100b は誘電体頂面を有する。下部ゲート電極 121 の頂面は、下部誘電体層 100b の誘電体頂面と同一平面内にある。

【0029】

第 1 の態様の実施形態によれば、上部ゲート電極 133 は上部誘電体層 100c により覆われていてもよい。ドレイン領域 160 は、下部ゲート電極 121 と上部誘電体層 100c の一部との間に挟まれている。

【0030】

第 1 の態様の実施形態によれば、上部ゲート電極 133 と下部ゲート電極 121 には、上部ゲート電極コンタクト 233 と下部ゲート電極コンタクト 221 により、それぞれ別々にバイアスが印加されてもよい。

【0031】

第 1 の態様の実施形態によれば、ソース領域 150 とドレイン領域 160 には、ソースコンタクト 251 とドレインコンタクト 252 により、それぞれ別々にバイアスが印加されてもよい。

【0032】

第 1 の態様の実施形態によれば、上部ゲート電極 133 と下部ゲート電極 121 には、オフ状態で逆符号のバイアスが印加され、これにより、ドレイン領域に対して逆極性にドーピングされたソース領域と、本質的にドーピングされたチャネル領域とが誘導される。オフ状態で、上部ゲート電極 133 と下部ゲート電極 121 に逆符号のバイアスを印加することにより、二層グラフェンは電氣的にドーピングされる。

【0033】

オフ状態で、上部ゲート電極 133 に正のバイアスを印加し、下部ゲート電極 121 に負のバイアスを印加することにより、p 型ソース領域と n 型ドレイン領域とが誘導される。チャネル領域は、本質的にドーピングされ / ドーピングされていない。

【0034】

オフ状態で、上部ゲート電極 133 に負のバイアスを印加し、下部ゲート電極 121 に正のバイアスを印加することにより、n 型ソース領域と p 型ドレイン領域とが誘導される。チャネル領域は、本質的にドーピングされ / ドーピングされていない (すなわち i 型である)。

【0035】

実施形態によれば、対称性を持つデバイスの場合 (すなわち、第 1 ゲート誘電体層と第 2 ゲート誘電体層とで等価酸化膜厚 EOT が同一である場合)、上部ゲート電極 133 と下部ゲート電極 121 には、逆符号で且つ大きさが略等しいバイアスが印加されてもよい。ソース - ドレイン間電圧 V_{ds} が十分に小さい (すなわち、 V_{ds} が 0 に向かうか実際に 0 に等しい) 場合、上部ゲート電極 133 の位置と下部ゲート電極 121 の位置で実際に測定される両電圧は略等しい。実施形態で、上部ゲート電極 133 と下部ゲート電極 121 には、逆符号で、かつ、互いに 10% 以内、好ましくは 5% 以内、さらに好ましくは 2% 以内、さらに好ましくは 1% 以内の範囲にあるバイアスが印加される。最も好ましくは、上部ゲート電極 133 と下部ゲート電極 121 には、逆符号で且つ等しい大きさの電圧が印加される。

【0036】

ただし、実際には、印加される V_{ds} は通常無視できず、上部ゲート電極 133 と下部ゲート電極 121 に同じ電圧が印加される場合であっても、上部ゲート電極 133 と下部ゲート電極 121 で測定される電圧間の不整合が大きくなり、逆符号で且つ互いに大きさが 15% 以内 (または 12% 以内もしくは 11% 以内) の電圧に至る可能性がある。

【0037】

実施形態によれば、対称性を持つデバイスの場合 (すなわち、第 1 ゲート誘電体層と第 2 ゲート誘電体層とで等価酸化膜厚 EOT が同一である場合)、上部ゲート電極 133 と

10

20

30

40

50

下部ゲート電極 1 2 1 には、オフ状態で逆符号のバイアス（それぞれオフ状態電圧 V_{OFF} 、 $-V_{OFF}$ ）が印加される。

【 0 0 3 8 】

実施形態によれば、二層グラフェン T F E T は、チャネル領域において伝導帯のシフトが生じるように、複数のゲート電極のうちの 1 つへ印加する電圧を追加の供給電圧 V_{dd} からオフ状態バイアス V_{OFF} とすることにより、オン状態からオフ状態へ切り替えられてもよい。実施形態において、この追加の供給電圧 V_{dd} は、 V_{OFF} の 2 0 % から 9 0 %、好ましくは V_{OFF} の 2 2 % から 8 0 %、より好ましくは V_{OFF} の 2 5 % から 7 0 %、さらに好ましくは V_{OFF} の 3 0 % から 6 0 %、最も好ましくは V_{OFF} の 3 5 % から 5 0 % である。例えば、 V_{dd} は V_{OFF} の 5 0 % である。ただし、 V_{dd} は、好ましくは V_{OFF} の 5 0 % 未満である。

【 0 0 3 9 】

第 1 の態様の実施形態によれば、オン状態で、上部ゲート電極 1 3 3 には電圧 $V_{ON} = (V_{OFF} + V_{dd})$ が印加される。ここで、 V_{dd} は、オフ状態電圧 V_{OFF} に追加的に加えられる供給電圧であって、これにより、チャネル領域 1 4 0 において伝導エネルギーバンドのシフトが誘導されると共に、ソース領域 1 5 0 からドレイン領域 1 6 0 への電子のトンネリング確率が増加する。これにより、オフ状態での i 型チャネル領域 1 4 0 は、ソース領域 1 5 0 のドープ型と同様のドープ型を持つドープチャネル領域 1 4 0 に変化する。オン状態で下部ゲート電極 1 2 1 に対して印加される電圧は、オフ状態で印加される電圧に対して不変である。

【 0 0 4 0 】

第 2 の態様により、二層グラフェン中に p - i - n 接合または n - i - p 接合を静電的に誘導する工程を含む、二層グラフェン半導体デバイスを動作させる方法について開示する。

【 0 0 4 1 】

第 2 の態様の実施形態によれば、p - i - n 接合を静電的に誘導する工程は、上部ゲート電極 1 3 3 に第 1 電圧を印加することと、第 1 電圧と逆符号の第 2 電圧を下部ゲート電極 1 2 1 に印加することを含む。ソース - ドレイン間電圧 V_{ds} が十分に小さい（すなわち、 V_{ds} が 0 に向かうか実際に 0 に等しい）場合に測定を行うと、印加される第 1 電圧の大きさと第 2 電圧の大きさは略等しい。実施形態で、上部ゲート電極 1 3 3 と下部ゲート電極 1 2 1 には、逆符号で、かつ、互いに 1 0 % 以内、好ましくは 5 % 以内、さらに好ましくは 2 % 以内、さらに好ましくは 1 % 以内の範囲にあるバイアスが印加される。最も好ましくは、上部ゲート電極 1 3 3 と下部ゲート電極 1 2 1 には、逆符号で且つ等しい大きさのバイアスが印加される。

【 0 0 4 2 】

ただし、実際には、印加される V_{ds} は通常無視できず、上部ゲート電極 1 3 3 と下部ゲート電極 1 2 1 に同じ電圧が印加される場合であっても、上部ゲート電極 1 3 3 と下部ゲート電極 1 2 1 で測定される電圧間の不整合が大きくなり、逆符号で且つ互いに大きさが 1 5 % 以内（または 1 2 % 以内もしくは 1 1 % 以内）の電圧に至る可能性がある。

【 0 0 4 3 】

第 2 の態様の実施形態によれば、p - i - n 接合を静電的に誘導する工程は、上部ゲート電極 1 3 3 に電圧を印加することと、この電圧と逆符号の電圧（例えば逆電圧）を下部ゲート電極 1 2 1 に印加することを含む。p 型ソースと n 型ドレインを誘導するために、上部ゲート電極 1 3 3 に対して印加される電圧は正の電圧である（したがって、下部ゲート電極 1 2 1 に対して印加される電圧は負の電圧である）。n 型ソースと p 型ドレインを誘導するために、上部ゲート電極 1 3 3 に対して印加される電圧は負の電圧である（したがって、下部ゲート電極 1 2 1 に対して印加される電圧は正の電圧である）。可能性のある 1 つの実施形態として、下部ゲート電極 1 2 1 に対して印加する電圧 V_{bias} (V_{bg}) をデバイスのオフ状態とオン状態とで一定とすること、上部ゲート電極 1 3 3 での電圧 V_t (V_{tg}) を一定としないことを開示する。これにより、下部ゲート電極 1 2

10

20

30

40

50

1では一定の電圧 V_{bias} が維持され、上部ゲート電極133によりオン状態とオフ状態との間でデバイスが切り替わる。オフ状態またはデバイス内の電流が最も小さい状態は、上部ゲート電極133に電圧 $V_{OFF} = -V_{bias}$ が印加されたときに相当する。さらに、デバイスのオン状態(図3)は、上部ゲート電極133に対して $V_{ON} = (V_{OFF} + V_{DD})$ に等しいバイアスが印加される場合に相当する。ここで、 V_{DD} は追加の供給電圧である。

【0044】

第2の態様に従ってn-i-p接合を誘導するために、デバイスに対してアナログ電圧を印加してもよいことは当業者にとって明らかである。p-i-n接合の場合、電圧の極性を変える(すなわち、正のバイアスを負のバイアスとし、負のバイアスを正のバイアスとする)以外は同様である。

10

【0045】

第3の態様により、基板100の上の第1ゲート誘電体層111と、二層グラフェン103とを備えた二層グラフェン半導体デバイスを開示する。二層グラフェン103は、互いに隣接する第1グラフェン層101と第2グラフェン層102を有する。二層グラフェン103は、第1ゲート誘電体層111と第2ゲート誘電体層112との間に挟まれている。第1ゲート誘電体層111は第1グラフェン層101に接触し、第2ゲート誘電体層112は第2グラフェン層102に接触する。二層グラフェン層は化学的にドーピングされていない。また、グラフェン半導体デバイスは、(第1グラフェン層101に対向する)第1ゲート誘電体層111に接触する下部ゲート電極121と、下部ゲート電極121と反対側において、第2グラフェン層102に対向する第2ゲート誘電体層112に接触する第1上部ゲート電極131と、第2グラフェン層102に対向する第2ゲート誘電体層112に接触する第2上部ゲート電極132とを備える。第2上部ゲート電極132は、第1上部ゲート電極131から距離D1を隔てて配置されている。二層グラフェン103は、長手方向に、ソース領域150、バリア領域151、チャネル領域140およびドレイン領域160を有する。チャネル領域140は、一端でバリア領域151に隣接し、他端でドレイン領域160に隣接している。バリア領域151は、他端でソース領域150に隣接している。チャネル領域140は、下部ゲート電極121と第1上部ゲート電極131との間に挟まれた領域である。ソース領域150は、下部ゲート電極121と第2上部ゲート電極132との間に挟まれた領域である。ドレイン領域160は、下部ゲート電極121のみが接触する領域であり、バリア領域は、下部ゲート電極121のみが接触する、距離D1(例えば寸法D1)の領域である。

20

30

【0046】

第3の態様の実施形態によれば、下部ゲート電極121は基板100内に埋め込まれていてもよい。基板100は、下部ゲート電極121が埋め込まれた下部誘電体層100bが上側に位置する半導体層100aを有していてもよい。下部ゲート電極121は誘電体層100b内に埋め込まれ、下部ゲート電極121は頂面を有し、下部誘電体層100bは誘電体頂面を有する。下部ゲート電極121の頂面は、下部誘電体層100bの誘電体頂面と同一平面内にある。

【0047】

第3の態様の実施形態によれば、第1上部ゲート電極131と第2上部ゲート電極132は、上部誘電体層100cにより覆われてもよい。ドレイン領域160とバリア領域151は、下部ゲート電極121と、上部誘電体層100cの一部との間に挟まれている。

40

【0048】

第3の態様の実施形態によれば、下部ゲート電極121、第1上部ゲート電極131、および第2上部ゲート電極132には、それぞれ下部ゲート電極コンタクト221、第1上部ゲート電極コンタクト231および第2上部ゲート電極コンタクト232により別々にバイアスが印加されてもよい。

【0049】

第3の態様の実施形態によれば、ソース領域150とドレイン領域160には、それぞ

50

れソースコンタクト 2 5 1 とドレインコンタクト 2 5 2 によりバイアスが印加されてもよい。

【 0 0 5 0 】

第 3 の態様の実施形態によれば、下部ゲート電極 1 2 1 と第 2 上部ゲート電極 1 3 2 には、オフ状態とオン状態で逆符号のバイアスが印加される。

【 0 0 5 1 】

第 3 の態様の実施形態によれば、下部ゲート電極 1 2 1 と第 1 上部ゲート電極 1 3 1 には、オフ状態とオン状態で逆符号のバイアスが印加される。

【 0 0 5 2 】

第 3 の態様の実施形態によれば、第 1 ゲート誘電体層 1 1 1 と第 2 ゲート誘電体層 1 1 2 の等価酸化膜厚 EOT は同一である。

【 0 0 5 3 】

第 3 の態様の実施形態による、第 1 ゲート誘電体層 1 1 1 と第 2 ゲート誘電体層 1 1 2 が同じ EOT を有する二層グラフェン半導体デバイスの場合、下部ゲート電極 1 2 1 に印加される電圧の大きさは、第 2 上部ゲート電極 1 3 2 に印加される電圧 (の大きさ) よりも小さい。

【 0 0 5 4 】

第 3 の態様の実施形態によれば、下部ゲート電極 1 2 1 に印加される電圧の大きさは、オフ状態では、第 1 上部ゲート電極 1 3 1 に印加される電圧 (の大きさ) と同等である。これにより、真性チャネル領域 1 4 0 (すなわち i 型チャネル領域 1 4 0) が誘導される。例えば、下部ゲート電極 1 2 1 に印加される電圧の大きさは、互いに 1 0 % 以内、好ましくは 5 % 以内、さらに好ましくは 2 % 以内、さらに好ましくは 1 % 以内の範囲にある。印加される電圧の測定は、 V_{ds} が 0 に近い値 (または 0) で行われる。ただし、実際には、印加される V_{ds} は通常無視できず、上部ゲート電極 1 3 3 と下部ゲート電極 1 2 1 に同じ (大きさの) 電圧が印加される場合であっても、上部ゲート電極 1 3 3 と下部ゲート電極 1 2 1 で測定される電圧間の不整合が大きくなり、逆符号で且つ互いに大きさが例えば 1 5 % 以内 (または 1 2 % 以内もしくは 1 1 % 以内) の電圧に至る可能性がある。

【 0 0 5 5 】

第 3 の態様の実施形態によれば、オン状態で、追加の供給電圧が第 1 上部ゲート電極 1 3 1 に印加される。これにより、チャネル領域 1 4 0 において伝導帯がシフトし、ソース領域 1 5 0 からドレイン領域 1 6 0 への電子のトンネリング確率が増加する。そして、オフ状態での i 型チャネル領域 1 4 0 が、(オン状態で) バリア領域 1 5 1 とドレイン領域 1 5 0 のドープ型と同じドープ型でドープされたドープチャネル領域 1 4 0 に変わる。オン状態で、下部ゲート電極 1 2 1 に印加される電圧と第 2 上部ゲート電極 1 3 2 に印加される電圧は、オフ状態で印加される電圧に対して不変である。実施形態で、この追加の供給電圧 V_{dd} は、 V_{OFF} の 2 0 % から 9 0 % 、好ましくは V_{OFF} の 2 2 % から 8 0 % 、より好ましくは V_{OFF} の 2 5 % から 7 0 % 、さらに好ましくは V_{OFF} の 3 0 % から 6 0 % 、最も好ましくは V_{OFF} の 3 5 % から 5 0 % である。例えば、 V_{dd} は V_{OFF} の 5 0 % であってもよい。ただし、 V_{dd} は、好ましくは V_{OFF} の 5 0 % 未満である。

【 0 0 5 6 】

第 4 の態様により、二層グラフェン中に $p - n - i - n$ 接合または $n - p - i - p$ 接合を静電的に誘導する工程を含む、二層グラフェン半導体デバイスを動作させる方法を開示する。

【 0 0 5 7 】

第 4 の実施形態により、 $p - n - i - n$ 接合を静電的に誘導する工程は、下部ゲート電極 1 2 1 に一定のバイアス V_{bg} を印加することと、バイアス V_{tg2} (バイアス V_{bg} と逆符号であって $|V_{tg2}| > |V_{bg}|$ を満たす) を第 2 上部ゲート電極 1 3 2 に印加して p 型ソース領域 1 5 0 を形成することと、電圧 V_{tg1} (バイアス V_{bg} と逆符号であって、 $|V_{bg}|$ と略等しい大きさである) を印加して二層グラフェン 1 0 3 内に真性チャネル領域 1 4 0 を形成することを含む。好ましくは、 $|V_{tg2}|$ は、 $|V_{bg}|$

10

20

30

40

50

$|g|$ よりも 20 % から 90 %、好ましくは 22 % から 80 %、さらに好ましくは 25 % から 70 %、さらに好ましくは 30 % から 60 %、最も好ましくは 35 % から 50 % 大きい。なお、 $|V_{tg1}| \sim |V_{bg}|$ は、 $|V_{tg1}|$ が $|V_{bg}|$ に近い値または同一の値であることを意味する。例えば、 V_{ds} が 0 であるか 0 に近い値であるときに印加電圧を測定する場合、 $|V_{tg1}|$ は互いに 10 % 以内、好ましくは 5 % 以内、さらに好ましくは 2 % 以内、さらに好ましくは 1 % 以内の範囲にあってもよい。より好ましくは、 $|V_{tg1}|$ は $|V_{bg}|$ に等しい。ただし、実際には、印加される V_{ds} は通常無視できず、上部ゲート電極 131 と下部ゲート電極 121 に同じ（大きさの）電圧が印加される場合であっても、上部ゲート電極 133 と下部ゲート電極 121 で測定される電圧間の不整合が大きくなり、逆符号で且つ互いに大きさが 15 % 以内（または 12 % 以内もしくは 11 % 以内）の電圧に至る可能性がある。

10

【0058】

下部ゲート電極 121 へ連続的に下部ゲート電圧を印加すると、二層グラフェン 103 にバンドギャップが形成される。下部ゲート電極 121 には一定のバイアス（ $+V_{bg}$ ）が印加される。第 2 上部ゲート電極（132；TG2）にはバイアス V_{tg2} （ $|V_{tg2}| > |V_{bg}|$ であり、 V_{tg2} は V_{bg} と逆符号である）が印加されて（オフ状態でのバイアスを印加した場合と同様に）p 型ソース領域 150 が形成される。一方、第 1 上部ゲート電極（131；TG1）にはバイアス V_{tg1} （ $|V_{tg1}| \sim |V_{bg}|$ であり、 V_{tg1} は V_{bg} と逆符号である）が印加されて二層グラフェン 103 に真性のチャネル領域 140 が形成される。下部ゲート電極 121 と第 2 上部ゲート電極 132 に印加される電圧は、それぞれ一定の電圧 V_{bg} 、 V_{tg2} （互いに逆符号）とされる。第 1 上部ゲート電極 131 は、デバイスの「オン」状態と「オフ」状態の切替えを担う。デバイスにおけるオフ状態または最低電流は、第 1 上部ゲート電極 133 の電圧 V_{OFF} が V_{tg1} に等しい場合に相当する。デバイスのオン状態は、第 1 上部ゲート電極 131 の電圧が $V_{ON} = (V_{OFF} + V_{DD})$ に等しい場合に相当する。ここで、 V_{DD} は第 1 の態様で定義された追加の供給電圧である。

20

【0059】

第 4 の態様に従って n - p - i - p 接合を誘導するために、デバイスに対してアナログ電圧を印加してもよいことは当業者にとって明らかである。p - n - i - n 接合の場合、電圧の極性を変える（すなわち、正のバイアスを負のバイアスとし、負のバイアスを正のバイアスとする）以外は同様である。

30

【0060】

第 5 の態様により、二層グラフェン半導体デバイスを製造する方法について開示する。この方法は、

- 半導体層の上に下部誘電体層を設ける工程、
 - 下部誘電体層をパターンニングし、これにより少なくとも 1 つのトレンチを形成する工程、
 - 少なくとも 1 つのトレンチ内に下部ゲート導電性材料を設け、これにより少なくとも 1 つの下部ゲート電極を形成する工程、
 - 下部誘電体層および下部ゲート導電性材料の上に第 1 ゲート誘電体層を設ける工程、
 - 第 1 ゲート誘電体層の上に、化学的にドーブされていない二層グラフェンを設ける工程、
 - 化学的にドーブされていない二層グラフェンの上に、第 2 ゲート誘電体層を設ける工程、
 - 第 2 ゲート誘電体層の少なくとも一部の上に、上部ゲート導電性材料を設け（これにより上部ゲート電極を形成する）工程、
 - 電気コンタクトを設ける工程、
- を含む。

40

【0061】

良好な I_{on} / I_{off} 比（例えば 10^4 以上）を示す二層グラフェン系半導体デバイ

50

スが得られることは、本発明の実施形態の1つの利点である。

【0062】

60 mV / dec未満のサブスレッショルドスイングを示す二層グラフェン系半導体デバイスが得られることは、本発明の実施形態の1つの利点である。

【0063】

電束密度の比較的小さい変化を通じて効率的にスイッチオフできる二層グラフェン系半導体デバイスが得られることは、本発明の実施形態の1つの利点である。

【0064】

上部ゲートおよび/または下部ゲートに印加される外部ポテンシャルが存在しない状態では最低100 meVの永久バンドギャップを示し、こうした外部ポテンシャルの存在下では最低300 meVのバンドギャップを示す二層グラフェン系半導体デバイスが得られることは、本発明の実施形態の1つの利点である。

10

【0065】

3.5 V / nm未満の電場を印加することにより少なくとも300 meVのバンドギャップを示しうる二層グラフェン系半導体デバイスが得られることは、本発明の実施形態の1つの利点である。

【0066】

二層グラフェンにおいて 10^{13} cm^{-2} 未満の電荷密度を示し、これにより、比較的小さい外部電束密度によりデバイスのスイッチオフが可能となる二層グラフェン系半導体デバイスが得られることは、本発明の実施形態の1つの利点である。

20

【0067】

二層グラフェンのドーピングレベルを容易に制御可能な二層グラフェン系半導体デバイスが得られることは、本発明の実施形態の1つの利点である。

【0068】

電氣的に誘導されたp型ドーブ領域(および/またはn型ドーブ領域)によりドーピングプロファイルの形状を正確に制御できることは、本発明の実施形態の1つの利点である。

【0069】

二層グラフェン内に階段接合部を有するドーブ領域が存在する二層グラフェン系半導体デバイスが得られることは、本発明の実施形態の1つの利点である。

30

【0070】

二層グラフェンでのドーピングを均一にすることが可能な二層グラフェン系半導体デバイスが得られることは、本発明の実施形態の1つの利点である。

【0071】

典型的なCMOSプロセスフローに適合する方法により二層グラフェン系半導体デバイスが得られることは、本発明の実施形態の1つの利点である。

【0072】

不動態化され、かつ/またはデバイスのゲート開閉を可能にする二層グラフェン系半導体デバイスが得られることは、本発明の実施形態の1つの利点である。

【0073】

40

ドーパント濃度と接合部プロファイルの良好な制御を実現する方法を用いて二層グラフェン系半導体デバイスが得られることは、本発明の実施形態の1つの利点である。

【図面の簡単な説明】

【0074】

【図1】第1の態様によるBLG TFTを概略的に示す。

【図2】(上)第1の態様の実施形態による、バイアスが印加されたBLG TFTと、(下)オフ状態のBLG TFTについての対応するバンドダイアグラムとを概略的に示す。

【図3】(上)第1の態様の実施形態による、バイアスが印加されたBLG TFTと、(下)オン状態のBLG TFTについての対応するバンドダイアグラムとを概略的

50

に示す。

【図４】第１の態様の実施形態によるオン状態のＢＬＧＴＦＥＴについての伝達特性を示す。

【図５】第３の態様によるＢＬＧＴＦＥＴを概略的に示す。

【図６】（上）第３の態様の実施形態による、バイアスが印加されたＢＬＧＴＦＥＴと、（下）オフ状態のＢＬＧＴＦＥＴについての対応するバンドダイアグラムとを概略的に示す。

【図７】（上）第３の態様の実施形態による、バイアスが印加されたＢＬＧＴＦＥＴと、（下）オン状態のＢＬＧＴＦＥＴについての対応するバンドダイアグラムとを概略的に示す。

10

【図８】第３の態様の実施形態による、オン状態のＢＬＧＴＦＥＴについての伝達特性を示す。

【図９】第５の態様による、第１の態様のＢＬＧＴＦＥＴを製造する方法における種々の工程を概略的に示す。

【図１０】第５の態様による、第１の態様のＢＬＧＴＦＥＴを製造する方法における種々の工程を概略的に示す。

【図１１】第５の態様による、第１の態様のＢＬＧＴＦＥＴを製造する方法における種々の工程を概略的に示す。

【図１２】第５の態様による、第１の態様のＢＬＧＴＦＥＴを製造する方法における種々の工程を概略的に示す。

20

【図１３】第５の態様による、第１の態様のＢＬＧＴＦＥＴを製造する方法における種々の工程を概略的に示す。

【図１４】第５の態様による、第１の態様のＢＬＧＴＦＥＴを製造する方法における種々の工程を概略的に示す。

【図１５】第５の態様による、第１の態様のＢＬＧＴＦＥＴを製造する方法における種々の工程を概略的に示す。

【００７５】

本明細書では、実施形態の特定の特徴を幾つかの図面で示しているが、他の図面では示していない。このようにするのは、単に便宜上である。本明細書の実施形態に従って、各特徴を、その他複数の特徴のうち幾つかまたはすべてと組み合わせてもよい。

30

【発明を実施するための形態】

【００７６】

特定の実施形態に関して特定の図面を参照して本発明について説明するが、本発明はこれに限定されず、特許請求の範囲によってのみ限定される。記載した図面は、概略的であって非限定的である。図面において、幾つかの要素のサイズは、説明目的のために誇張し、また縮尺どおり描いていないことがある。寸法と相対寸法は、本発明を実施する上での実際の縮尺に対応していない。

【００７７】

さらに、説明と特許請求の範囲での用語「上(top)」、「下、底(bottom)」、「～の上に(over)」、「～の下に(under)」などは、説明目的で使用しており、必ずしも相対的な位置を記述するために用いているわけではない。用いている用語は、適切な状況下で交換可能であり、本明細書で説明する本発明の実施形態は、本明細書で説明または図示したものとは異なる向きで動作可能であると理解すべきである。

40

【００７８】

さらに、種々の実施形態を「好ましい」としているが、これは本発明の範囲を限定するものでなく、本発明を実施する上での例示的な態様であると理解すべきである。

【００７９】

特許請求の範囲で用いる用語「備える、有する、含む」(comprising)は、それ以降に列挙する要素または工程に限定されるものであると解釈しないものとする。それは、他の要素または工程を除外しない。それは、上記特徴、整数、工程または構成要素の存在を、参

50

照したように特定するものであると解釈する必要があるが、1つまたは複数の他の特徴、整数、工程もしくは構成要素またはこれらのグループの存在を除外しない。したがって、「AとBとを備えたデバイス」という表現の範囲は、構成要素AとBのみからなるデバイスに限定されないものとし、むしろ本発明に関して、デバイスの列挙した構成要素がAとBのみであって、請求項はこれらの構成要素の等価物を含むと解釈するものとする。

【0080】

「水平方向」、「垂直方向」または「長手方向」と記載した場合の方向は、基板面に対して規定される。垂直方向は、基板面に対して直交する方向であって、二層グラフェン層に対して垂直な方向である。したがって、この発明に関して、垂直方向は、半導体デバイスの高さに沿った方向（紙面内で上から下、または下から上）として規定される。長手方向は、基板面に対して平行な方向であって、上記垂直方向に対して直交する方向である。本発明に関して、長手方向は、二層グラフェン層の長さに沿った方向（紙面内で左から右、または左から右）として規定される。水平方向は、基板面に対して平行な方向であって、上記長手方向と垂直方向に対して直交する方向である。本発明に関して、水平方向は、二層グラフェン層の幅に沿った方向（紙面に対して直交する方向）として規定される。

【0081】

本発明では、二層グラフェン半導体デバイスにおいて化学的に誘導されたp-n接合の欠点を克服する方法について説明している。これらのp型領域とn型領域は、静電的にバイアスが印加されたゲート電極を介して単に電氣的に誘導可能である。BLGは、製造中に化学的にドーピングされる必要はない。

【0082】

BLGと直接に接触する下部ゲートスタックおよび少なくとも1つの上部ゲートスタックを配置することにより、BLG平面に対して垂直な電束密度を形成できる。誘起された電束密度により、BLGの二層に同符号の過度の電荷密度が誘導されてBLGが局所的にドーピングされ、これにより、二層の間で電荷密度の非対称性が現れる。2つの非対称な電荷密度間でのクーロン相互作用により、BLGのバンドダイアグラムにおける伝導帯と価電子帯との間でバンドギャップが形成される。

【0083】

種々の態様の実施形態で開示しているように、ドーピングプロファイルの形状は、化学的にドーピングされたn型ドーピング領域とp型ドーピング領域を有するBLGとは対称的に、電氣的に誘導されたp型ドーピング領域（および/またはn型ドーピング領域）により正確に制御可能である。

【0084】

以下では、特定の態様についての実施形態による2つの例について開示する。

【0085】

シミュレーションは、非平衡グリーン関数(NEGF)の範囲内で3Dポワソン方程式とシュレディンガー方程式のセルフコンシステント法(オープンソースコードNanotCAD ViDESにおいて実行できる)を用いて実行している。

【0086】

2つの対称なくすなわち、第1ゲート誘電体層と第2ゲート誘電体層の等価酸化膜厚EOTが等しい)デバイス構造であって、ゲート電極の位置/配置が異なるものについて開示する。

【0087】

図1から図4は、変位した複数のゲート電極を有するデュアルゲート二層グラフェンTFETに関するところ、これらの図について以下で詳細に説明する。

【0088】

図1は、第1の態様によるBLGデバイスを概略的に示す。BLGデバイスは、変位した複数のゲート電極を有するデュアルゲート二層グラフェン半導体デバイスである。BLGデバイスは二層グラフェン103を備える。二層グラフェンは、第1グラフェン層101と、隣接する第2グラフェン層102とを有する。ここで、「隣接する」とは、第1ゲ

ラフェン層 101 と第 2 グラフェン層 102 とが直接に接触していることを意味する。二層グラフェン 103 は、下部ゲート電極 121 と上部ゲート電極 133 に容量結合されている。さらに、二層グラフェン 103 は、その両面に配置された 2 つのゲート電極 121, 133 の間に部分的に挟まれている。

【0089】

上部ゲート電極 133 は B L G 103 の上に位置し、下部ゲート電極 121 は B L G の下方（上部ゲート電極 133 とは反対側）に位置している。上部ゲート電極 133 と下部ゲート電極 121 は、それぞれ第 1 ゲート誘電体層 111 と第 2 ゲート誘電体層 112 により B L G から分離している。下部ゲート電極 121 は、好ましくは下部誘電体層 100b 内に埋め込まれ、下部誘電体層 100b の表面は第 2 ゲート誘電体層 111 と接触しかつ下部ゲート電極 221 の表面と同一平面上にある。下部ゲート電極 121 と B L G の第 1 グラフェン層 101 との間には、第 1 ゲート誘電体層 111 が存在する。上部ゲート電極 133 と B L G の第 2 グラフェン層 102 との間には、第 2 ゲート誘電体層 112 が存在する。第 1 ゲート誘電体層 111 および / または第 2 ゲート誘電体層 112 は、high-k 誘電体材料、例えば HfO_2 、 ZrO_2 、 Al_2O_3 、 TiO_2 、 La_2O_3 、 SrTiO_3 、 LaAlO_3 、ケイ酸ハフニウム、チタン酸バリウムストロンチウム (ST)、チタン酸ジルコン酸鉛 (PZT)、または high-k 有機誘電体材料を含んでもよい。下部ゲート電極 122 と上部ゲート電極 133 は、それぞれ第 1 ゲート誘電体層 111 と第 2 ゲート誘電体層 112 を介して B L G に、すなわち第 1 グラフェン層 101 と第 2 グラフェン層 102 にそれぞれ容量結合されている。

【0090】

下部ゲート電極 121 と上部ゲート電極 133 は、互いに水平方向に変位しており、これにより B L G 半導体デバイスについて 3 つの領域 / 部分が画定 / 形成される。水平方向での変位により、B L G 層 103 内で 3 つの領域 / 部分を区別できる。3 つの領域 / 部分は、どちらのゲート電極がどの部分とオーバーラップするかという点で異なる。B L G の第 1 部分は、B L G 半導体デバイスのソース領域 150 を構成する。B L G の第 1 部分には、上部ゲート電極 133 の一部のみが接触している（または容量結合されている）。B L G の第 2 部分は、B L G 半導体デバイスのドレイン領域 160 を構成する。B L G の第 2 部分には、下部ゲート電極 121 の一部のみが接触している（または容量結合されている）。B L G の第 3 部分は、B L G 半導体デバイスのチャネル領域 140 を画定する。B L G の第 3 部分は、上部ゲート電極 133 のその他の部分と下部ゲート電極 121 のその他の部分との間に挟まれている。上部ゲート電極 133 と下部ゲート電極 121 とのオーバーラップ部に B L G の第 3 部分が挟まれており、チャネル領域 140 の幅は水平距離 D に等しい。

【0091】

下部ゲート電極 121 には、下部ゲート電極コンタクト 221 を介してバイアスが印加されてもよい。上部ゲート電極 133 には、上部ゲート電極コンタクト 233 を介してバイアスが印加されてもよい。上部ゲート電極と下部ゲート電極には別々にバイアスが印加されてもよい。オフ状態で、上部ゲート電極コンタクト 133 には第 1 極性のバイアス（例えば負のバイアス $V(TG) < 0V$ ）が印加され、下部ゲート電極 121 には上部ゲート電極 133 と逆符号（第 1 極性とは逆の第 2 極性）のバイアス、例えば正のバイアス（ $V(BG) > 0V$ ）が印加される。

【0092】

このバイアス印加のスキームにより、価電子帯 501 と伝導帯 502 が、電荷輸送方向（すなわち長手方向）に沿って、(I) ソース領域 150 を画定する n 型領域、(II) チャネル領域 140 を画定する真性領域、(III) ドレイン領域 160 を画定する p 型領域の 3 つの領域に分割される。

【0093】

ここで、当業者であれば、B L G 内に電氣的に逆のドープ型（すなわち p 型ソース領域、真性チャネル領域および n 型ドレイン領域）が誘導されるようにバイアスの符号（極性

10

20

30

40

50

）を容易に適合させることができる点に留意すべきである。

【 0 0 9 4 】

上部ゲート電極 1 3 3 と下部ゲート電極 1 2 1 にバイアスを印加することにより、化学的にドーピングされていない B L G 内に電氣的にドーピングされた領域を誘導できる。ゲートの 1 つに供給電圧を追加的に加えることにより、すなわちチャネルにわたって電圧差を増加させることにより、チャネル領域内で更なるシフトを誘起でき、これによりデバイスをオフ状態からオン状態へと変化させることができる。

【 0 0 9 5 】

図 2 は、第 1 の態様の実施形態による、バイアスが印加された B L G 半導体デバイス（上）と、オフ状態の B L G についての対応するバンドダイアグラム（下）とを概略的に示す。バンドダイアグラムは、B L G 半導体デバイスの距離に応じたエネルギーレベル（e V）を示す。言い換えると、バンドダイアグラムは、B L G 半導体デバイスに沿った距離に応じたエネルギーレベル（e V）を示す。デバイスがオフ状態のとき、ソース領域 1 5 0 のコンタクト 2 5 1 からチャネル領域 1 4 0、そしてドレイン領域 1 6 0 のコンタクト 2 5 2 までの間には電流が流れない。バンドダイアグラムスキーム 5 0 0 は、B L G デバイスの全距離にわたる（すなわち、ソース領域 1 5 0 からチャネル領域 1 4 0 を通ってドレイン領域 1 6 0 までの）B L G の価電子帯 5 0 1 a と伝導帯 5 0 2 a のエネルギーレベルを示す。上部ゲート電極コンタクト 2 3 3 と下部ゲート電極コンタクト 2 2 1 には、それぞれ $V(TG) = -1V$ と $V(BG) = +1V$ が印加されている。

【 0 0 9 6 】

図 3 は、第 1 の態様の実施形態による、バイアスが印加された B L G 半導体デバイス（上）と、オン状態の B L G T F E T についての対応するバンドダイアグラム（下）とを概略的に示す。デバイスがオン状態のとき、ソース領域 1 5 0 からチャネル領域 1 4 0 を通ってドレイン領域 1 6 0 まで電流が流れる。バンドダイアグラムスキーム 5 0 0 は、B L G デバイスの全距離にわたる（すなわち、ソース領域 1 5 0 からチャネル領域 1 4 0 を通ってドレイン領域 1 6 0 までの）B L G の価電子帯 5 0 1 と伝導帯 5 0 2 のエネルギーレベルを示す。オン状態で、上部ゲート電極コンタクト 2 3 3 には、正の供給電圧 V_{dd} により追加的にバイアスが印加される。したがって、 $V(TG)$ は、オフ状態での $V(TG)$ と比べて 0 に近づく。下部ゲート電極 1 2 1 には、上部ゲート電極 1 3 3 に対して逆符号の、正のバイアスが印加される。好ましくは、下部ゲート電極 1 2 1 には、オフ状態で用いられる電圧（ $V(BG) > 0V$ ）と同じバイアスが印加される。追加の供給電圧 V_{dd} により、チャネル領域 1 4 0 における伝導帯と価電子帯（I I）が低下し、バンドギャップ（5 0 1 a から 5 0 1 b へのシフト、5 0 2 a から 5 0 2 b へのシフトを参照）が形成され、これにより、点線矢印で示すようにソースからドレインへ電流が流れる。追加の供給電圧 V_{dd} を印加する場合、ソース領域とドレイン領域では、伝導帯と価電子帯が不変である。言い換えると、オフ状態とオン状態とで、ソース領域とドレイン領域での価電子帯と伝導帯が同じである。エネルギーバンドのシフトが生じ、これにより B L G にバンドギャップが形成されると共にバンド間トンネリングが生じるのは、両面から逆符号のバイアスが印加される領域においてのみである。

【 0 0 9 7 】

上部ゲート電極コンタクト 2 3 3 と下部ゲート電極コンタクト 2 2 1 にはそれぞれ、 $V_{tg} = -0.5V$ と $V_{bg} = +1V$ が印加される。この具体例では、n 型ソース領域と p 型ドレイン領域を備えた n 型 T F E T が電氣的に誘導される。

【 0 0 9 8 】

当業者であれば、印加する電圧の極性を逆にすることにより、p 型ソース領域と n 型ドレイン領域（p 型 M O S F E T）を誘導するバイアス印加スキームを容易に採用できる。

【 0 0 9 9 】

図 4 は、第 1 の態様の実施形態による B L G 半導体デバイスについての伝達特性を示す。ドレイン電流（ I_d ）は、下部ゲートバイアス V_{bg} を一定値（1 V）として、上部ゲート電極に印加される電圧 V_{tg} の関数としてプロットされている。デバイスは、厚さ 3

10

20

30

40

50

nmの誘電体層100b, 100cの間に埋め込まれている。上部ゲート電極133の長さ下部ゲート電極121の長さは80nmである。上部ゲート電極133と下部ゲート電極121は、水平方向のオーバーラップ距離Dが40nmとなるように、互いに相対的に変位している。ソース・ドレイン間電圧(V_{ds})が10mVの場合、デバイスのオン電流 I_{ON} は約10 μ A/ μ mである。 I_{ON}/I_{OFF} 比は10⁴よりも大きく、サブスレッショルドスロープSSは、SSの理論値60mV/decよりも小さい。

【0100】

図5から図8は、ゲート電極が互いに隔てて配置されたトリプルゲート二層グラフェンTFETに関するところ、これらの図について以下で詳細に説明する。

【0101】

図5は、第3の態様によるBLGデバイスを概略的に示す。BLGデバイスは、変位した複数のゲート電極を有するトリプルゲート二層グラフェン半導体デバイスである。BLGデバイス構造は、1つの下部ゲート電極121と2つの上部ゲート電極131, 132との間に挟まれた二層グラフェン103を備える。二層グラフェン103は、互いに隣接する第1グラフェン層101と第2グラフェン層102を有する。

【0102】

下部ゲート電極121はBLG103の下方に配置され、2つの上部ゲート電極131, 132は、BLGの上(下部ゲート電極121とは反対側)に配置される。下部ゲート電極121と上部ゲート電極131, 132は、それぞれ第1ゲート誘電体層111と第2ゲート誘電体層112により、BLGから分離している。下部ゲート電極121は、好ましくは下部誘電体層100b内に埋め込まれる。下部誘電体層100bの表面は、第2ゲート誘電体111に接触していると共に、下部ゲート電極121の表面と同一平面内にある。上部ゲート電極131, 132とBLGの第2グラフェン層102との間には、第2ゲート誘電体層112が存在する。下部ゲート電極121とBLGの第1グラフェン層101との間には、第1ゲート誘電体層111が存在する。第1ゲート誘電体層111および/または第2ゲート誘電体層112は、high-k誘電体材料、例えば HfO_2 、 ZrO_2 、 Al_2O_3 、 TiO_2 、 La_2O_3 、 $SrTiO_3$ 、 $LaAlO_3$ 、ケイ酸ハフニウム、チタン酸バリウムストロンチウム(ST)、チタン酸ジルコン酸鉛(PZT)、またはhigh-k有機誘電体材料を含んでもよい。下部ゲート電極121と上部ゲート電極131, 132は、それぞれ第1ゲート誘電体層111と第2ゲート誘電体層112を介して、BLGに(すなわち第1グラフェン層101と第2グラフェン層102に)容量結合されている。

【0103】

BLGデバイスは、3つのゲート電極(1つの下部ゲート電極121、および、2つの上部ゲート電極131, 132)を含む。上部ゲート電極131, 132は、互いに水平方向に距離D1を隔てて配置されている。距離D1は、リークの問題を避けるため、10nm以上の大きさであることが好ましい。BLGデバイスは、好ましくはサブ100nmのデバイスである。BLGの長さは、好ましくは100nm未満である。

【0104】

下部ゲート電極121と上部ゲート電極131, 132の配置により、BLG半導体デバイスについて4つの領域(ソース領域150、バリア領域151、チャネル領域140およびドレイン領域160)を画定できる。ソース領域150はバリア領域151に隣接している。バリア領域151はチャネル領域140に隣接している。チャネル領域140はドレイン領域160に隣接している。ソース領域150はBLGの一部であって、下部ゲート電極121と第2上部ゲート電極132との間に挟まれた部分である。チャネル領域140はBLGの一部であって、下部ゲート電極121と第1上部ゲート電極131との間に挟まれた部分である。バリア領域151は、ソース領域150とチャネル領域140との間に挟まれており、BLGの一部であって下部電極121にのみ接触する(または容量結合されている)/下部電極121にのみオーバーラップしている部分である。したがって、バリア領域151の幅は、第1上部ゲート電極131と第2上部ゲート電極132

10

20

30

40

50

との間の間隔D1に等しい。ドレイン領域160はBLGの一部であって、下部電極121にのみ接触する(または容量結合されている)/部分である。上部ゲート電極131, 132には、上部ゲート電極コンタクト231, 232によりバイアスが印加されてもよい。下部ゲート電極121には、下部ゲート電極コンタクト221によりバイアスが印加されてもよい。上部ゲート電極と下部ゲート電極には別々にバイアスが印加されてもよい。

【0105】

図6は、第2の実施例による、バイアスが印加されたBLG半導体デバイス(上)と、オフ状態のBLGについての対応するバンドダイアグラム(下)とを概略的に示す。デバイスがオフ状態のとき、ソース領域150からチャネル領域140、そしてドレイン領域160までの間には電流が流れない。バンドダイアグラムスキーム500は、BLGデバイスの全距離にわたる(すなわち、ソース領域150、バリア領域151、チャネル領域140およびドレイン領域160にわたる)BLGの価電子帯501と伝導帯502のエネルギーレベルを示す。このバイアス印加のスキームにより、価電子帯501aと伝導帯502aが、電荷輸送方向(すなわち長手方向)に沿って、(I)ソース領域150を画定するn型領域、(II)バリア領域151を画定するp型領域、(III)チャネル領域140を画定する真性領域、(IV)ドレイン領域160を画定するp型領域の4つの領域に分割される。下部ゲート電極112と上部ゲート電極131, 132にバイアスを印加することにより、化学的にドーピングされていないBLG103内に電氣的にドーピングされた領域を誘導できる。

【0106】

オフ状態で、下部ゲート電極121には第1極性のバイアス(例えば正のバイアス($V(BG) = +1.7V$))バイアスが印加される。第2上部ゲート電極132には、第1極性と逆符号のバイアス(例えば、下部ゲート電極121に印加されるバイアスと逆符号で絶対値が大きい電圧($V(TG2)1 = -2.3V$): $V(BG) > V(TG2)$)が印加される。また、第1上部ゲート電極131には、第1極性と逆符号のバイアスが印加されるところ、下部ゲート電極121に印加される電圧と逆符号で絶対値に近い電圧($V(TG1) = -1.52V$)が印加される。オフ状態で、キャリア333はチャネル領域を移動できない。ここで、当業者であれば、BLGにおいて逆のドーピング型、すなわちp型ソース領域、n型バリア領域、真性チャネル領域およびn型ドレイン領域が誘導されるように、電圧の符号を容易に変えることができることに留意すべきである。

【0107】

図7は、第3の態様の実施形態による、バイアスが印加されたBLG半導体デバイス(上)と、オン状態のBLGについての対応するバンドダイアグラムスキーム(下)とを概略的に示す。

【0108】

オン状態で、第1上部ゲート電極コンタクト131には、正の供給電圧Vddがバイアスとして追加的に印加される。したがって、第1上部ゲート電極コンタクト131に印加される電圧は、オフ状態で印加されるバイアスと比べて0に近づく。第2上部ゲート電極132と下部ゲート電極121には、オフ状態と同じバイアスが印加される。追加の供給電圧Vddにより、オン状態で伝導帯502aと価電子帯501aは伝導帯502bと価電子帯501bまで低下する。供給電圧Vddが大きいほど、領域140における伝導帯と価電子帯は低下することになる。

【0109】

オン状態における追加の供給電圧により、価電子帯501と伝導帯502が電荷輸送方向(長手方向)に沿って4つの方向に分割される。すなわち、(I)n型を維持するソース領域150、(II)p型を維持するバリア領域151、(III)p型に変化したチャネル140、(IV)p型を維持するドレイン領域160である。第1ゲート電極に追加の供給電圧を印加した場合、オン状態の価電子帯501bと伝導帯502bは、オフ状態の価電子帯501aと伝導帯502aと比べて低下するので、オン状態では電荷333

10

20

30

40

50

がチャネル領域を流れることができる。したがって、第1上部ゲート電極131に追加の供給電圧 V_{dd} を印加することにより、真性チャネル領域を、バリア領域151およびドレイン領域160と同じドーブ型を有するドーブチャネル領域（印加電圧の極性に依じてp型またはn型）へと変えることができる。

【0110】

図8は、図7のBLG半導体デバイスについての伝達特性を示す。ドレイン電流(I_d)は、下部ゲートバイアス V_{bg} を一定値(1.7V)、第2上部ゲート電極132に印加される電圧(V_{tg2})を一定値(-2.3V)として、第1上部ゲート電極131に印加される電圧(V_{tg1})の関数としてプロットされている。下部ゲート電極121の長さは160nmであり、第1上部ゲート電極131および第2上部ゲート電極132の長さは40nmである。第1上部ゲート電極131と第2上部ゲート電極132との間の距離は約40nmである。このデバイスにより、ソース-ドレイン間電圧 V_{ds} が10mVの場合、 $10\mu A/\mu m$ を超えるオン電流 I_{ON} が実現する。 I_{ON}/I_{OFF} 比は約 10^5 である。

10

【0111】

図9から図15は、第1の態様/第3の態様の実施形態による二層グラフェンデバイスを製造する方法における種々の工程を概略的に示す。

【0112】

第1の工程(図9)では、基板100を準備する。好ましくは、基板は、半導体層100aと、半導体層100aの上側に位置する下部誘電体層100bとを有する。基板は、例えばSi層の上側に位置する SiO_2 層を有していてもよい。

20

【0113】

次の工程(図10)では、下部誘電体層100b内にトレンチ1100aを設ける。このトレンチは、好ましくは、標準のパターニング技術とエッチング技術(例えばリソグラフィとエッチングの組み合わせ)を用いて形成される。トレンチ1100aとその寸法により、下部ゲート電極の寸法が規定される。BLGデバイス全体の寸法は、好ましくはサブ100nmである。

【0114】

次の工程(図11)では、導電性ゲート材料でトレンチ1100aを充填し、例えば下部ゲート電極121を設ける。導電性下部ゲート材料の堆積は、標準の金属堆積技術を用いて行ってもよい。導電性下部ゲート材料は、ポリSi、または、Ta₂N₅、TiNなどの金属であってもよい。

30

【0115】

次の工程(図12)では、下部ゲート電極と下部誘電体層100bの上に第1ゲート誘電体層111を設ける。第1ゲート誘電体層111は、好ましくはhigh-k材料を含むところ、原子層堆積(ALD)など当業者に既知の標準技術を用いて堆積させてもよい。

【0116】

その後(図13)、第1ゲート誘電体層111の上に二層グラフェン103を形成すると共に、二層グラフェン103の上に第2ゲート誘電体層112を形成する。例えば転写により二層グラフェン103を形成してもよい。当業者により、他の周知の二層グラフェン形成プロセスが用いられてもよい。第2ゲート誘電体層112は、好ましくはhigh-k材料を含むところ、原子層堆積(ALD)など当業者に既知の標準技術を用いて堆積させてもよい。

40

【0117】

その後(図14)、導電性上部ゲート材料を堆積させると共に金属材料をパターニングすることにより、上部ゲート電極133を形成する。さらに、ゲートコンタクト233, 221を設けてもよく、上部ゲート電極133の上に誘電体材料100cを設けてもよい(図15)。

【0118】

50

種々の下部ゲート電極および／または上部ゲート電極の配置に応じて、ＢＬＧデバイスについて種々の構成が可能である。当業者は、上記製造フローを種々の構成に対して容易に適用できる。当業者に既知の技術により、例えばパターニングされたゲート層を第２ゲート誘電体層１１２の上に堆積させることにより、２つの上部ゲート電極を設けてもよい。

【図１】

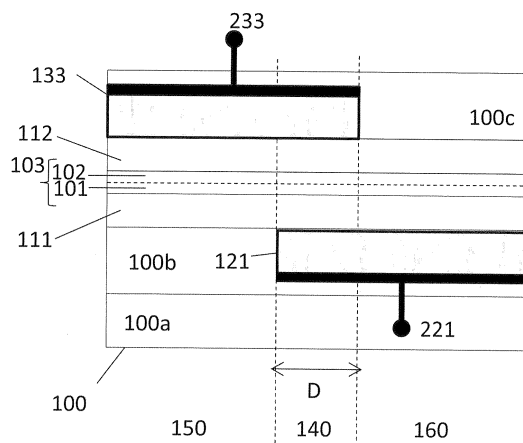


FIG. 1

【図２】

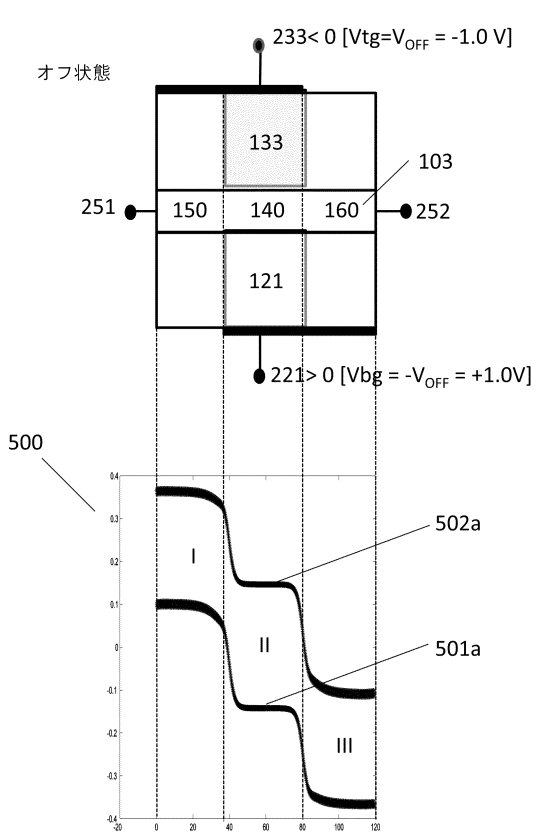


FIG. 2

【図 3】

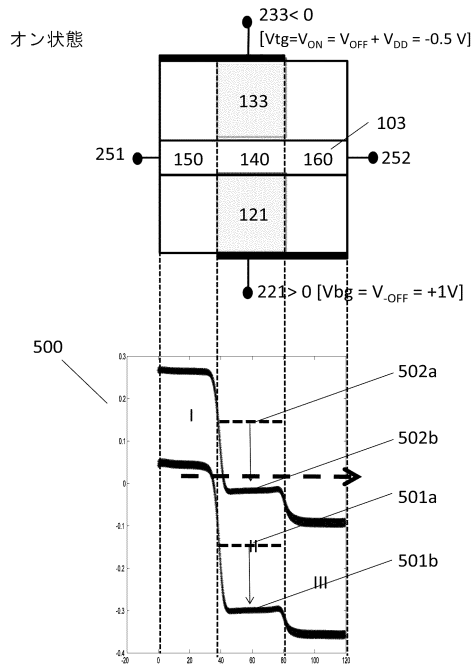


FIG. 3

【図 4】

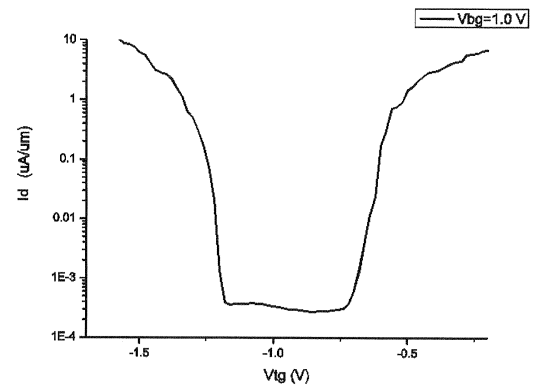


FIG. 4

【図 5】

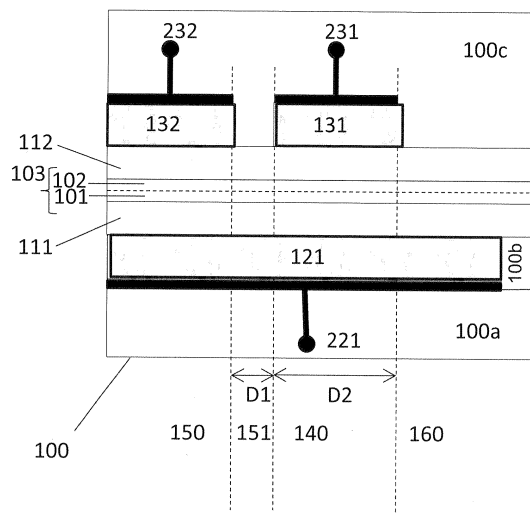


FIG. 5

【図 6】

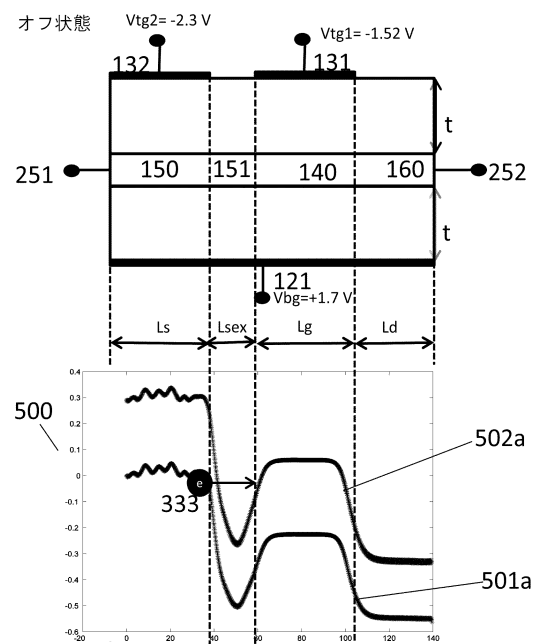


FIG. 6

【図 7】

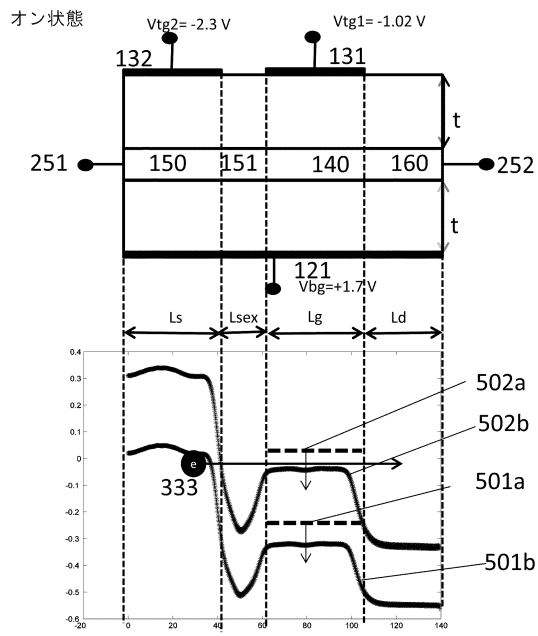


FIG. 7

【図 8】

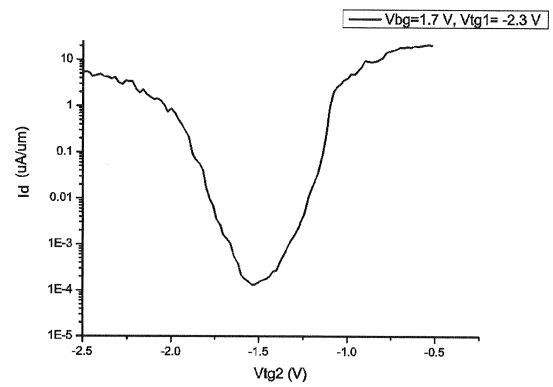


FIG. 8

【図 9】

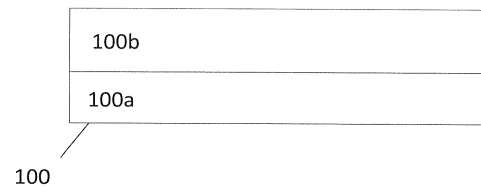


FIG. 9

【図 10】

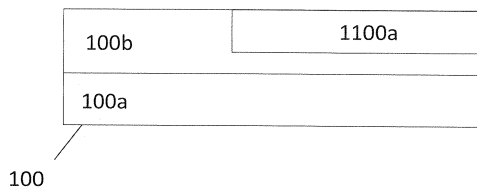


FIG. 10

【図 12】

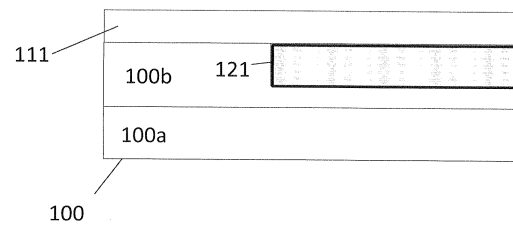


FIG. 12

【図 11】

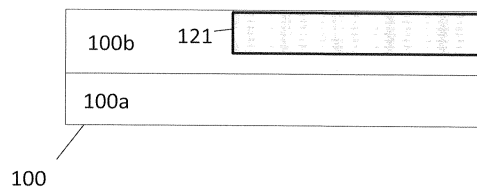


FIG. 11

【図 13】

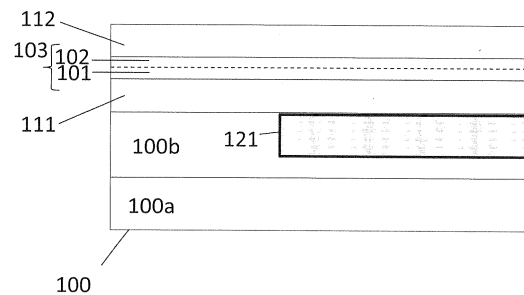


FIG. 13

【図 14】

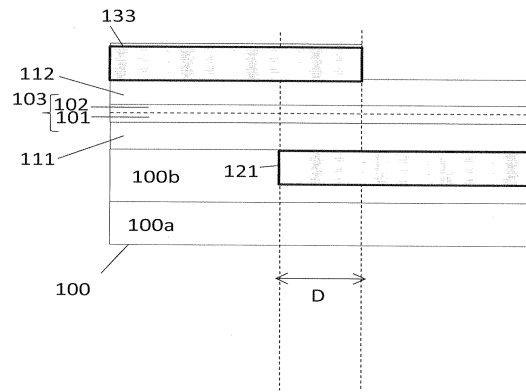


FIG. 14

【図 15】

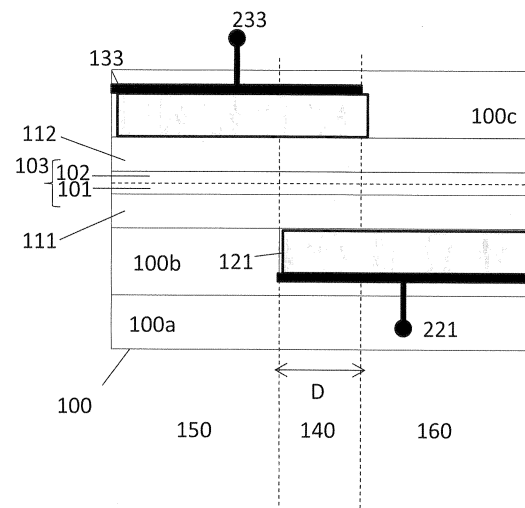


FIG. 15

フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/66 T
H 0 1 L 29/28 1 0 0 A
H 0 1 L 29/28 2 5 0 E

(74)代理人 100101454
弁理士 山田 卓二

(74)代理人 100081422
弁理士 田中 光雄

(74)代理人 100100479
弁理士 竹内 三喜夫

(72)発明者 アミールハサン・ノウルバクシュ
ベルギー 3 0 0 1 ルーヴァン、カベルドリーフ 7 5 番 アイメック内

(72)発明者 バルト・ソレ
ベルギー 3 0 0 1 ルーヴァン、カベルドリーフ 7 5 番 アイメック内

(72)発明者 マルク・ヘインス
ベルギー 3 0 0 1 ルーヴァン、カベルドリーフ 7 5 番 アイメック内

(72)発明者 タルン・クマール・アガルワル
ベルギー 3 0 0 1 ルーヴァン、カベルドリーフ 7 5 番 アイメック内

審査官 脇水 佳弘

(56)参考文献 特開 2 0 1 1 - 2 1 6 7 1 4 (J P , A)
特開 2 0 1 0 - 1 3 5 4 7 1 (J P , A)
国際公開第 2 0 1 3 / 0 1 4 5 4 7 (W O , A 1)
米国特許出願公開第 2 0 1 2 / 0 1 7 5 5 9 4 (U S , A 1)
特開 2 0 0 4 - 3 4 3 0 1 8 (J P , A)
特開平 0 5 - 0 9 0 5 8 6 (J P , A)
国際公開第 2 0 1 3 / 1 2 1 9 5 4 (W O , A 1)

(58)調査した分野(Int.Cl. , D B 名)
H 0 1 L 2 9 / 7 8 6
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 6 6
H 0 1 L 5 1 / 0 5
H 0 1 L 5 1 / 3 0