

# 公告本

|      |                  |
|------|------------------|
| 申請日期 | 85. 12. 11       |
| 案 號  | 85115320         |
| 類 別  | 1401C 23/50 Int. |

A4  
C4

315515

315515

(以上各欄由本局填註)

## 發明專利說明書

|            |               |                                                                              |
|------------|---------------|------------------------------------------------------------------------------|
| 一、發明<br>名稱 | 中 文           | 多階堆疊積體電路晶片組件                                                                 |
|            | 英 文           | "MULTI-LEVEL STACKED INTEGRATED-CIRCUIT-CHIP ASSEMBLY"                       |
| 二、發明<br>人  | 姓 名           | 1.伊諾 戴格尼<br>2.湯瑪士 迪森 都德拉<br>3.韓丙濬                                            |
|            | 國 籍           | 1.以色列 2.美國 3.韓國                                                              |
|            | 住、居所          | 1.美國新澤西州高地公園市克里夫蘭路10號<br>2.美國新澤西州成德市學校路30號<br>3.韓國漢城孫伯-高區班吉-多路奧林匹克公寓125-502號 |
| 三、申請人      | 姓 名<br>(名稱)   | 美商朗訊科技公司                                                                     |
|            | 國 籍           | 美國                                                                           |
|            | 住、居所<br>(事務所) | 美國新澤西州摩里山丘市山脈大道600號                                                          |
|            | 代 表 人<br>姓 名  | 麥克·R·格林                                                                      |

經濟部中央標準局員工消費合作社印製

裝

訂

線

315515

(由本局填寫)

|        |
|--------|
| 承辦人代碼： |
| 大類：    |
| IPC分類： |

A6

B6

本案已向：

美 國(地區) 申請專利，申請日期： 1995.12.28 案號： 08/580,220 ，☐有 ☐無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

## 五、發明說明(1)

發明領域

本發明係有關於積體電路組件，尤其是包含多個電互連接之半導體積體電路晶片的組件。

發明背景

如習知技術中所知者，基本上一半導體矽晶片的半導體積體電路晶片(下文簡稱為晶片)具有一對相對的平行主要表面，均包含電晶體及電晶體間金屬線的晶片之所有電路元件均整合在晶片的主要表面上。因此實際上及配置上的限制均加在晶片對晶片的互連接上。

在習知技術中，專技人員必需經由不同的配置及組件互連接多個晶片。例如，1989年2月22日發表的歐洲專利申請案0,304,263說明一三層組件。此組件除其他配件外尚包含一子晶片，其位在組件之頂層上。子晶片為位在其所定義之組件的中間層所定義之中間晶片所支撐。子晶片定向如一倒裝晶片(flip chip)，即其積體電路及線墊片位在其底主要表面上。此中間晶片為一母晶片所支撐，且位在為其所形成的底層組件上。焊接緩衝片(solder bump)電連接子晶片之底表面上的線墊片(I/O墊片或輸出入墊片)及位在中間晶片之頂表面上的線墊片。而且，線結合電連接位在母晶片之頂表面上的線墊片。

此組件的缺點包含來自子晶片且作為母晶片之輸入的電子信號必需為中間晶片，如此使得組件傳輸產生延遲，且浪費中間晶片可用之空間。另外，此組件必需中間晶片比子晶片寬(至少在某些側向區域)，此可能加入一些不需要

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(2)

的實際限制，如不可用性，或造成不方便，或中間晶片具有兩分開的小部份，此也可以產生不必需的限制或造成不方便。

除了積體電路晶片外，工作人員已使用線基體，如印刷電路板，印刷線路板，母板，金屬導架，陶瓷線路基體，及矽線路基體，以對晶片組件提供機械支撐，且提供連接晶片之導電線，用於經由線基體從外部對晶片進行電子存取。線基體可形成組件之一部份。但是，在習知技術的組件中，仍具有上述的缺點。

因此必需具有一種積體電路晶片，其可解決上述缺點中的一項或多項。

發明概述

本發明經由提供包含多階堆疊積體電路晶片組件的組件，而解決上述一或多項缺點。交替的堆疊層包含對應的晶片及倒裝晶片。假設，奇數層(從堆疊的底部算起)包含晶片；而偶數層包含倒裝晶片。各晶片及倒裝晶片包含至少一位在其主要表面上的線墊片。至少一線結合電連接位在一層上之晶片的頂主要表面上的線墊片及位在另一層上之晶片的線墊片。具有為線結合連接之線墊片的晶片為至少一層垂直分開，該層包含至少一倒裝晶片。

除了晶片外，該線基體可架構一層。

最好，晶片的底表面為附在倒裝晶片之頂表面上的絕緣體所附著結合，該倒裝晶片位在與晶片相關的對應下一較低層中。最好，而且焊接緩衝片電連接位在倒裝晶片之底

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

### 五、發明說明(3)

表面上的線墊片與位在與倒裝晶片有關之下一層之頂表面上的晶片之線墊片。

在特定的實施例中，多階堆疊積體電路晶片組件包含：

- (A) 線基體或第一積體電路晶片；
- (a) 第二及第三積體電路晶片，第三晶片位在第二晶片上方，且第二晶片位在線基體或第一積體電路晶片上方；
- (b) 線結合直接電連接位在線墊片(其位在線基體之頂表面上)頂表面上的第一線墊片或第一晶片與位在第三晶片之頂表面的第三線墊片上。

在本文中，"直接電連接"指線結合非電接觸在線結合連接之(兩)線墊片間的任何介間上的任何線墊片。

最好，第二晶片的底表面具有至少一線墊片，其電連接至位在第一晶片之頂表面，或經由焊接緩衝片裝置線基體。最好而且附著層結合第三晶片的底表面至第二晶片的頂表面。

積體電路晶片，第二及第三晶片的主要表面(對應的積體電路位在其上)可具有相同的側向尺寸。此側向尺寸的相等性最好不只用於第二及第三晶片具有相同的側向尺寸下，而且用於在所需要的側向區之最小化上("最小足印")。另外，如果需要的話，這些晶片可厚度可相同。而且，在第二晶片上方的第三晶片數可大於1。而且由(1)線基體或第一晶片，(2)第二晶片，及(3)第三晶片所架構的組件數可大於3，各層均包含一或多個晶片或線基體。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(4)

### 圖式之簡要說明

圖1示本發明特定實施例之多階堆疊積體電路晶片組件的俯視(部份為截面)圖。

為了簡化起見，圖形並非原來尺寸。

### 詳細說明

現在請參考圖1，圖1示多階堆疊積體電路晶片組件100。此組件100包含一母板10，其支持晶片11，12，13，14，15，16，17，18，19，20及21。母板10。電接點陣列101，用於外部電存取。在母板10中之穿越洞口充填金屬插塞102或鍍銅(圖中回應顯示)，或均充填插塞102，且鍍銅，以提供從頂表面至母板10的電子近接。

晶片19，20，17，15，13及11為倒裝晶片，係因其底主要表面而非頂主要表面包含這些對應晶片的對應積體電路。晶片19，20，17，15，13及11具有線路(為清楚起見，圖中沒有顯示)，在位在對應的底表面。其他晶片21，18，16，14及12具有線路(為清楚起見，圖中沒有顯示)，及線墊片(為清楚起見圖中沒有顯示)位在在對應的頂主要表面。為了清楚起見，沒有將狀態線墊片均標號。

晶片19，20位在在同一層(頂表面之下)上，在晶片18，21之層間已定位，僅作為說明之用。晶片21，18，16，14及12之對應底表面由對應的附著結合層212，182，162，142，122附在對應晶片20，17，15，13及11頂表面。基本上附著結合層212，182，162，142及122電絕緣，且具有更複雜的結構以釋放應力，可參見美國專利申請案案號

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(5)

5,473,512, 申請案名為 "Electronic Device Package Enclosed by a Pliant Medium Laterally Confined by a Plastic Rim Member", 申請日期為 1995 年 11 月 4 日 (T. D. Duddear 16-6-6-21)。

焊接緩衝片 191 陣列及焊接緩衝片 201 陣列中至少某些應用在晶片 18 之頂表面的線墊片, 直接電連接位在晶片 19, 20 之對應底表面上至少某些線墊片。同樣地, 焊接緩衝片 171 陣列應用晶片 16 之頂表面上的至少某些線墊片電連接位在晶片 17 之底表面上至少某些線墊片。同樣地, 電連接焊接緩衝片 151 焊接緩衝片 131 及焊接緩衝片 111 的陣列電連接分別位在晶片 14 的頂表面、晶片 12 及母板 10 中的線墊片。

線結合 211 應用位在晶片 18 之頂表面上的線墊片 318 電連接位在晶片 21 之頂表面上的線墊片 311, 而線結合 214 電連接在晶片 18 之頂表面上的另一線墊片 314 與位在晶片 16 之頂表面上的線墊片。線結合 216 電連接在晶片 16 之頂表面上的另一線墊片與晶片 14 之頂表面上的線墊片。線結合 212 電連接晶片 18 之頂表面上的線墊片與晶片 14 之頂表面上的另一線墊片 342。線結合 260 電連接晶片 16 之頂表面上的另一線墊片, 晶片 16 位在母板 10 的頂表面上。

線結合 220, 230 電連接位在晶片 12 之頂表面上分開的線墊片與位在母板 10 的頂表面上分開的線墊片。線結合 246 電連接晶片 16 之頂表面上的另一線墊片與位在晶片 14 頂表面上的另一線墊片。線結合 224 電連接晶片 14 頂表面上的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(6)

線墊片與晶片12頂表面上的線墊片。

各線結合至少跳一層，且一般可跳過任何奇數層數。

雖然本發明可參考特定實施例，但可執行不同的實施例而不偏離本發明的範圍。假設，母板10可由線基體代替，而不使用母板，或由積體電路晶片代替。層數可減少至三層，而至少一線結合應用在底層(即母板，或其他線基體，或另一晶片)之頂表面上的線墊片電連接頂表面(即頂晶片)之頂表面上的線墊片，最好在(倒裝晶片)中間層及頂表面底層的底表面間維持一層焊接緩衝片。

而且，母板10可為另一晶片(圖中沒有顯示)，為了方便說明起見比如說以110標示，其至少一部份比晶片11之上部位寬。在此例子中，最好線基體的側向尺寸比晶片110的側向尺寸寬，如在晶片110下方的金屬導引畫面(圖中沒有顯示)；且最好晶片110的底表面具有焊接緩衝片，此焊接緩衝片焊在線基體的頂表面上。而且，而此例子中，最好晶片110的頂表面具有至少一線結合，其應用位在線基體之頂表面上的線墊片電連接在晶片110的頂表面上的線墊片。而且，而此例中，最好至少一線結合直接連接一位在晶片12頂表面上的線墊片與一位在晶片110下之線基體的頂表面上的線墊片。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 四、中文發明摘要(發明之名稱: 多階堆疊積體電路晶片組件)

一多階堆疊積體電路具有交互的晶片及倒裝晶片，及線結合，其互連接位在不同堆疊層上之晶片的線墊片(I/O墊片)上。另外，位在晶片及倒裝晶片間的焊接緩衝片其位在垂直相鄰層上，且互連接這些晶片的線墊片與這些倒裝晶片的線墊片。

## 英文發明摘要(發明之名稱: "MULTI-LEVEL STACKED INTEGRATED-CIRCUIT-CHIP ASSEMBLY")

A multi-level stack of integrated circuit has alternating chips and flip-chips, together with wirebonds that interconnect wiring pads (I/O pads) of the chips located on differing levels of the stack. In addition, solder bumps located between chips and flip-chips located in vertically adjacent levels interconnect the wiring pads of these chips with the wiring pads of these flip-chips.

## 六、申請專利範圍

1. 一種多階堆疊積體電路晶片組件，包含：
  - (a) 一第一裝置，包含一線基體或一第一積體電路晶片，該第一裝置的頂主要表面具有至少一第一線墊片；
  - (b) 第二及第三裝置，均包含一積體電路晶片或一線基體，第三裝置位在第二裝置的上方，且第二裝置位在第一裝置的上方，第二裝置的底主要表面具有積體電路及至少一第三線墊片；以及
  - (c) 一線結合，直接電連接該第三線墊片與第一線墊片。
2. 如申請專利範圍第1項之組件，其中該第三裝置的頂主要表面及該第二裝置的底主要表面均實際上具有相同的側向尺寸。
3. 如申請專利範圍第2項之組件，更包含一附著結合層，其結合該第三裝置的底主要表面與第二裝置的頂主要表面。
4. 如申請專利範圍第1項之組件，更包含一附著結合層，其結合該第三裝置的底主要表面與第二裝置的頂主要表面。
5. 如申請專利範圍第4項之組件，更包含一第一焊接緩衝片，直接連接第二線墊片與位在該第一裝置的頂表面上之第三線墊片。
6. 如申請專利範圍第1項之組件，更包含一第一焊接緩衝片，直接連接第二線墊片與位在該第一裝置的頂表面上之第三線墊片。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

7. 如申請專利範圍第6項之組件，更包含一第四及第五裝置，各裝置均包含一積體電路晶片或線基體，第五裝置在第四裝置上方，第四裝置在第三裝置上方，第四裝置包含至少一第四線墊片，其線墊片位在其底主要表面上，第五裝置包含至少一第五線墊片，此線墊片位在其頂主要表面上，
- (a) 第二線結合直接連接第五線墊片與位在第一裝置之頂表面上的線墊片。
8. 如申請專利範圍第1項之組件，更包含一第四及第五裝置，各裝置均包含一積體電路晶片或線基體，第五裝置在第四裝置上方，第四裝置在第三裝置上方，第四裝置包含至少一第四線墊片，其線墊片位在其頂主要表面上，
- (a) 第二線結合直接連接第五線墊片與位在第一裝置之頂表面上的線墊片。
9. 如申請專利範圍第8項之組件，更包含；
- (a) 一第一焊接緩衝片，直接連接第二線墊片與位在第一裝置之頂表面上的第三線墊片，及第二焊接緩衝片直接連接第四線墊片與位在第三裝置頂表面上的第七線墊片。
10. 如申請專利範圍第9項之組件，更包含一附著結合層，其結合第五裝置的底主要表面與第四裝置的頂主要表面。
11. 如申請專利範圍第10項之組件，其中第三裝置的頂主要

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

表面及第二裝置的底主要表面大致上具有相同的側向尺寸。

12. 如申請專利範圍第10項之組件，更包含一第二焊接緩衝片直接連接第四線墊片與位在第三裝置之頂表面上的第七線墊片。
13. 如申請專利範圍第9項之組件，更包含一第三線結合，其直接電連接位在第五電連接之頂表面上的第八線墊片及位在第三裝置之頂表面上的第九線墊片。
14. 如申請專利範圍第11項之組件，更包含第二附著結合層，其結合第五裝置的底主要表面及第四裝置的頂主要表面。
15. 如申請專利範圍第9項之組件，其中第四裝置的頂主要表面及第五裝置的底主要表面具有大致上相同的側向尺寸。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



一