(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0156615
(43) 공개일자 2024년10월30일

(51) 국제특허분류(Int. Cl.)
*C01B 32/194* (2017.01) *C01B 32/05* (2017.01)
*C01B 33/035* (2006.01) *H01M 10/0525* (2010.01)
*H01M 4/02* (2006.01) *H01M 4/36* (2006.01)
*H01M 4/38* (2006.01) *H01M 4/587* (2010.01)
*H01M 4/62* (2006.01)
(52) CPC특허분류
*C01B 32/194* (2017.08)
*C01B 32/05* (2017.08)
(21) 출원번호 10-2024-7031950
(22) 출원일자(국제) 2023년02월27일
심사청구일자 없음
(85) 번역문제출일자 2024년09월24일
(86) 국제출원번호 PCT/CA2023/050249
(87) 국제공개번호 WO 2023/159327
국제공개일자 2023년08월31일
(30) 우선권주장
63/314,103 2022년02월25일 미국(US)

(71) 출원인
**유니버셜 매터 아이엔씨.**
캐나다 온타리오 엘7알 1비6 벌링턴 레이크쇼어 로드 2372
(72) 발명자
**만체프스키 블라디미르**
미국 텍사스 78749 오스틴 알타 로마 드라이브 4806
(74) 대리인
**리앤목특허법인**

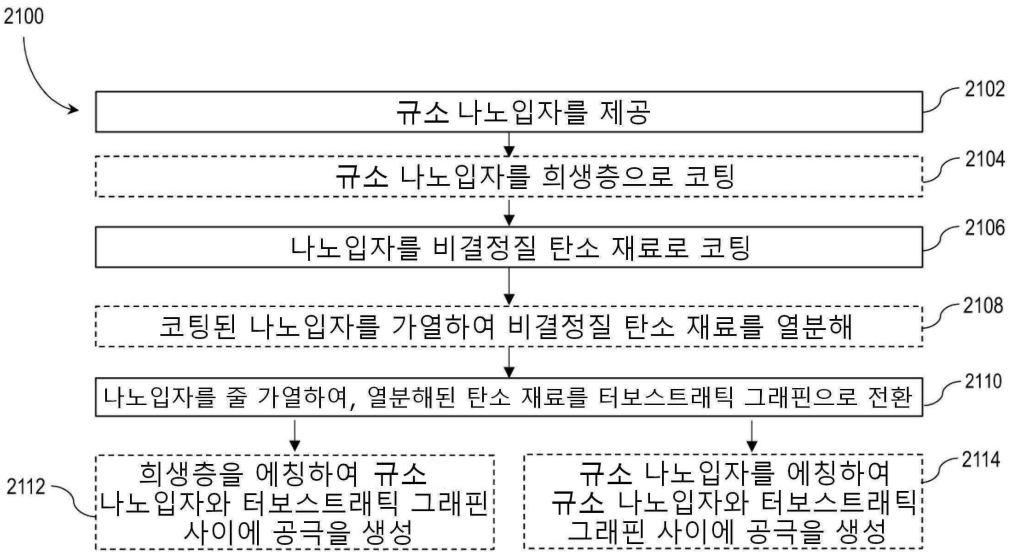
전체 청구항 수 : 총 72 항

(54) 발명의 명칭 **리튬 이온 배터리를 위한 그래핀 및 규소 기반 애노드**

## (57) 요 약

본 출원에서, 그래핀 및 규소를 포함하는 복합재료 및 상기 복합재료의 제조 방법이 설명되며, 상기 복합재료는, Li 이온 배터리를 위한 애노드를 포함하는, 에너지 저장 장치에 적용될 수 있다. 일부 구현예들에서, 상기 복합재료는 터보스트래틱 그래핀을 포함할 수 있으며, 상기 터보스트래틱 그래핀은 서로에 대해 오배향된 그래핀 층들을 갖는다.

## 대 표 도



(52) CPC특허분류
***C01B 33/035*** (2013.01)
***H01M 10/0525*** (2013.01)
***H01M 4/366*** (2022.01)
***H01M 4/386*** (2013.01)
***H01M 4/587*** (2013.01)
***H01M 4/625*** (2013.01)
*C01B 2204/22* (2013.01)
*C01P 2004/80* (2013.01)
*H01M 2004/027* (2013.01)

# 명 세 서

## 청구범위

### 청구항 1

규소로 적어도 부분적으로 코팅된 그래핀 나노입자를 포함하는 복합재료.

### 청구항 2

제 1 항에 있어서, 상기 그래핀 나노입자는 터보스트래틱 그래핀 나노입자(turbostratic graphene nanoparticle)이고, 상기 터보스트래틱 그래핀 나노입자는 서로에 대해 오배향된(misoriented) 그래핀 층들을 갖는, 복합재료.

### 청구항 3

제 1 항 또는 제 2 항에 있어서, 상기 그래핀 나노입자는 다면체 그래핀 나노입자(polyhedral graphene nanoparticle)인, 복합재료.

### 청구항 4

제 1 항 또는 제 2 항에 있어서, 상기 그래핀 나노입자는 구형 그래핀 나노입자인, 복합재료.

### 청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서, 상기 그래핀 나노입자는 다공성인, 복합재료.

### 청구항 6

제 5 항에 있어서, 상기 그래핀 나노입자의 기공들은 규소로 적어도 부분적으로 채워진, 복합재료.

### 청구항 7

제 1 항 내지 제 6 항 중 어느 한 항에 있어서, 상기 그래핀 나노입자는 중공 코어를 포함하는, 복합재료.

### 청구항 8

제 7 항에 있어서, 상기 중공 코어는 규소로 적어도 부분적으로 채워진, 복합재료.

### 청구항 9

제 1 항 내지 제 8 항 중 어느 한 항에 있어서, 상기 규소 코팅은 탄소로 코팅된, 복합재료.

### 청구항 10

제 1 항 내지 제 8 항 중 어느 한 항에 있어서, 상기 규소 코팅은 그래핀으로 코팅된, 복합재료.

### 청구항 11

제 9 항에 있어서, 상기 탄소 코팅은 전기전도성인, 복합재료.

### 청구항 12

제 1 항 내지 제 11 항 중 어느 한 항에 있어서, 상기 규소 코팅은 제1 규소 층, 및 이와 조성을 달리하는 제2 규소 층을 포함하는, 복합재료.

### 청구항 13

제 12 항에 있어서, 상기 제2 규소 층은 그래핀으로 추가적으로 코팅된, 복합재료.

### 청구항 14

제 1 항 내지 제 13 항 중 어느 한 항에 있어서, 상기 규소 코팅은 원소 규소를 포함하는, 복합재료.

**청구항 15**

제 1 항 내지 제 14 항 중 어느 한 항에 있어서, 상기 규소 코팅은 SiO, $SiO_x$, 또는 $SiO_2$를 포함하는, 복합재료.

**청구항 16**

제 1 항 내지 제 15 항 중 어느 한 항에 있어서, 상기 규소 코팅은 규소 카바이드를 포함하는, 복합재료.

**청구항 17**

제 1 항 내지 제 16 항 중 어느 한 항에 있어서, 상기 복합재료는 분지형 구조(branched structure)를 포함하는, 복합재료.

**청구항 18**

제 1 항 내지 제 17 항 중 어느 한 항에 있어서, 상기 그래핀 나노입자는 질소로 도핑된, 복합재료.

**청구항 19**

제 1 항 내지 제 18 항 중 어느 한 항에 있어서, 상기 복합재료는 배터리 애노드로서 적용되는, 복합재료.

**청구항 20**

제 19 항에 있어서, 상기 배터리는 리튬 이온 배터리인, 복합재료.

**청구항 21**

제 19 항에 있어서, 상기 배터리는 소듐 이온 배터리인, 복합재료.

**청구항 22**

규소 나노입자로서, 상기 규소 나노입자는 터보스트래틱 그래핀으로 적어도 부분적으로 코팅되어 있고, 상기 터보스트래틱 그래핀은 서로에 대해 오배향된 그래핀 층들을 갖는, 규소 나노입자를 포함하는, 복합재료.

**청구항 23**

제 22 항에 있어서, 상기 그래핀 코팅은 다공성인, 복합재료.

**청구항 24**

제 22 항 또는 제 23 항에 있어서, 상기 그래핀 코팅은 다면체 그래핀을 포함하는, 복합재료.

**청구항 25**

제 22 항 내지 제 24 항 중 어느 한 항에 있어서, 상기 규소 나노입자는 Si, SiO, $SiO_x$, $SiO_2$ 또는 SiC를 포함하는, 복합재료.

**청구항 26**

제 22 항 내지 제 25 항 중 어느 한 항에 있어서, 상기 규소 나노입자는, 제1 규소 층, 및 이와 조성을 달리하는 제2 규소 층을 포함하는, 복합재료.

**청구항 27**

제 22 항 내지 제 26 항 중 어느 한 항에 있어서, 상기 복합재료는 상기 규소 나노입자와 상기 그래핀 코팅 사이에 공극을 포함하는, 복합재료.

**청구항 28**

제 22 항 내지 제 27 항 중 어느 한 항에 있어서, 상기 규소 나노입자는 원소 규소를 포함하는, 복합재료.

**청구항 29**

제 22 항 내지 제 28 항 중 어느 한 항에 있어서, 상기 규소 나노입자는 5 nm 내지 50 마이크론의 직경을 갖는, 복합재료.

**청구항 30**

제 22 항 내지 제 29 항 중 어느 한 항에 있어서, 상기 복합재료는 배터리 애노드로서 적용되는, 복합재료.

**청구항 31**

제 30 항에 있어서, 상기 배터리는 리튬 이온 배터리인, 복합재료.

**청구항 32**

제 30 항에 있어서, 상기 배터리는 소듐 이온 배터리인, 복합재료.

**청구항 33**

재료로서, 상기 재료는 빈 쉘(empty shell) 터보스트래틱 그래핀 입자를 포함하고, 상기 터보스트래틱 그래핀 나노입자는 서로에 대해 오배향된 그래핀 층들을 갖는, 재료.

**청구항 34**

제 33 항에 있어서, 상기 그래핀 입자는 다공성인, 재료.

**청구항 35**

제 33 항 또는 제 34 항에 있어서, 상기 그래핀 쉘은 Li, Na, Sn, $CO_2$, 또는 $H_2$로 채워진, 재료.

**청구항 36**

제 33 항 내지 제 35 항 중 어느 한 항에 있어서, 상기 재료는 배터리 애노드로서 적용되는, 재료.

**청구항 37**

제 36 항에 있어서, 상기 배터리는 리튬 이온 배터리인, 재료.

**청구항 38**

제 36 항에 있어서, 상기 배터리는 소듐 이온 배터리인, 재료.

**청구항 39**

복합재료를 생산하는 방법으로서,

터보스트래틱 그래핀 나노입자를 제공하는 단계로서, 상기 터보스트래틱 그래핀 나노입자는 서로에 대해 오배향된 그래핀 층들을 갖는, 단계; 및

상기 그래핀 나노입자를 규소 재료로 코팅하는 단계를 포함하는 방법.

**청구항 40**

제 39 항에 있어서, 상기 그래핀 나노입자는 화학 기상 증착에 의해 코팅되는, 방법.

**청구항 41**

제 39 항 또는 제 40 항에 있어서, 상기 그래핀 나노입자는 다면체 그래핀 나노입자인, 방법.

**청구항 42**

제 39 항 또는 제 40 항에 있어서, 상기 그래핀 나노입자는 구형 그래핀 나노입자인, 방법.

**청구항 43**

제 39 항 내지 제 42 항 중 어느 한 항에 있어서, 상기 그래핀 나노입자는 다공성인, 방법.

**청구항 44**

제 43 항에 있어서, 상기 기공은 규소로 채워지는, 방법.

**청구항 45**

제 39 항 내지 제 44 항 중 어느 한 항에 있어서, 상기 그래핀 나노입자는 중공 코어를 포함하는, 방법.

**청구항 46**

제 45 항에 있어서, 상기 중공 코어는 규소로 적어도 부분적으로 채워지는, 방법.

**청구항 47**

제 39 항 내지 제 46 항 중 어느 한 항에 있어서, 상기 규소 코팅을 탄소로 코팅하는 단계를 더 포함하는 방법.

**청구항 48**

제 47 항에 있어서, 상기 탄소 코팅은 전기전도성인, 방법.

**청구항 49**

제 39 항 내지 제 48 항 중 어느 한 항에 있어서, 상기 규소 코팅은, 제1 규소 층, 및 이와 조성을 달리하는 제2 규소 층을 포함하는, 방법.

**청구항 50**

제 39 항 내지 제 48 항 중 어느 한 항에 있어서, 상기 규소 코팅은 원소 규소를 포함하는, 방법.

**청구항 51**

제 39 항 내지 제 50 항 중 어느 한 항에 있어서, 상기 규소 코팅은 SiO, $SiO_x$, 또는 $SiO_2$를 포함하는, 방법.

**청구항 52**

제 39 항 내지 제 51 항 중 어느 한 항에 있어서, 상기 규소 코팅은 규소 카바이드를 포함하는, 방법.

**청구항 53**

제 39 항 내지 제 52 항 중 어느 한 항에 있어서, 상기 재료를 분지형 구조로 형성하는 단계를 더 포함하는 방법.

**청구항 54**

제 39 항 내지 제 53 항 중 어느 한 항에 있어서, 상기 그래핀 나노입자는 질소로 도핑되는, 방법.

**청구항 55**

복합재료를 생산하는 방법으로서,

규소 나노입자를 제공하는 단계;

상기 규소 나노입자를 탄소 재료로 코팅하는 단계; 및

상기 코팅된 규소 나노입자를 줄 가열(joule heating)하여 상기 탄소 코팅을 그래핀으로 전환시키는 단계를 포함하는 방법.

**청구항 56**

제 55 항에 있어서, 상기 규소 나노입자를 탄소 재료로 코팅하는 것은 열 가스 분해를 통한 직접 탄소 코팅을

포함하는, 방법.

**청구항 57**

제 56 항에 있어서, 상기 직접 탄소 코팅은 질소 도핑된 탄소를 포함하는, 방법.

**청구항 58**

제 56 항에 있어서, 상기 직접 탄소 코팅은 요소, 멜라민, 글루코사민, 시안아미드, 아미노산, 단백질, 또는 키틴을 포함하는, 방법.

**청구항 59**

제 55 항에 있어서, 상기 규소 나노입자를 탄소 재료로 코팅하는 것은 탄수화물의 수열 탄화를 통한 직접 탄소 코팅을 포함하는, 방법.

**청구항 60**

제 59 항에 있어서, 상기 탄수화물은 글루코스, 프룩토스, 수크로스, 또는 이들의 조합을 포함하는, 방법.

**청구항 61**

제 55 항에 있어서, 상기 탄소 재료는 카본 블랙을 포함하는, 방법.

**청구항 62**

제 55 항 내지 제 61 항 중 어느 한 항에 있어서, 상기 규소 나노입자는 원소 규소를 포함하는, 방법.

**청구항 63**

제 55 항 내지 제 62 항 중 어느 한 항에 있어서, 상기 규소 나노입자는 SiO, $SiO_x$, 또는 $SiO_2$를 포함하는, 방법.

**청구항 64**

제 55 항 내지 제 63 항 중 어느 한 항에 있어서, 상기 규소 나노입자 및 탄소 코팅은 90:10 내지 10:90의 질량비를 포함하는, 방법.

**청구항 65**

제 55 항 내지 제 64 항 중 어느 한 항에 있어서, 상기 그래핀 코팅은 다공성인, 방법.

**청구항 66**

제 55 항 내지 제 65 항 중 어느 한 항에 있어서, 상기 그래핀은 다면체 그래핀을 포함하는, 방법.

**청구항 67**

제 55 항 내지 제 66 항 중 어느 한 항에 있어서, 상기 복합재료는 상기 규소 나노입자와 그래핀 코팅 사이에 공극을 포함하는, 방법.

**청구항 68**

제 55 항 내지 제 67 항 중 어느 한 항에 있어서, 상기 규소 나노입자는 5 ㎚ 내지 50 마이크론의 직경을 갖는, 방법.

**청구항 69**

복합재료를 생산하는 방법으로서,

규소 나노입자를 제공하는 단계;

상기 규소 나노입자를 비결정질 탄소 재료로 코팅하는 단계;

코팅된 상기 규소 나노입자를 가열하여 상기 비결정질 탄소 재료를 열분해함으로써 상기 비결정질 탄소 재료의 전기전도도를 증가시키는 단계; 및

상기 규소 나노입자를 줄 가열하여 열분해된 상기 탄소 재료를 터보스트래틱 그래핀으로 전환시키는 단계로서, 상기 터보스트래틱 그래핀은 서로에 대해 오배향된 그래핀 층들을 갖는, 단계를 포함하는 방법.

**청구항 70**

제 69 항에 있어서,

상기 규소 나노입자를 상기 비결정질 탄소 재료로 코팅하기 전에 희생층으로 상기 규소 나노입자를 코팅하는 단계; 및

상기 줄 가열 공정 후에 상기 희생층을 에칭하여 상기 규소 나노입자와 상기 터보스트래틱 그래핀 사이에 공극을 생성시키는 단계를 더 포함하는 방법.

**청구항 71**

제 69 항에 있어서,

상기 줄 가열 공정 후에 상기 규소 나노입자를 에칭하여 상기 규소 나노입자와 상기 터보스트래틱 그래핀 사이에 공극을 생성시키는 단계를 더 포함하는 방법.

**청구항 72**

제 69 항에 있어서,

상기 줄 가열 공정 전에 상기 규소 나노입자를 에칭하여 상기 규소 나노입자와 열분해된 탄소 사이에 공극을 생성시키는 단계를 더 포함하는 방법.

## *발명의 설명*

### *기 술 분 야*

[0001] 하기의 내용은, 리튬 이온 배터리를 위한 애노드를 포함하는 에너지 저장 장치에 적용될 수 있는 그래핀 및 규소 기반 재료들로 이루어진 복합재료, 및 이러한 복합재료를 제조하기 위한 공정에 관한 것이다.

### *배 경 기 술*

[0002] Dhanabalan, 등의, 미국 특허 제11,174,167호는 2021년 11월 11일에 공개되었으며, "극히 낮은 Z를 포함하는 규소 탄소 복합재료"를 설명한다. 본 공개에서, 애노드 재료는 나노 다공성 탄소 스캐폴드로 만들어지며, 여기서 Si는 탄소 스캐폴드의 기공들 내에 증착된다. 다공성 탄소 스캐폴드의 단점은 그래핀 나노입자의 강도 및 전기 전도도, 및 그래핀 재료의 강도 및 전기 전도도가 부족하다는 것이다.

[0003] 2019년 10월 3일에 공개된, Yushin, 등의 미국 특허 제11,101,458호는 "내부 나노입자들을 갖춘 스캐폴딩 매트릭스"를 설명한다. 본 공개에서, 애노드 재료는 침착, 용액 침투, 증기 침투, 원자층 침착, 전기 도금을 통해 그 안에 활성 재료가 삽입된 다공성 전기전도성 스캐폴딩 매트릭스를 형성하여 제조된다. 또 다른 개시된 방법에서, 활성 나노입자를 탄소 형성을 위한 폴리머 전구체 내로 흡착시키고, 여기서 열처리를 통해 폴리머 전구체를 탄화시키고, 활성 나노입자, 탄소 및 나노기공을 포함하는 나노복합재료 쉘(nanocomposite shell)을 형성한다. 다공성 탄소 스캐폴드의 단점은 그래핀 재료의 강도 및 전기 전도도가 부족하다는 것이다. 활성 재료(예를 들어, Si)이 매립된 다공성 탄소 스캐폴드의 단점은 그래핀 재료의 강도 및 전기 전도도가 부족하다는 것이다.

[0004] 2014년 3월 18일에 공개된, Petrat, 등의 미국 특허 제8,673,502호는 "코팅된 탄소 입자를 생산하기 위한 방법 및 리튬 이온 배터리를 위한 애노드 재료에서의 코팅된 탄소 입자의 용도"를 설명한다. 이 개시에서, 그들은 흑연 입자 및 카본 블랙 위에 Si를 증착함으로써 만들어진 애노드 재료에 대해 권리를 주장한다. 1차 입자들은 바람직하게는 20 내지 60 nm의 평균 입자 직경을 갖는다. Si 코팅된 카본블랙의 단점은 그래핀 나노입자의 강도 및 전기 전도도가 부족하다는 것이다.

[0005] Li, Y. 등의, 『Growth of conformal graphene cages on micrometre-sized silicon particles as stable battery anodes, Nat Energy 1, 15029 (2016)』는, 그래핀으로 캡슐화된 규소 미립자를 개시한다. 이 구조의

단점은 Si 미립자 상에 침착되는 Ni 촉매층을 구현하는 데 비용이 많이 들고, 이어서, 침착되는 동안 불활성 가스를 지속적으로 흐르게 해야 하는 값비싼 오븐 침착 시스템을 사용하여 그래핀이 형성되기 전에, 긴(약 8시간) 탄화 공정이 필요하다는 것이다. 또한, 본 개시의 그래핀은 터보스트래틱 대신에 AB 적층되어(AB stacked) 있다. 또한, 본 개시의 도 2로부터(라만 2D 피크 및 TEM 이미지로부터) 분명히 명백한 바와 같이, 흑연화의 수준은 매우 낮아, 낮은 결정화 그래핀을 시사한다.

[0006] Sang Cheol Kim, 등의, 『Graphene coating on silicon anodes enabled by thermal surface modification for high-energy lithium-ion batteries, MRS BULLETIN ·VOLUME 47, 2022년 2월』은 그래핀 코팅된 미세 규소 입자들을 개시한다. 이 구조의 단점은 진공 챔버 및 증착 동안 흐르기 위한 공정 가스들의 지속적인 흐름이 필요한 값비싼 화학 기상 증착 공정이 필요하다는 것이다. 또한, 본 개시의 그래핀은 AB 스택이다. 또한, 본 개시의 도 1 및 도 4로부터(라만 2D 피크 및 TEM 이미지로부터) 명백한 바와 같이 흑연화 수준은 매우 낮다.

[0007] Son, I 등의, 『Silicon carbide-free graphene growth on silicon for lithium-ion battery with high volumetric energy density, Nat Commun 6, 7393(2015)』은 나노 규소 입자들 위의 그래핀 성장을 개시한다. 이 구조의 단점은 값비싼 화학 기상 증착 공정 및 메탄 공정 가스가 필요하다는 것이다. 또한, 이 개시의 그래핀은 AB 스택이다. 또한, 본 개시의 도 1 및 S1 및 S2로부터(TEM 이미지 및 XRD 분석으로부터) 명백한 바와 같이 흑연화의 수준은 매우 낮다.

[0008] 그래핀 시트와 Si 나노입자들을 혼합함으로써 Si 기반의 애노드를 만드는 통상적인 접근 방식(공 포맷으로 주름잡힌 그래핀 시트를 갖는 것을 포함함)은, 그래핀과 Si 나노입자들 사이에 전기적 연결성이 부족하다. 이러한 접근 방식의 또 다른 단점은, 그래핀 시트 내부의 Si의 느슨한 이동성으로 인해 리튬화/탈리튬화 과정 동안 Si 분쇄(Si pulverization)를 방지할 수 없을 것이라는 것이다. 이 접근 방식의 또 다른 단점은 그래핀 질량에 비해 Si 질량 적재량이 낮다는 것이다.

## *발명의 내용*

[0009] 본 명세서에는, 복합재료 및, 그래핀 및 규소를 포함하는 복합재료의 제조 방법이 설명되어 있으며, 이러한 재료는, Li이온 배터리의 애노드를 포함하는, 에너지 저장 장치에 적용될 수 있다. 일부 구현예들에서, 재료들은 터보스트래틱 그래핀을 포함할 수 있는데, 여기서 그래핀은 그래핀 층들 사이에 질서를 거의 갖지 않는다.

[0010] 본 명세서에서, 일 구현예에 따른 복합재료가 개시되며, 이 재료는 그래핀 나노입자를 포함하고, 그래핀 나노입자는 규소로 적어도 부분적으로 코팅되어 있다.

[0011] 일부 구현예들에 따르면, 그래핀 나노입자는 터보스트래틱 그래핀 나노입자이다.

[0012] 일부 구현예들에 따르면, 그래핀 나노입자는 다면체 그래핀 나노입자이다.

[0013] 일부 구현예들에 따르면, 그래핀 나노입자는 구형 그래핀 나노입자이다.

[0014] 일부 구현예들에 따르면, 그래핀 나노입자는 다공성이다.

[0015] 일부 구현예들에 따르면, 그래핀 나노입자의 기공들은 규소로 적어도 부분적으로 채워진다.

[0016] 일부 구현예들에 따르면, 그래핀 나노입자는 중공 코어를 포함한다.

[0017] 일부 구현예들에 따르면, 중공 코어는 규소로 적어도 부분적으로 채워진다.

[0018] 일부 구현예들에 따르면, 규소 코팅은 탄소로 코팅된다.

[0019] 일부 구현예들에 따르면, 규소 코팅은 그래핀으로 코팅된다.

[0020] 일부 구현예들에 따르면, 탄소 코팅은 전기전도성이다.

[0021] 일부 구현예들에 따르면, 규소 코팅은 제1 규소 층, 및 이와 조성을 달리하는 제2 규소 층을 포함한다.

[0022] 일부 구현예들에 따르면, 제2 규소 층은 그래핀으로 추가적으로 코팅된다.

[0023] 일부 구현예들에 따르면, 규소 코팅은 원소 규소를 포함한다.

[0024] 일부 구현예들에 따르면, 규소 코팅은 SiO, $SiO_x$ 또는 $SiO_2$를 포함한다.

[0025] 일부 구현예들에 따르면, 규소 코팅은 규소 카바이드를 포함한다.

[0026] 일부 구현예들에 따르면, 복합재료는 분지형 구조(branched structure)를 포함한다.

[0027] 일부 구현예들에 따르면, 그래핀 나노입자는 질소로 도핑된다.

[0028] 일부 구현예들에 따르면, 복합재료는 배터리의 애노드로서 적용된다.

[0029] 일부 구현예들에 따르면, 배터리는 리튬 이온 배터리이다.

[0030] 일부 구현예들에 따르면, 배터리는 소듐 이온 배터리이다.

[0031] 본 명세서에서는 일 구현예에 따른 복합재료를 설명하는데, 복합재료는 규소 나노입자를 포함하고, 이 규소 나노입자는 터보스트래틱 그래핀으로 적어도 부분적으로 코팅되어 있다.

[0032] 일부 구현예들에 따르면, 그래핀 코팅은 다공성이다.

[0033] 일부 구현예들에 따르면, 그래핀 코팅은 다면체 그래핀을 포함한다.

[0034] 일부 구현예들에 따르면, 규소 나노입자는 Si, SiO, $SiO_x$, $SiO_2$ 또는 SiC를 포함한다.

[0035] 일부 구현예들에 따르면, 규소 나노입자는, 제1 규소 층, 및 이와 조성을 달리하는 제2 규소 층을 포함한다.

[0036] 일부 구현예들에 따르면, 복합 재료는 규소 나노입자와 그래핀 코팅 사이에 공극을 포함한다.

[0037] 일부 구현예들에 따르면, 규소 나노입자는 원소 규소를 포함한다.

[0038] 일부 구현예들에 따르면, 규소 나노입자는 5㎚ 내지 50 마이크론의 직경을 갖는다.

[0039] 일부 구현예들에 따르면, 복합재료는 배터리 애노드로서 적용된다.

[0040] 일부 구현예들에 따르면, 배터리는 리튬 이온 배터리이다.

[0041] 일부 구현예들에 따르면, 배터리는 소듐 이온 배터리이다.

[0042] 본 명세서는 일 구현예에 따른 재료가 설명되며, 복합재료는 빈 쉘 터보스트래틱 그래핀 입자를 포함한다.

[0043] 일부 구현예들에 따르면, 그래핀 입자들은 다공성이다.

[0044] 일부 구현예들에 따르면, 그래핀 쉘은 Li, Na, Sn, $CO_2$ 또는 $H_2$로 채워진다.

[0045] 일부 구현예들에 따르면, 복합재료는 화학 배터리 애노드로서 적용된다.

[0046] 일부 구현예들에 따르면, 배터리는 리튬 이온 배터리이다.

[0047] 일부 구현예들에 따르면, 배터리는 소듐 이온 배터리이다.

[0048] 본 명세서는 일 구현예에 따른 복합 재료를 제조하는 방법이 설명되며, 본 방법은 터보스트래틱 그래핀 나노입자를 제공하는 단계 및 그래핀 나노입자를 규소 재료로 코팅하는 단계를 포함한다.

[0049] 일부 구현예들에 따르면, 나노입자는 화학 기상 증착에 의해 코팅된다.

[0050] 일부 구현예들에 따르면, 그래핀 나노입자는 다면체 그래핀 나노입자이다.

[0051] 일부 구현예들에 따르면, 그래핀 나노입자는 구형 그래핀 나노입자이다.

[0052] 일부 구현예들에 따르면, 그래핀 나노입자는 다공성이다.

[0053] 일부 구현예들에 따르면, 기공은 규소로 채워진다.

[0054] 일부 구현예들에 따르면, 그래핀 나노입자는 중공 코어를 포함한다.

[0055] 일부 구현예들에 따르면, 중공 코어는 규소로 적어도 부분적으로 채워진다.

[0056] 일부 구현예들에 따르면, 본 방법은 규소 코팅을 탄소로 코팅하는 단계를 더 포함한다.

[0057] 일부 구현예들에 따르면, 탄소 코팅은 전기전도성이다.

[0058] 일부 구현예들에 따르면, 규소 코팅은, 제1 규소 층, 및 이와 조성을 달리하는 제2 규소 층을 포함한다.

[0059] 일부 구현예들에 따르면, 규소 코팅은 원소 규소를 포함한다.

[0060] 일부 구현예들에 따르면, 규소 코팅은 SiO, $SiO_x$, 또는 $SiO_2$를 포함한다.

[0061] 일부 구현예들에 따르면, 규소 코팅은 규소 카바이드를 포함한다.

[0062] 일부 구현예들에 따르면, 본 방법은 복합재료를 분지형 구조로 형성하는 단계를 더 포함한다.

[0063] 일부 구현예들에 따르면, 그래핀 나노입자는 질소로 도핑된다.

[0064] 본 명세서에서 일 구현예에 따른 복합재료를 제조하는 방법이 설명되며, 본 방법은 규소 나노입자를 제공하는 단계, 규소 나노입자를 탄소 재료로 코팅하는 단계, 및 코팅된 규소 나노입자를 줄 가열(joule heating)하여 탄소 코팅을 그래핀으로 전환시키는 단계를 포함한다.

[0065] 일부 구현예들에 따르면, 규소 나노입자를 탄소 재료로 코팅하는 것은 열가스 분해를 통한 직접 탄소 코팅을 포함한다.

[0066] 일부 구현예들에 따르면, 직접 탄소 코팅은 질소 도핑된 탄소를 포함한다.

[0067] 일부 구현예들에 따르면, 직접 탄소 코팅은 요소, 멜라민, 글루코사민, 시안 아미드, 아미노산, 단백질, 또는 키틴을 포함한다.

[0068] 일부 구현예들에 따르면, 규소 나노입자를 탄소 재료로 코팅하는 것은 탄수화물의 수열 탄화를 통한 직접 탄소 코팅을 포함한다.

[0069] 일부 구현예들에 따르면, 탄수화물은 글루코스, 프룩토스, 수크로스, 또는 이들의 조합을 포함한다.

[0070] 일부 구현예들에 따르면, 탄소 재료는 카본 블랙을 포함한다.

[0071] 일부 구현예들에 따르면, 규소 나노입자는 원소 규소를 포함한다.

[0072] 일부 구현예들에 따르면, 규소 나노입자는 SiO, $SiO_x$, 또는 $SiO_2$를 포함한다.

[0073] 일부 구현예들에 따르면, 규소 나노입자 및 탄소 코팅은 90:10 내지 10:90의 질량비를 포함한다.

[0074] 일부 구현예들에 따르면, 그래핀 코팅은 다공성이다.

[0075] 일부 구현예들에 따르면, 그래핀은 다면체 그래핀을 포함한다.

[0076] 일부 구현예들에 따르면, 복합재료는 규소 나노입자와 그래핀 코팅 사이에 공극을 포함한다.

[0077] 일부 구현예들에 따르면, 규소 나노입자는 5 nm 내지 50 마이크론의 직경을 갖는다.

[0078] 본 명세서에서 복합재료를 제조하는 방법을 설명하며, 본 방법은: 규소 나노입자를 제공하는 단계; 규소 나노입자를 비결정질 탄소 재료로 코팅하는 단계; 코팅된 규소 나노입자를 가열하여 비결정질 탄소 재료를 열분해하는 단계; 및 나노입자를 줄 가열하여 열분해된 탄소 재료를 터보스트래틱 그래핀으로 전환시키는 단계;를 포함한다.

[0079] 일부 구현예들에 따르면, 본 방법은 규소 나노입자를 비결정질 탄소 재료로 코팅하기 전에 희생층으로 규소 나노입자를 코팅하는 단계; 및 줄 가열 공정 후에 희생층을 에칭하여 규소 나노입자와 터보스트래틱 그래핀 사이에 공극을 생성시키는 단계;를 더 포함한다.

[0080] 일부 구현예들에 따르면, 본 방법은 규소 나노입자를 에칭하여 규소 나노입자와 열분해된 탄소 사이에 공극을 생성시키는 단계를 더 포함한다.

[0081] 일부 구현예들에 따르면, 본 방법은 줄 가열 공정 전에 규소 나노입자를 에칭하여 규소 나노입자와 터보스트래틱 그래핀 사이에 공극을 생성시키는 단계를 더 포함한다.

[0082] 일부 구현예들에 따르면, 본 방법은 줄 가열 공정 전에 규소 나노입자를 에칭하여 규소 나노입자와 열분해된 탄소 사이에 공극을 생성시키는 단계를 더 포함한다.

[0083] 본 명세서에서 설명한 방법들 및 재료들의 일부 구현예들에 따르면, 터보스트래틱 그래핀은 서로에 대해 오배향된 그래핀 층들을 포함한다.

[0084] 양태들 및 특징들은, 몇몇 예시적인 구현예들에 대한 다음의 설명의 검토한 후에, 당해 기술 분야의 통상의 기술자들에게 명백해질 것이다.

## 도면의 간단한 설명

[0085] 본 명세서에 포함된 도면은 본 명세서의 물품, 방법, 및 장치의 다양한 예들을 설명하기 위한 것이다. 도면에서:

도 1a는 일 구현예에 따른 코팅 전의 중공 다면체 그래핀 나노입자의 단면 개략도이다.

도 1b는 일 구현예에 따라 Si로 코팅한 후 도 1a의 중공 다면체 그래핀 나노입자의 단면 개략도이다.

도 1c는 일 구현예에 따른 Si로 코팅한 후 중실 다면체 그래핀 나노입자의 단면 개략도이다.

도 2a는 일 구현예에 따른 코팅 전의 중공 다면체 그래핀 나노입자의 단면 개략도이다.

도 2b는 일 구현예에 따른 Si로 코팅한 후 도 2a의 중공 다면체 그래핀 나노입자의 단면 개략도이다.

도 2c는 일 구현예에 따른 Si로 코팅한 후 중실 다면체 그래핀 나노입자의 단면 개략도이다.

도 3a는 일 구현예에 따른 충전(filling) 전의 중공 다면체 그래핀 나노입자의 단면 개략도이다.

도 3b는 일 구현예에 따른 Si로 충전 및 코팅한 후 도 3a의 중공 다면체 그래핀 나노입자의 단면 개략도이다.

도 4a는 일 구현예에 따른 코팅 전 다공성 중공 다면체 그래핀 나노입자의 단면 개략도이다.

도 4b는 일 구현예에 따른 Si로 코팅한 후 도 4a의 다공성 중공 다면체 그래핀 나노입자의 단면 개략도이다.

도 4c는 일 구현예에 따른 Si로 코팅한 후 중실 다공성 다면체 그래핀 나노입자의 단면 개략도이다.

도 5a는 일 구현예에 따른 코팅 전의 다면체 그래핀 분지형 구조의 단면 개략도이다.

도 5b는 일 구현예에 따른 Si로 코팅한 후 도 5a의 다면체 그래핀 분지형 구조의 단면 개략도이다.

도 6a는 일 구현예에 따른 코팅 전의 다면체 그래핀 분지형 구조의 매트릭스의 단면 개략도이다.

도 6b는 일 구현예에 따라 Si로 코팅한 후 도 6b의 다면체 그래핀 분지형 구조의 매트릭스의 단면 개략도이다.

도 7a는 일 구현예에 따른 내부 Si 층 및 외부 $SiO_x$(x<2), $SiO_2$ 층으로 코팅된 다면체 그래핀 나노입자의 단면 개략도이다.

도 7b는 일 구현예에 따른 내부 Si 층, 중간 $SiO_x$(x<2), $SiO_2$ 층, 및 외부 탄소 층으로 코팅된 다면체 그래핀 나노입자의 단면 개략도이다.

도 7c는 일 구현예에 따른 내부 Si, $SiO_x$(x<2), $SiO_2$ 층 및 외부 탄소 층으로 코팅된 다면체 그래핀 나노입자의 단면 개략도이다.

도 8a는 일 구현예에 따른 코팅 전의 Si, $SiO_x$(x<2), $SiO_2$ 나노입자의 단면 개략도이다.

도 8b는 일 구현예에 따른 카본 블랙 나노입자로 덮인 도 8a의 Si, $SiO_x$(x<2), $SiO_2$ 나노입자의 단면 개략도이다.

도 8c는 일 구현예에 따른 다면체 그래핀 나노입자로 코팅된 도 8a의 Si, $SiO_x$(x<2), $SiO_2$ 나노입자의 단면 개략도이다.

도 8d는 일 구현예에 따른 다면체 그래핀 나노입자로 코팅된 $SiO_x$(x<2), $SiO_2$ 쉘을 갖는 Si 나노입자 코어의 단면 개략도이다.

도 9a는 일 구현예에 따른 다면체 그래핀 나노입자로 코팅된 Si, $SiO_x$(x<2), $SiO_2$ 나노입자의 SEM 이미지이다.

도 9b는 일 구현예에 따른 다면체 그래핀 나노입자로 코팅된 Si, $SiO_x$(x<2), $SiO_2$ 나노입자들의 클러스터의 SEM 이미지이다.

도 10a는 일 구현예에 따른 도 9a의 샘플의 EDX 분석의 이미지이다.

도 10b는 일 구현예에 따른 도 9b의 샘플의 EDX 분석의 단면 개략도이다.

도 11a는 일 구현예에 따른 Si, $SiO_x$(x<2), $SiO_2$ 나노입자의 단면 개략도이다.

도 11b는 일 구현예에 따른 탄소로 코팅된 도 11a의 Si, $SiO_x$(x<2), $SiO_2$ 나노입자의 단면 개략도이다.

도 11c는 일 구현예에 따른 열분해된 탄소로 코팅된 도 11a의 Si, $SiO_x$(x<2), $SiO_2$ 나노입자의 단면 개략도이다.

도 11d는 일 구현예에 따른 터보스트래틱 그래핀으로 코팅된 도 11a의 Si, $SiO_x$(x<2), $SiO_2$ 나노입자의 단면 개략도이다.

도 11e는 일 구현예에 따른 그래핀으로 덮인 100 nm의 평균 직경을 갖는, 복수의 Si 나노입자의 TEM 이미지이다.

도 11f는 일 구현예에 따른 그래핀으로 덮인 개별 Si 나노입자의 44k 배율의 TEM 이미지이다.

도 11g는 일 구현예에 따른 그래핀으로 덮인 개별 Si 나노입자의 270k 배율의 TEM 이미지이다.

도 11h는 일 구현예에 따른 순수한 Si 나노입자 분말의 라만 특징(Raman signature)이다.

도 11i는 일 구현예에 따른 그래핀 나노입자 분말로 코팅된 Si의 라만 특징이다.

도 11j는 일 구현예에 따른 도 11i의 라만 특징의 확대된 도면이다.

도 11k, 11l, 11m 및 11n은 일 구현예에 따른 Si-그래핀 복합재료 구조의 실시예들에 대한 SEM 이미지 및 EDX 측정값이다.

도 11o는 일 구현예에 따른 Si-그래핀 복합재료 분말의 TGA 분석 플롯이다.

도 12a는 일 구현예에 따른 희생층 및 탄소 코팅으로 코팅된 Si, $SiO_x$(x<2), $SiO_2$ 나노입자의 단면 개략도이다.

도 12b는 일 구현예에 따른 희생층 및 열분해된 탄소로 코팅된 Si, $SiO_x$(x<2), $SiO_2$ 나노입자의 단면 개략도이다.

도 12c는 일 구현예에 따른 희생층 및 터보스트래틱 그래핀으로 코팅된 Si, $SiO_x$ (x<2), $SiO_2$ 나노입자의 단면 개략도이다.

도 12d는, 일 구현예에 따른, 터보스트래틱 그래핀으로 코팅되고, 그래핀과 나노입자(들) 사이에 공극을 갖는, Si, $SiO_x$ (x<2), $SiO_2$ 나노입자의 단면 개략도이다.

도 12e는 일 구현예에 따른 열분해된 탄소 코팅으로 코팅된 Si, $SiO_x$ (x<2), $SiO_2$ 나노입자의 단면 개략도이다.

도 12f는, 일 구현예에 따른, 탄소와 나노입자(들) 사이에 공극을 갖는, 도 12e의 열분해된 탄소 코팅으로 코팅된 Si, $SiO_x$ (x<2), $SiO_2$ 나노입자의 단면 개략도이다.

도 12g는, 일 구현예에 따른, 그래핀으로 코팅되고, 그래핀과 나노입자(들) 사이에 공극을 갖는. Si, $SiO_x$ (x<2), $SiO_2$ 나노입자의 단면 개략도이다.

도 12h는, 일 구현예에 따른, 1㎛ 평균 직경 Si 희생 코어로부터 만들어진, 실시예의 그래핀 쉘의 SEM 이미지이다.

도 12i는, 일 구현예에 따른, 실시예의 TG-쉘의 SEM 이미지 및 상응하는 EDX 맵이다.

도 12j는, 추가 구현예에 따른, 실시예의 TG-쉘의 SEM 이미지 및 상응하는 EDX 추적을 보여준다.

도 12k는, 일 구현예에 따른, 다공성 탄소 코팅으로 코팅된 Si, $SiO_x$ (x<2), $SiO_2$ 나노입자의 단면 개략도이다.

도 12l은, 일 구현예에 따른, 다공성 그래핀으로 코팅된 Si, $SiO_x$ (x<2), $SiO_2$ 나노입자의 단면 개략도이다.

도 13a는, 일 구현예에 따른, 탄소 입자들로 코팅된 Si, $SiO_x$ (x<2), $SiO_2$ 나노입자의 단면 개략도이다.

도 13b는, 일 구현예에 따른, 터보스트래틱 그래핀으로 코팅된 Si, $SiO_x$ (x<2), $SiO_2$ 나노입자의 단면 개략도이

다.

도 14a는, 일 구현예에 따른, 탄소 입자 및 카본 블랙 나노입자로 코팅된 Si, $SiO_x$ (x<2), $SiO_2$ 나노입자의 단면 개략도이다.

도 14b는, 일 구현예에 따른, 터보스트래틱 그래핀 및 다면체 그래핀 나노입자로 코팅된 Si, $SiO_x$ (x<2), $SiO_2$ 나노입자의 단면 개략도이다.

도 15a는, 일 구현예에 따른, 지배적인 중공 다면체 그래핀 나노입자의 TEM 이미지이다.

도 15b는, 일 구현예에 따른, 다면체 그래핀 클러스터의 고해상도 TEM 이미지이다.

도 15c는, 일 구현예에 따른, 다면체 그래핀의 초 고해상도 TEM 이미지이다.

도 15d는, 일 구현예에 따른, 지배적인 중실 다면체 그래핀 나노입자의 TEM 이미지이다.

도 16a는, 일 구현예에 따른, 플레이크형 그래핀의 고해상도 TEM 이미지이다.

도 16b는, 일 구현예에 따른, 플레이크형 그래핀의 초 고해상도 TEM 이미지이다.

도 17a는 본 발명의 Si-그래핀 복합재료를 활용할 수 있는 전형적인 리튬 이온 배터리 셀의 단면 개략도이다.

도 17b는, 일 구현예에 따른, 방전 작동 중인 리튬 이온 배터리의 단면 개략도이다.

도 17c는, 일 구현예에 따른, Li 이온 배터리 부품의 이미지이다.

도 18a는, 일 구현예에 따른, Si-그래핀 복합재료, Si-열분해된-탄소 복합재료, 및 순수 Si 재료의 사이클 수명 및 비용량 플롯(specific capacity plot)이다.

도 19는, 일 구현예에 따른, 규소 그래핀 복합재료를 생산하는 방법을 설명하는 흐름도이다.

도 20은, 또 다른 구현예에 따른, 규소 그래핀 복합재료를 생산하는 방법을 설명하는 흐름도이다.

도 21은, 또 다른 구현예에 따른, 규소 그래핀 복합재료를 생산하는 방법을 설명하는 흐름도이다.

## *발명을 실시하기 위한 구체적인 내용*

[0086] 각각의 청구된 구현예의 일례를 제공하기 위해 다양한 재료, 장치 또는 공정들이 아래에 설명될 것이다. 아래에 설명된 구현예는 임의의 청구된 구현예를 제한하지 않으며, 임의의 청구된 구현예는, 아래에 설명된 것과 다른 재료, 공정 또는 장치를 포함할 수 있다. 청구된 구현예들은 아래에 기술되는 임의의 하나의 장치 또는 공정의 모든 특징을 갖는 재료, 장치 또는 공정들에 한정되지 않거나, 또는 아래에 기술되는 복수의 재료 또는 장치, 또는 모든 재료 또는 장치에 공통적인 특징에 한정되지 않는다.

[0087] 서로 통신하는 여러 구성요소들을 갖는 일 구현예에 대한 설명은, 그러한 모든 구성요소들이 필요하다는 것을 의미하지는 않는다. 그와 반대로, 다양한 선택적(optional) 구성요소들이, 본 개시의 다양한 가능한 구현예들을 예시하기 위해 기술된다.

[0088] 또한, 공정 단계들, 방법 단계들, 알고리즘 또는 이와 유사한 것들이(본 개시 및/또는 청구항에서) 순차적인 순서로 설명될 수 있지만, 이러한 공정들, 방법들 및 알고리즘은 교대로 작동하도록 구성될 수 있다. 다시 말해, 기술될 수 있는 단계들의 임의의 순차 또는 순서는 반드시 그 단계를 그 순서대로 수행해야 한다는 요구 사항을 나타내지 않는다. 본 명세서에서 설명된 공정들의 단계들은 실용적인 임의의 순서로 수행될 수 있다. 또한, 일부 단계들은 동시에 수행될 수 있다.

[0089] 단일 장치 또는 물품이 본 명세서에서 설명되어 있는 경우, 두 개 이상의 장치/물품(협력 여부와 관계없이)가 단일 장치/물품 대신 사용될 수 있다는 것이 쉽게 분명해질 것이다. 마찬가지로, 본 명세서에서 두 개 이상의 장치 또는 물품이 설명되어 있는 경우(이들이 협력하는지 여부와 관계없이), 단일 장치/물품이 두 개 이상의 장치/물품 대신 사용될 수 있다는 것이 쉽게 분명해질 것이다.

[0090] 하기의 내용은 통상적으로 그래핀 및 규소 기반 재료에 관한 것이며, 더욱 특히 리튬 이온 배터리의 애노드에 또는 애노드로서 사용되는 그래핀 및 규소 기반 재료에 관한 것이다.

[0091] 플래시 줄 가열(flash joule heating)을 이용한 그래핀을 생산하기 위한 방법이 Nature 출판물(Luong, DX, Bets, K.V., Algozeeb, W.A., Stanford, M.G., Kittrell, C., Chen, W., Salvatierra, R.V., Ren, M.,

McHugh, E.A., Advincula, P.A. 및 Wang, Z., 2020)에 개시되었다. 줄 가열(joule heating)을 이용한 그래핀 제조의 추가 세부 사항은 2022년 9월 21일에 출원된 국제 출원 번호 CA2022051406US에 공개되어 있으며, 이는 2021년 9월 21일에 출원된 미국 특허출원 번호 63/246,424에 대한 우선권을 주장하며, 이것들은 인용에 의해 본 명세서에 통합된다. 본 개시에서는 그래핀-규소 복합재료를 만드는 도구들 중 하나로서 플래시 줄 가열 공정을 설명한다.

[0092] "그래핀"이라는 용어는 결정질 층상 sp2-결합 탄소 원소들로 구성된 재료를 말한다. 일 구현예에서, 그래핀 재료는 1 원자 두께의 평면 시트를 포함한다. 일 구현예에서, 그래핀 재료는 1 원자 두께의 평면 시트들의 둘 이상의 층들을 포함한다. 그래핀 재료는 벌집형 결정 격자 형태로 밀집된(densely packed) 시트를 포함할 수 있으며, 추가적으로, 내부 시트의 적어도 대부분에 걸쳐 탄소 원자들 및 방향족 결합들의 온전한 고리 구조체(intact ring structure)를 함유할 수 있다. 그래핀 재료는 탄소 원자들의 상당한 산화 개질(oxidation modification)을 결여할 수 있다. 그래핀은, OH, COOH 및 에폭사이드와 같은 산소 함유 기들의 함량이 낮다는 점에서, 그래핀 옥사이드로부터 구별가능하다.

[0093] 일 구현예에서, 그래핀은 2개 내지 수백 개에 이르는 쉘의 개수를 갖는 개별적인 그래핀 쉘들의 내포된 구조(nested structure)를 포함한다. 내포된 그래핀 쉘들은 중공 코어를 갖거나 중실(solid)일 수 있다. 내포된 그래핀 쉘들은 3D 다면체 구조(축구공과 같은)의 형상을 가질 수도 있고, 지배적으로 구형 형상일 수도 있다. 일부 구현예들에서, 그래핀은 지배적으로 구형 형상이며 직경은 수백 나노미터 내지 수십 마이크론이다.

[0094] "그래핀 단층(a graphene monolayer)"이라는 용어는 단일 층의 그래핀을 지칭한다. "매우 적은 층의 그래핀(a very few layer graphene)"이라는 용어는 1 내지 3개 층의 그래핀을 지칭한다. "적은 층의 그래핀(a few layer graphene)"이라는 용어는 2 내지 5 층의 그래핀을 지칭한다. "다층 그래핀(a multilayer graphene)"이라는 용어는 2 내지 10 층의 그래핀을 지칭한다.

[0095] "터보스트래틱 그래핀"(TG)이라는 용어는 그래핀 층들 사이에 질서를 거의 갖지 않는 그래핀을 말한다. 일 구현예에서, 터보스트래틱 그래핀은 그래핀 층들 사이에 무작위적 질서(random order)를 갖는다. 일 구현예에서, 터보스트래틱 그래핀은 서로에 대해 무작위로 꼬인 그래핀 시트들을 갖는다. 터보스트래틱 그래핀은 서로에 대해 오배향된(misoriented) 그래핀 층들을 갖는다. TG의 그래핀 층들은 A-B 스택이 아니다(A-B 스택은 Bernal-스택이라고도 함). 대신 터보스트래틱 그래핀에서 인접한 그래핀 층들은 서로에 대해 오배향된다. 그래핀 층들 사이에서 질서(order)를 설명하는 데 사용될 수 있는 다른 용어로는, 오배향된, 꼬인(twisted), 회전된(rotated), 회전 단층된(rotationally faulted) 및 약하게 결합된(weakly coupled), 등이 있다.

[0096] 터보스트래틱 그래핀의 회전 적층은 층간 결합(interlayer coupling)을 완화하고 평면간 간격을 늘리는 데 도움이 되므로, 비슷한 중량 기준으로 비교했을 때 경쟁하는 그래핀 구조체들에 비해 더 뛰어난 물리적 특성을 나타낸다. 인접한 층의 적층 방향의 미묘한 차이는 생성물 성능 속성의 중요한 차이로 표현된다. 터보스트래틱 그래핀으로 명백해진 중요한 성능 이점은, 다층 그래핀 구조가 적은 개별 그래핀 층들로 더 쉽게 분리되고 그래핀 층들이 다시 결합되지 않는 경향이 있다는 것이다. 그래핀의 터보스트래틱 특성은 라만 분광법, 주사 전자 현미경(SEM), 투과 전자 현미경(TEM), 선택 영역 전자 회절(SAED: selected area electron diffraction), 주사 투과 전자 현미경(STEM), 에너지 분산 X선 분광법(EDX), 원자힘 현미경(AFM: atomic force microscopy), 및 X선 회절(XRD) 분석을 통해 관찰 및 확인될 수 있다.

[0097] 줄 가열 공정의 결과로서 주로 생성되는 TG는, 두 가지 주요 모폴로지를 갖는데, 플레이크 모양의 터보스트래틱 그래핀 구조(FTG) 및 다면체 모양의 터보스트래틱 그래핀 구조(PG)이다.

[0098] 다면체 그래핀은 다면체 케이지를 형성하는 폐쇄된 형태의 그래핀으로서, 여기서 복수의 케이지들이 서로 내포되어 있다. 구형 케이지도 또한 가능하다. 일부 경우에 있어서, 다면체 그래핀 나노입자들은 공극(이들은 중공임)을 가질 수 있다. 일부 경우에 있어서, 다면체 그래핀 나노입자들은 중실이다(공극이 없다). 전형적인 PG 그래핀은 크기가 20 nm 내지 200 nm(직경)이고, 2개 내지 100개 초과의 층들의 두께를 갖는다. 다면체 그래핀 나노입자들은 복수의 PG 나노입자들로부터 만들어진 분지형 구조로 자체 조직화될 수 있으며, 수 nm 내지 수 마이크론에 이르는 길이를 갖는다.

[0099] "탄소 공급원"이라는 용어는, 통상적으로, 그래핀 재료, 바람직하게는 터보스트래틱 그래핀으로 전환될 수 있는 임의의 탄소 기반 재료를 지칭한다. 탄소 공급원은 분말 형태 또는 탄소 코팅을 포함하는 임의의 형태일 수 있다. 탄소 공급원에는 석유 코크스, 타이어 카본블랙, 카본블랙, 야금 코크스, 플라스틱 재(ash), 플라스틱 분말, 분쇄 커피, 무연탄, 석탄, 옥수수 전분, 소나무 껍질, 폴리에틸렌 마이크로왁스, 왁스, 셀룰로오스, 나프

텐 오일, 아스팔텐, 및 길소나이트를 포함될 수 있으나, 이에 국한되지 않는다.

[0100] "규소 나노입자"라는 용어는 주로 규소, 규소 모노옥사이드, 규소 디옥사이드, 또는 이들의 조합으로 만들어진 나노입자를 지칭한다. $SiO_x$ 기반 재료, SiC, 및 Si-O-C 기반 재료도 또한 포함된다. SiC 재료는, 리튬 저장 기능이 있는 것으로 알려져 있고 배터리 적용분야에 사용되는, 베타-SiC일 수 있다. 규소 기반 나노입자는 비결정질, 결정질 또는 이들의 조합일 수 있다. 규소 기반 나노입자는 구형이거나 또는 불규칙한 형상을 가질 수 있다. 규소 기반 나노입자는 막대 형상 또는 나노와이어 또는 2D 구조의 형상일 수 있다. 규소 기반 나노입자는 나노다공성, 메조다공성, 또는 미세다공성일 수 있다. Li 이온 배터리용 규소 기반 애노드와 함께 사용되는 전형적인 규소 기반 나노입자는 5 nm 내지 수 마이크론의 직경을 갖는다.

[0101] 도 1a를 참조하면, 일 구현예에 따른, 다면체 그래핀(PG) 나노입자(101)의 단면 개략도가 도시되어 있다. 다면체 그래핀 나노입자(101)는, 다면체 그래핀 나노입자의 단면이 다면체 형상이 되도록 구성된다. 다면체 그래핀 나노입자는, 그래핀, 특히 터보스트래틱 그래핀으로 이루어진다.

[0102] 다면체 그래핀(PG) 나노입자(101)는, 카본블랙 나노입자들을 다면체 터보스트래틱 그래핀 나노입자들(101)로 전환하는 줄 가열 공정을 통해 얻어질 수 있다. 다면체 그래핀은, 플래시 줄 가열 후에, 초기 CB 원료 모폴리지 및 재료 조성에 따라, 중공 나노입자(101) 또는 중실 나노입자(121)일 수 있다.

[0103] 도 1b를 참조하면, 일 구현예에 따른, 중공 PG-Si 기반 복합재료(110)의 단면 개략도가 도시되어 있다. 중공 PG-Si 복합재료(110)는 중공 다면체 그래핀 나노입자(111)를 포함한다. 중공 다면체 그래핀 나노입자들(111)은 도 1a의 다면체 그래핀 나노입자(101)일 수 있다.

[0104] 중공 다면체 그래핀 나노입자(111)는 공극(114)을 포함한다(중공이다). 공극이 중공 다면체 그래핀 나노입자(111) 내부에 있도록, 공극 (114)은 중공 다면체 그래핀 나노입자(111)보다 크기가 더 작다. 중공 다면체 그래핀 나노입자(111)는 규소 침착물(112)로 적어도 부분적으로 코팅되어, 중공 PG-Si 기반 복합재료(110)를 형성한다. 중공 PG-Si 기반 복합재료(110)는 총칭적으로(generically) PG-Si 기반 복합재료(110)로 지칭될 수 있다. PG-Si 기반 복합재료(110)는 Li 이온 배터리의 애노드와 함께 사용하기에 적합하다.

[0105] 규소 침착물(112)은 Si, $SiO_x$ (x<2) 또는 $SiO_2$일 수 있다. 규소 침착물(112)가 Si인 경우, PG-Si 기반 복합재료(110)는 PG-Si 복합재료로 지칭될 수 있다. 규소, $SiO_x$, $SiO_2$ 코팅을 두께, 결정화도, 순도를 조절하여 침착시키는 기술은, 규소, $SiO_x$, $SiO_2$ 화학 기상 증착(CVD) 기술 분야의 통상의 기술자에게 잘 알려져 있다. Si 침착의 하나의 실시예에서, 실란 가스는 공정 가스로서 사용되며, 다른 캐리어 가스 및 도핑 가스들도 추가될 수 있다. 다른 침착 방법에는 플라즈마 강화 화학 기상 증착(PECVD) 공정이 포함된다. 본 개시에서는 규소, $SiO_x$, $SiO_2$라는 단어를 서로 바꿔 사용할 수 있으며, 어떠한 제한 없이 사용할 수 있다.

[0106] 이제 도 1c를 참조하면, 일 구현예에 따른, 중실 PG-Si 기반 복합재료(120)의 단면 개략도가 도시되어 있다. 중실 PG-Si 기반 복합재료(120)는 중실 다면체 그래핀 나노입자(121)를 포함한다. 중실 다면체 그래핀 나노입자(121)는 도 1a의 다면체 그래핀 나노입자(101)일 수 있다. 중실 다면체 그래핀 나노입자(121)는 공극(114)을 포함하지 않는다. 중실 PG-Si 기반 복합재료(120)는, 다른 점에서는 도 1b의 중공 PG-Si 기반 복합재료(110)와 유사하게 구성된다. 중실 PG-Si 기반 복합재료(120)는 총칭적으로 PG-Si 기반 복합재료(110)로 지칭될 수 있다.

[0107] 도 2a를 참조하면, 구형 그래핀 나노입자(201)의 단면 개략도가 도시되어 있다. 구형 그래핀 나노입자(201)는 구로 이루어진다. 구형 그래핀 나노입자(201)는 다른 점에서는 다각형 그래핀 나노입자(101)와 유사하게 구성된다.

[0108] 이제 도 2b를 참조하면, 중공 SG-Si 기반 복합재료(210)의 단면 개략도가 도시되어 있다. 중공 SG-Si 기반 복합재료(210)는 중공 구형 그래핀 나노입자(211)를 포함한다. 중공 구형 그래핀 나노입자(211)는 도 2a의 구형 그래핀 나노입자(201)일 수 있다. 구형 중공 SG-Si 기반 복합재료(210)는 다른 점에서는 도 1b의 중공 PG-Si 기반 복합재료(110)와 유사하게 구성된다. 중공 SG-Si 기반 복합재료(210)는 총칭적으로 PG-Si 기반 복합재료(110)로 지칭될 수 있다.

[0109] 이제 도 2c를 참조하면, 일 구현예에 따른, 중실 SG-Si 기반 복합재료(220)의 단면 개략도가 도시되어 있다. 중실 SG-Si 기반 복합재료(220)는 중실 구형 그래핀 나노입자(221)를 포함한다. 구형 그래핀 나노입자(221)는 도 2a의 구형 그래핀 나노입자(201)일 수 있다. 중실 SG-Si 기반 복합재료(220)는 다른 점에서는 도 1c의 중실 PG-Si 기반 복합재료(120)와 유사하게 구성된다. 중실 SG-Si 기반 복합재료(220)는 총칭적으로 PG-Si 기반 복합재

료(110)로 지칭될 수 있다.

[0110] 복수의 PG-Si 기반 복합 나노입자들(110)로 이루어진 분말은, Li 이온 배터리의 애노드와 함께 사용하기에 적합하다. PG-Si 기반 복합재료들(110) 중 어느 하나, 또는 둘 이상의 PG-Si 기반 복합재료들(110)의 조합, 예를 들어, 중공 PG-Si 기반 복합재료(110), 중실 PG-Si 기반 복합재료(120), 중공 SG-Si 기반 복합재료(210), 및 중실 SG-Si 기반 복합재료(220)는 Li 이온 배터리의 애노드로서 사용될 수 있다. 본 개시의 도면들은 어떠한 제한 없이 다면체 그래핀 모폴로지의 구형 및 육각형 또는 중공 및 중실 예시를 서로 바꿔 사용할 수 있다.

[0111] PG-Si 기반 복합재료들(110)을 Li 이온 배터리의 애노드 재료로서 사용하는 한 가지 장점은, 흑연, 탄소 또는 카본블랙으로 만들어진 유사한 샘플에 비해 다면체 그래핀 나노입자의 기계적 강도가 높다는 것이다. 애노드의 리튬화 과정 동안, 규소 코팅이 200 내지 300% 팽창하므로, 규소 코팅이 파손되는 것을 방지하려면 높은 입자 강도가 필요하다. Li 이온 배터리의 애노드 재료로서 PG-Si 기반 복합재료(110)의 또 다른 장점은, 비결정질 탄소 또는 카본블랙의 전기 전도도에 비해 결정질 다면체 그래핀 나노입자의 높은 전기 전도도이다.

[0112] 도 3a를 참조하면, 일 구현예에 따른 중공 다면체 그래핀 나노입자(300)의 단면 개략도가 도시되어 있다. 중공 다면체 그래핀 나노입자(301)는 도 1a의 중공 다면체 그래핀 나노입자(101)와 유사하게 구성되어 있다.

[0113] 이제 도 3b를 참조하면, 추가 구현예에 따른, 충전된 PG-Si 기반 복합재료(310)의 단면 개략도가 도시되어 있다. 중공 다면체 그래핀 나노입자(301)는 규소 침착물(302)로 채워지고 코팅되어, PG-Si 기반 복합재료(310)를 형성한다. 일부 경우에, 중공 다면체 그래핀 나노입자(301)는 규소 침착물(302)로 부분적으로만 채워진다. 다른 경우에, 다면체 그래핀 나노입자(301)는 규소 침착물(302)로 부분적으로만 코팅된다. PG-Si 기반 복합재료(310)는 다른 점에서는 도 1b의 중공 PG-Si 기반 복합재료(110)와 유사하게 구성된다. 충전된 PG-Si 기반 복합재료(300)는 총칭적으로 PG-Si 기반 복합재료(110)로 지칭될 수 있다. 상호 교환 가능하게, $SiO_x$ (x<2) 또는 $SiO_2$ 충전된 PG-Si 기반 복합재료는 또한 총칭적으로 PG-Si 기반 복합재료(110)로 지칭될 수 있다.

[0114] 규소 침착을 위한 표준 및 수정된 화학 기상 증착 기술(예를 들어, 침착 속도 및 온도, 및 캐리어 가스들의 선택)이 규소 충전을 달성하기 위해 사용될 수 있다. PG 공극을 규소로 채우는 것을 가능하게 하는 한 가지 방법은, 선택적인(selective) 탄소 활성화의 도움으로 다면체 그래핀 나노입자들을 부분적으로 여는 것이다.

[0115] 도 4a를 참조하면, 일 구현예에 따른, 중공 다면체 그래핀 나노입자(401)의 단면 개략도가 도시되어 있다. 다공성 다면체 그래핀 나노입자(401)의 그래핀 쉘(403)은 기공들(405)을 포함한다. 기공들(405)은 그래핀 쉘(403)을 관통하지 않는 얕은 기공들일 수 있다. 기공들(405)은 추가적으로 그래핀 쉘(403)을 관통하며, 그래핀 나노입자(401)의 공극에 연결된 부분에 위치하는 깊은 기공들일 수 있다. 다공성 다면체 그래핀 나노입자(401)는 다른 점에서는 도 1a의 다면체 그래핀 나노입자(101)와 유사하게 구성되어 있다.

[0116] 이제 도면 4b 및 도면 4c를 참조하면, 추가적인 구현예들에 따른 다공성 및 코팅된 PG-Si 기반 복합재료들(410, 420)의 단면 개략도가 도시되어 있다. 다공성이고 코팅된 PG-Si 기반 복합재료(410, 420)는, 기공(405) 내에 및 다공성 다면체 그래핀 나노입자(401)의 표면 상에 침착된 규소 침착물(402)을 포함하여, 다공성이고 코팅된 PG-Si 기반 복합재료(400)를 형성한다. 규소 침착물(402)은 도 1b의 규소 침착물(112)과 유사하게 구성된다. 일부 경우에, 다공성 다면체 그래핀 나노입자(401)의 기공들(405)은 규소로 부분적으로만 채워진다. 다른 경우에, 그래핀 나노입자(401)의 외부 표면은 규소로 부분적으로만 코팅된다. 다공성 다면체 그래핀 나노입자(401)는 다공성이고 코팅된 PG-Si 기반 복합재료(410)에서처럼 중공일 수도 있고, 다공성이고 코팅된 PG-Si 기반 복합재료(420)에서처럼 중실 형태(421)일 수도 있다. 다공성이고 코팅된 PG-Si 기반 복합재료들(410, 420)은 총칭적으로 PG-Si 기반 복합재료(110)로 지칭된다.

[0117] 일 구현예에서, 다공성 그래핀 쉘(403)은 다면체 그래핀 나노입자(401)의 직접적인 화학적 또는 물리적 활성화 공정을 통해 얻어져서, 그래핀 상에 기공들(405)을 생성할 수 있다. 또 다른 구현예에서, 다공성 표면은 먼저 화학적 또는 물리적 활성화 공정의 도움으로 먼저 카본블랙 나노입자를 다공성으로 만듦으로써 얻을 질 수 있으며, 후속적으로 다공성 카본블랙 나노입자를 다공성 다면체 그래핀 나노입자(401)로 전환하는 줄 가열 공정이 이어진다.

[0118] 탄소 및 그래핀 재료에 기공도를 생성하기 위한 화학적 활성화는, 통상적으로 NaOH, KOH, $H_3PO_4$, $ZnCl_2$ 또는 $FeCl_3$와 같은 활성화제의 존재 하에 450 내지 900 ℃에서 수행되어 고체 탄소 또는 그래핀을 $CO_2$ 및 CO 가스로의 변환을 촉진하여, 나노기공들(405)을 생성한다. 또 다른 구현예에서, 다공성 표면은, 탄소 또는 그래핀 재료에 기공들(405)을 생성하는 것으로 알려진 물리적 활성화 공정을 통해 얻어질 수 있다. 물리적 활성화 공정은, 수

증기, $CO_2$ 또는 $O_2$와 같은 작용제를 사용하는 가스화 공정으로, 작용제에 따라 약 300 내지 900 ℃의 온도 범위에서 수행된다. 일부 경우에, 그래핀 표면은 먼저 산화되어, 활성화가 더 효율적으로 작동할 결함들을 만들어야 할 수도 있다. 다공성 탄소 및 그래핀 재료를 만들기 위한 다른 방법은, 수열 공정 반응에서 산화 액체(oxidizing liquids)를 사용하는 것이다. 다공성 탄소 및 그래핀 재료를 만드는 또 다른 방법은, 볼 밀링 기술과 같은, 기계적 밀링을 사용하는 것이다.

[0119] 다면체 그래핀을 제조하기 위한 편리한 원료는, 다양한 분지형 구조를 갖는 카본블랙이며, 이는 cc/100g 단위로 나타내는 오일 흡수가(OAN)로 측정되고, 크기는 $m^2/g$ 단위로 나타내는 표면적으로 측정된다. 전부는 아니더라도 대부분의 카본블랙은 구형의 모폴로지를 가지며, 직경은 20 nm 내지 300 nm이고, 전형적으로 덜 복잡한 것에서 더 복잡한 것으로 이어지는 분지형 구조를 형성하며, 길이는 단일 CB 나노입자 내지 수 마이크론 길이의 구조까지 늘어날 수 있다. CB 나노입자들 사이의 결합(bond)은 구조적이며, 많은 산업용 밀링 도구로 깨트리기 어렵다. 아래에서 더 자세히 설명되는 도 15b는 그러한 예 중 하나를 보여준다.

[0120] 도 5a를 참조하면, 일 구현예에 따른 분지형 구조(500)의 단면 개략도가 도시되어 있다. 분지형 구조의 다면체 그래핀 나노입자(502)는 구조적으로 서로 결합(joined)되어 있다. 다면체 그래핀 나노입자들(502)의 분지형 구조(500)를 얻는 한 가지 방법은, 분지형 카본블랙 나노입자 구조를, 출발 CB 재료와 유사한 형상 및 모폴로지를 갖는 분지형 다면체 터보스트래틱 그래핀 나노입자 구조로 전환하는, 줄 가열 공정일 수 있다. 다면체 그래핀 나노입자들(502)는 도 1a 내지 도 4a의 다면체 그래핀 나노입자들(101, 201, 301 및 401)일 수 있다. 분지형 구조(500)의 다면체 그래핀 나노입자들(502)은 단일 기계적 구조로서 작용한다. 분지형 구조(500)는 개별 나노입자들 사이에서 전기전도성이다. 설명을 위해 다면체는 구로 그려진다.

[0121] 도 5b를 참조하면, 일 구현예에 따른, 분지형 PG-Si 복합재료(504)의 단면 개략도가 도시되어 있다. 분지형 PG-Si 복합재료(504)는 분지형 구조(500)를 포함한다. 분지형 PG-Si 복합재료(504)는 추가적으로, 분지형 구조(500)의 외부 표면(503) 위에 침착된 규소 침착물(502)을 포함한다. 분지형 PG-Si 복합재료(504)의 구조는, 개별 탄소 또는 그래핀 나노입자들의 어셈블리보다 더 우수한 전기 전도도를 갖는 더 기계적으로 안정적인 애노드를 형성한다. 다면체 그래핀 나노입자들(502)은 중공이거나 중실일 수 있으며, 다공성이거나 그렇지 않을 수 있으며, Si 또는 $SiO_x$ (x<2) 또는 $SiO_2$ 또는 이들 중 어느 둘 이상의 조합으로 코팅될 수 있다.

[0122] 이제 도 6a를 참조하면, 일 구현예에 따른, 전기전도성 매트릭스(600)의 단면 개략도가 도시되어 있다. 전기전도성 매트릭스(600)는 복수의 분지형 구조들(500)을 포함한다. 전기전도성 매트릭스(600)의 복수의 분지형 구조들(500)은 단일 기계적 구조로서 작동한다. 전도성 매트릭스(600)는 복수의 분지형 구조들(500)의 혼합 및 얽힘(entanglement)에 의해 형성될 수 있다. 일부 경우에, 매트릭스를 압축하여, 분지형 구조들(500)의 더 우수한 얽힘을 형성할 수 있다. 일부 경우에, 금속 기반 또는 폴리머 기반 결합이 분지형 구조들(500)을 매트릭스(600) 내에 결합하는 데 적용될 수 있다.

[0123] 이제 도 6b를 참조하면, 일 구현예에 따른 PG-Si 복합재료 매트릭스(610)의 단면 개략도가 도시되어 있다. PG-Si 복합 매트릭스(610)는 전기전도성 매트릭스(600)의 표면(603) 위에 침착된 규소 침착물(602)을 포함한다. 분지형 구조들(500)의 무작위성으로 인해 매트릭스는 본질적으로 매크로 다공성이어서 이온들의 자유로운 흐름을 허용한다. PG-Si 복합 매트릭스(610)는 전자 또는 이온의 흐름을 방해하지 않고 배터리 애노드의 밀도를 더 증가시키기 위해 압축될 수 있다. 도 6에 나타난 나노입자들은 중공이거나 중실일 수 있으며, 다공성이거나 그렇지 않을 수 있으며, Si 또는 $SiO_x$ (x<2) 또는 $SiO_2$ 및 이들 중 어느 둘 이상의 조합으로 코팅될 수 있다.

[0124] 규소는 가장 높은 이론 용량(4200 mAh g-1)으로 인해 매우 유망한 대안적인 애노드 재료이다. 그러나, 리튬화/탈리튬화 공정 동안, 규소는 최대 300%까지 극심한 부피 변화를 겪으며, 이는 규소를 파괴하는 경향이 있다. 본 개시의 PG-Si 복합재료를 통합하면, 팽창 관련된 문제들이 줄어들거나 없어진다. 그러나, SiO 및 $SiO_2$와 같은 대안적인 규소 재료를 사용하는 것에는, 배터리의 애노드의 설계에서, SiO 및 $SiO_2$의 더 낮은 재료 팽창을 위해 또는 SiO 및 $SiO_2$를 갖는 원치 않는 고체 전해질 계면(SEI) 형성에 대한 우수한 저항성을 위해 Si의 높은 비용량을 절충하도록 하는 장점이 있다(Al Ja'farawy, M.S., Hikmah, D.N., Riyadi, U. 등의 A Review: The Development of SiO2/C Anode Materials for Lithium-Ion Batteries. J. Electron. Mater. 50, 6667-6687 (2021). https://doi.org/10.1007/s11664-021-09187-x). $SiO_2$는 Si(300%)에 비해 더 낮은 팽창 부피(100%) 및 높은 이론 용량(1965 mAh/g)을 갖는다. SiO는 150%의 팽창 부피 및 2400 mAh/g의 이론 용량을 갖는다. 따라서,

Si, SiO, $SiO_x$(x<2) 및 $SiO_2$를 통합한 복합재료 설계가 필요하다.

[0125] 이제 도 7a를 참조하면, 추가 구현예에 따른 PG-Si-$SiO_2$ 복합재료(700)가 도시되어 있다. PG-Si-$SiO_2$ 복합재료(700)는, Si(702)의 활성층으로 코팅된 PG 코어(701) 및 Si 활성층(702) 위의 $SiO_x$(x<2) 또는 $SiO_2$(704)의 보호층을 포함한다. $SiO_x$(x<2) 및 $SiO_2$ 층(704)의 형성은, Si 층(702)을 산화 또는 열처리(thermal annealing)시키거나, 또는 CVD 또는 PECVD와 같은, 별도의 $SiO_2$ 또는 $SiO_x$ 침착 공정을 통해, 달성될 수 있다.

[0126] 도 7b를 참조하면, 일 구현예에 따른, PG-Si-$SiO_2$-C 복합재료(710)의 단면 개략도가 도시되어 있다. PG-Si 복합재료 나노입자들의 잠재적인 문제 중 하나는, 두개의 PG-Si 복합재료 나노입자들 사이의 접촉이, 규소 대 규소 또는 $SiO_2$ 대 $SiO_2$ 사이에 있다는 것이다. 이 접촉은 나노입자들 사이의 전기 전도도를 감소시킨다. PGSi-$SiO_2$-C 복합재료(710)는 도 7a의 PG-Si-$SiO_2$ 복합재료(700)와 유사하게 구성되어 있다. PG-Si-$SiO_2$-C 복합재료(710)는 또한, 전도성 탄소 필름(712)을 포함한다. 전도성 탄소 필름(712)은 $SiO_x$(x<2) 또는 $SiO_2$의 보호층(704)의 외부 표면(713)을 적어도 부분적으로 코팅한다. 탄소 필름(712)은 PGSi-$SiO_2$ 나노입자들 사이의 전기 전도도를 유익하게 향상시킨다.

[0127] 전도성 탄소 필름은 아세틸렌 가스 가열을 통해 PG-Si-$SiO_2$ 복합재료(700) 상에 코팅되어, PG-Si-$SiO_2$-C 복합재료(710)를 형성할 수 있다. 탄소 공급원(탄소, 그래핀, PG, 탄소 나노튜브)을 사용하는 PG-Si-$SiO_2$ 복합재료(700)을 기계적으로 볼 밀링하는 것은, 전도성 탄소 코팅의 또다른 방법이다. 탄소 코팅의 다른 방법도 또한 가능하다.

[0128] 이제 도 7c를 참조하면, 일 구현예에 따른 PG-Si-C 복합재료(720)의 단면 개략도가 도시되어 있다. PG-Si 복합재료의 외측 규소 표면(723)은 전도성 탄소 필름(712)으로 적어도 부분적으로 코팅되어 PG-Si-C 복합재료(720)를 형성한다. 전도성 탄소 필름은 PG-Si 나노입자들 사이의 전기 전도도를 유익하게 향상시킨다. 전도성 탄소 필름(712)은 또한, 도 1a 내지 도 6b에 설명된 공정 및 복합재료로 구현될 수 있다.

[0129] 도 8a를 참조하면, 일 구현예에 따른, Si 나노입자(801)의 단면 개략도가 도시되어 있다. Si 나노입자(801)는 Si, $SiO_x$(x<2), 또는 $SiO_2$로 구성된다. 시작 Si 나노입자(801)는 5 nm 내지 수 마이크론 범위의 직경을 갖는다. 바람직하게는, Si 나노입자는 50 nm보다 크고 500 nm보다 작다. Si 나노입자(801)는 나노입자 및 미립자에서 발견되는 구형이거나 다른 불규칙한 형상일 수 있다.

[0130] 도 8b를 참조하면, 카본블랙(CB) 나노입자들(802)로 적어도 부분적으로 덮인 Si 나노입자(801)가 도시되어 있다. 바람직하게는, CB 나노입자들(802)의 직경은 Si 나노입자(801)의 직경보다 더 작다. CB 나노입자(802) 직경은 Si 나노입자(801) 직경보다 5배 내지 10배 더 작은 것이 더욱 바람직하다. 피복(covering)은, 볼 밀링 또는 블레이드/디스크 밀링과 같은, 건조 분말의 기계적 혼합을 통해 달성될 수 있다.

[0131] 이제 도 8b 및 8c를 참조하면, 일 구현예에 따른, Si-PG 복합재료(810)가 도시되어 있다. Si-PG 복합재료(810)는 다면체 그래핀 코팅(812)를 추가적으로 포함한다. 다면체 그래핀 코팅(812)은 Si 나노입자(801) 위에 있다. 다면체 그래핀 코팅(812)은 줄 가열 공정을 통해 달성된다.

[0132] 줄 가열 공정에는 Si와 CB의 벌크 분말 혼합물(예를 들어, 카본 블랙(CB) 나노입자들(802)로 덮인 Si 나노입자(801))의 줄 가열이 포함된다. 벌크 분말 혼합물에서, CB(802)의 일부는 Si 나노입자(801)을 덮고, 일부는 Si 나노입자(801) 근처에 있다. 플래시 줄 가열 공정 동안, CB(802) 및 Si 나노입자들(801) 혼합물은 2000 ℃를 초과하여 빠르게 가열된다. 이러한 가열에 의해, CB 나노입자들(802)은 다면체 그래핀 나노입자들(812)로 전환된다. 일부 PG(812)는 Si 나노입자(801)를 적어도 부분적으로 코팅하여, Si-PG 복합재료(810)를 생성한다. 다른 PG(812)는 혼합물에 부착되지 않은 채로 남아 있다. 부착되지 않은 PG(812)는 전기전도성 충전제로서 역할을 한다. 부착된 PG(812)의 비율은, Si(801)와 CB(802) 질량의 비율에 따라 달라진다. Si(801):CB(802) 질량비는 80:20 내지 20:80 사이인 것이 바람직하다. 이 구현예의 Si 코어(801)는 또한 SiO, $SiO_x$(x<2) 또는 $SiO_2$ 또는 이들 중 어느 둘 이상의 조합일 수 있다.

[0133] 이제 도 8d를 참조하면, 추가 구현예에 따른, Si-PG 복합재료(820)가 도시되어 있다. Si-PG 복합재료(820)의 Si 코어(821)는 Si 코어(801)와, SiO, $SiO_x$(x<2) 또는 $SiO_2$ 층(822)의 복합재료이다. 이러한 구성은 앞에서 설명된

SiO 및 $SiO_2$ 성질의 이점을 제공한다.

[0134] Si-PG 복합재료(820)를 Li 이온 배터리를 위한 애노드 재료로서 사용하는 것의 하나의 이점은, Si를 덮는 다면체 그래핀 쉘의 기계적 강도가 탄소 또는 카본 블랙으로부터 만들어진 유사한 쉘 커버링에 비해 높다는 것이다. 또 다른 이점은 그래핀의 전기전도도가 탄소 또는 카본 블랙에 비해 더 우수하다는 것이다. Si 나노입자가 그래핀 시트 위에 느슨하게 분산된 공지의 복합재료와 비교할 때, 본 개시된 Si-PG 복합재료(820)의 또 다른 이점은, Si 및 PG가 서로 결합되어 함께 팽창 및 수축할 수 있다는 것이다.

[0135] 도 9a를 참조하면, 일 구현예에 따른 $SiO_2$-복합재료(900)의 SEM 이미지가 도시되어 있다. $SiO_2$-복합재료(900)는 도 8c의 $SiO_2$-복합재료(810)의 예이다. $SiO_2$-복합재료(900)는 $SiO_2$-PG 복합재료의 단일 입자이다. 가려진 $SiO_2$ 나노입자(901)는 500 nm이었고, $SiO_2$ 나노입자(901)를 덮고 있는 PG(902)는 40 nm 내지 60 nm의 평균 직경을 가졌다.

[0136] 이제 도 9b를 참조하면, 클러스터 $SiO_2$-PG 복합재료(910)가 도시되어 있다. 가려진 $SiO_2$ 클러스터(903)는 여러 개의 $SiO_2$ 나노입자들(901)을 포함한다. $SiO_2$-PG 복합재료의 클러스터(910)는, 도 8b에서와 같이, 가려진 $SiO_2$ 나노입자들의 클러스터(903)를 CB로 코팅함으로써 얻어진다. $SiO_2$-PG 나노입자들의 클러스터(910)는, 도 8c에서와 같이, 줄 가열 공정에 의해 CB를 전환시킴으로써 추가적으로 얻어진다.

[0137] 이제 도 10a 및 10b를 참조하면, 각각 도 9a의 개별 $SiO_2$-PG 복합재료(900) 및 도 9b의 클러스터 $SiO_2$-PG 복합재료(910)에 대한 EDX 분석의 결과이다. EDX 결과는 Si, C 및 O의 존재를 보여주는데, 여기서, 근사적 원자량은 도 10a의 분석에서는 Si:C:O = 65:20:15이고, 도 10b의 분석에서는 Si:C:O = 80:15:5이며, 지배적인 원자 질량은 규소이다. 이 결과에 나타난 바와 같이, 줄 플래싱 공정(joule flashing process) 동안 일부 산소가 소모되면서, 줄 플래싱 공정 동안 일부 $SiO_2$가 Si 및 SiC로 전환되었다.

[0138] 이제 도 11a를 참조하면, 일 구현예에 따른 출발 Si 나노입자(1101)의 단면 개략도가 도시되어 있다. Si 나노입자(1101)는 도 8a의 Si 나노입자(801)일 수 있다. 이 구현예의 Si 나노입자(1101)는 직경이 10 내지 100 nm일 수 있거나, 또는 직경이 100 내지 1000 nm일 수 있거나, 또는 직경이 1 μm 내지 20 μm일 수 있다. 이 구현예의 규소 나노입자(1101)는 구형, 비정형 입자, 막대, 나노와이어, 또는 2D 구조체의 형상일 수 있다. 본 발명의 Si 나노입자(1101)는, 100 nm로부터 수 마이크론 크기까지 확장될 수 있는 분지형 구조를 갖는 분리된 입자, 또는 나노입자들의 조립체일 수 있다. Si 나노입자(1101)의 표면(1103)은 매끄럽거나, 나노다공성이거나, 또는 마이크로다공성일 수 있다.

[0139] 이제 도 11b를 참조하면, 탄소 코팅된 Si 나노입자(1110)의 단면 개략도가 도시되어 있다. Si 나노입자(1101)는, Si 나노입자(1101) 위의 탄소 층(1112)으로 코팅되어 있다. 탄소 침착의 방법에 따라, 탄소 층(1112)은 주로 비결정질이다. 비결정질 탄소는, 낮은 결정질 구조 및/또는 sp3 탄소의 높은 비율을 갖는 탄소를 지칭할 수 있다. 탄소 층(1112)은, 탄소를 그래핀으로 전환시킬 수 있는 후속 플래시 줄 가열 공정을 위한 공급원료의 역할을 할 것이다. 줄 가열 공정에 적합하도록 하기 위해, 비결정질 탄소 층(1112)은, 도 11c에 도시된 바와 같이, 전기전도도를 증가시키기 위해 추가적으로 처리될 수 있다. 그러나, 탄소 층(1112)이 충분한 전기전도성을 갖는다면, 그것은 이미 줄 가열에 적합할 수 있다.

[0140] 일 예에서, 코팅 공정 단계는 Si 나노입자(1101) 위에 탄소(1112)를 직접 형성함으로써 달성될 수 있다. Si 나노입자(1101) 상의 직접 탄소 코팅의 일 예는 튜브 오븐 또는 회전 오븐에서 아세틸렌 가스를 통한 것이다. 다른 탄화수소 또는 알코올로부터의 탄소의 열분해를 수반하는 다른 탄소 침착 공정도 적용가능하다. 직접 탄소 코팅의 또 다른 예는, 반응기 내에서 Si 나노입자(1101)의 존재하에서 수용액 중에서의 글루코스(또는, 수크로스 또는 프룩토스 또는 다른 탄수화물)의 수열 탄화를 사용하는 것이다. 전형적인 반응에서, 테프론으로 라이닝된 수열 반응기에서, 글루코스 5 g을, 4 wt% Si 나노입자를 갖는 물 100 mL에 용해시킨 후, 180 ℃에서 2 시간 동안 가열한다. 자유 액체를 제거하고, 슬러지를 여과하고, 분말을 건조하면, 탄소로 코팅된 Si 나노입자(1110)의 분말이 생성될 것이다.

[0141] 또 다른 예에서, 탄소 코팅(1112)은, Si 나노입자(1101) 위에 탄소 풍부 재료를 코팅한 다음 탄소-풍부 재료를 탄소로 전환시킴으로써, 간접적으로 달성될 수 있다. 일부 예들에서, 탄소-풍부 재료는 10% 초과의 탄소 함량을 포함하는 임의의 재료를 포함할 수 있으며, 산소, 수소 및 질소와 같은 다른 재료를 포함한다. 탄소-풍부 재료를 탄소로 전환시키는 다른 중간 공정 단계들은, 액체 및 고체 분산, 분무 코팅, 스핀 코팅, 기상 증착(고진공,

저진공, 화학적 또는 물리적), 건조 또는 오븐 가열을 포함할 수 있다. 탄소-풍부 코팅의 일 예는 Si 나노입자 위의 폴리머 또는 모노머의 필름이다. 그러한 폴리머 중 하나는 아크릴이다. 스핀 코팅 또는 분무 코팅 공정으로 코팅이 달성될 수 있다.

[0142] 이제 도 11c를 참조하면, 일 구현예에 따른, 열분해된 탄소 코팅된 Si 나노입자(1120)의 단면 개략도가 도시되어 있다. 도 11b의 탄소 코팅된 Si 나노입자(1110)를, 주로 비결정질인 탄소가 주로 그래핀으로 전환되는 줄 가열 공정에 적합하게 만들려면, 후속적인 열분해 공정이 필요하다. 후속적인 열분해 공정은, 도 11b의 탄소 코팅(1112)의 전기전도도를 증가시키고, 및/또는 비탄소 불순물, 유기 및 무기 불순물, 및 탄화수소를 제거한다. 일부 예들에서, 열분해 공정은, 코팅의 탄소 함량을, 열분해 공정이 수행되기 전보다 더 많은 양까지, 증가시킬 수 있다. Si 나노입자(1101)를 덮고 있는 탄소 코팅(1112)은, 불활성 분위기에서 600 내지 900 ℃에서 수 시간 동안 열분해되어, 전기전도성 탄소 코팅(1122)을 생성한다. 줄 가열에 적합한 탄소 코팅된 Si 분말의 바람직한 저항률은 0.3 내지 700 Ω*cm의 범위이며, 이는, Mancevski et al.에 대한 국제 출원 번호 PCT/CA2022/051406을 가지며 국제 출원일이 2022년 9월 21일인 특허 협력 조약 출원에서 자세하게 추가적으로 설명된 바와 같으며, 이 문헌은 그 전체가 인용에 의해 본 명세서에 통합된다. 탄소 코팅(1122)의 전기전도도는, 열분해 전의 탄소 층(1112)의 두께에 의해, 그리고 열분해의 온도 및 지속시간에 의해, 제어될 수 있다. 인식될 수 있는 바와 같이, 탄소 층(1112)의 전기전도도가 줄 가열에 필요한 파라미터들 내에 있는 경우, 도 11b의 탄소 코팅된 Si 나노입자(1110)은 열분해되지 않을 수 있다.

[0143] 이제 도 11d를 참조하면, 규소-터보스트래틱 그래핀(Si-TG) 복합재료(1130)의 단면 개략도가 도시되어 있다. Si-TG 복합재료(1130)는, 도 11c의 전도성 탄소 코팅된 Si 나노입자(1120)의 벌크 분말을 줄 가열함으로써, 얻어진다. 줄 가열은, 도 11c의 열분해된 탄소 층(1122)을, Si 나노입자(1101) 표면을 덮는 터보스트래틱 그래핀(TG) 층(1132)으로 전환시켜, Si-TG 복합재료(1130)를 생성한다. TG 층(1132)은 단일 연속 층 또는 다수의 내포된 층들일 수 있다. TG 층(1132)의 두께는 도 11c의 열분해된 탄소 층(1122)의 두께에 따라 달라진다. TG 층(1132)은, 벽 두께가 <1 nm 내지 100 nm인 단층 그래핀, 수 층 그래핀(few layer graphene) 또는 다층 그래핀일 수 있다. 또한, TG 층(1132)은 단일 도메인 또는 다중 도메인 결정일 수 있다.

[0144] 일 구현예에서, Si 나노입자(1101) 및 Si-TG 복합재료(1130)의 TG 층(1132)은 서로 결합되며, 그에 따라 이것들은 함께 팽창 및 수축할 수 있다. 또 다른 구성에서, Si 나노입자(1101) 및 TG 층(1132)은 함께 결합되지 않으며, 그에 따라 Si 나노입자(1101)는 TG 층(1132)에 대해 상대적으로 이동할 수 있다.

[0145] TG 층(1132)은 그것의 전기전도성을 높이기 위해 질소로 도핑될 수 있다. 질소 도핑은 질소-풍부 환경에서 줄 가열을 수행함으로써 직접 달성될 수 있다. 그러한 질소-풍부 환경은 $N_2$, $NH_3$, $N_2O$, NO, $NO_x$ 또는 기타 기상 니트로 화합물의 가스 분위기일 수 있다. 그러한 환경은 순수할 수 있거나, 또는 다양한 니트로 화합물들의 혼합물일 수 있거나, 또는 니트로 화합물과 Ar 또는 He와 같은 다른 불활성 가스의 혼합물일 수도 있다. 불활성 가스 중 질소 가스의 농도를 조절하면, TG 층(1132) 내의 질소 도핑 수준을 조정할 수 있다. 질소 도핑은 또한, 고온에서 분해되면서 질소를 생성하는 재료를 도 11c의 탄소 코팅(1122)에 혼입시킴으로써 수행될 수 있다. 그러한 재료 중 하나는 N-도핑된 탄소의 원천인 글루코사민이며, 이는, 수열 탄화에서 Si 나노입자(1101)를 질소-풍부 탄소 층으로 코팅하는 데 사용될 수 있다. 다른 예들은, 요소, 멜라민, 시안아미드, 아미노산, 단백질, 키틴, 등일 수 있다.

[0146] 이제 도 11e, 11f, 및 11g를 참조하면, 일 구현예에 따른, 도 11d의 예시적 Si-TG 복합 나노입자(1130)의 TEM 현미경사진 이미지들이 도시되어 있다. 예시적 Si-TG 복합 나노입자(1130)는 위에서 설명된 대로 제작되었다. 이 예에서, 100 nm 직경의 Si 나노입자가, 위에서 설명된 바와 같이 설탕의 수열 탄화에 의해 탄소로 코팅되었다. Si-탄소 복합재료를 오븐에서 850 ℃에서 1 시간 동안 열분해하였다. 그 결과 발생된 Si 열분해 탄소는 석영 튜브에서 줄 가열되어 탄소를 그래핀으로 전환시켰다. 줄 가열 공정의 세부 사항은 Mancevski 등의 PCT/CA2022/051406에 개시되어 있다. 그 결과 발생된 Si-TG 복합재료는 Si 나노입자(그래핀 층으로 덮여 있어 직접 볼 수 없음) 및 그래핀 층(1140)(복합재료 입자의 에지에서 단면을 볼 수 있음)을 포함한다. 약 10 개의 그래핀 층들(1140)이 그래핀 층(1142)에 포함된 것으로 나타나있다. 그래핀 층(1140)은 Si 나노입자들을 균일하게 코팅한다. 1142의 그래핀 층들을 자세히 살펴보면, 10 개의 그래핀 층들 각각 및 그들 사이의 분리를 나타내는 밝은 선 및 어두운 선이 보인다. 1144의 밝은 선 및 어두운 선은 그래핀의 결정 성질 및 그래핀 층들의 갯수를 나타낸다.

[0147] 이제 도 11h, 11i 및 11j를 참조하면, Si-TG 복합재료 내의 Si 및 그래핀의 결정 구조를 확인하는 라만 플롯이 도시되어 있다. 라만 현미경 분석은 도 11e, 11f, 및 11g의 예시적 Si-TG 복합재료로부터의 Si-TG 복합재료의

결정 구조를 확인하는 데 활용되었다.

[0148] 도 11i는 Si-그래핀 샘플의 라만 플롯을 보여주며, 그래핀 피크(2D 피크는 잘 정의된 그래핀 구조를 나타냄)(1152)의 존재, 뿐만아니라 Si 피크(1154)의 존재, 뿐만아니라 SiC 피크들(1156) 및 $SiO_2$ 피크들(1158)의 존재를 나타낸다. 라만 특징의 G 피크(1160)는 그래핀 및 흑연의 주요 모드이다. G 피크(1160)는 그래핀을 구성하는 sp2 결합 탄소의 평면 구성을 나타낸다. 라만 특징의 D 피크(1162)는 무질서 대역 또는 결함 대역으로 알려져 있다. D 피크(1162)는 그래핀에 결함이 존재함을 나타낸다. 라만 피크들(1152, 1154, 1156, 및 1158)은 이 예에서 Si-TG 복합재료의 독특한 구조를 확인시켜준다. SiC 및 $SiO_2$는 줄 가열 공정 동안 형성되었다. 도 11j는 세 가지 다른 재료 샘플들의 라만 피크들(1152, 1154, 1156, 1158, 1160, 및 1162)을 내포하여 확대한 모습을 보여준다. 도 11h는 가공되기 전 순수한 Si 나노입자의 라만 특징을 보여준다.

[0149] 이제 도 11k 내지 도 11n을 참조하면, 추가 구현예에 따라, 본 개시된 공정 단계들에 따라 제조된 예시적 Si-TG 복합재료의 EDX 분석 결과를 갖는 SEM 이미지들이 도시되어 있다. 이 예에서 출발 Si 나노입자들의 평균 직경은 1 μm이다. SEM 이미지들은, Si-TG 복합재료가 개별 나노입자(도 11m)일 수 있거나, 또는 분지형 구조의 조립체(도 11k, 11l 및 11n)를 형성할 수 있음을 보여준다. EDX 결과는, 탄소 적재량 범위가 분지형 구조의 경우 43 내지 63%이고 개별 복합재료의 경우 약 84%인 상태로, Si, C 및 O가 존재한다는 것을 보여준다. 이 예에서 평균적인 Si-TG 복합재료에 대해, Si 적재량은 분지형 구조의 경우 35 내지 41%이고 개별 복합재료의 경우 약 9%이다. O의 존재는 복합재료의 구조에 $SiO_2$가 존재함을 나타낸다. 이제 도 11o를 참조하면, 본 개시된 공정 단계들로 제조된 예시적 Si-TG 복합재료의 열중량 분석(TGA) 플롯이 도시되어 있다. TGA는 열중량 분석(TGA)을 통해 Si-TG 복합재료의 조성을 측정한다. 이 예에서 출발 Si 나노입자들의 평균 직경은 1 μm이다. 이 결과는 81% Si 및 19% 그래핀의 Si 적재량을 보여준다. 본 개시의 공정 단계들은 5% 미만으로부터 최대 95%까지의 Si 적재량을 갖는 Si-TG 복합재료를 생성할 수 있다. 이러한 높은 Si 적재량의 장점은, 매우 높은 Si 적재량으로 배터리 애노드를 구성할 수 있다는 것이다. 이러한 적재량은, Si 나노입자들을 느슨한 그래핀 시트들과 혼합하는 제작과 같은 종래 기술의 Si 배터리 애노드 제작에 의해 달성가능한 것보다 유리하게 더 높다.

[0150] Li 이온 배터리의 애노드 재료로서 Si-TG 복합재료의 한 가지 장점은, 비결정질 탄소로부터 만들어진 유사한 셀 커버링에 비해, Si를 덮고 있는 그래핀 층의 기계적 강도가 높다는 것이다. 또 다른 장점은, 탄소 또는 카본 블랙에 비해, 그래핀의 전기전도도가 더 우수하다는 것이다. 본 개시된 Si-TG 복합재료의 또 다른 장점은, Si 나노입자들이 그래핀 시트들 위에 느슨하게 분산된 공지된 복합재료에 비해, TG 코팅이 반복적인 SEI 형성 및 전기적 접촉 손실로 인한 열화로부터 Si를 보호한다는 것이다.

[0151] 그래핀 코팅(PG 또는 TG)을 형성하는 동안 발생할 수 있는 잠재적인 문제 중 하나는, 줄 가열 공정에 의해 발생되는 고온(900 ℃ 내지 2000 ℃ 이상)에 Si 나노입자가 노출되면 Si가 Si와 그래핀 사이의 계면에 SiC 층을 형성할 수 있다는 것이다. 이 층은 Si-그래핀 복합재료의 전기전도도를 감소시킬 수 있다. 그러나, 그 결과 발생된 SiC 재료가 리튬 저장 능력을 갖는 것으로 알려진 베타-SiC인 경우, 본 복합재료는 배터리 적용 분야에 적합하다. 코어 입자가 Si 대신 $SiO_2$ 나노입자인 경우 SiC 형성이 감소될 수 있다. 이 발명에서 SiC 존재를 감소시키는 또 다른 수단은 $CO_2$ 가스의 존재하에서 탄소 공급원의 줄 가열을 수행하는 것이며, 이는 선행 기술의 CVD 방법을 통한 그래핀 성장 동안 SiC 형성을 억제하는 것으로 밝혀졌다. $CO_2$는 가스 형태로 줄 가열 반응기 내로 주입될 수도 있거나, 또는 고온에서 분해되면서 $CO_2$를 생성하는 다른 재료를 통해 전달될 수도 있다. 그러한 재료 중 하나는 칼슘 아세테이트($Ca(OAc)_2$)이며, 이것은 고온에서 $CO_2$를 형성하여 Si 나노입자 표면 상에서의 SiC 형성을 감소시킨다. 동시에 칼슘 아세테이트는 또한 Si-탄소 또는 Si-그래핀 복합재료에 존재하는 탄소 또는 그래핀을 다공성으로 만든다.

[0152] 이제 도 12a를 참조하면, 일 구현예에 따른, 코팅된 Si 나노입자(1200)의 단면 개략도가 도시되어 있다. 코팅된 Si 나노입자(1200)는 Si 나노입자(1201)를 포함한다. Si 나노입자는 도 8a의 Si 나노입자(801)와 유사하게 구성되어 있다. 코팅된 Si 나노입자(1200)는 희생층(1202)을 더 포함한다. 희생층(1202)은 Si 나노입자(1201)에 근접하게 배치되고, Si 나노입자(1201)와 접촉한다. 희생층은 고온에서 Si 나노입자(1200)의 Si와 탄소의 상호작용을 방지하도록 구성 및 조성된다. 코팅된 Si 나노입자(1200)는 탄소 층(1204)을 더 포함한다. 탄소 층(1204)은 코팅된 Si 나노입자(1200)를 탄소로 코팅한다. 탄소 층(1204)은 희생층(1202) 외부에 배치되어, 희생층(1202)이 Si 나노입자(1201)와 탄소 층(1204) 사이에 배치되도록 한다. 일 예에서, 희생층(1202)은 규소 나노입자(1201) 상의 규소 옥사이드이다. 또 다른 예에서, 희생층(1202)은, 산화된 표면을 생성하기 위해 Si 나노입자(1201)의 표면 상에서 플라즈마 처리된다. 희생층은 니켈과 같은 금속일 수도 있으며, 이것은 무전해 수단에 의

해 Si 나노입자(1201)에 침착될 수 있다. 다른 희생층(1201)은 유전체 또는 무기 코팅을 포함할 수 있다.

[0153] 이제 도 12b를 참조하면, 일 구현예에 따른, 열분해된 탄소로 코팅된 Si 나노입자(1210)의 단면 개략도가 도시되어 있다. 열분해된 탄소로 코팅된 Si 나노입자(1210)는 희생층(1202) 위에 열분해된 탄소 층(1212)을 포함한다. 열분해된 탄소 층(1212)은 전기전도성 탄소이다. 열분해된 탄소 층(1212)은 도 12a의 탄소 층(1204)을 열분해함으로써 얻어진다. 열분해된 탄소로 코팅된 Si 나노입자(1210)는 다른 점에서는 코팅된 Si 나노입자(1200)와 유사하게 구성되어 있다.

[0154] 이제 도 12b 및 12c를 참조하면, 일 구현예에 따른, 터보스트래틱 그래핀으로 코팅된 Si 나노입자(1220)의 단면 개략도가 도시되어 있다. 터보스트래틱 그래핀으로 코팅된 Si 나노입자(1220)는 터보스트래틱 그래핀 층(1222)을 포함한다. 터보스트래틱 그래핀 층(1222)은, 열분해된 탄소로 코팅된 Si 나노입자(1210)를 줄 가열하여, 열분해된 탄소 층(1212)을 희생층(SL)(1202)의 외부 표면을 덮는 터보스트래틱 그래핀 층(1222)으로 전환시킴으로써 얻어진다. 터보스트래틱 그래핀으로 코팅된 Si 나노입자(1220)는 다른 점에서는 열분해된 탄소로 코팅된 Si 나노입자(1210)와 유사하게 구성된다.

[0155] 이제 도 12d를 참조하면, 일 구현예에 따른 Si-공극-TG 나노입자(1230)의 단면 개략도가 도시되어 있다. Si-공극-TG 나노입자(1230)는 공극(1232)을 포함한다. 공극(1232)은 고체 물질이 없는 공간이다. 공극은 터보스트래틱 그래핀 층(1222)과 Si 나노입자(1201) 사이에 배치된다. 일부 구성들에서는, 공극이 완전하지 않아도 되며, 그래핀 층(1222)과 Si 나노입자(1201) 사이에 어느 정도 접촉이 존재한다. 공극(1232)은, 도 12c의 희생층(1202)을 세척하여 희생층(1202)을 제거함으로써, 얻어진다. 희생층(1202)은, 희생층(1202)의 화학적 성질에 따라, 염기, 산 또는 용매로 세척된다. 일 예에서, $SiO_2$ 희생층(1202)은, 2M NaOH 용액에 1 시간 동안 담가 교반함으로써 제거된다. 또 다른 예에서는, Ni 희생층은 희석된 HCl 산으로 제거된다. 공극은, 그래핀 층(1222)에 과도한 응력을 주지 않은 채, 리튬화/탈리튬화 공정 동안 Si 나노입자(1201)가 팽창하는 것을 돕는다.

[0156] 이제 도 12e를 참조하면, 일 구현예에 따른, 열분해된 탄소로 코팅된 Si 나노입자(1240)의 단면 개략도가 도시되어 있다. 열분해된 탄소로 코팅된 Si 나노입자(1240)는 도 11c의 열분해된 탄소로 코팅된 Si 나노입자(1120)와 유사하게 구성된다.

[0157] 이제 도 12f를 참조하면, 일 구현예에 따른, 열분해된 탄소 공극화 Si 나노입자(pyrolyzed carbon voided Si nanoparticle)(1250)의 단면 개략도가 도시되어 있다. 열분해된 탄소 공극화 Si 나노입자(1250)는 공극(1252)을 포함한다. 공극(1252)은 고체 물질이 없는 공간이다. 공극 1252는 Si 나노입자(1251)와 열분해된 탄소 층(1253) 사이에 배치된다. 공극(1252)은, 도 12e의 열분해된 탄소로 코팅된 Si 나노입자(1240)가 에칭 공정을 거침으로써 Si 코어(1251)의 직경을 감소시키도록 함으로써, 얻어진다. 직경이 감소하면, Si 나노입자(1251)와 열분해된 탄소 쉘(1253) 사이에 공극(1252) 공간이 남는다. 일부 구성들에서는, 공극이 완전하지 않아도 되며, 열분해된 탄소 쉘(1253)과 Si 나노입자(1251) 사이에 약간의 접촉이 존재한다. 열분해된 탄소 공극화 Si 나노입자(1250)는 다른 점에서는 도 12e의 열분해된 탄소로 코팅된 Si 나노입자(1240)와 유사하게 구성된다. Si 코어(1251)를 에칭하는 한 가지 방법은, 일정 시간 기간 동안 2M NaOH 용액을 사용하는 것이다. 시간 기간을 사용하여, 새로운 Si 나노입자(1251) 크기, 및 그에 따라 공극(1252) 크기를 제어할 수 있다.

[0158] 이제 도 12g를 참조하면, 일 구현예에 따른 Si-공극-TG 나노입자(1260)의 단면 개략도가 도시되어 있다. Si-공극-TG 나노입자(1260)는 도 12d의 Si-공극-TG 나노입자(1230)와 유사하게 구성된다. Si-공극-TG 나노입자(1260)는, 열분해된 탄소 코팅(1253)을 줄 가열을 통해 그래핀 층으로 전환시킴으로써, 얻어진다. 공극은, 줄 가열 공정 동안 Si 나노입자(1251) 상에 SiC가 형성되는 것을 감소시키는 데 도움이 될 것이다. Si-공극-TG 복합재료 내의 Si와 그래핀 사이의 공극은, 리튬화/탈리튬화 공정 동안 Si 팽창을 함유하는 데 도움이 될 것이다.

[0159] 일 구현예에서, Si 나노입자 코어(1251)는 완전히 에칭되어 제거된다. 이 구현예에서, 공극(1252)은 Si 나노입자(1251)가 차지했던 전체 공간을 포함한다. 여기서, 열분해된 탄소 층(1253)의 그래핀 구조는 열분해된 탄소(1250)의 빈 쉘(empty shell)을 형성한다. 명확하게 말하면, 비어 있다(empty)는 것은 고체 물질의 실질적 부재(substantial absence)인 것으로 이해된다. 구현예들에서, 빈 열분해된 탄소 쉘(1250)은 줄 가열 공정의 도움으로 빈 TG 쉘(1260)로 전환될 수 있다.

[0160] 이제 도 12h를 참조하면, 일 구현예에 따른, 예시적인 빈 그래핀 쉘들(1270)의 SEM 이미지가 도시되어 있다. 그래핀 쉘들(1270)은, Si 나노입자 코어(1251)가 완전히 에칭되어 제거되어 있는 Si-공극-TG 나노입자(1260)와 같은 공극-TG 쉘들이다. 예시적인 그래핀 쉘들(1270)은, 도시되어 있지 않지만, 평균 직경 1 μm의 Si 나노입자 희생 코어들로부터 만들어졌다. Si 코어는, Si 코어가 탄소, 열분해된 탄소 또는 그래핀으로 코팅되어 쉘 구조

를 형성하는 동안, 제거될 수 있다. 쉘이 초기에는 탄소 또는 열분해된 탄소인 경우, 줄 가열의 추가적인 공정 단계는 탄소를 그래핀으로 전환시킬 것이다.

[0161] 이제 도 12i를 참조하면, 일 구현예에 따른, 예시적인 TG-쉘의 SEM 이미지(1272) 및 상응하는 EDX 맵(1274)이 도시되어 있다. EDX 맵(1274)은, C 및 O의 측정된 존재, 및 1% 미만의 Si 존재를 나타낸다.

[0162] 이제 도 12j를 참조하면, 일 구현예에 따른, 예시적인 TG-쉘 구조의 SEM 이미지(1276) 및 상응하는 EDX 자취(1278)가 도시되어 있다. EDX 자취(1278)는, Si가 거의 전혀 없고 C 및 일부 O가 존재함을 나타낸다. 일 구현예에서, 빈 TG 쉘은, Li, Na, Sn, 또는 다른 금속, 또는 $CO_2$, $H_2$, 또는 다른 가스로 다시 채워질 수 있다. 또 다른 구현예에서, 희생 재료의 코어는, 금속 또는 옥사이드로 구성될 수 있다.

[0163] 이제 도 12k를 참조하면, 일 구현예에 따른, 열분해된 탄소로 코팅된 Si 나노입자(1280)가 도시되어 있다. 열분해된 탄소로 코팅된 Si 나노입자(1280)는 열분해된 탄소 코팅(1282)을 포함한다. 열분해된 탄소 코팅(1282)은 기공(1285)을 포함한다. 열분해된 탄소로 코팅된 Si 나노입자(1280)는 다른 점에서는 도 11c의 열분해된 탄소로 코팅된 Si 나노입자(1120)와 유사하게 구성된다. 열분해된 탄소로 코팅된 Si 나노입자(1280)는, NaOH, KOH, $H_3PO_4$, $ZnCl_2$, $FeCl_3$, 또는 $Ca(OAc)_2$, 또는 활성탄 산업에서 잘 알려진 다른 활성화제와 같은 활성화제의 존재하에서 450 내지 900 ℃에서 통상적으로 수행되는 화학적 활성화 공정에 의해 다공성으로 만들어질 수 있다.

[0164] 이제 도 12l을 참조하면, Si-다공성-그래핀(Si-pTG 복합재료(1290))이 도시되어 있다. Si-pTG 복합재료(1290)는 그래핀 층(1292)을 포함한다. 그래핀 외부 층(1292)은 기공(1295)을 포함한다. Si-pTG 복합재료(12900는 다른 점에서는 도 12k의 열분해된 탄소로 코팅된 Si 나노입자(1280)와 유사하게 구성 및 조성된다. 일 구현예에서, Si-pTG 복합재료(1290)는, 도 12k의 다공성 탄소 코팅(1282)을 줄 가열 공정을 통해 다공성 그래핀(1292)으로 전환시킴으로써, 얻어진다. 또 다른 구현예에서, Si-pTG 복합재료(1290)는, 도 11d의 Si-TG 복합재료(1130)가 화학적 활성화 공정을 거쳐 그래핀 내로 기공(1295)이 만들어지도록 함으로써, 얻어진다. 기공(1295)은 나노기공, 메조기공, 또는 마이크로기공일 수 있다. 그래핀에 기공이 존재하면, 전해질로부터 Si로 Li을 전달하는 데 도움이 되며, 그 반대의 경우에도 마찬가지이다.

[0165] Si-그래핀 복합재료(1290)의 그래핀 층(1292)에 다공성을 추가하는 대안적인 방법은, 볼 밀링(수직 또는 수평 밀) 또는 스피드믹서 밀링(speedmixer milling)(볼과 분말 자체만 사용)과 같은 기계적 방법을 사용하는 것이다. 볼 밀은 밀봉된 병에서 분쇄된 분말과 혼합된 작고 단단한 볼을 사용해야 하고, 여기서 기공을 형성시키는 표면 손상의 양은 분쇄 시간, 볼 대 분말의 비율, 및 적재량 비율에 따라 달라진다. 스피드믹서를 사용하면 볼의 사용은 선택적(optional)인데, 왜냐하면 분말 자체가, 복합재료 표면을 손상시키고 기공을 생성하는 데 사용될 수 있기 때문이다. 기계적 기공 형성은 얕은 기공을 생성한다. 더 깊은 기공 형성을 위해, 기계적 밀링 후 화학적 활성화 공정을 거칠 수 있다.

[0166] 이제 도 13a를 참조하면, 일 구현예에 따른 출발 혼합물(1300)의 단면 개략도가 도시되어 있다. 출발 혼합물(1300)은 Si 나노입자(1301) 및 탄소 입자들(1302)을 포함한다. 출발 혼합물(1300)은 다른 점에서는 도 8b의 카본 블랙(CB) 나노입자들(802)로 덮인 Si 나노입자(801)와 유사하게 구성 및 조성된다.

[0167] 탄소 입자(1302) 크기가 Si 나노입자(1301)보다 작은 것이 바람직하지만 필수적인 것은 아니다. 탄소 입자(1302)의 예는, MetCoke, PetCoke, Bio Char, Plastic Char, 및 줄 가열과 함께 사용되는 다른 통상적인 탄소 공급원을 포함하며, 플레이크형(flake-like) 그래핀 모폴로지를 생성할 가능성이 높다. 출발 혼합물(1300)은, 볼 밀링 또는 블레이드/디스크 밀링과 같은, 건조 분말의 기계적 혼합에 의해 달성될 수 있다.

[0168] 이제 도 13b를 참조하면, 일 구현예에 따른, 규소 및 플레이크형 터보스트래틱 그래핀(Si-FTG) 복합재료(1310)의 단면 개략도가 도시되어 있다. Si-FTG 복합재료(1310)는, 도 13a의 벌크 분말(1300)에 플래시 줄 가열(flash joule heating) 공정을 적용함으로써 얻어진다. 플래시 줄 가열을 적용하면, 혼합물이 2000 ℃ 이상으로 빠르게 가열될 것이고, 여기서 탄소 입자들(1302)은 플레이크형 그래핀(1312)으로 전환된다. 일부 FTG(1312)는 Si 나노입자(1301)를 적어도 부분적으로 코팅하고, 그에 따라 Si-FTG 복합재료(1310)를 생성한다. 일부 FTG(1312)가 혼합물에 부착되지 않은 채로 남아 있는 경우, 부착되지 않은 FTG는 전기전도성 충전제의 역할을 한다. 부착된 FTG(1312) 및 부착되지 않은 FTG(1312)의 비율은 도 13a의 Si(1301) 및 탄소 질량(1302)의 비율에 따라 달라진다. Si:C 질량비는 80:20 내지 20:80인 것이 바람직하다. 이 구현예의 Si 코어(1301)는, SiO, $SiO_x$($x<2$) 또는 $SiO_2$, 또는 이들 중 어느 둘 이상의 조합일 수도 있다.

[0169] 이제 도 14a를 참조하면, 일 구현예에 따른 추가적인 출발 혼합물(1400)이 도시되어 있다. 출발

혼합물(1400)은, Si 나노입자(1401), 카본 블랙(CB)(1402), 및 코크 또는 숯과 같은 탄소 입자(1403)를 포함한다. 출발 혼합물(1400은 다른 점에서는 출발 혼합물(1300)과 유사하게 구성 및 조성된다.

[0170] 도 14b를 참조하면, 일 구현예에 따른 규소 및 다면체형 및 플레이크형 터보스트래틱 그래핀(Si-PG-FTG) 복합재료(1410)의 단면 개략도가 도시되어 있다. Si-PG-FTG 복합재료(1410)는, 도 14a의 벌크 분말 출발 혼합물(1400)에 플래시 줄 가열 공정을 적용함으로써, 얻어진다. 탄소 입자(1403)는 FTG(1413)로 전환되고, CB 나노입자(1402)는 PG(1412)로 전환된다. FTG(1413) 및 PG(1412)의 일부 분획은 Si 나노입자(1401)를 적어도 부분적으로 코팅한다.

[0171] 도 15a, 15b 및 15c를 참조하면, 다양한 구현예들에 따른, 예시적인 중공 다면체형 그래핀 나노입자들의 고해상도 TEM 이미지가 도시되어 있다. 중공 다면체형 그래핀 나노입자는 3 내지 50 층의 그래핀을 포함한다. 다면체 그래핀 나노입자들은, 도 15a에 도시된 바와 같이, 길이가 수 nm 내지 수 마이크론의 범위인 다수의 PG 나노입자들로부터 만들어진 분지형 구조로 자체 조직화(self-organize)될 수 있다.

[0172] 도 15d를 참조하면, 일 구현예에 따른, 중공이 아닌(중실) 다면체 그래핀 나노입자의 고해상도 TEM 이미지가 도시되어 있다. 중공이 아닌(중실) 다면체 그래핀 나노입자는 나노입자 내에 공극을 포함하지 않는다.

[0173] 도 16a 및 16b를 참조하면, 다양한 구현예들에 따른 플레이크형 그래핀의 일 예의 TEM 이미지가 도시되어 있다. 전형적인 FTG 그래핀은 측방향 크기가 100 nm 내지 2 μm의 범위이고, 두께는 그래핀 층 2개 내지 10개 초과의 범위이다. 다면체 그래핀은, 다면체 케이지를 형성하는 폐쇄된 형태의 그래핀이며, 여기서 다수의 케이지들이 서로의 안에 중첩(nested)되어 있다. 구형 케이지도 가능하다. 일부 경우들에서, 다면체 그래핀 나노입자는 공극을 가질 수 있고(중공임), 일부 경우들에서는, 중실이다(공극이 없음). 전형적인 PG 그래핀은 크기(직경)가 20 nm 내지 200 nm의 범위이고, 벽 두께는 2 층 내지 50 층 초과이다.

[0174] 도 17a 및 17b를 참조하면, 다양한 구현예들에 따른 리튬 이온 배터리(1700)의 단면 개략도가 도시되어 있다. 도 17b는 방전 작업 중인 리튬 이온 배터리(1700)를 보여준다.

[0175] 리튬 이온 배터리 셀(1700)은 외부 하우징(1702)을 포함한다. 외부 하우징(1702)은 셀의 유형에 따라 금속 하우징 또는 폴리머 케이싱일 수 있다. 외부 하우징(1702)은 나머지 부품들을 수용하며, 이에 대한 자세한 내용은 아래에 설명되어 있다.

[0176] 리튬 이온 배터리(1700)는 알루미늄 포일 집전체(1704) 및 캐소드 재료(1706)를 더 포함한다. 캐소드 재료(1706)는 알루미늄 포일(1704)(즉, 양의 개소드 전극(1707)) 상에 배치된다. 캐소드(1707)는 전형적으로, 리튬 코발트 옥사이드($LiCoO_2$), $Li(Ni_{0.6}Mn_{0.2}Co_{0.2})O_2$ (NMC622)와 같은 리튬 금속 옥사이드 재료로부터 만들어진다.

[0177] 리튬 이온 배터리는, 구리 포일 집전체(1708) 및 애노드 재료(1710)를 더 포함한다. 애노드 재료(1710)는 구리 포일(즉, 음극 애노드 전극(1711)) 상에 배치된다. 본 명세서에 개시된 Si-그래핀 복합재료는 애노드 재료(1710)의 재료로서 사용된다. 공지된 애노드(1711)는, 흑연, 또는 규소-탄소, 주석-탄소와 같은 복합재료로 만들어진다. 본 개시의 애노드(1711)는 본 명세서에 개시된 Si-그래핀 복합재료로부터 만드어진다.

[0178] 리튬 이온 배터리(1700)는 세퍼레이터(1712)를 더 포함한다. 세퍼레이터(1712)는 전극들(1707, 1711) 사이에 배치된다. 세퍼레이터(1712)는, 리튬 이온(1709)이 세퍼레이터(1712)를 통과하도록 허용하면서도, 애노드(1711)와 캐소드(1707)를 전기적으로 분리한다. 세퍼레이터(1712)는 다공성 폴리머 멤브레인이다. 세퍼레이터(1712)는, 폴리프로필렌, 폴리에틸렌과 같은, 단일 또는 여러 층의 폴리머로 만들어진다.

[0179] 캐소드 전극(1707), 애노드 전극(1711), 및 세퍼레이터(1712)는 전해질의 역할을 하는 용매에 잠겨 있다. 리튬 이온 배터리의 전형적인 액체 전해질은, 에틸렌 카보네이트, 디메틸 카보네이트, 및 디에틸 카보네이트의 혼합물과 같은, 유기 용매 중의, 리튬 헥사플루오로포스페이트($LiPF_6$)와 같은, 리튬 염을 포함한다. 장기 안정성을 위해 유리한 고체 전해질 계면(SEI) 층을 얻기 위해, 플루오로에틸렌 카보네이트(FEC)와 같은 추가적인 전해질 첨가제가 첨가된다.

[0180] 충전 과정(즉, 배터리 충전) 동안, 리튬 이온(1709)은 캐소드(1707)로부터 전해질을 통해 애노드(1711)로 이동한다. 리튬 이온은, 삽입(흑연 애노드) 또는 합금화(규소 기반 애노드)와 같은, 다양한 메커니즘을 통해 애노드(1711)에 저장된다.

[0181] 방전 과정(즉, 배터리(1700)가 부하에 전력을 공급함) 동안, 리튬 이온은 전해질을 통해 애노드(1711)로부터 캐소드(1707)로 다시 이동한다. 리튬 이온(1709)의 이러한 이동으로 인해, 전자(1714)는 외부 전기 회로에서 반대

방향으로 이동하며, 그에 따라 부하에 전력을 공급한다. 리튬 이온 배터리를 충전하는 것은 위의 방전 과정의 역이다. 충전 동안, 외부 전압은 리튬 이온(1709)을 애노드(1711)로 다시 이동시키고, 반면에 전자(1714)는 외부 전기 회로를 통해 애노드(1711)로 다시 이동한다.

[0182] 공지된 전극 제작에서, 애노드(1711) 및 캐소드(1707) 전극들은 해당 집전체 상에 슬러리를 캐스팅하여 만들어진다. 예를 들어, 전형적인 애노드 슬러리는, 활성 재료(예를 들어, 흑연, 규소-탄소 복합재료), 바인더(예를 들어, 폴리비닐리덴 플루오라이드, 카르복시메틸 셀룰로오스), 전도성 탄소(예를 들어, Super P), 및 용매(예를 들어, 물, n-메틸-2-피롤리돈)를 포함한다. 그 다음, 코팅된 필름은 60 ℃ 내지 80 ℃의 오븐에서 12시간 동안 건조된다. 코인 셀들이 전형적으로 2032 구성(단추형 배터리)으로 만들어진다. 셀들은, 낮은 수분 및 산소 함량(예를 들어, < 1 ppm)을 갖는 아르곤으로 채워진 글러브박스 내부에서 조립된다.

[0183] 도 17c를 참조하면, 본 발명의 Li 이온 배터리(1750)의 일 예의 이미지가 도시되어 있다. Li 이온 배터리(1750)는 반쪽 전지 구성으로 시험되었다.

[0184] 반쪽 전지 제작은 리튬 금속 포일(1752)을 포함한다. 리튬 금속 포일(1752)은 캐소드 전극 대신에 유사 기준 전극(pseudo-reference electrode)으로서 구성된다. 코인 셀들은 다양한 C 속도(전류밀도)에서 1.5 V와 0.005 V 사이에서 사이클링(충전/방전)되었다. 배터리 성능을 추가적으로 특성분석하기 위해, 추가적인 전기화학적 측정들이 때때로 사용되었다.

[0185] 도 18을 참조하면, 도 11d의 Si-그래핀 복합재료(1130)를 시험한 예시적 결과의 플롯(1800)이 도시되어 있다. 도 11d의 Si 입자들(1101)은 평균 직경이 1 μm이었다. 플롯(1800)은, Si-그래핀 복합재료(1130) 성능을, Si-열분해된-탄소 복합재료 및 순수 Si 재료와 비교한다. 이 시험에서는, 배터리를 처음 50 사이클 동안은 C/2로 작동시켰고, 두번째 50 사이클 동안은 1C 속도로 작동시켰으며, 여기서 1C = 4.2 mA/mg Si이다. 복합 Si-그래핀을 갖는 셀은 C/2에서 ~600 mAh/g, 그리고 1C에서 ~500 mAh/g의 안정적인 용량을 가졌다. 비교하자면, Si-열분해된-탄소 복합재료를 갖는 셀은 600 mAh/g의 용량에서 시작하여, C/2에서 ~250 mAh/g까지 감소되었고, 1C에서는 ~200 mAh/g까지 추가적으로 감소되었다. Si만을 사용한 셀의 첫번째 사이클 용량은 ~1400 mAh/g이었지만, C/2에서 ~100 까지, 1C에서 ~10까지 급격히 떨어졌고, 100번째 사이클 후에 죽었다. 이 결과는, Si 입자를 분해로부터 보호한다는, 그래핀으로 코팅된 Si의 이점을 실증한다.

[0186] 본 발명에 개시된 복합재료는 또한, 시멘트 및 콘크리트 제품 제조, 고무 및 타이어 복합재료 제조, 플라스틱 및 폴리머 복합재료 제조, 및 윤활유 제조에서, 성능 향상 첨가제로서 사용되기에 적합할 수도 있다. 고무 및 타이어와 같은, 일부 적용분야들에서는, 실리카-그래핀이 바람직한 복합재료이다.

[0187] 본 개시된 발명이 규소 기반 나노입자와 관련하여 설명되었지만, 다른 비규소 입자가 본 개시된 발명을 실시하는 데 사용될 수 있다. 다른 비규소 입자는, 티타늄 옥사이드, 바나듐 옥사이드, 니오븀 옥사이드, 몰리브덴 옥사이드, 텅스텐 옥사이드, 또는 전이 금속 카바이드, 예를 들어, 티타늄 카바이드, 바나듐 카바이드, 니오븀 카바이드, 몰리브덴 카바이드, 텅스텐 카바이드, 또는, Li과 합금되는 금속, 예를 들어, 알루미늄, 비스무트, 카드뮴, 마그네슘, 주석, 안티몬과 같은 애노드 재료일 수 있다. 다른 비규소 입자는, 리튬 코발트 옥사이드($LiCoO_2$) - LCO, 리튬 망간 옥사이드($LiMn_2O_4$) - LMO, 리튬 니켈 망간 코발트 옥사이드($LiNiMnCoO_2$) - NMC, 리튬 철 포스페이트($LiFePO_4$) - LFP, 리튬 니켈 코발트 알루미늄 옥사이드($LiNiCoAlO_2$) - NCA, 리튬 티타네이트($Li_2TiO_3$) - LTO, 및 황(S)과 같은 캐소드 기반 재료일 수 있지만, 이러한 군에 국한되지는 않는다. 다른 비규소 입자로는, Pt, Pd, Ru, Au, Ir, Rh, Co, Fe, Cu, Ni, Zn, Bi 또는 기타 전이금속이나 주족 금속과 같은 금속; $Pt(acac)_2$, $AuCl_3$, $AgNO_3$ 또는 기타 금속 전구체, $TiO_2$, $Al_2O_3$, $SiO_2$ 또는 기타 옥사이드 또는 상기의 것들의 조합일 수 있다. 다른 비규소 입자는, Fe, Co, Ni, Cu 또는 기타 전이금속; 철 아세테이트, 철 클로라이드, 철 아세틸아세토네이트 또는 기타 금속 염; 산화철, 산화코발트 또는 기타 전이 금속 옥사이드, 수산화철, 수산화니켈 또는 기타 전이 금속 수산화물, $TiO_2$, $Al_2O_3$, $SiO_2$ 또는 기타 옥사이드, 또는 이들의 임의의 조합과 같은 촉매일 수 있다.

[0188] 이제 도 19를 참조하면, 일 구현예에 따른, 규소 그래핀 복합재료를 생산하는 방법(1900)을 설명하는 흐름도가 도시되어 있다. 방법(1900)은 단계들(1902 및 1904)을 포함한다. 방법(1900)은 복합재료(예를 들어, 도 1 내지 10에 도시된 재료)를 생산하는 데 사용될 수 있다.

[0189] 1902에서, 터보스트래틱 그래핀 나노입자가 제공된다.

[0190] 1904에서, 그래핀 나노입자가 규소 재료로 코팅된다.

[0191] 이제 도 20을 참조하면, 일 구현예에 따른, 규소 그래핀 복합재료를 생산하는 방법(2000)을 설명하는 흐름도가 도시되어 있다. 방법(2000)은 단계들(2002, 2004 및 2006)을 포함한다. 방법(2000)은 복합재료(예를 들어, 도 11, 12k, 121, 13 및 14에 도시된 재료)를 생산하는 데 사용될 수 있다.

[0192] 2002에서, 규소 나노입자가 제공된다.

[0193] 2004에서, 규소 나노입자가 탄소 재료로 코팅된다.

[0194] 2006에서, 코팅된 규소 나노입자가 줄 가열되어 탄소 코팅을 그래핀으로 전환시킨다.

[0195] 이제 도 21을 참조하면, 일 구현예에 따른, 규소 그래핀 복합재료를 생산하는 방법(2000)을 설명하는 흐름도가 도시되어 있다. 방법(2100)은 단계들(2102, 2106 및 2110)을 포함한다. 일부 구현예들에 따르면, 방법(2100)은 단계들(2108, 2104 및 2112) 및/또는 단계(2114)를 더 포함할 수 있다. 방법(2100)은, 복합재료, 예를 들어, 도 12a 내지 12g에 도시된 재료를 생산하는 데 사용될 수 있다.

[0196] 2102에서, 규소 나노입자가 제공된다.

[0197] 2104에서, 규소 나노입자가 희생층으로 코팅된다.

[0198] 2106에서, 나노입자는 비결정질 탄소 재료로 코팅된다.

[0199] 2108에서, 코팅된 나노입자는 비결정질 탄소 재료를 열분해하기 위해 가열된다. 열분해 공정은 비결정질 탄소의 결정화도 및/또는 전기전도도를 증가시킬 수 있다.

[0200] 2110에서, 나노입자는 줄 가열되어 단계(2106) 또는 단계(2108)로부터의 탄소 재료를 터보스트래틱 그래핀으로 전환시킨다.

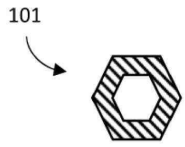
[0201] 2112에서, 희생층이 에칭되어, 규소 나노입자와 터보스트래틱 그래핀 사이에 공극을 생성한다.

[0202] 2114에서, 규소 나노입자가 에칭되어, 규소 나노입자와 터보스트래틱 그래핀 사이에 공극을 생성한다. 일부 예들에서, 규소는 단계(2110)를 수행하기 전에 에칭될 수 있다.

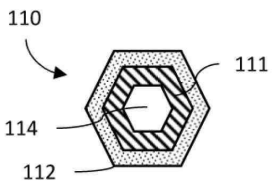
[0203] 앞의 설명은 하나 이상의 장치, 방법 또는 시스템의 예를 제공하였지만, 인식될 수 있는 바와 같이, 해당 기술 분야의 통상의 기술자에 의해 해석되는 바에 따라 다른 장치, 방법 또는 시스템도 청구범위의 범위 내에 속할 수 있다.

## 도면

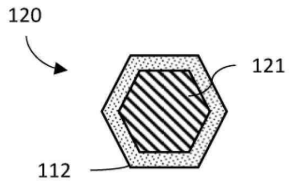
### 도면1a



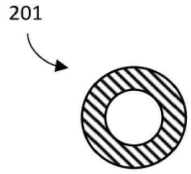

### 도면1b



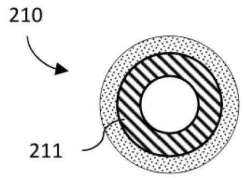
도면1c



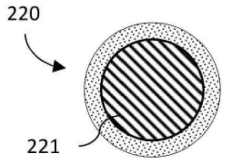

도면2a



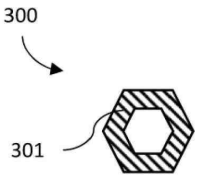

도면2b



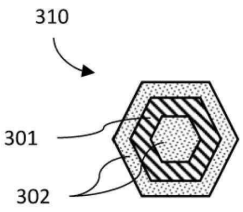

도면2c



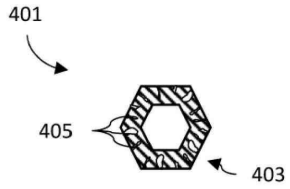

도면3a



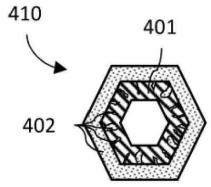

도면3b



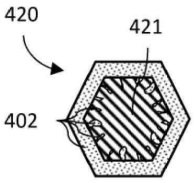
도면4a



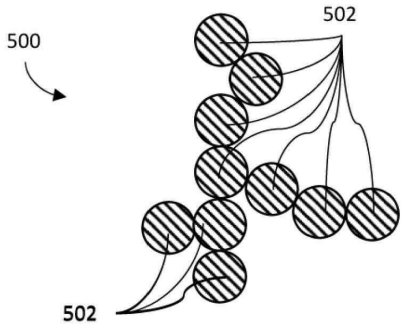

도면4b



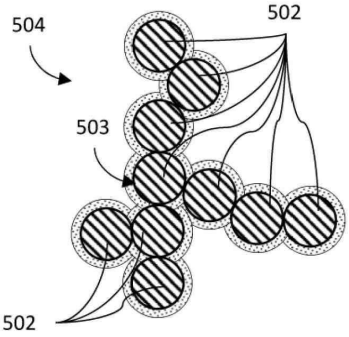

도면4c



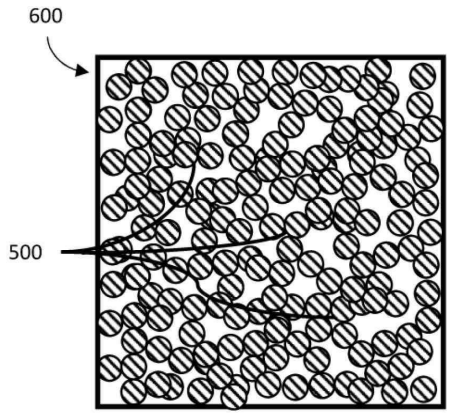

도면5a



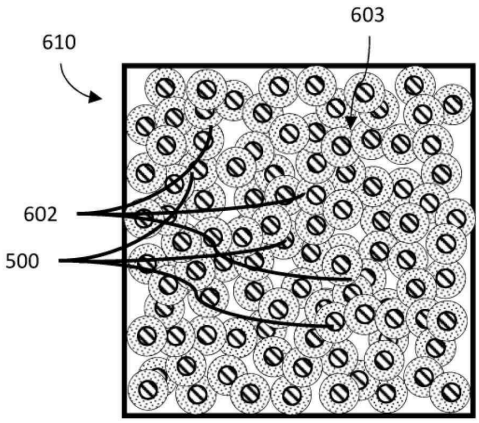

도면5b



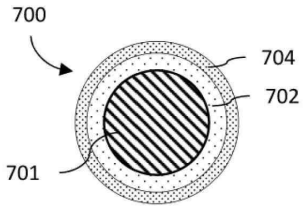
도면6a



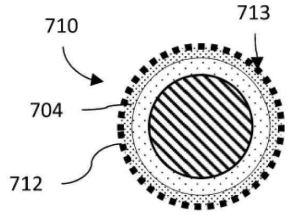

도면6b



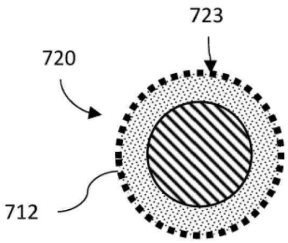

도면7a



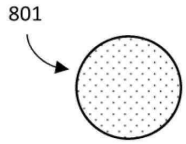

도면7b



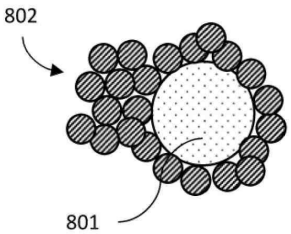
도면7c



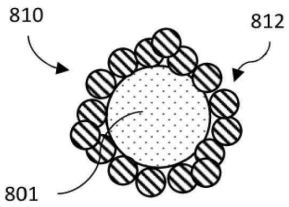

도면8a



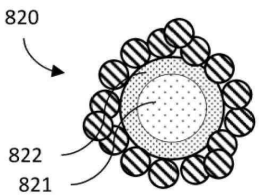

도면8b



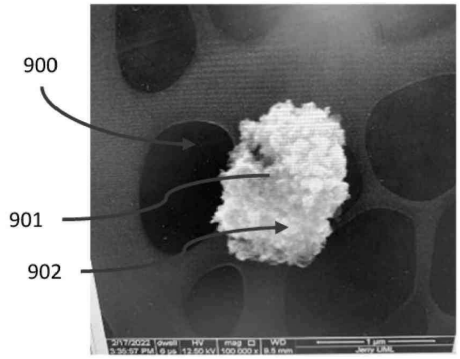

도면8c



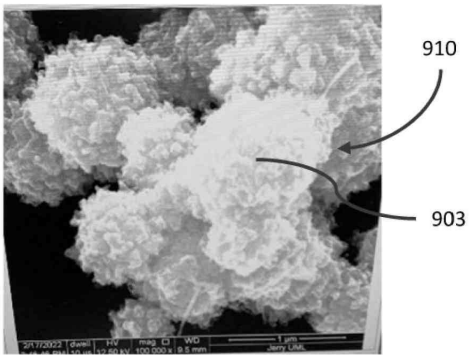

도면8d



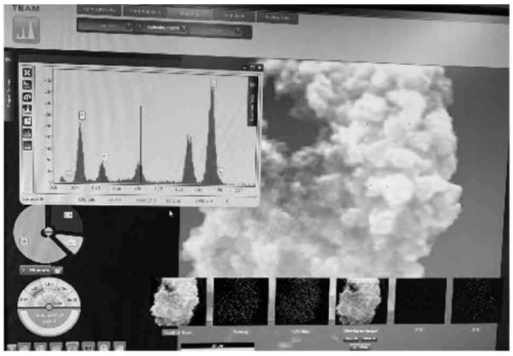
도면9a



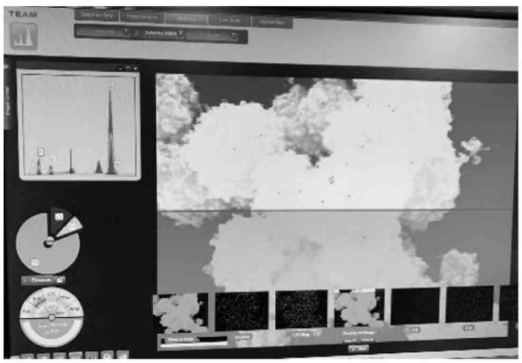

도면9b



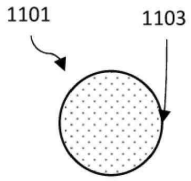

도면10a



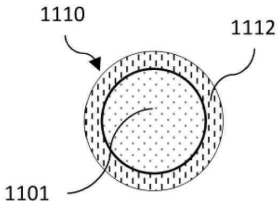
도면10b



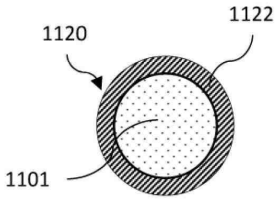
도면11a



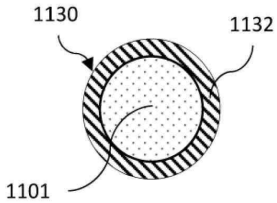

도면11b



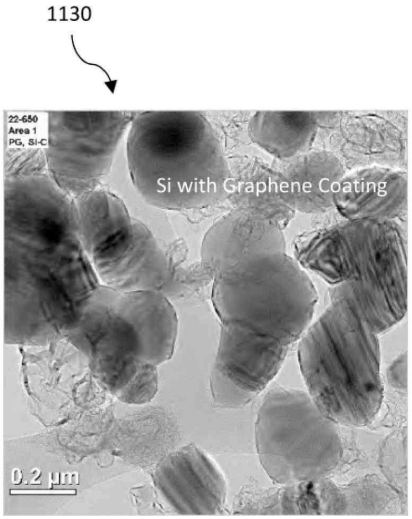

도면11c



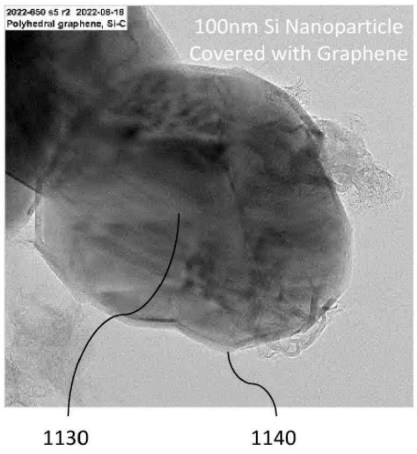

도면11d



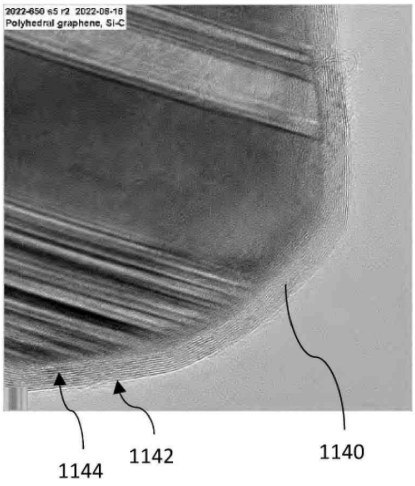

도면11e



도면11f



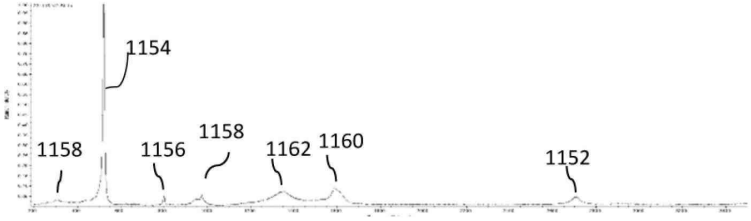

도면11g



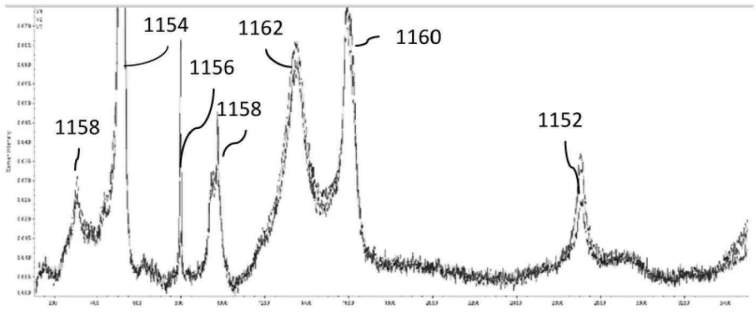

도면11h



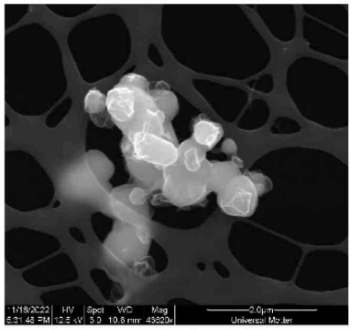

도면11i



도면11j

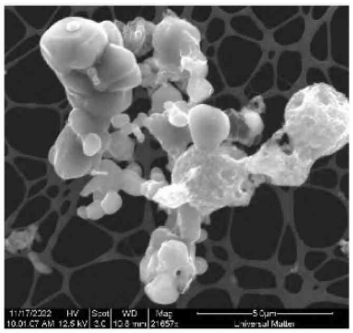



도면11k



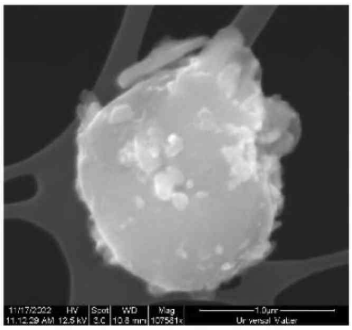
| 원소 | Wt % | At % |
|---|---|---|
| C K | 43.89 | 59.70 |
| O K | 17.46 | 17.82 |
| SiK | 38.65 | 22.48 |
| 합계 | 100.00 | 100.00 |

도면11l



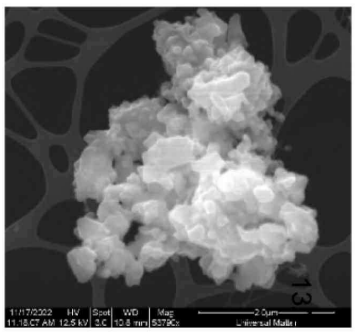
| 원소 | Wt % | At % |
|---|---|---|
| C K | 63.35 | 79.69 |
| O K | 1.45 | 1.37 |
| SiK | 35.20 | 18.94 |
| 합계 | 100.00 | 100.00 |

도면11m



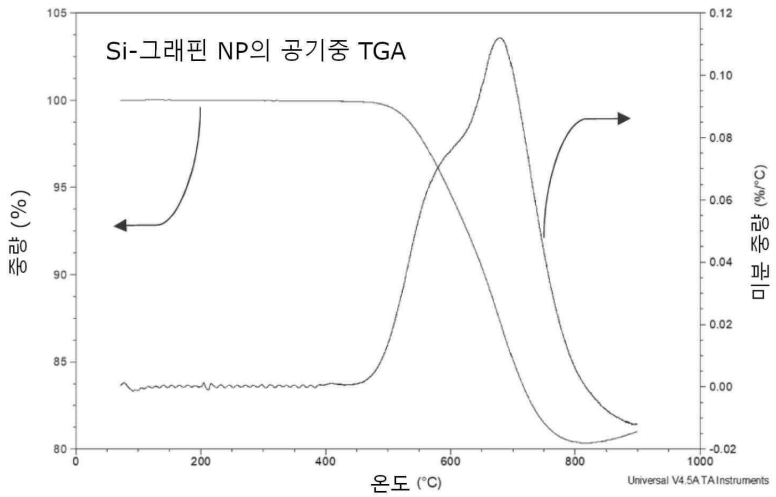
| 원소 | Wt % | At % |
|---|---|---|
| C K | 84.27 | 90.48 |
| O K | 6.62 | 5.34 |
| SiK | 9.11 | 4.18 |
| 합계 | 100.00 | 100.00 |

도면11n

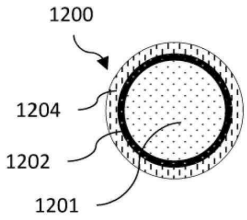


| 원소 | Wt % | At % |
|---|---|---|
| C K | 55.48 | 73.37 |
| O K | 3.38 | 3.35 |
| SiK | 41.15 | 23.27 |
| 합계 | 100.00 | 100.00 |

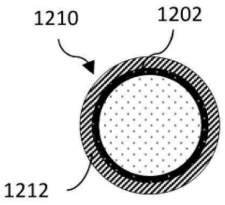
도면11o



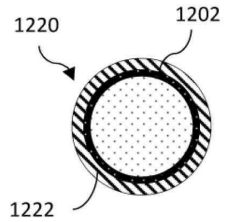
도면12a



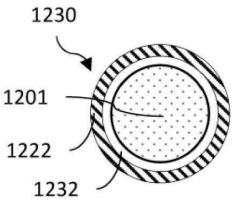

도면12b



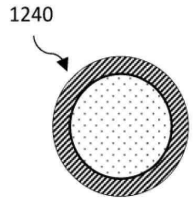

도면12c



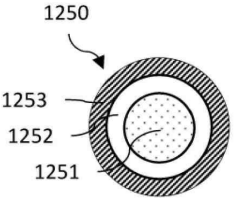

도면12d



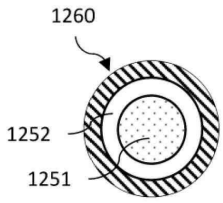

도면12e



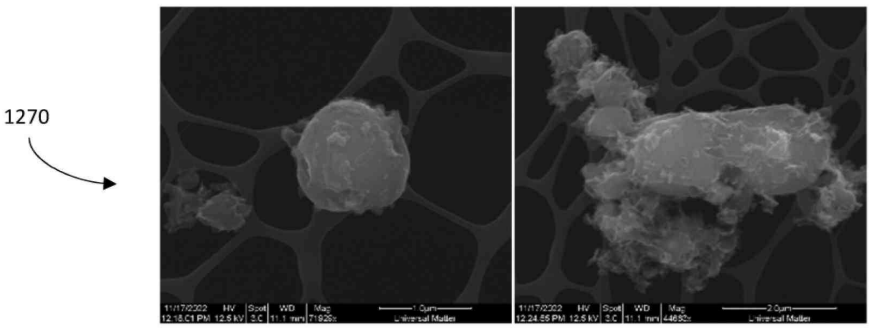

도면12f



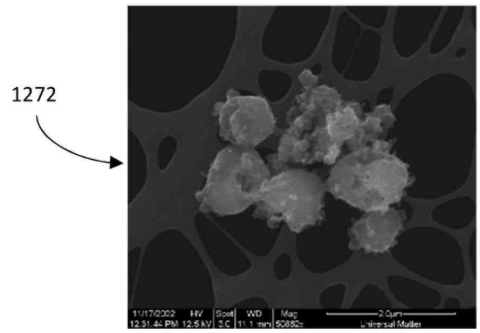
도면12g




도면12h



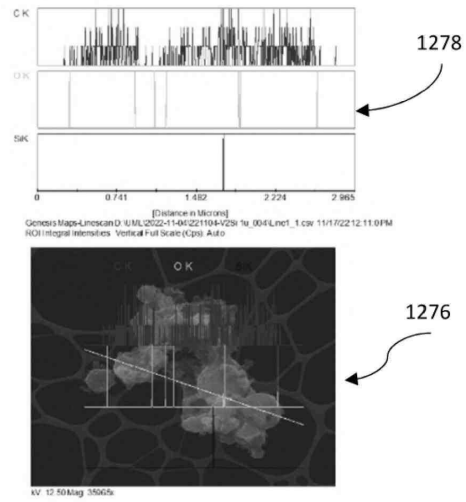

도면12i



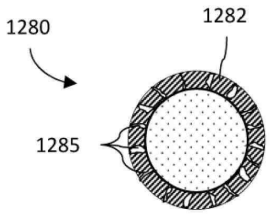

1274

| 원소 | Wt % | At % |
|---|---|---|
| C K | 90.82 | 93.16 |
| O K | 8.48 | 6.53 |
| SiK | 0.70 | 0.31 |
| 합계 | 100.00 | 100.00 |

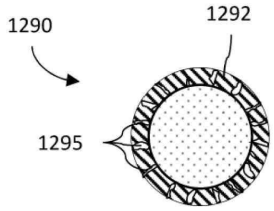
도면12j



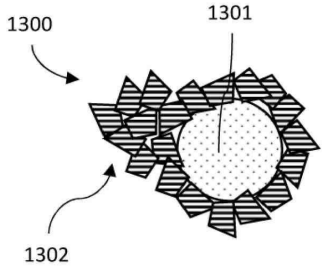

도면12k



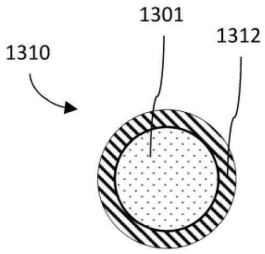

도면121



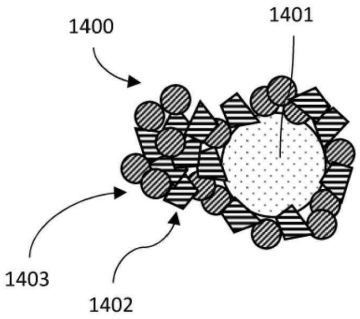

도면13a



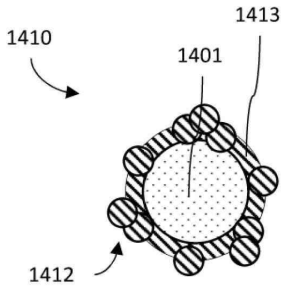
도면13b



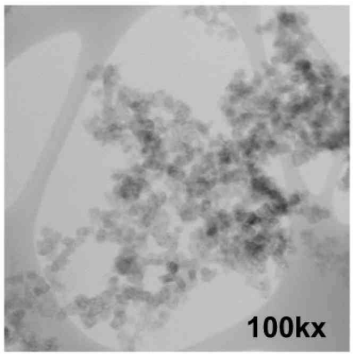

도면14a



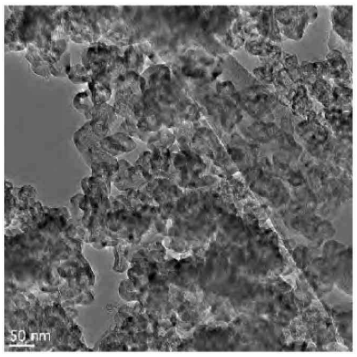

도면14b



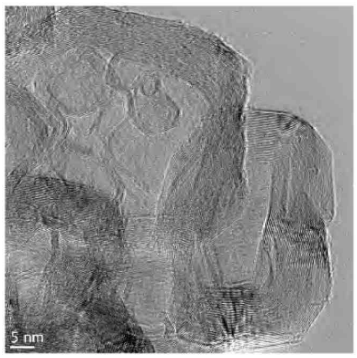

도면15a



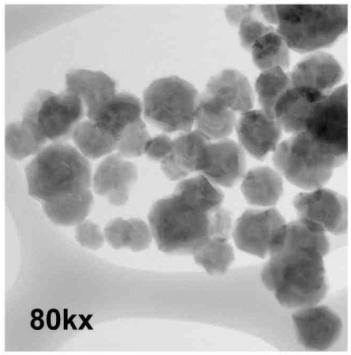
도면15b



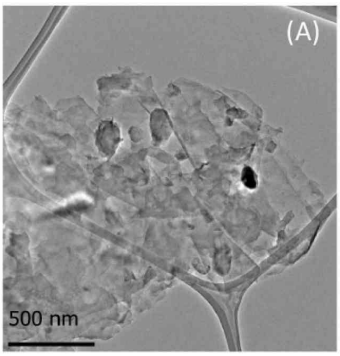

도면15c



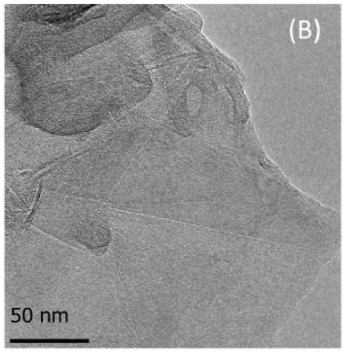

도면15d



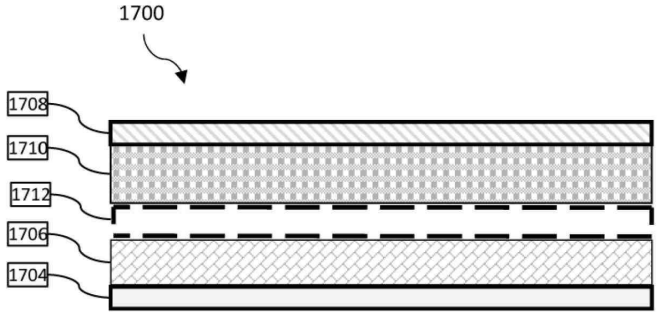

도면16a



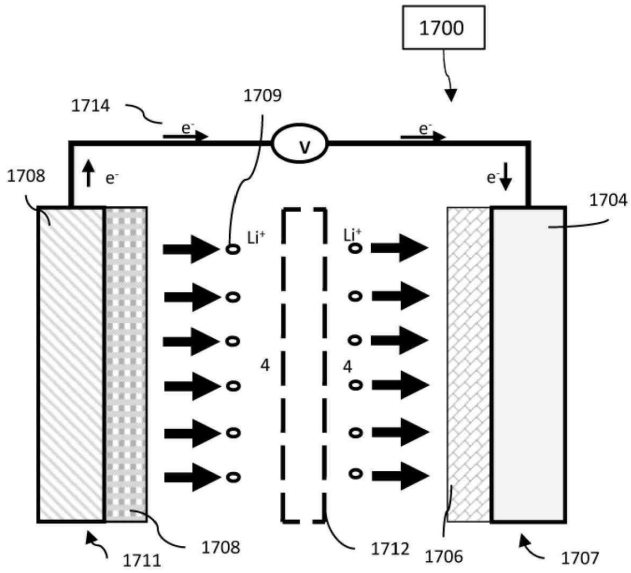
도면16b



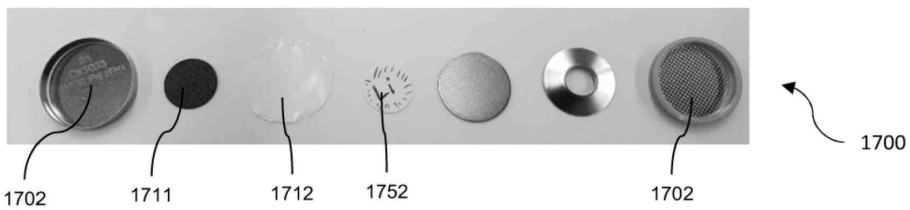

도면17a



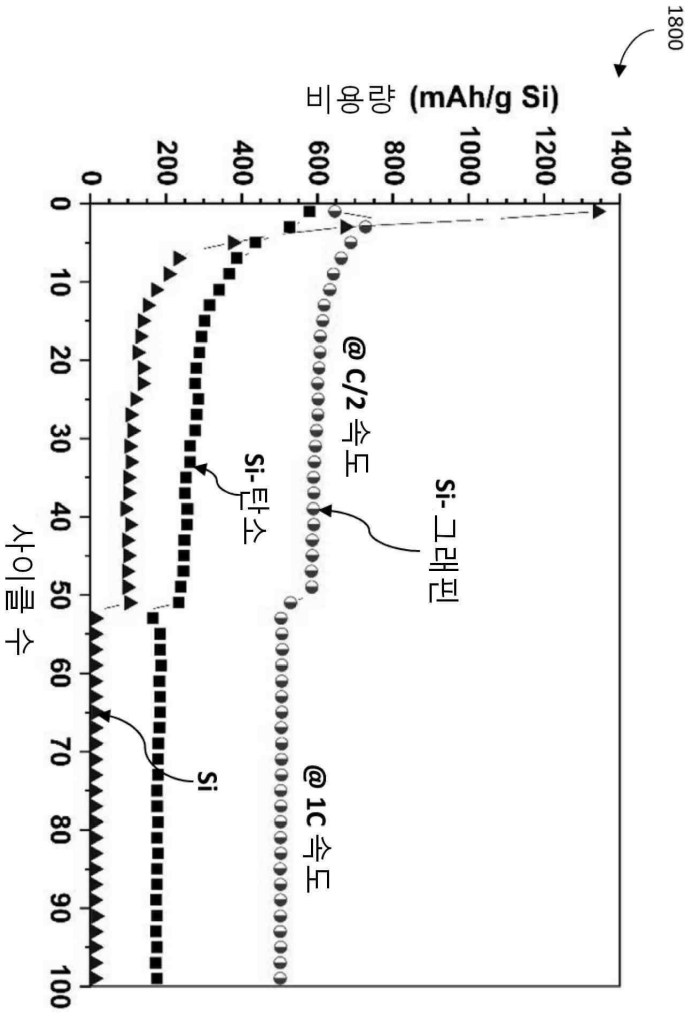

도면17b



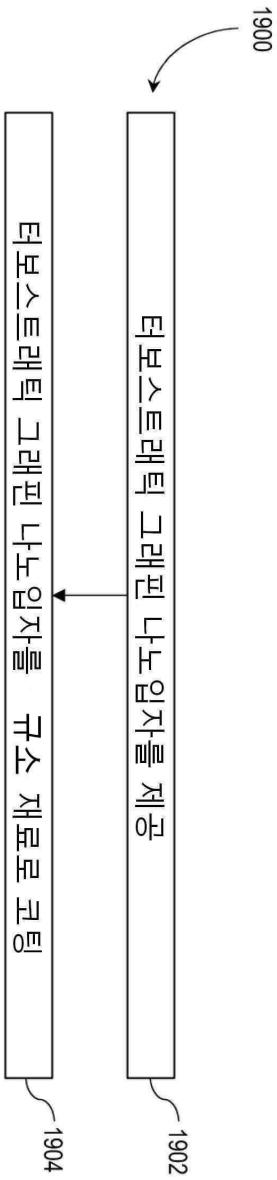

도면17c



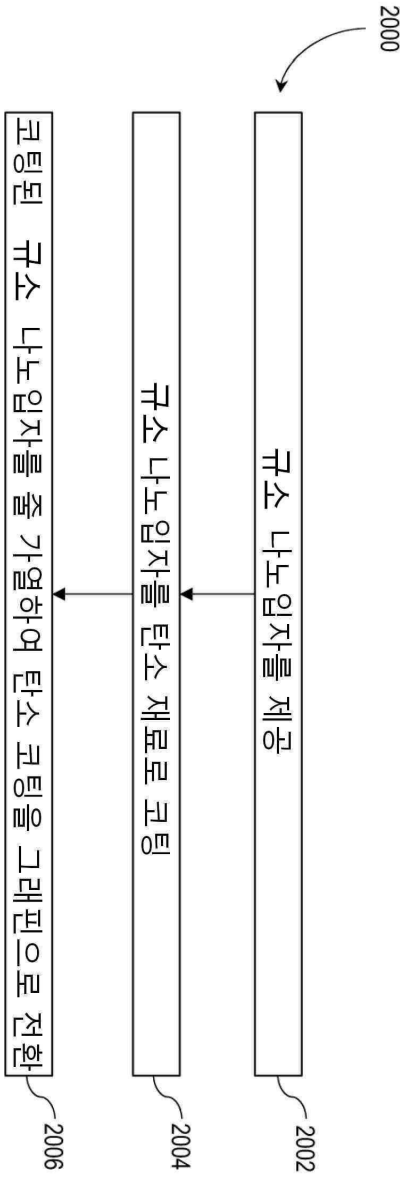
도면18


1800
비용량 (mAh/g Si)
0
200
400
600
800
1000
1200
1400
사이클 수
0
10
20
30
40
50
60
70
80
90
100
@ C/2 속도
Si-탄소
Si-그래핀
Si
@ 1C 속도

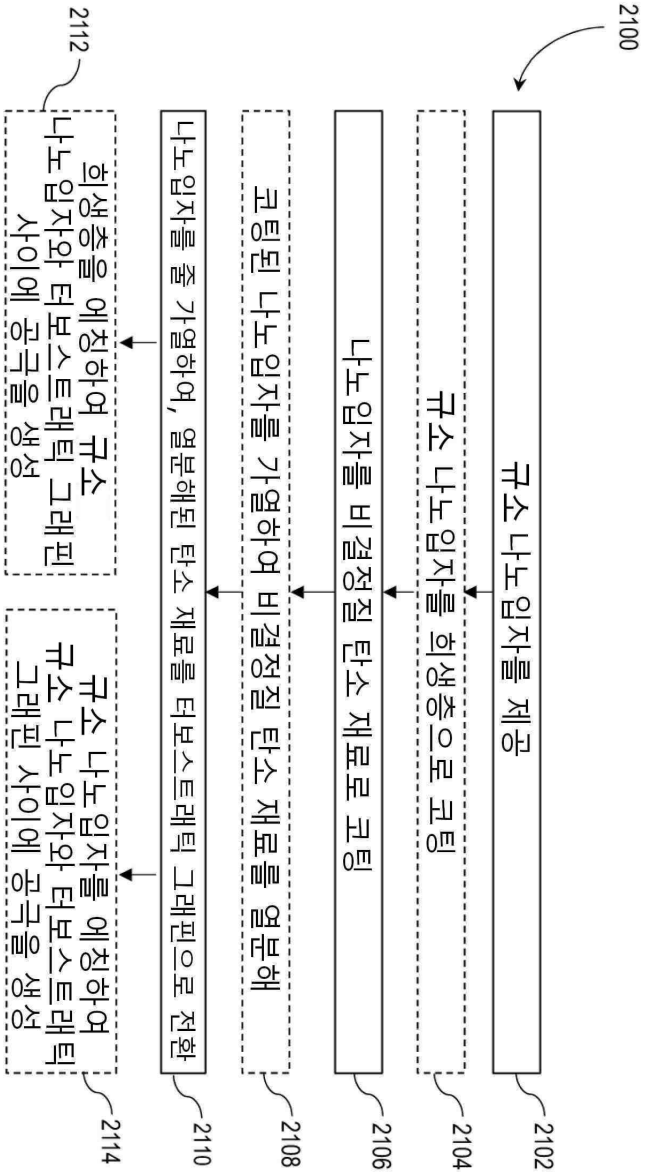
도면19



도면20


2000
규소 나노입자를 제공
2002
규소 나노입자를 탄소 재료로 코팅
2004
코팅된 규소 나노입자를 줄 가열하여 탄소 코팅을 그래핀으로 전환
2006

도면21


2100
규소 나노입자를 제공
2102
규소 나노입자를 희생층으로 코팅
2104
나노입자를 비결정질 탄소 재료로 코팅
2106
코팅된 나노입자를 가열하여 비결정질 탄소 재료를 열분해
2108
나노입자를 줄 가열하여, 열분해된 탄소 재료를 터보스트래틱 그래핀으로 전환
2110
희생층을 에칭하여 규소 나노입자와 터보스트래틱 그래핀 사이에 공극을 생성
2112
규소 나노입자를 에칭하여 규소 나노입자와 터보스트래틱 그래핀 사이에 공극을 생성
2114