

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-57346
(P2019-57346A)

(43) 公開日 平成31年4月11日(2019.4.11)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 16/08 (2006.01)	G 1 1 C 16/08 1 2 0	5 B 2 2 5
G 1 1 C 16/04 (2006.01)	G 1 1 C 16/08 1 2 3	
G 1 1 C 11/56 (2006.01)	G 1 1 C 16/04 1 7 0	
	G 1 1 C 11/56 2 2 0	

審査請求 未請求 請求項の数 17 O L (全 28 頁)

(21) 出願番号 特願2017-180531 (P2017-180531)
(22) 出願日 平成29年9月20日 (2017. 9. 20)

(71) 出願人 318010018
東芝メモリ株式会社
東京都港区芝浦一丁目1番1号
(74) 代理人 100108855
弁理士 蔵田 昌俊
(74) 代理人 100103034
弁理士 野河 信久
(74) 代理人 100075672
弁理士 峰 隆司
(74) 代理人 100153051
弁理士 河野 直樹
(74) 代理人 100189913
弁理士 鶴飼 健

最終頁に続く

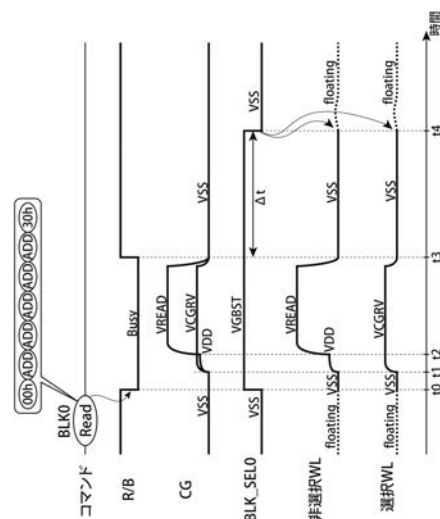
(54) 【発明の名称】 メモリシステム

(57) 【要約】

【課題】動作性能を向上出来るメモリシステムを提供する。

【解決手段】一実施形態のメモリシステムは、半導体メモリとコントローラとを具備する。半導体メモリは、第1メモリセルを含む第1ブロックと、第1ワード線と、第1ワード線と第1信号線とを接続可能な第1トランジスタと、第1トランジスタのゲートに第1ブロック選択信号を供給する第1ブロックデコーダとを含む第1ロウデコーダと、第1信号線に電圧を転送するドライバ回路とを備える。第1ブロックからデータが読み出され、半導体メモリがレディ信号を出力した後も、第1ブロックデコーダは、第1の期間、第1ブロック選択信号をアサートし続け、ドライバ回路は第1信号線に第1電圧よりも小さい第3電圧を転送し、第1の期間が経過すると、第1ブロックデコーダは第1ブロック選択信号をネゲートする。

【選択図】 図6



【特許請求の範囲】**【請求項 1】**

データを保持可能な半導体メモリと、
前記半導体メモリからデータを読み出し可能なコントローラと
を具備し、前記半導体メモリは、半導体基板上方に三次元に積層された複数の第 1 メモリセルを含む第 1 ブロックと、

前記第 1 メモリセルに接続された複数の第 1 ワード線と、
前記複数の第 1 ワード線と、複数の第 1 信号線とをそれぞれ接続可能な複数の第 1 トランジスタと、前記複数の第 1 トランジスタのゲートに第 1 ブロック選択信号を供給する第 1 ブロックデコーダとを含む第 1 ロウデコーダと、

前記第 1 信号線に電圧を転送するドライバ回路と
を備え、前記コントローラが前記半導体メモリに対して、前記第 1 ブロックに保持されるデータの読み出し命令を発行した際、

前記半導体メモリは前記コントローラにビジー状態であることを通知するビジー信号を出力し、前記ビジー状態において、前記第 1 ブロックデコーダが前記第 1 ブロック選択信号をアサートして前記複数の第 1 トランジスタをオン状態とすることにより、選択されたいずれかの前記第 1 ワード線に第 1 電圧が転送され、非選択のその他の前記第 1 ワード線に前記第 1 電圧よりも大きい第 2 電圧が転送され、

前記第 1 ブロックからデータが読み出され、前記半導体メモリが前記コントローラにレディ状態であることを通知するレディ信号を出力した後も、前記第 1 ブロックデコーダは、第 1 の期間、前記第 1 ブロック選択信号をアサートし続け、前記ドライバ回路は、前記複数の第 1 信号線に、前記第 1 電圧よりも小さい第 3 電圧を転送し、前記第 1 の期間が経過すると、前記第 1 ブロックデコーダは前記第 1 ブロック選択信号をネゲートする、メモリシステム。

【請求項 2】

前記第 1 ロウデコーダは、前記第 1 の期間、前記第 1 ブロックに含まれる全てのワード線に対して前記第 3 電圧を転送する、請求項 1 記載のメモリシステム。

【請求項 3】

前記第 1 ブロック選択信号の電位は、前記第 1 ワード線に前記第 1 電圧及び前記第 2 電圧を転送する際には、前記第 2 電圧よりも大きい第 4 電圧とされ、前記第 1 ワード線に前記第 3 電圧を転送する際には、前記第 2 電圧よりも小さく且つ前記第 3 電圧よりも大きい第 5 電圧が印加される、請求項 1 または 2 記載のメモリシステム。

【請求項 4】

前記半導体メモリは、前記半導体基板上方に三次元に積層された複数の第 2 メモリセルを含む第 2 ブロックと、

前記第 2 メモリセルに接続された複数の第 2 ワード線と、
前記複数の第 2 ワード線と、前記複数の第 1 信号線とをそれぞれ接続可能な複数の第 2 トランジスタと、前記複数の第 2 トランジスタのゲートに第 2 ブロック選択信号を供給する第 2 ブロックデコーダとを含む第 2 ロウデコーダと

を更に備え、前記第 1 の期間内に、前記コントローラが前記半導体メモリに対して、前記第 2 ブロックへのアクセスコマンドを発行した際には、

前記第 1 ブロックデコーダは前記第 1 ブロック選択信号をネゲートし、
前記第 2 ブロックデコーダが前記第 2 ブロック選択信号をアサートする、請求項 1 乃至 3 いずれか 1 項記載のメモリシステム。

【請求項 5】

前記第 1 ブロック選択信号がネゲートされることにより、前記第 1 ワード線は電氣的にフローティングの状態とされる、請求項 4 記載のメモリシステム。

【請求項 6】

前記コントローラが前記半導体メモリに第 1 コマンドを発行した際、
前記第 1 ブロックデコーダ及び前記第 2 ブロックデコーダは前記第 1 ブロック選択信号

10

20

30

40

50

及び前記第 2 ブロック選択信号をそれぞれアサートし、

前記第 1 トランジスタ及び前記第 2 トランジスタが、前記第 1 ワード線及び第 2 ワード線に、前記第 3 電圧を転送する、請求項 4 乃至 5 いずれか 1 項記載のメモリシステム。

【請求項 7】

データを保持可能な半導体メモリと、

前記半導体メモリからデータを読み出し可能なコントローラと

を具備し、前記半導体メモリは、半導体基板上方に三次元に積層された複数の第 1 メモリセルを含む第 1 ブロックと、

前記半導体基板上方に三次元に積層された複数の第 2 メモリセルを含む第 2 ブロックと

、

前記第 1 メモリセルに接続された複数の第 1 ワード線と、

前記第 2 メモリセルに接続された複数の第 2 ワード線と、

前記第 1 ワード線に電圧を転送可能な第 1 ロウデコーダと、

前記第 2 ワード線に電圧を転送可能な第 2 ロウデコーダと

を備え、前記コントローラが前記半導体メモリに対して、前記第 1 ブロックに保持されるデータの読み出し命令を発行した際、

前記半導体メモリは前記コントローラにビジー状態であることを通知するビジー信号を出力し、前記ビジー状態において前記第 1 ロウデコーダは、選択されたいずれかの前記第 1 ワード線に第 1 電圧を転送し、非選択のその他の前記第 1 ワード線に前記第 1 電圧よりも大きい第 2 電圧を転送し、

前記第 1 ブロックからデータが読み出された後に、前記半導体メモリは前記コントローラにレディ状態であることを通知するレディ信号を出力した後も、前記第 1 ロウデコーダは、第 1 の期間、前記複数の第 1 ワード線に、前記第 1 電圧よりも小さい第 3 電圧を転送し、

前記第 1 の期間内に、前記コントローラが前記半導体メモリに対して、前記第 2 ブロックへのアクセスコマンドを発行した際には、前記第 1 ロウデコーダは前記第 1 ワード線への電圧の転送を停止し、前記第 2 ロウデコーダが前記第 2 ワード線への電圧の転送を開始する、メモリシステム。

【請求項 8】

前記第 1 の期間は、前記第 1 ワード線の電位が前記第 2 電圧である期間以上の長さである、請求項 1 乃至 7 いずれか 1 項記載のメモリシステム。

【請求項 9】

データを保持可能な半導体メモリと、

前記半導体メモリからデータを読み出し可能なコントローラと

を具備し、前記半導体メモリは、半導体基板上方に三次元に積層された複数の第 1 メモリセルを含む第 1 ブロックと、

前記半導体基板上方に三次元に積層された複数の第 2 メモリセルを含む第 2 ブロックと

、

前記第 1 メモリセルに接続された複数の第 1 ワード線と、

前記第 2 メモリセルに接続された複数の第 2 ワード線と、

前記第 1 ワード線に電圧を転送可能な第 1 ロウデコーダと、

前記第 2 ワード線に電圧を転送可能な第 2 ロウデコーダと

を備え、前記コントローラが前記半導体メモリに対して、前記第 1 ブロックまたは前記第 2 ブロックに保持されるデータの読み出し命令を発行した際、選択ワード線には第 1 電圧が転送され、非選択ワード線には前記第 1 電圧よりも大きい第 2 電圧が転送され、

前記コントローラが前記半導体メモリに第 1 コマンドを発行した際、前記第 1 ロウデコーダ及び前記第 2 ロウデコーダはそれぞれ前記複数の第 1 ワード線及び前記複数の第 2 ワード線に、前記第 1 電圧よりも小さい第 3 電圧を転送する、メモリシステム。

【請求項 10】

前記第 1 コマンドが発行された際、前記第 1 ブロックと前記第 2 ブロックに含まれる全

10

20

30

40

50

てのワード線に対して前記第 3 電圧が転送される、請求項 9 記載のメモリシステム。

【請求項 1 1】

前記コントローラは、前記第 1 コマンドを定期的に発行する、請求項 9 または 10 記載のメモリシステム。

【請求項 1 2】

前記コントローラは、前記第 1 ブロック及び前記第 2 ブロックの状態に応じて、前記第 1 コマンドの発行タイミングを決定する、請求項 9 または 10 記載のメモリシステム。

【請求項 1 3】

データを保持可能な半導体メモリと、
前記半導体メモリからデータを読み出し可能なコントローラと
を具備し、前記半導体メモリは、半導体基板上方に三次元に積層された複数の第 1 メモリセルを含む第 1 ブロックと、
前記半導体基板上方に三次元に積層された複数の第 2 メモリセルを含む第 2 ブロックと

10

、
前記第 1 メモリセルに接続された複数の第 1 ワード線と、
前記第 2 メモリセルに接続された複数の第 2 ワード線と、
前記第 1 ワード線に電圧を転送可能な第 1 ロウデコーダと、
前記第 2 ワード線に電圧を転送可能な第 2 ロウデコーダと
を備え、前記コントローラが前記半導体メモリに対して、前記第 1 ブロックに対する読み出し命令または書き込み命令を発行した際、前記半導体メモリにおける読み出し動作または書き込み動作の最中に、前記第 1 ロウデコーダ及び前記第 2 ロウデコーダがそれぞれ前記第 1 ワード線及び前記第 2 ワード線に同時に、第 1 電圧を転送する、メモリシステム。

20

【請求項 1 4】

前記読み出し動作においては、前記第 1 電圧よりも大きい第 2 電圧が前記第 1 ワード線に印加された際に読み出されたデータがセンスされ、

前記第 1 電圧は、前記第 1 ワード線に前記第 2 電圧が印加される前、及び/または前記第 2 電圧が印加されてデータセンスされた後に、前記第 1 ワード線に転送される、請求項 1 3 記載のメモリシステム。

【請求項 1 5】

前記読み出し動作において、前記第 2 電圧が前記第 1 ワード線に印加されている期間、前記第 2 ワード線は電氣的にフローティングの状態とされる、請求項 1 4 記載のメモリシステム。

30

【請求項 1 6】

前記書き込み動作は、プログラム動作と、プログラムベリファイ動作とを含み、
前記プログラム動作と前記プログラムベリファイ動作の間の期間に、前記第 1 ロウデコーダ及び前記第 2 ロウデコーダがそれぞれ前記第 1 ワード線及び前記第 2 ワード線に同時に、第 1 電圧を転送する、請求項 1 3 記載のメモリシステム。

【請求項 1 7】

前記プログラム動作と前記プログラムベリファイ動作の期間、前記第 2 ワード線は電氣的にフローティングの状態とされる、請求項 1 6 記載のメモリシステム。

40

【発明の詳細な説明】

【技術分野】

【0001】

実施形態は、メモリシステムに関する。

【背景技術】

【0002】

メモリセルが三次元に配列された半導体メモリが知られている。

【先行技術文献】

【特許文献】

50

【 0 0 0 3 】

【 特許文献 1 】 米国特許第 8 , 2 5 0 , 4 3 7 号明細書

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 4 】

動作信頼性を向上出来るメモリシステムを提供する。

【 課題を解決するための手段 】

【 0 0 0 5 】

本実施形態のメモリシステムは、データを保持可能な半導体メモリと、半導体メモリからデータを読み出し可能なコントローラとを具備する。半導体メモリは、半導体基板上方に三次元に積層された複数の第 1 メモリセルを含む第 1 ブロックと、第 1 メモリセルに接続された複数の第 1 ワード線と、第 1 ロウデコーダと、第 1 信号線に電圧を転送するドライバ回路とを備える。第 1 ロウデコーダは、複数の第 1 ワード線と複数の第 1 信号線とをそれぞれ接続可能な複数の第 1 トランジスタと、複数の第 1 トランジスタのゲートに第 1 ブロック選択信号を供給する第 1 ブロックデコーダとを含む。コントローラが半導体メモリに対して、第 1 ブロックに保持されるデータの読み出し命令を発行した際、半導体メモリはコントローラにビジー状態であることを通知するビジー信号を出力する。ビジー状態において、第 1 ブロックデコーダがブロック選択信号をアサートして複数の第 1 トランジスタをオン状態とすることにより、選択されたいずれかの第 1 ワード線に第 1 電圧が転送され、非選択のその他の第 1 ワード線に第 1 電圧よりも大きい第 2 電圧が転送される。第 1 ブロックからデータが読み出され、半導体メモリがコントローラにレディ状態であることを通知するレディ信号を出力した後も、第 1 ブロックデコーダは、第 1 の期間、前記第 1 ブロック選択信号をアサートし続け、ドライバ回路は、複数の第 1 信号線に、第 1 電圧よりも小さい第 3 電圧を転送し、第 1 の期間が経過すると、第 1 ブロックデコーダは第 1 ブロック選択信号をネゲートする。

【 図面の簡単な説明 】

【 0 0 0 6 】

【 図 1 】 図 1 は、第 1 実施形態に係るメモリシステムのブロック図。

【 図 2 】 図 2 は、第 1 実施形態に係るブロックの回路図。

【 図 3 】 図 3 は、第 1 実施形態に係るブロックの断面図。

【 図 4 】 図 4 は、第 1 実施形態に係るロウデコーダ及びドライバ回路の回路図。

【 図 5 】 図 5 は、第 1 実施形態に係る読み出し動作のフローチャート。

【 図 6 】 図 6 は、第 1 実施形態に係る読み出し動作時におけるコマンドシーケンスと各種信号のタイミングチャート。

【 図 7 】 図 7 は、読み出し動作時における各種信号のタイミングチャート。

【 図 8 】 図 8 は、メモリセルの閾値分布を示すグラフ。

【 図 9 】 図 9 は、第 2 実施形態に係る読み出し動作のフローチャート。

【 図 1 0 】 図 1 0 は、第 2 実施形態に係る読み出し動作時におけるコマンドシーケンスと各種信号のタイミングチャート。

【 図 1 1 】 図 1 1 は、第 2 実施形態に係る読み出し動作時におけるコマンドシーケンスと各種信号のタイミングチャート。

【 図 1 2 】 図 1 2 は、第 3 実施形態に係る読み出し動作時におけるコマンドシーケンスと各種信号のタイミングチャート。

【 図 1 3 】 図 1 3 は、第 3 実施形態に係るコマンドシーケンスと電子トラップ準位のグラフ。

【 図 1 4 】 図 1 4 は、第 4 実施形態に係る読み出し動作時におけるコマンドシーケンスと各種信号のタイミングチャート。

【 図 1 5 】 図 1 5 は、第 4 実施形態に係る読み出し動作時におけるコマンドシーケンスと各種信号のタイミングチャート。

【 図 1 6 】 図 1 6 は、第 5 実施形態に係る読み出し動作時におけるコマンドシーケンスと

10

20

30

40

50

各種信号のタイミングチャート。

【図17】図17は、第6実施形態に係る書き込み動作のフローチャート。

【図18】図18は、第6実施形態に係る書き込み動作時におけるコマンドシーケンスと各種信号のタイミングチャート。

【図19】図19は、第1乃至第6実施形態の変形例に係る読み出し動作時における各種信号のタイミングチャート。

【図20】図20は、第1乃至第6実施形態の変形例に係る読み出し動作時におけるコマンドシーケンスと各種信号のタイミングチャート。

【発明を実施するための形態】

【0007】

以下、図面を参照して実施形態について説明する。なお、以下の説明において、同一の機能及び構成を有する構成要素については、共通する参照符号を付す。

【0008】

1. 第1実施形態

第1実施形態に係るメモリシステムについて説明する。以下では、半導体記憶装置としてNAND型フラッシュメモリを備えたメモリシステムを例に挙げて説明する。

【0009】

1.1 構成について

1.1.1 メモリシステムの全体構成について

まず、本実施形態に係るメモリシステムの大まかな全体構成について、図1を用いて説明する。

【0010】

図示するようにメモリシステム1は、NAND型フラッシュメモリ100とコントローラ200とを備えている。NAND型フラッシュメモリ100とコントローラ200とは、例えばそれらの組み合わせにより一つの半導体装置を構成しても良く、その例としてはSD^TMカードのようなメモリカードや、SSD (solid state drive) 等が挙げられる。また、コントローラ200は例えばSoC (system on chip) 等であっても良い。

【0011】

NAND型フラッシュメモリ100は複数のメモリセルを備え、データを不揮発に記憶する。コントローラ200は、NANDバスによってNAND型フラッシュメモリ100に接続され、ホストバスによってホスト機器300に接続される。そしてコントローラ200は、NAND型フラッシュメモリ100を制御し、またホスト機器300から受信した命令に应答して、NAND型フラッシュメモリ100にアクセスする。ホスト機器300は、例えばデジタルカメラやパーソナルコンピュータ等であり、ホストバスは、例えばSD^TMインターフェースに従ったバスである。NANDバスは、NANDインターフェースに従った信号の送受信を行う。

【0012】

1.1.2 コントローラ200の構成について

引き続き図1を用いて、コントローラ200の構成の詳細について説明する。図1に示すようにコントローラ200は、ホストインターフェース回路210、内蔵メモリ(RAM)220、プロセッサ(CPU)230、バッファメモリ240、NANDインターフェース回路250、及びECC (Error Checking and Correcting) 回路260を備えている。

【0013】

ホストインターフェース回路210は、ホストバスを介してホスト機器300と接続され、ホスト機器300から受信した命令及びデータを、それぞれプロセッサ230及びバッファメモリ240に転送する。またプロセッサ230の命令に应答して、バッファメモリ240内のデータをホスト機器300へ転送する。

【0014】

プロセッサ230は、コントローラ200全体の動作を制御する。例えばプロセッサ2

10

20

30

40

50

30は、ホスト機器300から書き込み命令を受信した際には、それに応答して、NANDインターフェース回路250に対して書き込み命令を発行する。読み出し及び消去の際も同様である。またプロセッサ230は、ウェアレベリング等、NAND型フラッシュメモリ100を管理するための様々な処理を実行する。なお、以下で説明するコントローラ200の動作はプロセッサがソフトウェア(ファームウェア)を実行することによって実現されても良いし、またはハードウェアで実現されても良い。

【0015】

NANDインターフェース回路250は、NANDバスを介してNAND型フラッシュメモリ100と接続され、NAND型フラッシュメモリ100との通信を司る。そしてNANDインターフェース回路250は、プロセッサ230から受信した命令に基づき、種々の信号をNAND型フラッシュメモリ100へ送信し、またNAND型フラッシュメモリ100から受信する。

10

【0016】

バッファメモリ240は、書き込みデータや読み出しデータを一時的に保持する。

【0017】

内蔵メモリ220は、例えばDRAMやSRAM等の半導体メモリであり、プロセッサ230の作業領域として使用される。そして内蔵メモリ220は、NAND型フラッシュメモリ100を管理するためのファームウェアや、各種の管理テーブル等を保持する。

【0018】

ECC回路260は、NAND型フラッシュメモリ100に記憶されるデータに関する誤り検出及び誤り訂正処理を行う。すなわちECC回路260は、データの書き込み時には誤り訂正符号を生成して、これを書き込みデータに付与し、データの読み出し時にはこれを復号する。

20

【0019】

1.1.3 NAND型フラッシュメモリ100の構成について

1.1.3.1 NAND型フラッシュメモリ100の全体構成について

次に、NAND型フラッシュメモリ100の構成について説明する。図1に示すようにNAND型フラッシュメモリ100は、メモリセルアレイ110、ロウデコーダ120(120-0~120-3)、ドライバ回路130、センスアンプ140、アドレスレジスタ150、コマンドレジスタ160、及びシーケンサ170を備える。

30

【0020】

メモリセルアレイ110は、ロウ及びカラムに対応付けられた複数の不揮発性のメモリセルを含む複数のブロックBLKを備えている。図1では一例として4つのブロックBLK0~BLK3が図示されている。そしてメモリセルアレイ110は、コントローラ200から与えられたデータを記憶する。

【0021】

ロウデコーダ120-0~120-3は、それぞれブロックBLK0~BLK3に対応付けて設けられる。そして対応するブロックBLKのロウ方向を選択する。

【0022】

ドライバ回路130は、選択されたブロックBLKに対して、ロウデコーダ120を介して電圧を供給する。

40

【0023】

センスアンプ140は、データの読み出し時には、メモリセルアレイ110から読み出されたデータをセンスし、必要な演算を行う。そして、このデータDATをコントローラ200に出力する。データの書き込み時には、コントローラ200から受信した書き込みデータDATを、メモリセルアレイ110に転送する。

【0024】

アドレスレジスタ150は、コントローラ200から受信したアドレスADDを保持する。コマンドレジスタ160は、コントローラ200から受信したコマンドCMDを保持する。

50

【 0 0 2 5 】

シーケンサ 170 は、レジスタ 150 及び 160 に保持された種々の情報に基づき、NAND 型フラッシュメモリ 100 全体の動作を制御する。

【 0 0 2 6 】

1.1.3.2 ブロック B L K の構成について

次に、上記ブロック B L K の構成について図 2 を用いて説明する。図示するように、ブロック B L K は例えば 4 つのストリングユニット S U (S U 0 ~ S U 3) を含む。また各々のストリングユニット S U は、複数の NAND ストリング 10 を含む。

【 0 0 2 7 】

NAND ストリング 10 の各々は、例えば 8 個のメモリセルトランジスタ M T (M T 0 ~ M T 7) 及び選択トランジスタ S T 1、S T 2 を含んでいる。メモリセルトランジスタ M T は、制御ゲートと電荷蓄積層とを備え、データを不揮発に保持する。そしてメモリセルトランジスタ M T は、選択トランジスタ S T 1 のソースと選択トランジスタ S T 2 のドレインとの間に直列接続されている。

【 0 0 2 8 】

ストリングユニット S U 0 ~ S U 3 の各々における選択トランジスタ S T 1 のゲートは、それぞれセレクトゲート線 S G D 0 ~ S G D 3 に接続される。これに対してストリングユニット S U 0 ~ S U 3 の各々における選択トランジスタ S T 2 のゲートは、例えばセレクトゲート線 S G S に共通接続される。もちろん、ストリングユニット毎に異なるセレクトゲート線 S G S 0 ~ S G S 3 に接続されても良い。また、同一のブロック B L K 内にあるメモリセルトランジスタ M T 0 ~ M T 7 の制御ゲートは、それぞれワード線 W L 0 ~ W L 7 に共通接続される。

【 0 0 2 9 】

また、メモリセルアレイ 110 内において同一列にある NAND ストリング 10 の選択トランジスタ S T 1 のドレインは、ビット線 B L (B L 0 ~ B L (L - 1)、但し (L - 1) は 2 以上の自然数) に共通接続される。すなわちビット線 B L は、複数のブロック B L K 間で NAND ストリング 10 を共通に接続する。更に、複数の選択トランジスタ S T 2 のソースは、ソース線 S L に共通に接続されている。

【 0 0 3 0 】

つまりストリングユニット S U は、異なるビット線 B L に接続され、且つ同一のセレクトゲート線 S G D に接続された NAND ストリング 10 を複数含む。またブロック B L K は、ワード線 W L を共通にする複数のストリングユニット S U を複数含む。そしてメモリセルアレイ 110 は、ビット線 B L を共通にする複数のブロック B L K を複数含む。

【 0 0 3 1 】

図 3 は、ブロック B L K の一部領域の断面図である。図示するように、p 型ウェル領域 20 上に、複数の NAND ストリング 10 が形成されている。すなわち、ウェル領域 20 上には、セレクトゲート線 S G S として機能する例えば 4 層の配線層 27、ワード線 W L 0 ~ W L 7 として機能する 8 層の配線層 23、及びセレクトゲート線 S G D として機能する例えば 4 層の配線層 25 が、順次積層されている。積層された配線層間には、図示せぬ絶縁膜が形成されている。

【 0 0 3 2 】

そして、これらの配線層 25、23、27 を貫通してウェル領域 20 に達するピラー状の導電体 31 が形成されている。導電体 31 の側面には、ゲート絶縁膜 30、電荷蓄積層 (絶縁膜) 29、及びブロック絶縁膜 28 が順次形成され、これらによってメモリセルトランジスタ M T、並びに選択トランジスタ S T 1 及び S T 2 が形成されている。導電体 31 は、NAND ストリング 10 の電流経路として機能し、各トランジスタのチャネルが形成される領域となる。そして導電体 31 の上端は、ビット線 B L として機能する金属配線層 32 に接続される。

【 0 0 3 3 】

ウェル領域 20 の表面領域内には、n⁺ 型不純物拡散層 33 が形成されている。拡散層

10

20

30

40

50

33上にはコンタクトプラグ35が形成され、コンタクトプラグ35は、ソース線SLとして機能する金属配線層36に接続される。更に、ウェル領域20の表面領域内には、p⁺型不純物拡散層34が形成されている。拡散層34上にはコンタクトプラグ37が形成され、コンタクトプラグ37は、ウェル配線CPWELLとして機能する金属配線層38に接続される。ウェル配線CPWELLは、ウェル領域20を介して導電体31に電位を印加するための配線である。

【0034】

以上の構成が、図3を記載した紙面の奥行き方向に複数配列されており、奥行き方向に並ぶ複数のNANDストリング10の集合によってストリングユニットSUが形成される。

10

【0035】

本例では、1つのメモリセルトランジスタMTが例えば3ビットデータを保持可能である。この3ビットデータを、下位ビットからそれぞれlowerビット、middleビット、及びupperビットと呼ぶ。そして、同一のストリングユニットSUにおいて同一のワード線WLに接続されたメモリセルの保持するlowerビットの集合をlowerページと呼び、middleビットの集合をmiddleページと呼び、upperビットの集合をupperページと呼ぶ。つまり、1本のワード線WLには3ページが割り当てられる。よって、「ページ」とは、同一ワード線に接続されたメモリセルによって形成されるメモリ空間の一部、と定義することも出来る。そして、データの書き込み及び読み出しは、このページ毎に行われる。本例の場合、1つのストリングユニットSUは8本のワード線を含むので、各ストリングユニットSUは(3×8)=24ページを含み、1つのブロックBLKは4つのストリングユニットSUを含むので、各ブロックは(24×4)=96ページを含む。

20

【0036】

なおデータの消去は、ブロックBLK単位、またはブロックBLKよりも小さい単位で行うことが出来る。消去方法に関しては、例えば“NONVOLATILE SEMICONDUCTOR MEMORY DEVICE”という2011年9月18日に出願された米国特許出願13/235,389号に記載されている。また、“NON-VOLATILE SEMICONDUCTOR STORAGE DEVICE”という2010年1月27日に出願された米国特許出願12/694,690号に記載されている。更に、“NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND DATA ERASE METHOD THEREOF”という2012年5月30日に出願された米国特許出願13/483,610号に記載されている。これらの特許出願は、その全体が本願明細書において参照により援用されている。

30

【0037】

更に、メモリセルアレイ110の構成についてはその他の構成であっても良い。すなわちメモリセルアレイ110の構成については、例えば、“THREE DIMENSIONAL STACKED NONVOLATILE SEMICONDUCTOR MEMORY”という2009年3月19日に出願された米国特許出願12/407,403号に記載されている。また、“THREE DIMENSIONAL STACKED NONVOLATILE SEMICONDUCTOR MEMORY”という2009年3月18日に出願された米国特許出願12/406,524号、“NON-VOLATILE SEMICONDUCTOR STORAGE DEVICE AND METHOD OF MANUFACTURING THE SAME”という2010年3月25日に出願された米国特許出願12/679,991号、及び“SEMICONDUCTOR MEMORY AND METHOD FOR MANUFACTURING SAME”という2009年3月23日に出願された米国特許出願12/532,030号に記載されている。これらの特許出願は、その全体が本願明細書において参照により援用されている。

40

【0038】

1.1.3.3 ロウデコーダ120の構成について

次に、ロウデコーダ120及びドライバ回路130の構成について説明する。ロウデコーダ120-0~120-3は、それぞれブロックBLK0~BLK3に関連づけて設けられ、ブロックBLK0~BLK3を選択または非選択とするために設けられる。図4は、ロウデコーダ120-0及びドライバ回路130の構成を示している。なお、ロウデコーダ120-1~120-3の構成もロウデコーダ120-0と同様である。

【0039】

50

図示するようにロウデコーダ120は、ブロックデコーダ40及び高耐圧nチャンネルエンハンスメント型（E型：閾値が正）MOSトランジスタ50（50-0～50-7）、51（51-0～51-3）、52（52-0～52-3）、53、54を備えている。トランジスタ50～54はいずれも高耐圧型であり、例えばチャンネル領域の不純物濃度は等しく、またその閾値電圧も等しい。

【0040】

ブロックデコーダ40は、データの書き込み、読み出し、及び消去時において、例えばアドレスレジスタ150から与えられるブロックアドレスをデコードする。そして、デコード結果に応じて、信号BLK__SEL0及びRDECADnを生成する。より具体的には、ブロックアドレスBAが、対応するブロックBLK0を指定する場合、信号BLK__SEL0をアサート（本例では“H”レベル）し、信号RDECADnをネゲート（本例では“L”レベル、例えばVSS（0V）または負電位VBB）する。アサートされた信号BLK__SEL0の電圧は、読み出し時にはVGBSTであり、書き込み時にはVPGMHである。電圧VGBST及びVPGMHはそれぞれ、選択ブロックBLKにおいて非選択ワード線WLに印加される電圧VREAD及び選択ワード線に印加される電圧VPGMを、トランジスタ50に転送させるための電圧であり、VGBST>VREADであり、VPGMH>VPGMである。また、ブロックアドレスBAが、対応するブロックBLK0を指定しない場合、信号BLK__SEL0をネゲート（本例では“L”レベル、例えばVSS）し、信号RDECADnをアサート（本例では“H”レベル、例えばVDD）する。

10

20

【0041】

トランジスタ50は、対応するブロックBLK0が選択された際に、この選択ブロックBLK0のワード線WLに電圧を転送する。トランジスタ50-0～50-7はそれぞれ、対応するブロックBLK0のワード線WL0～WL7と、信号線CG0～CG7との間に接続され、ゲートに信号BLK__SEL0が与えられる。従って、ブロックBLK0が選択された場合、ロウデコーダ120-0ではトランジスタ50-0～50-7はオン状態とされ、ブロックBLK0のワード線WL0～WL7は信号線CG0～CG7に接続される。他方、非選択ブロックBLK1～BLK3に対応するロウデコーダ120-1～120-3では、トランジスタ50-0～50-7はオフ状態とされ、ワード線WL0～WL7は信号線CG0～CG7から分離される。

30

【0042】

次に、トランジスタ51、52について説明する。トランジスタ51、52は、対応するブロックBLK0が選択された際に、セレクトゲート線SGD0～SGD3に電圧を転送する。トランジスタ51-0～51-3はそれぞれ、対応するブロックBLK0のセレクトゲート線SGD0～SGD3と、信号線SGDD0～SGDD3との間に接続され、ゲートに信号BLK__SEL0が与えられる。またトランジスタ52-0～52-3はそれぞれ、対応するブロックBLK0のセレクトゲート線SGD0～SGD3と、ノードSGD__COMとの間に接続され、ゲートに信号RDECADnが与えられる。ノードSGD__COMには、VSSや負電圧VBB等、選択トランジスタST1をオフ状態にする電圧が与えられる。従って、ブロックBLK0が選択された場合、ロウデコーダ120-0ではトランジスタ51-0～51-3はオン状態とされ、トランジスタ52-0～52-3はオフ状態とされる。よって、選択ブロックBLK0のセレクトゲート線SGD0～SGD3は信号線SGDD0～SGDD3に接続される。他方で、非選択ブロックBLK1～BLK3に対応するロウデコーダ120-1～120-3では、トランジスタ51-0～51-3はオフ状態とされ、トランジスタ52-0～52-3がオン状態とされる。よって、非選択ブロックBLK1～BLK3のセレクトゲート線SGD0～SGD3はノードSGD__COMに接続される。

40

【0043】

トランジスタ53、54は、セレクトゲート線SGSに電圧を転送するためのものであり、その接続及び動作は、トランジスタ51、52においてセレクトゲート線SGDをセ

50

レクトゲート線SGSに置き換え、信号線SGDD0～SGDD3を信号線SGSDに置き換え、ノードSGD_COMをノードSGS_COMに置き換えたものと等価である。ノードSGS_COMには、選択トランジスタST2をオフ状態にする電圧が与えられる。すなわち、ブロックBLK0が選択された場合には、ロウデコーダ120-0ではトランジスタ53がオン状態とされ、トランジスタ54はオフ状態とされる。他方で、非選択ブロックBLK1～BLK3に対応するロウデコーダ120-1～120-3では、トランジスタ53はオフ状態とされ、トランジスタ54がオン状態とされる。

【0044】

1.1.3.4 ドライバ回路130の構成について

次に、ドライバ回路130の構成について、引き続き図4を参照して説明する。ドライバ回路130は、ロウデコーダ120-0～120-3に共通して用いられる。そしてドライバ回路130は、信号線CG0～CG7、SGDD0～SGDD3、及びSGSに、データの書き込み、読み出し、及び消去に必要な電圧を転送する。

10

【0045】

図示するようにドライバ回路130は、CGドライバ60(60-0～60-7)、SGDドライバ61(61-0～61-3)、及びSGSドライバ62を備えている。

【0046】

まず、CGドライバ60について説明する。CGドライバ60-0～60-7はそれぞれ信号線CG0～CG7に、必要な電圧を転送する。データの読み出し時においては、選択ワード線WLに対応するCGドライバ60は、読み出し電圧VCGRVを、対応する信号線CGに転送する。この電圧は、選択ブロックBLKに対応するロウデコーダ120内のトランジスタ50を介して、選択ワード線WLに転送される。他方で非選択ワード線WLに対応するCGドライバ60は、電圧VREADを、対応する信号線CGに転送する。

20

【0047】

次に、SGDドライバ61について説明する。SGDドライバ61-0～61-3はそれぞれ信号線SGDD0～SGDD3に、必要な電圧を転送する。データの読み出し時においては、選択メモリセルを含むストリングユニットSUに対応するSGDドライバ61は、電圧VSGを、対応する信号線SGDDに転送する。この電圧は、対応するトランジスタ51を介して、対応するセレクトゲート線SGDに転送される。電圧VSGは、読み出し時において選択トランジスタST1をオンさせる電圧である。SGSドライバ62も同様であり、必要な電圧を信号線SGSDに転送する。

30

【0048】

1.2 読み出し動作について

次に、本実施形態に係るデータの読み出し動作について、図5及び図6を用いて説明する。図5は読み出し動作時におけるNAND型フラッシュメモリ100の動作を示すフローチャートであり、図6はコントローラ200からNAND型フラッシュメモリ100に送信されるコマンドと各種信号のタイミングチャートである。なお図6において、NAND型フラッシュメモリ100の動作は例えばシーケンサ170の制御によって実行される。

。

【0049】

図6に示すように、コントローラ200から読み出し命令を受信する前のNAND型フラッシュメモリ100では、CGドライバ60は信号線CGにVSSを印加する。またロウデコーダ120-0～120-3のブロックデコーダ40は、信号線BLK_SEL0～BLK_SEL3を“L”(例えばVSS)とする。よって、ブロックBLK0～BLK3のワード線WLは電氣的にフローティングの状態にある。そして、時刻t0においてNAND型フラッシュメモリ100は、コントローラ200から読み出し命令を受信する(ステップS10)。読み出し命令は、例えば下記のようなコマンドシーケンスを含む。

<00h> <ADD> <ADD> <ADD> <ADD> <ADD> <30h>

すなわち、まずコマンド“00h”によってアドレス入力が宣言され、5サイクルにわたってアドレスADDが入力される。このアドレスADDによって、読み出し対象となるブ

40

50

ロック B L K とページが指定される。そして、コマンド “ 3 0 h ” が入力されることでシーケンサ 1 7 0 はメモリセルからのデータの読み出しを開始し、N A N D 型フラッシュメモリ 1 0 0 はビジー状態となる（ステップ S 1 1、時刻 t 0）。なおビジー状態とは、N A N D 型フラッシュメモリ 1 0 0 が外部から通常のコマンド（割り込み用のコマンドを除くコマンド）を受信できない状態であり、レディ状態は受信可能な状態を意味する。

【 0 0 5 0 】

そしてロウデコーダ 1 2 0 のブロックデコーダ 4 0 は、ブロックアドレスに従って、選択ブロック B L K に対応する信号 B L K _ S E L i (i は、本例では 0 ~ 3 のいずれかの整数) を “ H ” レベル (V G B S T) とする (時刻 t 0)。図 6 の例では、ブロック B L K 0 が選択される場合を示している。更にドライバ回路 1 3 0 は、ページアドレスに従って、選択ワード線に対応する信号線 C G に電圧 V C G R V を転送し、その他の信号線 C G に電圧 V R E A D を転送する (時刻 t 1、t 2)。その結果、選択ブロック B L K 0 の選択ワード線 W L には電圧 V C G R V が印加され、非選択ワード線 W L には電圧 V R E A D が印加される (ステップ S 1 2)。電圧 V C G R V は、選択ワード線に接続されたメモリセルからデータを読み出す際の基準となる値であり、電圧 V C G R V を印加した際にメモリセルがオンするか否かにより、保持データが例えば “ 0 ” であるか “ 1 ” であるかが判定される。なお、図 6 の例では、時刻 t 0 において N A N D 型フラッシュメモリ 1 0 0 がビジーとなると同時に信号 B L K _ S E L がアサートされる例を示している。しかし信号 B L K _ S E L がアサートされるタイミングは、時刻 t 0 より後でも良く、ビジー状態である期間であれば良い。このことは、下記で説明する第 2 実施形態以降も同様である。

10

20

【 0 0 5 1 】

そして、選択ワード線 W L に接続されたメモリセルトランジスタ M T からビット線 B L にデータが読み出され、読み出されたデータをセンスアンプ 1 4 0 がセンスし、内部のラッチ回路に取り込む (ステップ S 1 3)。

【 0 0 5 2 】

以上によりデータの読み出しが完了すると (ステップ S 1 4、時刻 t 3)、各配線の電位は V S S にリセットされ、N A N D 型フラッシュメモリ 1 0 0 はレディ状態となる (ステップ S 1 5)。

【 0 0 5 3 】

読み出しが完了した後も、ロウデコーダ 1 2 0 (図 6 の例ではロウデコーダ 1 2 0 - 0) はブロック B L K 0 の選択状態を維持する。すなわち、B L K _ S E L i は “ H ” レベルを維持し、ドライバ回路 1 3 0 は信号線 C G 0 ~ C G 7 に V S S を転送する。これにより、N A N D 型フラッシュメモリ 1 0 0 がレディ状態に遷移した後も、ロウデコーダ 1 2 0 - 0 のトランジスタ 5 0 はオン状態を維持し、選択ブロック B L K 0 ではワード線 W L 0 ~ W L 7 に V S S が印加される (ステップ S 1 6、時刻 t 3)。

30

【 0 0 5 4 】

ワード線 W L 0 ~ W L 7 に V S S が印加される期間 t は、予め例えばシーケンサ 1 7 0 に定められており、この期間 t が経過すると、信号 B L K _ S E L i は “ L ” レベル (V S S) に遷移し、M O S トランジスタ 5 0 はオフ状態となり、その結果ワード線 W L 0 ~ W L 7 は電氣的にフローティングの状態となる。なお、この期間 t は、N A N D 型フラッシュメモリ 1 0 0 内に設けられたタイマー回路などによって計測されても良い。また、期間 t の開始時刻は、N A N D 型フラッシュメモリ 1 0 0 がレディ状態になった時刻であっても良いし、またはワード線 W L が V R E A D または V C G R V から V S S にされたタイミングであっても良いし、あるいは非選択ワード線 W L に対応する C G ドライバ 6 0 が、転送する電圧を V R E A D から V S S に切り替えるタイミングであっても良い。いずれの場合であっても、信号 B L K _ S E L i が “ H ” レベルを維持しているため、ワード線 W L の電位はフローティングになることなく、t の期間は V S S を維持する。

40

【 0 0 5 5 】

そして、一定期間 t が経過すると (ステップ S 1 7、Y E S)、例えばシーケンサ 1 7 0 や前述したタイマー回路などの命令により、ロウデコーダ 1 2 0 は信号 B L K _ S E

50

L_iをネゲート（本例では例えばVSS）する。その結果、ロウデコーダ120のトランジスタ50はオフ状態となり、ワード線WLは電氣的にフローティングの状態となる（ステップS18）。

【0056】

1.3 本実施形態に係る効果

本実施形態に係る構成によれば、メモリシステム1の動作信頼性を向上できる。本効果につき、以下説明する。

【0057】

図7は、本実施形態の比較例として、データの読み出しが完了したと同時に信号BLKSEL0をネゲートした場合のタイミングチャートである。図示するように、非選択ワード線WLの電位は、 t_3' から t_3 の短期間でVREADからVSSまで低下する。すると、同時にチャンネル（半導体層31）の電位も低下するが、その電位は負の値までアンダーシュートする場合がある。その後、チャンネルの電位は0Vに戻る。（時刻 t_2 ～）すると、時刻 t_2 以降においてワード線WLは電氣的にフローティングの状態であるので、その電位はチャンネルとのカップリングにより上昇し、例えば数V程度に達する。

【0058】

そして、このワード線電位の上昇は、誤読み出しの原因となり得る。この様子を図8に示す。図8は、一例として、各メモリセルが3ビットデータ（“Er”、“A”、“B”、…“G”データ）を保持する場合の閾値分布を示す。図8において、破線はカップリングの影響が無い場合の閾値分布を示し、実線は影響を受けた場合の閾値分布を示す。

【0059】

図示するように、カップリングの影響を受けると、比較的電圧の低い閾値分布（“Er”～“D”）は高電圧側にシフトし、電圧の高い閾値分布（“F”～“G”）は低電圧側にシフトする。これは、カップリングによるワード線WLの電位の上昇により、閾値の低いメモリセルでは、チャンネルの電子がゲート絶縁膜30側にトラップされ、閾値の高いメモリセルでは、電荷蓄積層内の電子がブロック層28側にトラップされるからであると考えられる。そして、カップリングによるワード線WLの電圧上昇期間が例えば10～100ms程度であっても、変動した閾値が元に戻るには1時間程度かかる場合もあり得る。これは、メモリセルが三次元に積層された構成に特有の現象である。なお、図8では、“高電圧側にシフトする閾値分布と低電圧側にシフトする閾値分布の境界がE”レベルである場合を例に示しているが、もちろん、“E”レベルに限られるものではない。

【0060】

そこで本実施形態では、図6で説明したように、ワード線WLの電位をVREADからVSSに落とした直後も、一定の期間 t はドライバ回路130及びロウデコーダ120によってワード線WLにVSSを供給し続ける。すなわち、ワード線WLをディスチャージする。これにより、チャンネル電位がカップリングにより変動したとしても、ワード線WLの電位はVSSを維持する。よって、電子がトラップされることによる閾値変動を抑制でき、データの読み出し精度を向上できる。

【0061】

なお、上記一定の期間 t は長いほど好ましいが、実使用上としては、例えばVREADがワード線WLに印加されている期間と同程度、より好ましくはその2倍の長さ、また具体的には5 μ sから1000 μ sの範囲内とするのが望ましい。もちろん、これらの期間よりも短い場合であっても一定程度の効果は得られるが、上記好ましい期間内の値に設定することで、読み出し時のエラービット数の削減効果が顕著となる。

【0062】

2. 第2実施形態

次に、第2実施形態に係るメモリシステムについて説明する。本実施形態は、上記第1実施形態で説明したVSS印加期間（ワード線WLのディスチャージ期間） t に別のブロックBLKへのアクセス要求があった際に関するものである。以下では、第1実施形態と異なる点についてのみ説明する。

10

20

30

40

50

【 0 0 6 3 】

2 . 1 読み出し動作について

本実施形態に係るデータの読み出し動作について、図 9 及び図 1 0 を用いて説明する。図 9 は読み出し動作時における N A N D 型フラッシュメモリ 1 0 0 の動作を示すフローチャートであり、図 1 0 はコントローラ 2 0 0 から N A N D 型フラッシュメモリ 1 0 0 に送信されるコマンドと各種信号のタイミングチャートであり、それぞれ第 1 実施形態で説明した図 5 及び図 6 に対応する。

【 0 0 6 4 】

図 9 に示すように、本実施形態が第 1 実施形態と異なる点は、ステップ S 1 6 において、ステップ S 1 2 で選択されたブロック B L K とは異なるブロック B L K へのアクセスがなされた際（ステップ S 2 0、Y E S）には、一定期間 t が経過していても、ステップ S 1 8 に進む点である。

【 0 0 6 5 】

図 1 0 の例は、ブロック B L K 0 に対する読み出し命令が発行された後、一定期間 t 経過前に別のブロック B L K 1 に対する読み出し命令が発行された場合を示している。図示するように、時刻 t_3 以降も信号 B L K _ S E L 0 は “ H ” レベルを維持し、時刻 t_3 においてブロック B L K 0 のワード線 W L には電圧 V S S が印加される。その状態で、N A N D 型フラッシュメモリ 1 0 0 がコントローラ 2 0 0 からブロック B L K 1 に対する読み出し命令を受信すると、これをトリガとして、ロウデコーダ 1 2 0 - 0 のブロックデコーダ 4 0 が信号 B L K _ S E L 0 をネゲートする（時刻 t_4 ）。なお、例えばシーケンサ 1 7 0 が、信号 B L K _ S E L 0 をネゲートさせる旨の命令をブロックデコーダ 4 0 に対して発行しても良い。その結果、ブロック B L K 0 のワード線 W L は電氣的にフローティングの状態となる。他方で、N A N D 型フラッシュメモリ 1 0 0 はビジー状態となり、ロウデコーダ 1 2 0 - 1 のブロックデコーダ 4 0 は信号 B L K _ S E L 1 をアサートし、これによりブロック B L K 1 からデータが読み出される。

【 0 0 6 6 】

2 . 2 本実施形態に係る効果

本実施形態によれば、ブロックアクセスをトリガとして、ワード線 W L のディスチャージ（V S S 印加）を停止する。これにより、コントローラ 2 0 0 から頻繁にコマンドが発行される場合であっても、メモリシステム 1 の動作が妨げられることを抑制できる。

【 0 0 6 7 】

なお、図 1 0 の例では、読み出し命令の後に同じく読み出し命令が発行される場合を例に説明したが、もちろん、書き込み命令や消去命令であっても良い。あるいは、コントローラ 2 0 0 からの命令によることなく、例えばシーケンサ 1 7 0 が自発的にブロック B L K にアクセスする場合であっても良い。

【 0 0 6 8 】

3 . 第 3 実施形態

次に、第 3 実施形態に係るメモリシステムについて説明する。本実施形態は、上記第 1 及び第 2 実施形態において、全ブロック B L K の全ワード線 W L を強制的にディスチャージするコマンドを設けたものである。以下では、第 1 及び第 2 実施形態と異なる点についてのみ説明する。

【 0 0 6 9 】

3 . 1 読み出し動作について

図 1 1 は、本実施形態の第 1 の例に係る読み出し動作における、コントローラ 2 0 0 から N A N D 型フラッシュメモリ 1 0 0 に送信されるコマンドと各種信号のタイミングチャートであり、第 1 実施形態で説明した図 6 に対応する。

【 0 0 7 0 】

図示するように、時刻 t_3 でブロック B L K 0 のワード線 W L がフローティングの状態とされるまでは第 1 実施形態と同様である。本実施形態では、その後の時刻 t_5 において、コントローラがコマンド “ X X h ” を発行する。コマンド “ X X h ” はディスチャージ

10

20

30

40

50

コマンドであり、NAND型フラッシュメモリ100に対して、全ブロックBLKの全ワード線WLのディスチャージを命令する。

【0071】

コマンド“XXh”を受信したNAND型フラッシュメモリ100はビジー状態となり、ロウデコーダ120-0~120-3の全てのブロックデコーダ40は、信号BLK__SEL0~BLK__SEL3を“H”レベル(VGBST)とする。この動作は、例えばシーケンサ170の命令に従って行われても良い。また、ドライバ回路130は、全信号線CG0~CG7にVSSを転送する。その結果、全ブロックBLK0~BLK3の全ワード線WL0~WL7にVSSが印加される。

【0072】

図12は、本実施形態の第2の例に係る読み出し動作を示し、第2実施形態で説明した図10において、ディスチャージコマンド“XXh”を発行した例を示す。

【0073】

図示するように、ブロックBLK0及びBLK1から順次データが読み出された後、時刻t8において、コントローラ200がコマンド“XXh”を発行する。すると、信号BLK__SEL1は“H”レベルを維持し、信号BLK__SEL0、BLK__SEL2、及びBLK__SEL3が“H”レベルとされる。これにより、全ブロックBLK0~BLK3の全ワード線WL0~WL7にVSSが印加される。なお、信号BLK__SEL1が“H”レベルの期間にコマンド“XXh”が発行されたことで、ブロックBLK1のディスチャージ期間(時刻t4~t9)が一定期間tを超えても良い。

【0074】

次に、本実施形態に係るコントローラ200の動作について説明する。コントローラ200の例えばCPU230内のメモリ(キュー)には、ホスト機器300から受信した読み出し命令が下記のように格納されている。

1. ブロックBLK0: ページPG2
2. ブロックBLK3: ページPG1
3. ブロックBLK2: ページPG1
4. ブロックBLK1: ページPG1
5. ブロックBLK0: ページPG1
6. ブロックBLK2: ページPG3
7. ブロックBLK3: ページPG5
8. ブロックBLK1: ページPG10
9. ブロックBLK3: ページPG5

そしてコントローラ200は、図13に示すように、上記の順序で読み出し命令を発行する。

【0075】

図示するように、最初にブロックBLK0からデータが読み出された後、ブロックBLK0の電子トラップ準位が上昇する。しかし、コマンド“XXh”が発行されることで、電子トラップ無しの状態にリセットされる。図13の例では、一例として読み出しコマンドが4回発行される度にコマンド“XXh”が発行されて、全ブロックBLKのワード線WLがディスチャージされる例を説明した。しかしコマンド“XXh”は、例えば一定期間毎に定期的に行われても良いし、コマンドの回数毎に行われる場合であっても、この回数は、読み出しコマンドだけでなく書き込みコマンドや消去コマンドも含めたコマンド発行回数であっても良い。

【0076】

3.2 本実施形態に係る効果

本実施形態によれば、コントローラ200はNAND型フラッシュメモリ100に対して、全ブロックBLKの全ワード線WLを強制的にディスチャージさせる命令を発行できる。これにより、フローティングの状態にあるワード線WLの電位をVSSとして、電子トラップによるメモリセルの閾値変動への影響を低減できる。

10

20

30

40

50

【 0 0 7 7 】

なお、ディスチャージさせる対象は全ブロック B L Kに限らず、一部のブロック B L Kであっても良いし、また全ワード線 W Lに限らず、一部のワード線 W Lであっても良い。この際、コントローラ 2 0 0 は N A N D型フラッシュメモリ 1 0 0へのアクセス状況を監視し、特に閾値変動が大きくなっていると思われるブロック B L Kを指定してディスチャージ命令を発行しても良い。

【 0 0 7 8 】

4 . 第 4 実施形態

次に、第 4 実施形態に係るメモリシステムについて説明する。本実施形態は、上記第 3 実施形態において、第 1 及び第 2 実施形態で説明した通常の読み出し動作時におけるワード線ディスチャージを省略したものである。言い換えれば、上記第 3 実施形態において期間 $t = 0$ としたものと言うことができる。以下では、上記第 3 実施形態と異なる点についてのみ説明する。

10

【 0 0 7 9 】

4 . 1 読み出し動作について

図 1 4 及び図 1 5 は、本実施形態に係る読み出し動作における、コントローラ 2 0 0 から N A N D型フラッシュメモリ 1 0 0に送信されるコマンドと各種信号のタイミングチャートであり、第 3 実施形態で説明した図 1 1 及び図 1 2 に対応する。

【 0 0 8 0 】

図 1 4 に示すように、時刻 $t 3$ で読み出し動作が終了すると、ブロックデコーダ 4 0 は信号線 B L K _ S E L 0 を “ L ” レベルとする (時刻 $t 3$)。従って、時刻 $t 3$ 以降はブロック B L K 0 のワード線 W L がフローティングの状態とされ、その電位はチャネルとのカップリングにより上昇する。しかし、時刻 $t 5$ においてコントローラがコマンド “ X X h ” を発行することで、全ブロック B L K の全ワード線 W L がディスチャージされる。

20

【 0 0 8 1 】

図 1 5 の例も同様であり、時刻 $t 7$ でブロック B L K 1 の全ワード線 W L はフローティングの状態とされ、その後、時刻 $t 8$ におけるコマンド “ X X h ” により、全ブロック B L K の全ワード線 W L がディスチャージされる。

【 0 0 8 2 】

その他は第 3 実施形態と同様であり、コマンド “ X X h ” は例えば定期的に発行され、または各ブロック B L K の状態に応じて適宜、コントローラ 2 0 0 が発行する。

30

【 0 0 8 3 】

4 . 2 本実施形態に係る効果

本実施形態によっても、上記第 3 実施形態と同様の効果が得られる。

【 0 0 8 4 】

5 . 第 5 実施形態

次に、第 5 実施形態に係るメモリシステムについて説明する。本実施形態は、上記第 4 実施形態において、ディスチャージコマンド “ X X h ” を必要とすることなく、ビジー状態期間に N A N D型フラッシュメモリ 1 0 0 が自発的にワード線 W L をディスチャージするものである。以下では、上記第 4 実施形態と異なる点についてのみ説明する。

40

【 0 0 8 5 】

5 . 1 読み出し動作について

図 1 6 は、本実施形態に係る読み出し動作における、コントローラ 2 0 0 から N A N D型フラッシュメモリ 1 0 0に送信されるコマンドと各種信号のタイミングチャートであり、第 4 実施形態で説明した図 1 5 に対応する。但し、横軸の時間軸における時刻表記は、図 1 5 とは一致していないことに留意されたい。また図 1 6 の例では、N A N D型フラッシュメモリ 1 0 0 がビジー状態になった後に信号 B L K _ S E L がアサートされ、また信号 B L K _ S E L がネゲートされた後に N A N D型フラッシュメモリ 1 0 0 がレディ状態に復帰する場合を示している。

【 0 0 8 6 】

50

図示するように、本例に係るNAND型フラッシュメモリ100は、コマンド“XXh”を必要とすることなく、読み出しコマンドを受信した際に、それをトリガとして、ワード線WLをディスチャージするものである。

【0087】

図16の例では、時刻 t_0 においてコントローラ200からブロックBLK0への読み出しコマンドが発行されると、時刻 t_1 においてロウデコーダ120-0のブロックデコーダ40が信号BLK_SEL0を時刻 t_6 までの期間、アサートする。この際、例えばシーケンサ170は、ブロックBLK0においてデータがセンスされてセンスアンプ140のラッチ回路に取り込まれる前、及び/または後に、非選択ブロックBLK1~BLK3に対応するロウデコーダ120-1~120-3のブロックデコーダ40に対して、信号BLK_SEL1~BLK_SEL3をアサートさせる(例えばVGBST)。

10

【0088】

より具体的には、例えばシーケンサ170は、例えば信号BLK_SEL0がアサートされるタイミングでその他の信号BLK_SEL1~BLK_SEL3をアサートするよう、ロウデコーダ120-1~120-3に命令する。この場合、信号BLK_SEL1~BLK_SEL3がアサートされている期間は、信号BLK_SEL0がアサートされ、且つCGドライバ60が電圧VSSを転送している期間(t_1 ~ t_2)である。この期間は、第1実施形態で説明した期間 t よりも短い。

【0089】

あるいは、例えばシーケンサ170は、例えば信号BLK_SEL0がネゲートされるタイミングよりも一定期間前の時刻 t_5 において信号BLK_SEL1~BLK_SEL3をアサートするよう、ロウデコーダ120-1~120-3に命令する。この場合、信号BLK_SEL1~BLK_SEL3がアサートされている期間は、信号BLK_SEL0がアサートされ、且つCGドライバ60が、転送する電圧をVREADからVSSに切り替えている期間を含み、または切り替えが完了し、VSSを転送している期間(t_5 ~ t_6)である。この期間も、第1実施形態で説明した期間 t よりも短い。

20

【0090】

上記の時刻 t_1 ~ t_2 の期間で信号BLK_SEL1~BLK_SEL3がアサートされる場合には、信号BLK_SEL1~BLK_SEL3の立ち上がりタイミングは信号BLK_SEL0の立ち上がりタイミングと同時となる。他方で、時刻 t_5 ~ t_6 の期間で信号BLK_SEL1~BLK_SEL3がアサートされる場合には、信号BLK_SEL1~BLK_SEL3の立ち下がり上がりタイミングが信号BLK_SEL0の立ち下がりタイミングと同時となる。

30

【0091】

その後、ブロックBLK1への読み出しコマンドが発行された際(時刻 t_8)も同様であり、例えば時刻 t_9 ~ t_{10} 及び/または t_{13} ~ t_{14} の期間において、非選択ブロックBLK0、BLK2、及びBLK3に対応する信号BLK_SEL0、BLK_SEL2、及びBLK_SEL3がアサートされる。

【0092】

5.2 本実施形態に係る効果

40

本実施形態によっても、上記第3実施形態と同様の効果が得られる。すなわち、短い期間であるが、頻繁にワード線WLをディスチャージすることにより、メモリセルの閾値変動を抑制できる。

【0093】

なお、図16の例では、データがセンスされる前後の両方の期間において、非選択ブロックBLKに対応する信号BLK_SELをアサートする場合を例に説明した。しかし、少なくともいずれか一方の期間だけでアサートされても良い。また、アサートされる期間も、信号線CGが、ワード線WLをディスチャージできる電位である期間であれば限定されない。

【0094】

50

更に、図 16 の例では読み出しコマンドを受信した場合を例に説明したが、書き込みコマンドや消去コマンドを受信した際にも適用可能である。

【0095】

6. 第 6 実施形態

次に、第 6 実施形態に係るメモリシステムについて説明する。本実施形態は、上記第 5 実施形態を書き込み動作に適用したものに相当する。すなわち、ディスチャージコマンド“XXh”を必要とすることなく、書き込み動作期間に NAND 型フラッシュメモリ 100 が自発的にワード線 WL をディスチャージするものである。

【0096】

6.1 書き込み動作について

本実施形態に係るデータの書き込み動作について、図 17 及び図 18 を用いて説明する。図 17 は書き込み動作時における NAND 型フラッシュメモリ 100 の動作を示すフローチャートであり、図 18 はコントローラ 200 から NAND 型フラッシュメモリ 100 に送信されるコマンドと各種信号のタイミングチャートである。なお図 17 において、NAND 型フラッシュメモリ 100 の動作は例えばシーケンサ 170 の制御によって実行される。

【0097】

図示するように、コントローラ 200 から書き込み命令を受信する前の NAND 型フラッシュメモリ 100 では、CG ドライバ 60 が信号線 CG に VSS を印加する。またロウデコーダ 120 - 0 ~ 120 - 3 のブロックデコーダ 40 は、信号線 BLK__SEL0 ~ BLK__SEL3 を“L”レベル（例えば VSS）とする。よって、トランジスタ 50 はオフ状態であり、ブロック BLK0 ~ BLK3 のワード線 WL は電氣的にフローティングの状態にある。そして時刻 t0 において NAND 型フラッシュメモリ 100 は、コントローラ 200 から書き込み命令を受信する（ステップ S30）。書き込み命令は、例えば下記のようなコマンドシーケンスを含む。

<80h> <ADD> <ADD> <ADD> <ADD> <ADD> <DAT> <DAT> ... <10h>

すなわち、まずコマンド“80h”によってアドレス入力が宣言され、5 サイクルにわたってアドレス ADD が入力される。このアドレス ADD によって、書き込み対象となるブロック BLK とページが指定される。引き続き、書き込みデータ DAT が入力され、その後コマンド“10h”が入力されることでシーケンサ 170 はメモリセルへのデータの書き込みを開始し、NAND 型フラッシュメモリ 100 はビジー状態となる（ステップ S31、時刻 t0）。

【0098】

本実施形態に係る書き込み動作は、大まかには下記の 3 つの動作を含む。

【0099】

- ・プログラム動作
- ・ディスチャージ動作
- ・プログラムベリファイ動作

プログラム動作は、選択ワード線 WL にプログラム電圧 VPGM を印加することにより、メモリセルの電荷蓄積層に電子を注入し、メモリセルの閾値を上昇させる。プログラムベリファイ動作は、メモリセルの閾値が適切な値まで上昇したか否かを確認する。そしてディスチャージ動作が、上記第 5 実施形態で説明した、ワード線 WL に例えば電圧 VSS を印加することにより、ワード線 WL をディスチャージする動作である。この 3 つの動作のセットが繰り返されることにより、メモリセルにデータが書き込まれる。

【0100】

シーケンサ 170 は、まずプログラム動作を実行する（ステップ S32）。すなわち、ロウデコーダ 120 のブロックデコーダ 40 は、ブロックアドレスに従って、選択ブロック BLK に対応する信号 BLK__SEL_i を“H”レベル（VPGMH）とする（時刻 t1）。図 18 の例では、ブロック BLK0 が選択される場合を示している。そして、ドライバ回路 60 により、選択ブロック BLK0 における選択ワード線 WL には電圧 VPGM

10

20

30

40

50

が転送され、非選択ワード線WLには電圧VPASSが転送される。電圧VPASSは、保持データに関わらずメモリセルをオン状態とする電圧であり、VPGM > VPASS > VREADである。そして、書き込みデータに応じた電圧がビット線BLに与えられることにより、プログラム動作が行われる(時刻t1~t2)。プログラム動作の期間、非選択ブロックBLK1~BLK3に対応するロウデコーダ120-1~120-3ではトランジスタ50がオフ状態とされ、これらに対応するワード線WLは電氣的にフローティングの状態となる。

【0101】

次にシーケンサ170は、ディスチャージ動作を実行する(ステップS33)。すなわち、プログラム動作が終了すると(時刻t2)、CGドライバ60-0~60-7は電圧VSSを転送する。この状態において、全ブロックBLKに対応するロウデコーダ120のブロックデコーダ40が、信号BLK__SEL0~BLK__SEL3をアサートする(VBGST)。なお、プログラム動作からディスチャージ動作に移行する際、選択ブロックBLK0に対応する信号BLK__SEL0はアサートされた状態を維持するが、その電位は例えばVPGMHからVBGSTに低下される。この結果、全ロウデコーダ120-0~120-3においてトランジスタ50がオン状態となり、全ブロックBLKの全ワード線WLにVSSが印加されて、ディスチャージ動作が実行される(時刻t2~t3)。

10

【0102】

次にシーケンサ170は、プログラムベリファイ動作を実行する(ステップS34、時刻t3~t4)。プログラムベリファイ動作は、上記第1乃至第5実施形態で説明した通りであるが、異なる点は、選択ワード線WLにはプログラムベリファイ電圧Vvfyが印加される点である。プログラムベリファイ動作が開始されると、非選択ブロックBLK1~BLK3に対応するロウデコーダ120-1~120-3ではトランジスタ50がオフ状態とされ、これらに対応するワード線WLは電氣的にフローティングの状態となる。

20

【0103】

ステップS34の結果、プログラムベリファイにパスすれば(ステップS35、YES)、すなわち、メモリセルの閾値が、書き込みデータに応じた値まで上昇していれば、書き込み動作は成功して終了する。そしてNAND型フラッシュメモリ100はレディ状態に復帰する(ステップS36、時刻t9)。

【0104】

プログラムベリファイにフェイルし(ステップS35、NO)、プログラム回数が規定回数(最大繰り返し回数)に達した場合には(ステップS37、YES)、書き込み動作は失敗したものとして終了し、ステップS36に進む。プログラム回数が規定回数に達していなければ(ステップS37、NO)、選択ワード線WLに対応するCGドライバ60は、電圧VPGMをVPGMだけステップアップし(ステップS38)、ステップS32~S35の処理が繰り返される。

30

【0105】

6.2 本実施形態に係る効果

本実施形態によっても、上記第5実施形態と同様の効果が得られる。すなわち、本実施形態によれば、書き込み動作中に、選択ブロックBLKだけでなく非選択ブロックBLKを選択する期間が設けられる。そして、この期間において、ワード線WLにVSSが印加される。これにより、プログラム動作を繰り返す度にワード線WLがディスチャージされ、メモリセルの閾値変動を抑制できる。

40

【0106】

なお、ディスチャージ動作の対象として選択されるのは全てのブロックBLKに限らず、一部の複数のブロックBLKであっても良い。また、全ワード線WLではなく一部の複数のワード線WLが選択される場合であっても良い。更に、図18の例であると、ディスチャージ動作がプログラム動作とプログラムベリファイ動作との間に行われる場合を説明したが、CGドライバ60が電圧VSSを転送可能な期間であれば、書き込み動作中のどのタイミングで行っても良い。また、ディスチャージ動作を行う頻度も適宜選択でき

50

る。すなわち、プログラム動作を行う度にディスチャージ動作を行っても良いし、複数回のプログラム動作の度にディスチャージ動作を行っても良い。

【 0 1 0 7 】

4 . 変形例など

以上のように、上記実施形態に係るメモリシステムは、データを保持可能な半導体メモリと、半導体メモリからデータを読み出し可能なコントローラとを具備する。半導体メモリは、半導体基板上方に三次元に積層された複数の第1メモリセルを含む第1ブロック(BLK0 in 図6)と、第1メモリセルに接続された複数の第1ワード線(WL0-7 in 図4)と、第1ロウデコーダ(120 in 図4)と、第1信号線(CG0-CG7 in 図4)に電圧を転送するドライバ回路(130 in 図4)とを備える。第1ロウデコーダは、複数の第1ワード線と、複数の第1信号線(CG0-CG7 in 図4)とをそれぞれ接続可能な複数の第1トランジスタ(50-0~50-7 in 図4)と、複数の第1トランジスタのゲートに第1ブロック選択信号(BLK_SEL0 in 図4)を供給する第1ブロックデコーダ(40 in 図4)とを含む。コントローラが半導体メモリに対して、第1ブロック(BLK0)に保持されるデータの読み出し命令(ReadCMD in 図6)を発行した際(t0 in 図6)、半導体メモリはコントローラにビジー状態であることを通知するビジー信号(Busy in 図6)を出力し、ビジー状態において、第1ブロックデコーダ(40)がブロック選択信号をアサート(BLK_SEL0=VGBST in 図6)して複数の第1トランジスタ(50)をオン状態とすることにより、選択されたいずれかの第1ワード線に第1電圧(VCGRV in 図6)が転送され、非選択のその他の前記第1ワード線に第1電圧(VCGRV)よりも大きい第2電圧(VREAD in 図6)が転送される。第1ブロック(BLK0)からデータが読み出され(t2 in 図6)、半導体メモリがコントローラにレディ状態であることを通知するレディ信号を出力した後も、第1ブロックデコーダ(40)は、第1の期間(t in 図6)、第1ブロック選択信号(BLK_SEL0 in 図6)をアサートし続け、ドライバ回路(130)は、複数の第1信号線(CG0-CG7)に、第1電圧(VCGRV in 図6)よりも小さい第3電圧(VSS in 図6)を転送し、第1の期間(t)が経過すると、第1ブロックデコーダは第1ブロック選択信号をネゲートする。

10

20

【 0 1 0 8 】

または、半導体メモリは、半導体基板上方に三次元に積層された複数の第2メモリセルを含む第2ブロック(BLK1 in 図10)と、第2メモリセルに接続された複数の第2ワード線(WL0-7 of BLK1)と、複数の第2ワード線と、複数の第1信号線(CG0-CG7)とをそれぞれ接続可能な複数の第2トランジスタ(50-0~50-7)と、複数の第2トランジスタのゲートに第2ブロック選択信号(BLK_SEL1)を供給する第2ブロックデコーダ(40)とを含む第2ロウデコーダ(120-1 in 図4)とを更に備える。そして、第1の期間内(t)に、コントローラが半導体メモリに対して、第2ブロック(BLK1)へのアクセスコマンド(ReadCMD in 図10)を発行した際(t3 in 図10)には、第1ブロックデコーダ(40 in 120-0)は第1ブロック選択信号(BLK_SEL0 in 図10)をネゲートし、第2ブロックデコーダ(40 in 120-1)が第2ブロック選択信号(BLK_SEL1 in 図10)をアサートし、第2トランジスタ(50 in 120-1)が第2ワード線(WL of BLK1)への転送を開始しても良い(t3 in 図10)。

30

【 0 1 0 9 】

更に、コントローラが半導体メモリに第1コマンド(XXh in 図11)を発行した際(t4 in 図11)、第1ブロックデコーダ(40 in 120-0)及び第2ブロックデコーダ(40 in 120-1)は第1ブロック選択信号(BLK_SEL0 in 図10)及び第2ブロック選択信号(BLK_SEL1 in 図10)をそれぞれアサートし、第1トランジスタ及び第2トランジスタ(50 in 120-1,2)が、第1ワード線及び第2ワード線(WL of BLK1-2)に第3電圧を転送しても良い(t3 in 図10)。

40

【 0 1 1 0 】

また、コントローラが半導体メモリに対して、第1ブロック(BLK0)に対する読み出し命令または書き込み命令を発行した際(t0 in 図16,18)、半導体メモリにおける読み出し動作または書き込み動作の最中に、第1ロウデコーダ及び第2ロウデコーダがそれぞれ第1ワード線及び前記第2ワード線に同時に、第1電圧(VSS in 図16,18)を転送する、

本構成によれば、データの読み出し直後にワード線WLの電位が高電圧(例えばVREAD)から低電圧(例えばVSS)に急激に低下させた場合であっても、フローティング

50

状態にあるワード線WLの電位がチャンネルとのカップリングによって上昇することを抑制できる。そのため、データの誤読み出しの発生を抑え、メモリシステムの動作信頼性を向上できる。

【0111】

なお、上記説明した実施形態は一例に過ぎず、種々の変形が可能である。図19は第1実施形態の変形例に係る各種信号のタイミングチャートであり、図20は第2及び第3実施形態の変形例に係るコマンドシーケンスと各種信号のタイミングチャートである。図示するように、ワード線WLをディスチャージする際の信号BLK__SELの電位は、VGBSTよりも低い電圧でも良く、例えばVDD(VREAD>VDD>VSS)とすることができる。すなわち、ワード線WLにVREADを転送するためには、ロウデコーダ120のトランジスタ50のゲート電位はVREADよりも少なくとも閾値電圧分だけ高いVGBSTを印加する必要があるが、ディスチャージ期間はVSSが転送できさえすれば十分である。従って、高電圧VGBSTよりも低い電圧を使用することで、消費電力を低減できる。このことは第4乃至第6実施形態でも同様で有る。

10

【0112】

更に、上記第1及び第2実施形態において、ワード線WLのディスチャージ期間tは、ブロックBLK毎に異なっても良い。すなわちシーケンサ170は、ブロックBLKの状態を監視し、フローティングによる電圧変動や電子トラップ量が多いブロックBLKではtを他のブロックBLKよりも長めに設定しても良い。

20

【0113】

また、図8では各メモリセルが3ビットデータを保持する場合を例に説明したが、例えば2ビット以下のデータや4ビット以上のデータを保持する場合であっても良い。

【0114】

なお、本発明に関する各実施形態において、

(1)メモリセルが2ビットデータ(“Er”、“A”、“B”、及び“C”)を保持する場合、Aレベルの読み出し動作に選択されたワード線に印加される電圧は、例えば0V~0.55Vの間である。これに限定されることなく、0.1V~0.24V, 0.21V~0.31V, 0.31V~0.4V, 0.4V~0.5V, 0.5V~0.55Vいずれかの間にしてもよい。

Bレベルの読み出し動作に選択されたワード線に印加される電圧は、例えば1.5V~2.3Vの間である。これに限定されることなく、1.65V~1.8V, 1.8V~1.95V, 1.95V~2.1V, 2.1V~2.3Vいずれかの間にしてもよい。

30

Cレベルの読み出し動作に選択されたワード線に印加される電圧は、例えば3.0V~4.0Vの間である。これに限定されることなく、3.0V~3.2V, 3.2V~3.4V, 3.4V~3.5V, 3.5V~3.6V, 3.6V~4.0Vいずれかの間にしてもよい。

読み出し動作の時間(tR)としては、例えば25µs~38µs, 38µs~70µs, 70µs~80µsの間にしてもよい。

(2)書き込み動作は、プログラム動作とベリファイ動作を含む。書き込み動作では、

プログラム動作時に選択されたワード線に最初に印加される電圧は、例えば13.7V~14.3Vの間である。これに限定されることなく、例えば13.7V~14.0V, 14.0V~14.6Vいずれかの間としてもよい。

40

奇数番目のワード線を書き込む際の、選択されたワード線に最初に印加される電圧と、偶数番目のワード線を書き込む際の、選択されたワード線に最初に印加される電圧を変えてもよい。

プログラム動作をISPP方式(Incremental Step Pulse Program)としたとき、ステップアップの電圧として、例えば0.5V程度が挙げられる。

非選択のワード線に印加される電圧としては、例えば6.0V~7.3Vの間としてもよい。この場合に限定されることなく、例えば7.3V~8.4Vの間としてもよく、6.0V以下としてもよい。

非選択のワード線が奇数番目のワード線であるか、偶数番目のワード線であるかで、印加するパス電圧を変えてもよい。

50

書き込み動作の時間 (tProg) としては、例えば1700 μ s ~ 1800 μ s, 1800 μ s ~ 1900 μ s, 1900 μ s ~ 2000 μ sの間にしてもよい。

(3) 消去動作では、

半導体基板上部に形成され、かつ、上記メモリセルが上方に配置されたウェルに最初に印加する電圧は、例えば12V ~ 13.6Vの間である。この場合に限定されることなく、例えば13.6V ~ 14.8V, 14.8V ~ 19.0V, 19.0 ~ 19.8V, 19.8V ~ 21Vの間であつてもよい。

消去動作の時間 (tErase) としては、例えば3000 μ s ~ 4000 μ s, 4000 μ s ~ 5000 μ s, 4000 μ s ~ 9000 μ sの間にしてもよい。

(4) メモリセルの構造は、

半導体基板 (シリコン基板) 上に膜厚が4 ~ 10 nmのトンネル絶縁膜を介して配置された電荷蓄積層を有している。この電荷蓄積層は膜厚が2 ~ 3 nmのSiN、またはSiONなどの絶縁膜と膜厚が3 ~ 8 nmのポリシリコンとの積層構造にすることができる。また、ポリシリコンにはRuなどの金属が添加されていても良い。電荷蓄積層の上には絶縁膜を有している。この絶縁膜は、例えば、膜厚が3 ~ 10 nmの下層High-k膜と膜厚が3 ~ 10 nmの上層High-k膜に挟まれた膜厚が4 ~ 10 nmのシリコン酸化膜を有している。High-k膜はHfOなどが挙げられる。また、シリコン酸化膜の膜厚はHigh-k膜の膜厚よりも厚くすることができる。絶縁膜上には膜厚が3 ~ 10 nmの仕事関数調整用の材料を介して膜厚が30 nm ~ 70 nmの制御電極が形成されている。ここで仕事関数調整用の材料はTaOなどの金属酸化膜、TaNなどの金属窒化膜である。制御電極にはWなどを用いることができる。

また、メモリセル間にはエアギャップを形成することができる。

【0115】

更に、上記実施形態では半導体記憶装置としてNAND型フラッシュメモリを例に説明したが、NAND型フラッシュメモリに限らず、その他の半導体メモリ全般に適用出来、更には半導体メモリ以外の種々の記憶装置に適用出来る。また、上記実施形態で説明したフローチャートは、その処理の順番を可能な限り入れ替えることが出来る。

【0116】

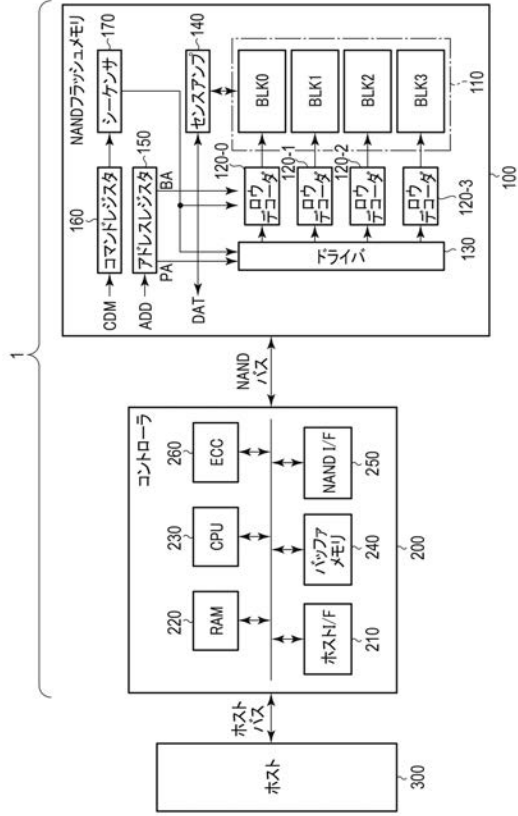
本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

【符号の説明】

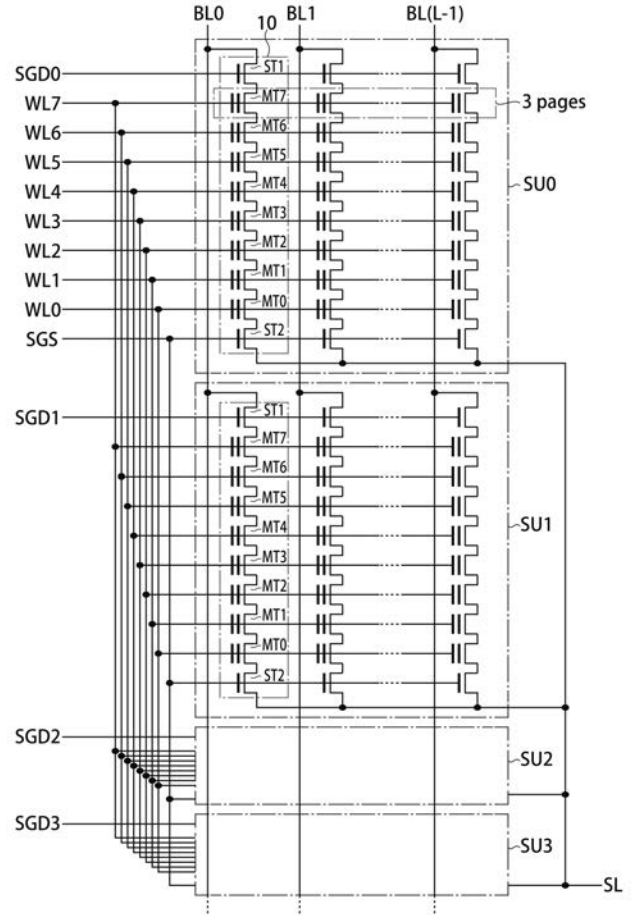
【0117】

1 ... メモリシステム、40 ... ブロックデコーダ、50 - 0 ~ 50 - 7、51 - 0 ~ 51 - 3、52 - 0 ~ 52 - 3、53、54 ... MOSトランジスタ、60 - 0 ~ 60 - 7 ... CGドライバ、61 - 0 ~ 61 - 3 ... SGDドライバ、62 ... SGSドライバ、100 ... NAND型フラッシュメモリ、110 ... メモリセルアレイ、120 - 0 ~ 120 - 3 ... ロウデコーダ、130 ... ドライバ回路、140 ... センスアンプ、150、160 ... レジスタ、170 ... シーケンサ、200 ... コントローラ、210、250 ... インターフェース回路、220、240 ... メモリ、230 ... プロセッサ、260 ... ECC回路、300 ... ホスト機器

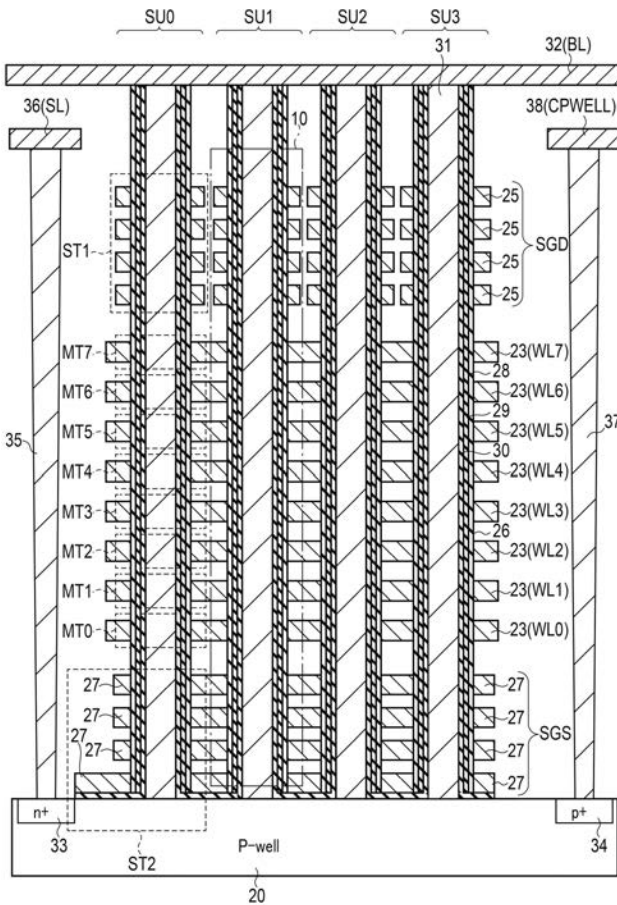
【図1】



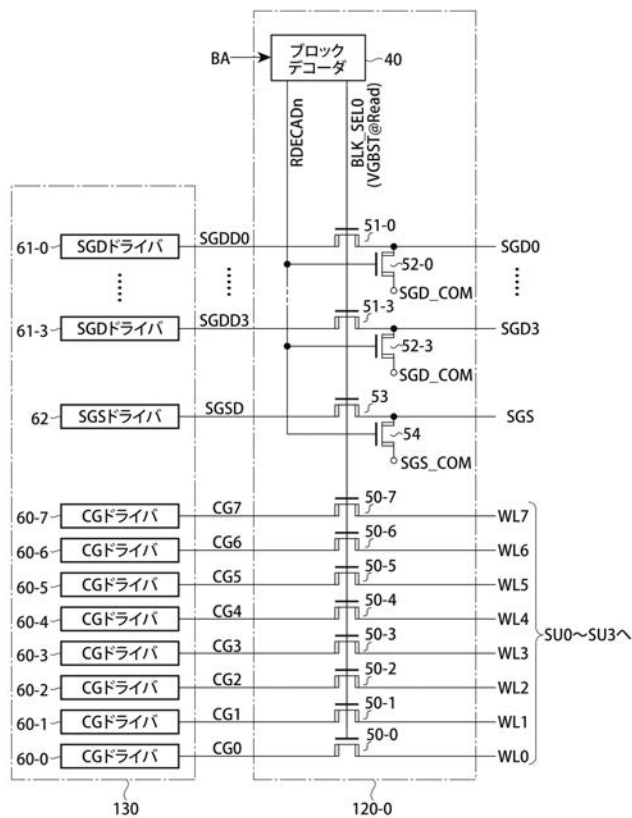
【図2】



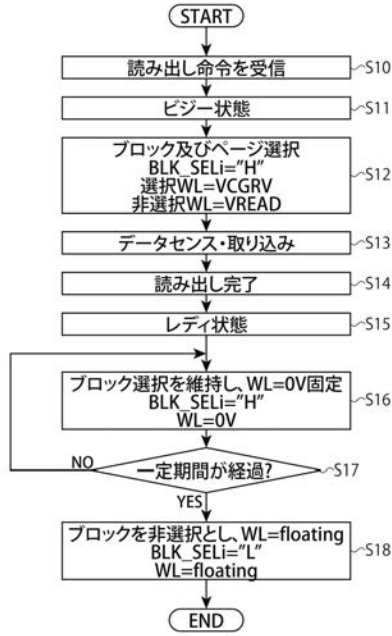
【図3】



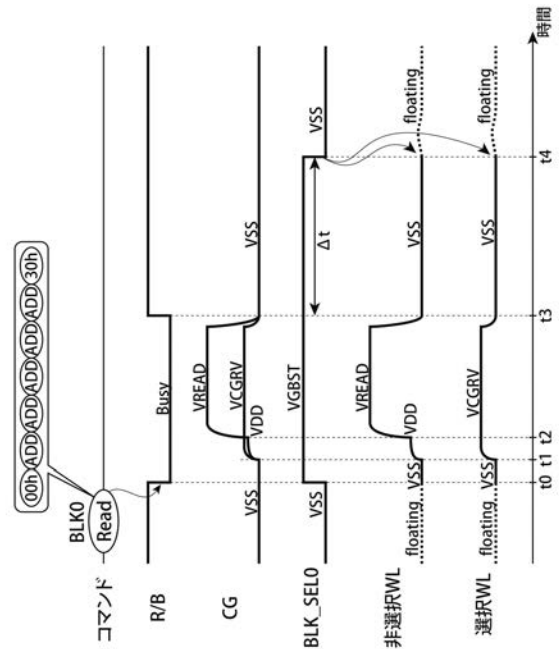
【図4】



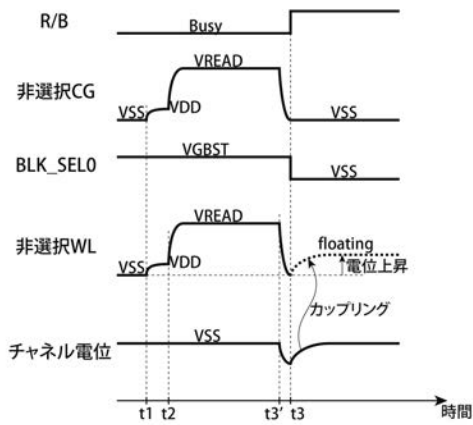
【 図 5 】



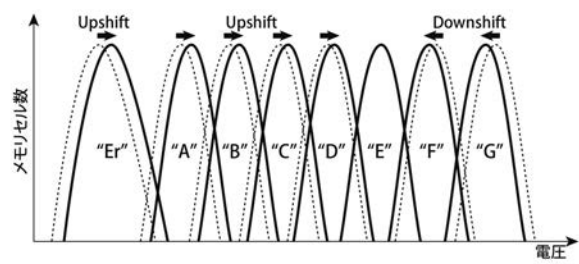
【 図 6 】



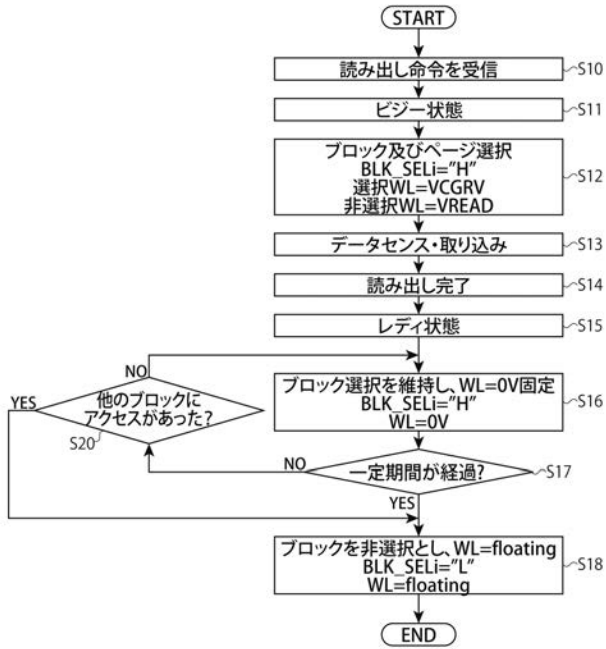
【 図 7 】



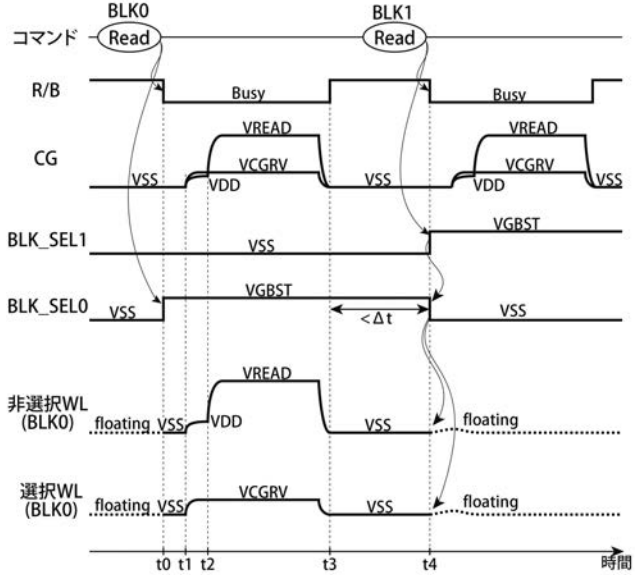
【 図 8 】



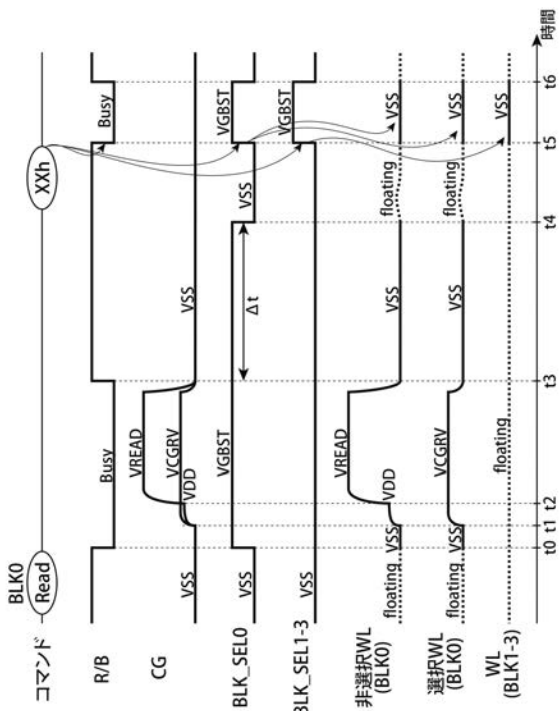
【 図 9 】



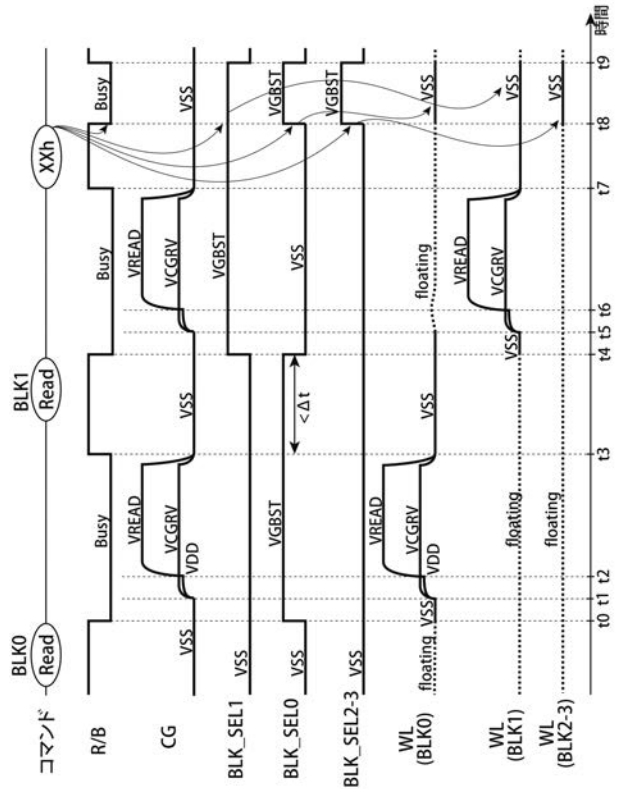
【 図 1 0 】



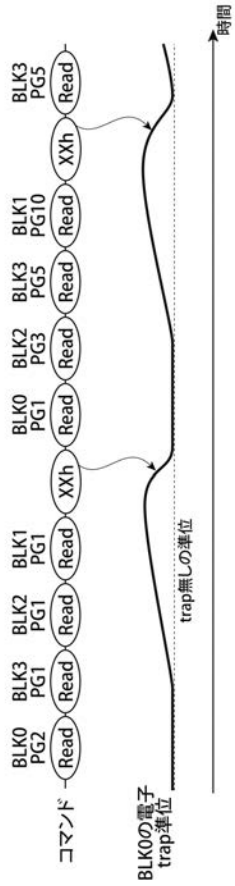
【 図 1 1 】



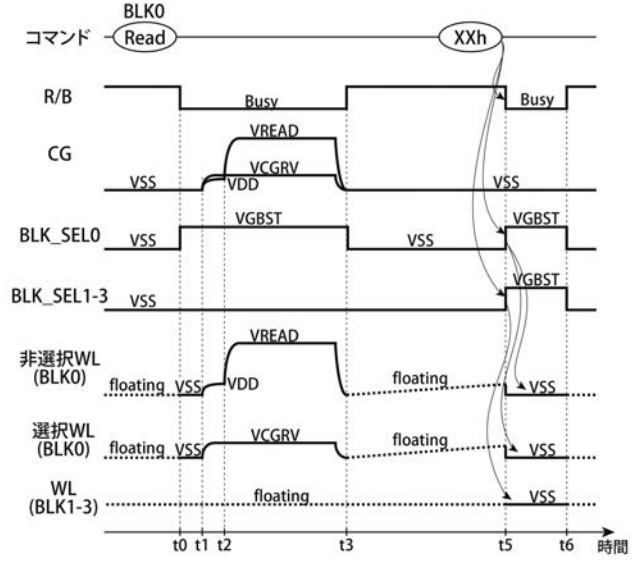
【 図 1 2 】



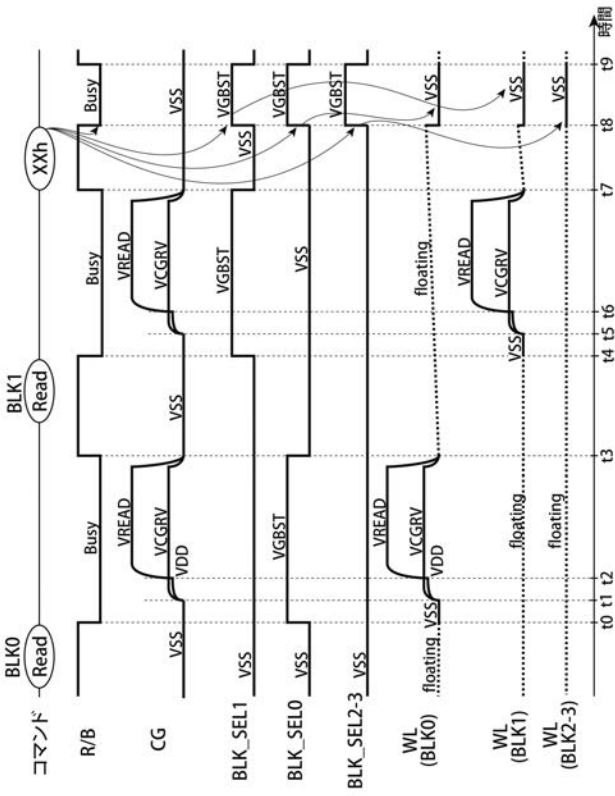
【図 1 3】



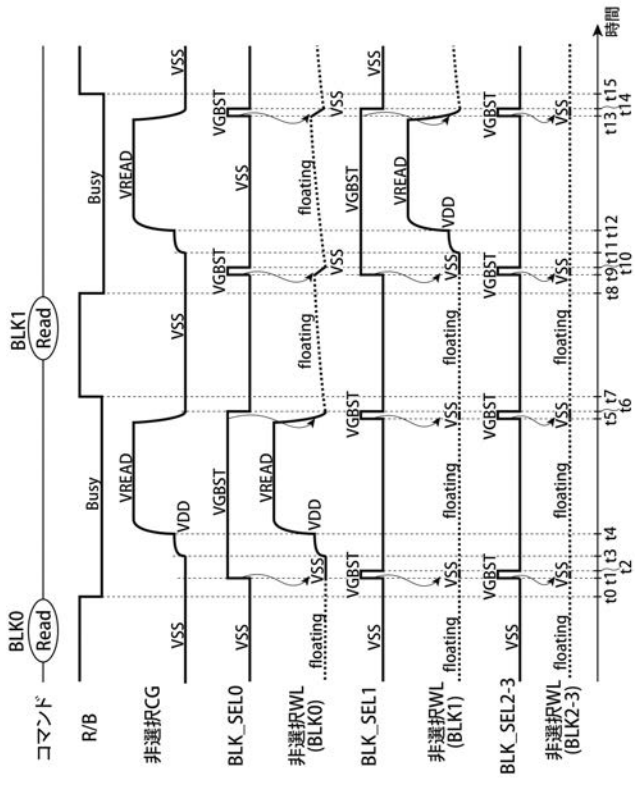
【図 1 4】



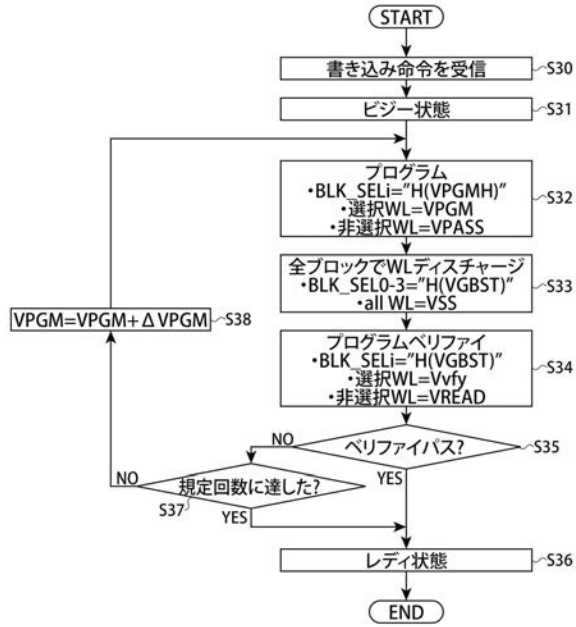
【図 1 5】



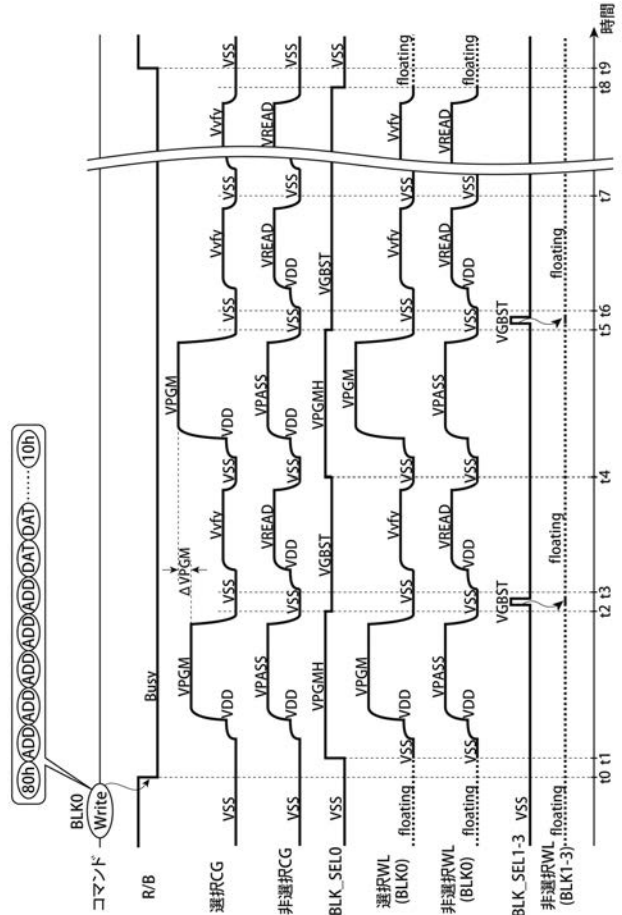
【図 1 6】



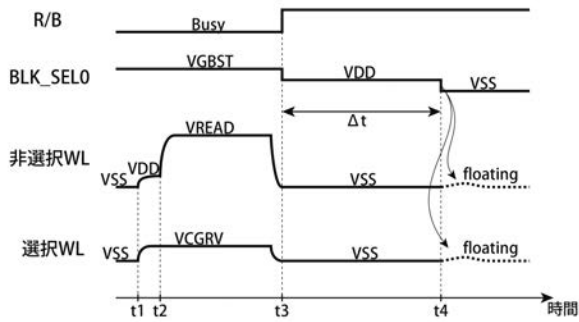
【 図 1 7 】



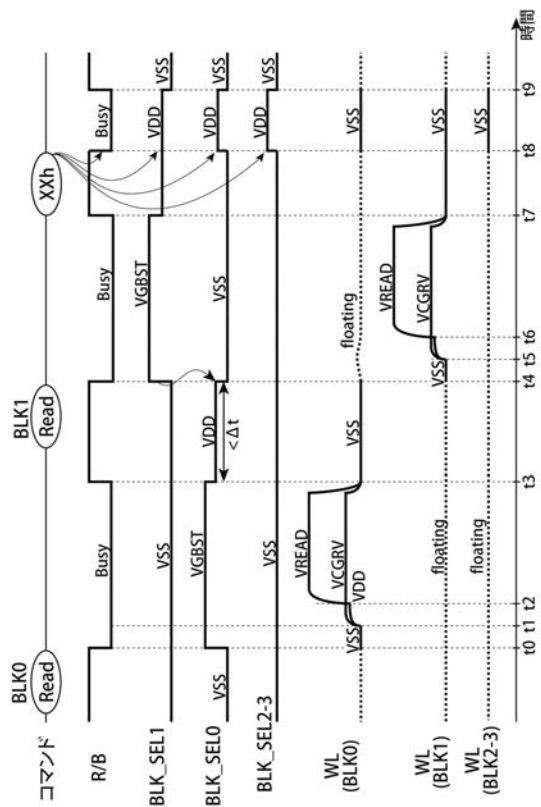
【 図 1 8 】



【 図 1 9 】



【 図 2 0 】



フロントページの続き

- (72)発明者 白川 政信
東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内
- (72)発明者 高田 万里江
東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内
- (72)発明者 徳富 司
東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内
- (72)発明者 小島 慶久
東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内
- (72)発明者 舘 喜一
東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内
- Fターム(参考) 5B225 BA02 BA19 CA15 EA05 EB10 EC06 EF23