



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년12월02일
(11) 등록번호 10-2044045
(24) 등록일자 2019년11월06일

(51) 국제특허분류(Int. Cl.)
H01L 27/115 (2017.01) H01L 21/8247 (2006.01)
(21) 출원번호 10-2014-7006540
(22) 출원일자(국제) 2012년08월14일
심사청구일자 2017년08월11일
(85) 번역문제출일자 2014년03월11일
(65) 공개번호 10-2014-0068061
(43) 공개일자 2014년06월05일
(86) 국제출원번호 PCT/US2012/050796
(87) 국제공개번호 WO 2013/025719
국제공개일자 2013년02월21일
(30) 우선권주장
13/211,033 2011년08월16일 미국(US)
(56) 선행기술조사문헌
JP2007180389 A*
(뒷면에 계속)

(73) 특허권자
마이크론 테크놀로지, 인크.
미국, 아이다호, 보이세, 사우스 페더럴 웨이 8000
(72) 발명자
태사리울, 파올로
이탈리아 아이-31044 몬테벨루나 비아 가지에 56
마우리, 아우렐리오, 지안카를로
이탈리아 아이-20036 메다 비아 아르노 20
(뒷면에 계속)
(74) 대리인
양영준, 백만기

전체 청구항 수 : 총 29 항

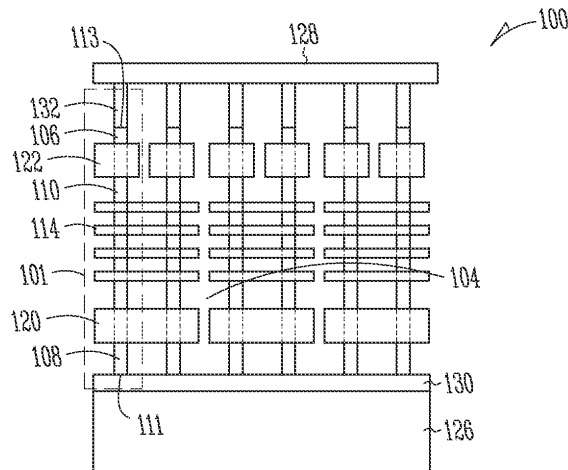
심사관 : 고연화

(54) 발명의 명칭 상이한 소수 캐리어 수명들을 가진 채널 영역을 포함한 장치들 및 방법들

(57) 요약

메모리 디바이스들, 메모리 셀 스트링들, 및 전자 시스템들과 같은 장치들, 및 이러한 장치들을 형성하는 방법들이 도시된다. 하나의 이러한 장치는 중간 부분에서보다, 하나 이상의 단부 부분들에서 보다 낮은 소수 캐리어 수명을 가진 채널 영역을 포함한다. 다른 장치들 및 방법들이 또한 개시된다.

대표도 - 도1a



(72) 발명자

고다, 아끼라

미국 83706 아이다호주 보이스 이스트 몬테레이 디
알. 1818

자오, 이지예

미국 83709 아이다호주 보이스 더블유. 케이. 바
티. 디알. 10874

(56) 선행기술조사문헌

JP2011070730 A*

US20100213538 A1*

US20070158736 A1

JP2010114369 A

KR1020080052020 A

KR1020110033755 A

KR1020100097044 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

장치에 있어서,

제 1 단부에 결합된 소스 영역 및 제 2 단부에 결합된 드레인 영역을 가진 기다란 채널 영역; 및

상기 기다란 채널 영역의 p-형 몸체 영역의 길이를 따라 배치된 다수의 메모리 셀 게이트들로서, 상기 다수의 메모리 셀 게이트들의 각각은 각각의 전하 저장 구조에 의해 상기 기다란 채널 영역으로부터 분리되는, 상기 다수의 메모리 셀 게이트들을 포함하며,

상기 기다란 채널 영역은 상기 기다란 채널 영역의 상기 제 1 단부에 위치한 제 1 재조합 영역, 및 상기 기다란 채널 영역의 상기 제 2 단부에 위치한 제 2 재조합 영역을 더 포함하고, 상기 몸체 영역은 상기 제 1 및 제 2 재조합 영역들 사이에 있으며, 상기 제 1 재조합 영역 및 상기 제 2 재조합 영역 중 적어도 하나는 상기 p-형 몸체 영역보다 낮은 소수 캐리어 수명을 갖고, 각 재조합 영역과 각 소스 및 드레인 영역 사이에 p-n 접합이 형성되어 있는, 장치.

청구항 2

청구항 1에 있어서, 상기 재조합 영역들 중 적어도 하나는 상기 몸체 영역과 상이한 도핑 농도를 가진, 장치.

청구항 3

청구항 1에 있어서, 상기 재조합 영역들 중 적어도 하나는 상기 몸체 영역과 상이한 격자 변형 조건을 가진, 장치.

청구항 4

청구항 1에 있어서, 상기 재조합 영역들 중 적어도 하나는 상기 기다란 채널 영역과 상이한 반도체 재료를 포함하는, 장치.

청구항 5

청구항 1에 있어서, 상기 소스 및 드레인 영역들은 n-형 도핑되고, 상기 채널 영역의 상기 재조합 영역들 중 적어도 하나는 상기 채널 영역의 상기 몸체 영역보다 높은 농도로 도핑되는, 장치.

청구항 6

청구항 1에 있어서, 상기 전하 저장 구조들은 유전층을 포함하는, 장치.

청구항 7

청구항 1에 있어서, 상기 장치는 NAND 메모리 스트링들의 어레이를 포함하는, 장치.

청구항 8

청구항 7에 있어서, 상기 장치는 상기 NAND 메모리 스트링들의 어레이를 포함한 메모리 디바이스에 결합된 프로세서를 더 포함하는, 장치.

청구항 9

청구항 8에 있어서, 상기 프로세서에 결합된 디스플레이 디바이스를 더 포함하는, 장치.

청구항 10

장치에 있어서,

제 1 단부에 결합된 소스 영역 및 제 2 단부에 결합된 드레인 영역을 가진 p-형 도핑된 기다란 채널 영역; 및

상기 기다란 채널 영역의 중간 부분의 길이를 따라 배치된 다수의 메모리 셀 게이트들로서, 상기 다수의 메모리 셀 게이트들의 각각은 각각의 전하 저장 구조에 의해 상기 기다란 채널 영역으로부터 분리되는, 상기 다수의 메모리 셀 게이트들을 포함하며,

p-도펀트 농도는 상기 기다란 채널 영역의 상기 중간 부분에서보다 상기 p-형 도핑된 기다란 채널 영역의 상기 제 1 단부 및 상기 제 2 단부에서 더 높고, 상기 기다란 채널 영역의 각 단부와 상기 소스 및 드레인 영역 사이에 p-n 접합이 형성되어 있는, 장치.

청구항 11

청구항 10에 있어서, 상기 기다란 채널 영역은 기판 표면에 대하여 수직으로 배향되는, 장치.

청구항 12

청구항 10에 있어서, 상기 기다란 채널 영역의 적어도 일 부분은 기판 표면에 대하여 수평으로 배향되는, 장치.

청구항 13

청구항 10에 있어서, 상기 기다란 채널 영역은 "U" 형을 형성하는, 장치.

청구항 14

청구항 10에 있어서, 상기 제 1 단부에 인접한 제 1 선택 게이트 및 상기 제 2 단부에 인접한 제 2 선택 게이트를 더 포함하는, 장치.

청구항 15

메모리 스트링을 형성하는 방법에 있어서,

소스 및 드레인 영역들을 형성하는 단계;

상기 소스 및 드레인 영역들 사이에 결합된 기다란 채널 영역을 형성하는 단계; 및

다수의 메모리 셀 게이트들을 형성하는 단계로서, 상기 메모리 셀 게이트들의 각각은 각각의 전하 저장 구조들에 의해 상기 기다란 채널 영역으로부터 분리되는, 상기 다수의 메모리 셀 게이트들을 형성하는 단계를 포함하

며,

상기 기다란 채널 영역을 형성하는 단계는 상기 기다란 채널 영역의 단부 부분들을 형성하는 단계를 포함하며, 상기 단부 부분들 중 적어도 하나는 상기 기다란 채널 영역의 중간 부분보다 낮은 소수 캐리어 수명을 갖고, 각 단부와 각 소스 및 드레인 영역 사이에 p-n 접합이 형성되어 있는, 메모리 스트링을 형성하는 방법.

청구항 16

청구항 15에 있어서, 소스 및 드레인 영역들을 형성하는 단계는 n-형 도핑된 소스 및 드레인 영역을 형성하는 단계를 포함하며, 기다란 채널 영역을 형성하는 단계는 p-형 도핑된 기다란 채널 영역을 형성하는 단계를 포함하는, 메모리 스트링을 형성하는 방법.

청구항 17

청구항 15에 있어서, 단부 부분들을 형성하는 단계는 상기 중간 부분을 형성하기 위해 사용되는 것보다 더 높은 도펀트 농도를 갖고 상기 단부 부분들을 형성하기 위해 도핑된 폴리실리콘을 증착시키는 단계를 포함하는, 메모리 스트링을 형성하는 방법.

청구항 18

청구항 15에 있어서, 단부 부분들을 형성하는 단계는 상기 기다란 채널 영역의 상기 중간 부분을 형성하기 위해 사용되는 것보다 더 높은 도펀트 농도에서 상기 단부 부분들을 형성하기 위해 도펀트들을 주입하는 단계를 포함하는, 메모리 스트링을 형성하는 방법.

청구항 19

청구항 15에 있어서, 상기 기다란 채널 영역의 상기 단부 부분들의 첫번째 것에 인접한 제 1 선택 게이트 및 상기 기다란 채널 영역의 상기 단부 부분들의 두번째 것에 인접한 제 2 선택 게이트를 형성하는 단계를 더 포함하는, 메모리 스트링을 형성하는 방법.

청구항 20

청구항 19에 있어서, 상기 선택 게이트들을 형성하는 단계는 상기 각각의 인접한 단부 부분을 적어도 부분적으로 둘러싸기 위해 상기 선택 게이트들의 각각을 형성하는 단계를 포함하는, 메모리 스트링을 형성하는 방법.

청구항 21

청구항 19에 있어서, 단부 부분들을 형성하는 단계는 적어도 상기 선택 게이트들 내에서의 각각의 위치들로부터 및/또는 위치들로 연장시키기 위해 상기 단부 부분들을 형성하는 단계를 포함하는, 메모리 스트링을 형성하는 방법.

청구항 22

메모리 스트링을 형성하는 방법에 있어서,

n-형 소스 영역 및 n-형 드레인 영역을 형성하는 단계;

p-형 기다란 몸체 영역을 형성하는 단계;

다수의 메모리 셀 게이트들을 형성하는 단계로서, 상기 메모리 셀 게이트들의 각각은 각각의 전하 저장 구조에 의해 상기 기다란 몸체 영역으로부터 분리되는, 상기 다수의 메모리 셀 게이트들을 형성하는 단계;

상기 n-형 소스 영역 및 상기 p-형 기다란 몸체 영역 사이에서 상기 p-형 기다란 몸체 영역보다 더 고농도로 도핑된 제 1 p-형 영역을 형성하는 단계; 및

상기 n-형 드레인 영역 및 상기 p-형 기다란 몸체 영역 사이에서 상기 p-형 기다란 몸체 영역보다 더 고농도로 도핑된 제 2 p-형 영역을 형성하는 단계를 포함하고, 상기 p-형 기다란 몸체 영역의 각 단부와 상기 n-형 소스 및 드레인 영역 사이에 p-n 접합이 형성되어 있는, 메모리 스트링을 형성하는 방법.

청구항 23

청구항 22에 있어서, 더 고농도로 도핑된 p-형 영역을 형성하는 단계는 도핑된 폴리실리콘을 증착시키는 단계를 포함하는, 메모리 스트링을 형성하는 방법.

청구항 24

청구항 23에 있어서, 상기 도핑된 폴리실리콘을 증착시키는 단계는 5×10^{18} atoms/cm³ 이상의 농도로 도핑된 폴리실리콘을 증착시키는 단계를 포함하는, 메모리 스트링을 형성하는 방법.

청구항 25

청구항 22에 있어서, p-형 기다란 몸체 영역을 형성하는 단계는 1×10^{18} atoms/cm³의 농도로 도핑된 기다란 몸체 영역을 형성하는 단계를 포함하는, 메모리 스트링을 형성하는 방법.

청구항 26

청구항 22에 있어서, 더 고농도로 도핑된 제 1 p-형 영역 및 더 고농도로 도핑된 제 2 p-형 영역을 형성하는 단계는 상기 다수의 메모리 셀 게이트들의 에지로부터 연장되는 더 고농도로 도핑된 제 1 p-형 영역 및 더 고농도로 도핑된 제 2 p-형 영역을 형성하는 단계를 포함하는, 메모리 스트링을 형성하는 방법.

청구항 27

청구항 22에 있어서, 상기 더 고농도로 도핑된 제 1 p-형 영역에 인접한 제 1 선택 게이트 및 상기 더 고농도로 도핑된 제 2 p-형 영역에 인접한 제 2 선택 게이트를 형성하는 단계를 더 포함하며,

상기 더 고농도로 도핑된 제 1 p-형 영역을 형성하는 단계는 상기 제 1 선택 게이트의 에지로 연장되는 더 고농도로 도핑된 제 1 p-형 영역을 형성하는 단계를 포함하며, 상기 더 고농도로 도핑된 제 2 p-형 영역을 형성하는 단계는 상기 제 2 선택 게이트의 에지로부터 연장되는 더 고농도로 도핑된 제 2 p-형 영역을 형성하는 단계를 포함하는, 메모리 스트링을 형성하는 방법.

청구항 28

청구항 22에 있어서, 상기 더 고농도로 도핑된 제 1 p-형 영역을 형성하는 단계는 상기 다수의 메모리 셀 게이트들의 에지로 연장되는 더 고농도로 도핑된 제 1 p-형 영역을 형성하는 단계를 포함하며 상기 더 고농도로 도핑된 제 2 p-형 영역을 형성하는 단계는 상기 다수의 메모리 셀들의 또 다른 에지로부터 연장되는 더 고농도로 도핑된 제 2 p-형 영역을 형성하는 단계를 포함하는, 메모리 스트링을 형성하는 방법.

청구항 29

청구항 22에 있어서, 상기 더 고농도로 도핑된 제 1 p-형 영역에 인접한 제 1 선택 게이트 및 상기 더 고농도로 도핑된 제 2 p-형 영역에 인접한 제 2 선택 게이트를 형성하는 단계를 더 포함하며,

상기 더 고농도로 도핑된 제 1 p-형 영역을 형성하는 단계는 상기 제 1 선택 게이트의 에지로부터 연장되는 더 고농도로 도핑된 제 1 p-형 영역을 형성하는 단계를 포함하며 상기 더 고농도로 도핑된 제 2 p-형 영역을 형성하는 단계는 상기 제 2 선택 게이트의 에지로부터 연장되는 더 고농도로 도핑된 제 2 p-형 영역을 형성하는 단계를 포함하는, 메모리 스트링을 형성하는 방법.

발명의 설명

기술 분야

[0001]

우선권 출원

[0002]

본 출원은 2011년 8월 16일에 출원된, 미국 출원 번호 제13/211,033호로부터의 우선권 이득을 주장하고, 이것은 그 전체가 참조로서 본 출원에 통합된다.

배경 기술

[0003]

보다 큰 밀도를 가진 메모리 디바이스들은 항상 수요가 많다. 반도체 칩의 표면 상에서 횡방향으로 메모리 디바이스들을 형성하는 것은 많은 칩 리얼 에스테이트(real estate)를 사용한다. 통상의 메모리 디바이스들 이상으로 메모리 밀도를 추가로 증가시키기 위해 새로운 구성들을 갖는 개선된 메모리 디바이스들이 요구된다.

발명의 내용

도면의 간단한 설명

[0004]

도 1a는 본 발명의 일 실시예에 따른 메모리 디바이스를 도시한다.

도 1b는 본 발명의 일 실시예에 따른 도 1a로부터 메모리 스트링의 블록도를 도시한다.

도 1c는 본 발명의 일 실시예에 따른 메모리 스트링의 동작에서 캐리어 생성의 모델을 도시한다.

도 1d는 본 발명의 일 실시예에 따른 메모리 스트링의 동작에서 캐리어 생성의 모델을 도시한다.

도 2는 본 발명의 일 실시예에 따른 메모리 스트링의 채널 영역을 대한 전위 대 시간의 그래프를 도시한다.

도 3a는 본 발명의 일 실시예에 따른 또 다른 메모리 디바이스를 도시한다.

도 3b는 본 발명의 일 실시예에 따른 또 다른 메모리 디바이스를 도시한다.

도 4a 내지 도 4i는 본 발명의 일 실시예에 따른 메모리 디바이스의 프로세싱 동작들을 도시한다.

도 5는 본 발명의 일 실시예에 따른 메모리 디바이스를 사용한 정보 처리 시스템을 도시한다.

발명을 실시하기 위한 구체적인 내용

[0005]

본 발명의 다음의 상세한 설명에서, 그 일부를 형성하며, 예시로서 본 발명이 실시될 수 있는 특정 실시예들이 도시되는, 첨부한 도면들에 대한 도면번호가 제공된다. 이들 실시예들은 이 기술분야의 숙련자들이 본 발명을 실시할 수 있게 하기 위해 충분히 상세히 설명된다. 다른 실시예들이 이용될 수 있으며, 논리적, 전기적 변화들 등이 이루어질 수 있다.

[0006]

도 1a는 기판(102) 상에 형성된 메모리 디바이스(100)의 형태에 있는 장치를 도시한다. 도 1b는 도 1a로부터 메모리 스트링(101)을 도시한다. 전하 저장 구조들(112)(예로서, 터널 유전체, 폴리 실리콘, 및 전하 차단 재료의 조합; 질화물, 산화물, 및 질화물의 조합; 또는 현재 알려졌는지 또는 미래에 개발되었는지 여부에 상관없이, 전

하 저장 기능을 제공할 수 있는 재료들의 임의의 다른 조합)은 복수의 메모리 셀 게이트들(114)(또한 기다란 채널 영역(110) 및 전하 저장 구조(들)(112)의 각각의 단면들을 실질적으로 둘러쌀 수 있는)의 각각에 대응하는 각각의 전하 저장 구조들을 형성하기 위해, 도 1b에 도시된 바와 같이, 기다란 채널 영역(110)을 실질적으로 둘러싼다. 전하 저장 구조들은 단일 구조의 각각의 복수의 부분들일 수 있거나, 또는 복수의 분리된, 이산 구조들을 포함할 수 있다.

[0007] 제 1 선택 게이트(120) 및 제 2 선택 게이트(122)는 기다란 채널 영역(110)을 각각 소스 영역(130) 및 드레인 영역(132)에 선택적으로 결합하기 위해 도시된다. 유전체(104)는 상술된 것들과 같은 구성요소들 사이에서의 공간들을 채울 수 있다.

[0008] 일 예에서, 기다란 채널 영역(110)은 p-형 및/또는 도핑되지 않은 폴리실리콘과 같은, 반도체 재료로 형성된다. 기다란 채널 영역(110)은 제 1 단부(111)가 제 2 단부(113) 및/또는 중간 부분과 같은, 기다란 채널 영역(110)의 다른 부분들을 형성하기 위해 사용된 것과 상이한 폴리실리콘 증착 활동에서 형성되는 것과 같이, 다수의 프로세스 동작들에서 형성될 수 있다. 소스 영역(130) 및 드레인 영역(132)은 각각 기다란 채널 영역(110)의 제 1 단부(111) 및 제 2 단부(113)에 결합되는 것으로 도시된다. 일 예에서, 소스 영역(130) 및 드레인 영역은 n+ 폴리실리콘과 같은, n-형 반도체 재료를 포함한다.

[0009] 동작 동안, 소스 영역(130), 기다란 채널 영역(110), 및 드레인 영역(132)을 포함하는 경로는 해당 방식을 따라 신호 송신을 허용하도록(또는 금지하도록) 동작하는 선택 게이트들(120, 122), 및 메모리 셀 게이트들(114)을 갖고, n-p-n 트랜지스터로서 작동한다. 소스 영역(130), 기다란 채널 영역(110), 드레인 영역(132), 선택 게이트들(120, 122), 전하 저장 구조들(112), 및 메모리 셀 게이트들(114)을 함께 포함한 구성요소들은 메모리 스트링(101)을 형성한다. 일 예에서, 메모리 스트링은 NAND 메모리 스트링으로서 동작하기 위해 회로에 구성된다.

[0010] 소스 라인(126) 및 비트라인(128)과 같은 데이터 라인은 각각 소스 영역(130) 및 드레인 영역(132)에 결합되어 도시된다. 소스 라인(126) 및 비트라인(128)은 알루미늄, 구리, 또는 텅스텐과 같은 금속 또는 이들 또는 다른 도체 금속들의 합금들을 포함하고, 이것으로 구성되거나, 또는 본질적으로 이것으로 구성될 수 있다. 본 개시에서, 용어("금속")는 금속 질화물들, 또는 주로 도체들로서 동작하는 다른 재료들을 더 포함한다.

[0011] 도 1b는 도 1a로부터의 메모리 스트링(101)의 블록도를 도시한다. 도면들에 도시된 메모리 셀 게이트들(114)의 수는 단지 예시 목적들을 위한 것이다. 일 예에서, 메모리 스트링(101)은 선택 게이트들(120, 122) 사이에서 8 개의 메모리 셀 게이트들(114)을 포함한다.

[0012] 채널 영역(110)은 도 1a 및 도 1b에 도시된 바와 같이, 제 1 재조합 영역(106), 및 제 2 재조합 영역(108)(및 제 1 재조합 영역 및 제 2 재조합 영역 사이에서의 몸체 영역)을 포함할 수 있다. 제 1 재조합 영역(106) 및 제 2 재조합 영역(108)은 기다란 채널 영역(110)의 일부로서 형성되며, 동일한 도전형일 수 있다. 일 예에서, 제 1 재조합 영역(106) 및 제 2 재조합 영역(108)은 기다란 채널 영역(110)의 몸체 영역의 소수 캐리어 수명보다 낮은 소수 캐리어 수명을 갖도록 구성된다. 일 예에서, 제 1 재조합 영역(106) 및 제 2 재조합 영역(108)은 실질적으로 유사한 구성들로 형성되며, 실질적으로 동일한 소수 캐리어 수명을 가진다. 일 예에서, 제 1 재조합 영역(106) 및 제 2 재조합 영역(108)은 상이한 소수 캐리어 수명들을 가지며, 양쪽 소수 캐리어 수명들 모두는 기다란 채널 영역(110)의 몸체 영역의 소수 캐리어 수명보다 낮다.

[0013] 형성에 대한 다수의 구성들 및 연관된 프로세스들이 제 1 재조합 영역(106) 및 제 2 재조합 영역(108)에 대해 가능하다. 일 예에서, 제 1 재조합 영역(106) 및 제 2 재조합 영역(108)은 보다 낮은 소수 캐리어 수명을 제공하기 위해 몸체 영역(110)보다 높은 농도로 도핑된다. 일 예에서, 기다란 채널 영역(제 1 및 제 2 재조합 영역들(106, 108))은 p-형 도펀트로 도핑된다. p-형 도펀트들의 예들은 이에 제한되지 않지만, 붕소, 알루미늄, 갈륨, 및 인듐을 포함한다.

[0014] 도핑 농도의 일 예는 대략 $5 \times 10^{18} \text{ atoms/cm}^3$ 이상의 농도로 도핑되는 제 1 재조합 영역(106) 및 제 2 재조합 영역(108)을 갖고, 대략 $1 \times 10^{18} \text{ atoms/cm}^3$ 의 농도로 도핑되는 기다란 채널 영역(110)의 몸체 영역을 포함한다. 제 1 재조합 영역(106) 및 제 2 재조합 영역(108)에서의 보다 높은 도핑 농도는 기다란 채널 영역(110)의 몸체 영역에서 보다 낮은 소수 캐리어 수명을 야기한다. 또 다른 예는 도핑되지 않은 기다란 채널 영역(110)을 포함하며, 제 1 재조합 영역(106) 및 제 2 재조합 영역(108)은 도핑되지 않은 몸체 영역(110)보다 높은 유효 농도로 도핑된다.

[0015] 복수의 메모리 셀 게이트들(114) 밖의 영역들에서의 보다 낮은 소수 캐리어 수명은 메모리 동작들 동안 기다란

채널 영역(110)의 보다 양호한 선택적 절연을 제공해야 한다. 예를 들면, 소거 동작 동안, 스트링(101)이 소거를 위해 선택될 수 있다. 이러한 경우에 다른 스트링들(101)이 절연되는 것이 바람직하다. 제 1 재조합 영역(106) 및 제 2 재조합 영역(108)에서의 소수 캐리어 수명을 낮춤으로써, 전하는 선택되지 않은 스트링들을 통해 흐를 가능성이 적으며, 메모리 동작들은 보다 높은 성능을 갖고, 보다 신뢰 가능해진다.

[0016] 도 1c는 기다란 채널 영역(110), 재조합 영역(108), 및 메모리 셀 게이트들(114)의 모델링된 영역을 도시한다. 도면은 충돌 이온화 영역들에서, 캐리어 생성이 소거 동작과 같은 동작에서 선택되지 않은 스트링을 위한 금지 상태 동안 전위 강하에 의해 유지된다는 것을 도시한다. 본 발명의 실시예들의 적용 없이, 승압 채널은 짧은 시간에 걸쳐 그것의 전위를 잃을 수 있다. 예를 들면, 도 1d는 재조합 영역들이 없는 디바이스를 위한 채널 영역 전위(154)를 도시한다. 도면으로부터 보여질 수 있는 바와 같이, 채널 영역 전위(154)는 시간에 걸쳐 저하된다. 본 발명의 일 실시예에 따른 도펀트 엔지니어링 예를 사용하여, 채널 영역 전위(152)는 동일한 시간 기간에 걸쳐 유지되는 것으로 도시된다.

[0017] 제 1 재조합 영역(106) 및 제 2 재조합 영역(108)을 위한 형성에대한 다른 구성들 및 연관된 프로세스들은 변형 엔지니어링 및 대안적인 재료 선택을 포함한다. 변형 엔지니어링 예들에서, 도펀트 원소들을 포함할 수 있거나 또는 포함하지 않을 수 있는 불순물 원소가 제 1 재조합 영역(106) 및 제 2 재조합 영역(108) 내에서의 격자로 주입되거나 또는 다른식으로 도입된다. 불순물 원소(들)의 첨가에 의해 격자에 제공된 변형은 영역들(즉, 몸체 영역과 상이한 격자 변형 조건을 가진 영역들로 귀결되는)을 수정하며, 이것은 기다란 채널 영역(110)의 몸체 영역보다 낮은 소수 캐리어 수명을 가진 영역들을 초래한다.

[0018] 대안적인 재료 예들에서, 제 1 재조합 영역(106) 및 제 2 재조합 영역(108)은 기다란 채널 영역(110)의 몸체 영역을 형성하기 위해 사용된 것과 상이한 반도체 재료로부터 형성된다. 재료 선택의 상이한 특성들은 기다란 채널 영역(110)의 몸체 영역에서보다 낮은 재조합 영역들(106, 108)에서의 소수 캐리어 수명을 야기한다. 도 1d는 재료 조작된 예제의 모델화된 예를 도시한다. 보여질 수 있는 바와 같이, 재료 조작된 예를 위한 채널 영역 전위(150)는 시간에 걸쳐 유지되는 것으로 도시된다.

[0019] 일 예에서, 제 1 재조합 영역(106) 및 제 2 재조합 영역(108) 각각은 적어도 선택 게이트들(122, 120) 내에서의 각각의 위치로부터(영역(106)의 경우에) 및/또는 그 위치로(영역(108)의 경우에) 연장된다. 도 1b는 제 1 재조합 영역(106) 및 제 2 재조합 영역(108) 각각이 선택 게이트들(122, 120)의 각각의 에지들로부터 및/또는 에지들로 연장되는 일 예를 도시한다.

[0020] 도 2는 메모리 스트링(201)을 도시한다. 메모리 스트링(201)은 그 사이에 결합된 기다란 채널 영역(210)을 가진 소스 영역(230) 및 드레인 영역(232)을 포함한다. 다수의 메모리 셀 게이트들(214)이 다수의 전하 저장 구조들(212)에 의해 기다란 채널 영역(210)으로부터 분리된, 기다란 채널 영역(210)에 인접하여 도시된다. 제 1 선택 게이트(220)는 기다란 채널 영역(210)의 제 1 단부(211)에 위치되며, 제 2 선택 게이트(222)는 기다란 채널 영역(210)의 제 2 단부(213)에 위치된다.

[0021] 기다란 채널 영역(210)은 제 1 재조합 영역(206) 및 제 2 재조합 영역(208)(및 제 1 및 제 2 재조합 영역들(206, 208) 사이에서의 기다란 몸체 영역)을 포함한다. 일 예에서, 제 1 재조합 영역(206) 및 제 2 재조합 영역(208) 각각은 선택 게이트들(220, 222)의 에지들 앞에서 및/또는 이를 지난 각각의 위치들로부터 및/또는 위치들로 연장된다. 도 2에 도시된 예에서, 제 1 재조합 영역(206)은 선택 게이트(220)의 에지 전 위치로부터 연장되며(예로서, 그것은 메모리 셀 게이트들(214)의 에지(216)로부터 연장된다) 및 제 2 재조합 영역(208)은 선택 게이트들(222)의 에지를 지난 위치로 연장된다(예로서, 그것은 메모리 셀 게이트들(214)의 또 다른 에지(217)로 연장된다).

[0022] 도 1a, 도 1b, 및 도 2는 방향이 수직인 메모리 스트링들을 예시한다. 수평 및 "U" 형을 포함한, 다른 구성들이 또한 가능하다. 도 3a 및 도 3b는 "U" 형 메모리 스트링들의 예들을 예시한다. 도 3a는 그 사이에 결합된 기다란 채널 영역(310) 및 기다란 채널 영역(310)의 길이를 따라 위치된 다수의 메모리 셀 게이트들(314)을 가진, 소스 영역(332) 및 드레인 영역(334)을 포함한, 메모리 스트링(300)을 도시한다. 도시된 구성에서, 소스 영역(332) 및 드레인 영역(334)은 "U" 형을 형성하는 기다란 채널 영역(310)을 갖고, 위쪽으로 향한다.

[0023] 도 3a에서, 기다란 채널 영역(310)은 제 1 재조합 영역(306) 및 제 2 재조합 영역(308)(및 그 사이에서의 몸체 영역)을 포함한다. 일 예에서, 제 1 재조합 영역(306) 및 제 2 재조합 영역(308)은 보다 고농도의 도핑, 변형 엔지니어링, 또는 기다란 채널 영역(310)의 몸체 영역을 형성하기 위해 사용되는 것과 상이한 재료 선택을 사용하여, 상술된 바와 같이 형성된다.

- [0024] 도 3a는 각각이 각각 제 1 선택 게이트(320) 및 제 2 선택 게이트(322)의 각각의 에지들로부터 연장되는 제 1 재조합 영역(306) 및 제 2 재조합 영역(308)을 도시한다. 도 3b는 제 1 선택 게이트(320) 및 제 2 선택 게이트(322)의 각각의 에지들 전의 위치들로부터 연장되는(예로서, 각각 다수의 게이트들(314)의 에지(360)로부터 연장되는) 제 1 재조합 영역(356) 및 제 2 재조합 영역(358)을 갖고, 유사한 메모리 스트링(350)을 도시한다.
- [0025] 이전 도면들에 대하여 주지된 바와 같이, 수직, 수평, 및 "U" 형과 같은, 메모리 스트링들의 여러 개의 상이한 구성들이 가능하다. 다음의 도면들(도 4a 내지 도 4i)은 수직 메모리 스트링을 형성하기 위해 사용될 수 있는 예시적인 프로세스를 설명한다. 이러한 프로세스는 이전에 논의된 구성들, 뿐만 아니라 다른 구성들을 형성하기 위한 일반적인 가이드라인으로서 사용될 수 있다.
- [0026] 도 4a는 기판(402)의 일부 상에서의 n-형 도핑 영역(404)의 형성을 도시한다. 일 예에서, 기판(402)의 일 부분은 소스 라인을 형성한다. 일 예에서, n-형 도핑 영역(404)은 n+가 되도록 고농도 도핑된다. 도 4b에서, 유전층(405)이 형성되며, 폴리실리콘(406)의 층이 형성된다.
- [0027] 도 4c에서, 폴리실리콘(406)은 폴리실리콘(406)의 부분들을 절연시키는 개구들(408)을 형성하기 위해 패터닝되고 에칭된다. 도 4d에서, 제 1 재조합 영역(410)이 제 1 선택 게이트들(416)을 형성하는 폴리실리콘(406)의 부분들을 통해 형성된다. 일 예에서, 제 1 재조합 영역(410)은 도핑된 폴리실리콘으로서 증착된다. 다른 예들에서, 제 1 재조합 영역(410)을 위한 재료가 증착되며, 그 다음에, 확산, 이온 주입법, 또는 다른 도핑 방법들에 의해서와 같이, 도핑된다. 일 예에서, 제 1 재조합 영역(410)은 p+가 되도록 고농도 도핑된다. 일 예에서, 제 1 재조합 영역(410)은 대략 5×10^{18} atoms/cm³의 도펀트 농도를 포함한다.
- [0028] 일 예에서, 제 1 재조합 영역(410)은 변형 엔지니어링에 의해 형성된다. 변형 엔지니어링의 일 예는 폴리실리콘 구조를 형성하는 것, 및 제 1 재조합 영역(410)에서의 소수 캐리어 수명을 변경하기 위해 제 1 재조합 영역(410)의 격자를 변형하는 불순물 원소를 주입하거나 또는 그것을 가지고 다른식으로 형성하는 것을 포함한다.
- [0029] 일 예에서, 제 1 재조합 영역(410)은 그 다음에 형성된 기다란 채널 영역의 몸체 영역(412)보다 낮은 소수 캐리어 수명을 가진 재료로 형성된다. 일 예에서, 제 1 재조합 영역(410)을 위한 재료 선택은 갈륨 비소, 게르마늄 등과 같은, 비-실리콘 반도체들을 포함한다.
- [0030] 도 4d에 도시된 예에서, 제 1 재조합 영역(410)은 폴리실리콘(406)을 통해 도핑 영역(404)으로부터 제 1 선택 게이트(416)의 에지로 연장된다. 다른 예들에서, 도 2에 도시된 바와 같이, 제 1 재조합 영역(410)은 제 1 선택 게이트(416)의 에지를 지나 다수의 메모리 셀 게이트들의 에지까지 연장된다. 많은 실시예들에서, 제 1 재조합 영역(410)은 다수의 프로세싱 동작들에서 형성되는 기다란 채널 영역의 일 부분이다.
- [0031] 도 4e는 기다란 채널 영역의 몸체 영역(412)의 형성, 및 기다란 채널 영역의 몸체 영역(412)의 길이를 따라 다수의 메모리 셀 게이트들(414)의 형성을 도시한다. 일 예에서, 몸체 영역(412)은 p-형 도핑되지만, 다른 예들에서, 그것은 상이하게 도핑되거나 또는 도핑되지 않을 수 있다. 일 예에서, 영역(412)은 대략 1×10^{18} atoms/cm³의 p-형 도펀트 농도를 포함한다. 상기 주지된 바와 같이, 몸체 영역(412)은 다수의 프로세싱 동작들에서 형성되는 기다란 채널 영역의 일 부분이다.
- [0032] 도 4f는 또 다른 폴리실리콘 층(418)의 형성을 도시한다. 도 4g에서, 폴리실리콘 층(418)은 제 2 선택 게이트들(420)을 형성하기 위해 패터닝되고 에칭된다. 도시된 예에서, 제 1 선택 게이트(416)는 두 개의 인접한 스트링들(422)에 의해 공유되는 반면, 각각의 제 2 선택 게이트(420)는 개개의 메모리 스트링(422)에 전용된다. 다른 예들은 메모리 디바이스 구성의 요건들에 의존하여, 공유된 제 2 선택 게이트들(420) 및 개개의 제 1 선택 게이트들(420)의 조합들을 포함한다.
- [0033] 도 4h에서, 제 2 재조합 영역(424)은 제 2 선택 게이트들(420)을 통해 형성된다. 제 1 재조합 영역(410)과 마찬가지로, 일 예에서, 제 2 재조합 영역(424)은 도핑된 폴리실리콘으로서 증착된다. 다른 예들에서, 제 2 재조합 영역(424)을 위한 재료는 증착되며 그 다음에 확산, 이온 주입법, 또는 다른 도핑 방법들에 의해서와 같이, 도핑된다. 일 예에서, 제 2 재조합 영역(424)은 p+가 되도록 고농도 도핑된다. 일 예에서, 제 2 재조합 영역(424)은 대략 5×10^{18} atoms/cm³의 도펀트 농도를 포함한다. 변형 엔지니어링, 또는 제 1 재조합 영역(410)에 있는 경우인 재료 선택과 같은 다른 예들이 기다란 채널 영역의 몸체 영역(412)보다 낮은 소수 캐리어 수명을 제공하기 위해 제 2 재조합 영역(424)에 사용될 수 있다.
- [0034] 도 4h에 도시된 예에서, 제 2 재조합 영역(424)은 제 2 선택 게이트들(420)의 에지로부터 연장된다. 도 2에 도

시된 바와 같이, 다른 예들에서, 제 2 재조합 영역(424)은 다수의 메모리 셀 게이트들(414)의 에지로부터 연장된다. 상기 주지된 바와 같이, 제 2 재조합 영역(424)은 다수의 프로세싱 동작들에서 형성된 기다란 채널 영역의 일 부분이다.

[0035] 도 4i에서, n-형 도핑 영역(426)은 그것이 제 2 재조합 영역(424)에 연결되도록 형성된다. 기다란 채널 영역이 p-형 도핑 영역인 일 실시예에서, n-형 도핑 영역(426), 기다란 채널 영역(제 2 재조합 영역(424), 몸체 영역(412), 및 제 1 재조합 영역(410)을 포함한), 및 n-형 도핑 영역(404)이 메모리 스트링으로서 기능하는 n-p-n 접합을 형성한다. 마지막으로, 도 4i에서, 데이터 라인(428)(예로서, 비트 라인)은 메모리 스트링들을 연결하고 메모리 디바이스를 형성하기 위해 형성된다.

[0036] 컴퓨터와 같은 정보 처리 시스템의 형태에 있는 장치의 일 실시예가 본 발명의 고-레벨 디바이스 애플리케이션의 일 실시예를 도시하기 위해 도 5에 포함된다. 도 5는 상술된 바와 같이 본 발명의 실시예들에 따라 하나 이상의 메모리 디바이스들(507)을 통합한 정보 처리 시스템(500)의 블록도이다. 정보 처리 시스템(500)은 단지 본 발명의 메모리 디바이스들이 사용될 수 있는 전자 시스템의 일 실시예이다. 다른 예들은, 이에 제한되지는 않지만, 태블릿 컴퓨터들, 카메라들, 개인용 데이터 보조기들(PDA들), 셀룰러 전화기들, MP3 플레이어들, 항공기, 위성들, 군용차들 등을 포함한다.

[0037] 이 예에서, 정보 처리 시스템(500)은 시스템의 다양한 구성요소들을 결합하기 위해 시스템 버스(502)를 포함하는 데이터 프로세싱 시스템을 포함한다. 시스템 버스(502)는 정보 처리 시스템(500)의 다양한 구성요소들 중에서 통신 링크들을 제공하며 단일 버스로서, 버스들의 조합으로서, 또는 임의의 다른 적절한 방식으로 구현될 수 있다.

[0038] 칩 어셈블리(504)가 시스템 버스(502)에 결합된다. 칩 어셈블리(504)는 임의의 회로 또는 회로들의 동작가능하게 호환 가능한 조합을 포함할 수 있다. 일 실시예에서, 칩 어셈블리(504)는 임의의 유형일 수 있는 프로세서(506)를 포함한다. 여기에 사용된 바와 같이, "프로세서"는 이에 제한되지는 않지만, 마이크로프로세서, 마이크로로제어기, 그래픽스 프로세서, 디지털 신호 프로세서(DSP), 또는 임의의 다른 유형의 프로세서 또는 프로세싱 회로와 같은 임의의 유형의 계산 회로를 의미한다.

[0039] 일 실시예에서, 메모리 디바이스(507)는 칩 어셈블리(504)에 포함된다. 일 실시예에서, 메모리 디바이스(507)는 상술된 실시예들에 따른 NAND 메모리 디바이스와 같은, 메모리 디바이스를 포함한다. 여기에 설명된 프로세스들에 따라 형성된 메모리 디바이스(507)는 또한 버스(502)에 결합된 별개의 디바이스 또는 칩(프로세서(506) 및/또는 로직(508)과 조합하여, 칩 어셈블리(504)의 일부를 형성하는 것이 아닌)으로서 구체화될 수 있다.

[0040] 일 실시예에서, 프로세서 칩들을 제외한 부가적인 로직 칩들(508)이 칩 어셈블리(504)에 포함된다. 프로세서를 제외한 로직 칩(508)의 일 예는 아날로그-디지털 변환기를 포함한다. 맞춤 회로들, 애플리케이션-특정 집적 회로(ASIC) 등과 같은 로직 칩들(508) 상에서의 다른 회로들이 또한 본 발명의 일 실시예에 포함된다.

[0041] 정보 처리 시스템(500)은 또한 외부 메모리(511)를 포함할 수 있으며, 이것은 결과적으로, 하나 이상의 하드 드라이브들(512), 및/또는 콤팩트 디스크들(CD들), 플래시 드라이브들, 디지털 비디오 디스크들(DVD들) 등과 같은 착탈 가능한 미디어(513)를 처리하는 하나 이상의 드라이브들과 같은, 특정한 애플리케이션에 적합한 하나 이상의 메모리 소자들을 포함할 수 있다. 상기 예들에서 설명된 바와 같이 구성된 반도체 메모리 다이는 아마도 메모리(511)의 일부로서, 정보 처리 시스템(500)에 포함된다.

[0042] 정보 처리 시스템(500)은 또한 모니터 또는 터치 스크린과 같은 디스플레이 디바이스(509), 스피커들 등과 같은 부가적인 주변 구성요소들(510), 및 키보드 및/또는 제어기(514)를 포함할 수 있으며, 이것은 마우스, 터치 스크린, 트랙볼, 게임 제어기, 음성-인식 디바이스, 또는 시스템 사용자가 정보 처리 시스템(500)으로 정보를 입력하고 그로부터 정보를 수신하도록 허용하는 임의의 다른 디바이스를 포함할 수 있다.

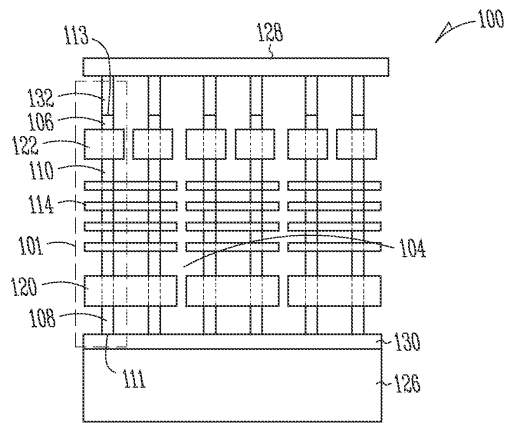
[0043] 본 출원에 사용된 바와 같은 용어("수평")는 기관의 방향과 상관없이, 웨이퍼 또는 다이와 같은 기관의 표면 또는 통상의 평면에 평행한 평면으로서 정의된다. 용어("수직")는 상기 정의된 바와 같이 수평에 수직인 방향을 나타낸다. "상에", "측에"(또는 "측벽"에), "보다 높은", "보다 낮은", "위에" 및 "아래에"와 같은 전치사들은 기관의 방향에 상관없이, 기관의 최상부 표면에 있는 기관 또는 통상의 평면에 대하여 정의된다. 그러므로, 다음의 상세한 설명은, 제한적인 의미로 해석되어서는 안되며, 본 발명의 범위는 이러한 청구항들이 자격을 갖는 등가물들의 전체 범위와 함께, 첨부된 청구항들에 의해서만 정의된다.

[0044] 본 발명의 다수의 실시예들이 설명되지만, 상기 리스트들은 철저한 것으로 의도되지는 않는다. 특정 실시예들이 여기에 예시되고 설명되지만, 동일한 목적을 달성하기 위해 산출되는 임의의 배열이 도시된 특정 실시예를 위해

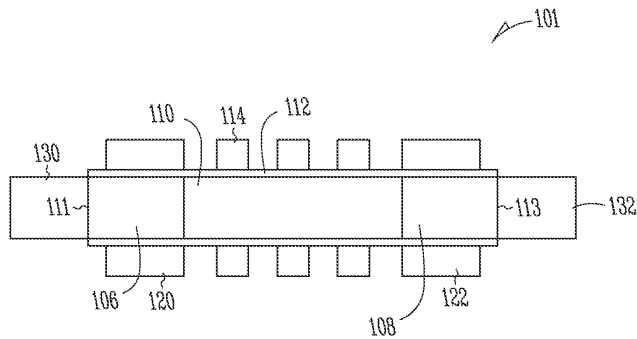
대체될 수 있다는 것이 이 기술분야의 숙련자들에 의해 이해될 것이다. 본 출원은 본 발명이 임의의 적응들 또는 변화들을 커버하도록 의도된다. 상기 설명은 예시적이며 비 제한적인 것으로 의도된다는 것이 이해될 것이다. 상기 실시예들의 조합들, 및 다른 실시예들이 상기 설명을 연구할 때 이 기술분야의 숙련자들에게 명백할 것이다.

도면

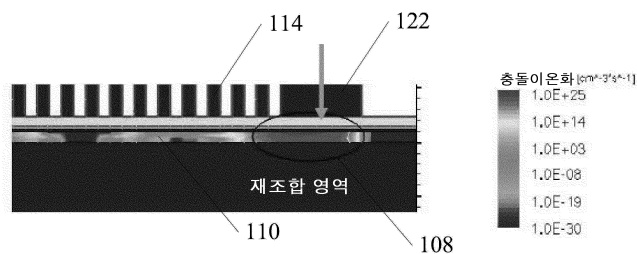
도면1a



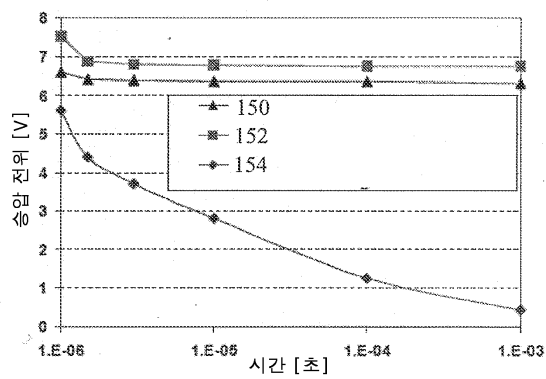
도면1b



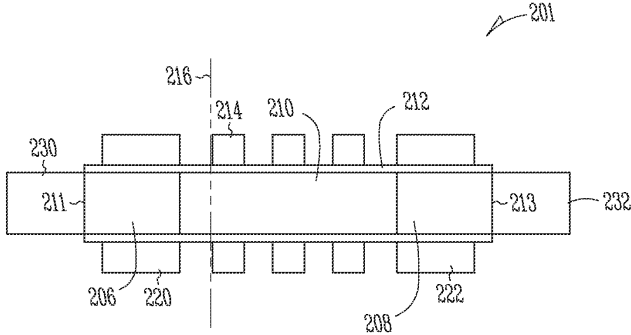
도면1c



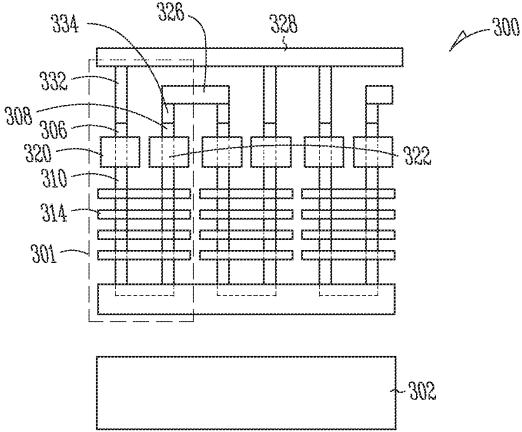
도면1d



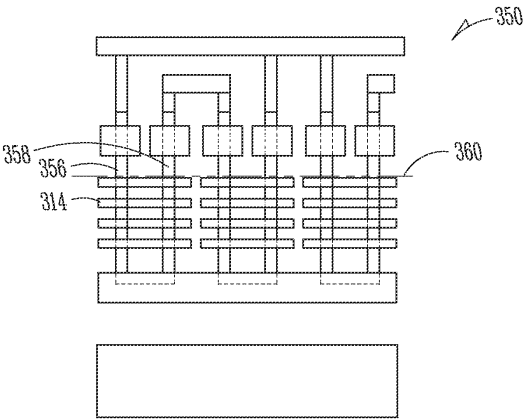
도면2



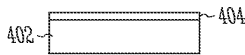
도면3a



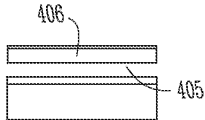
도면3b



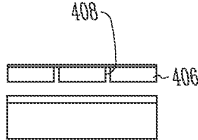
도면4a



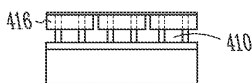
도면4b



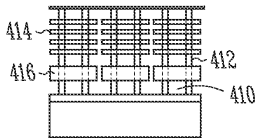
도면4c



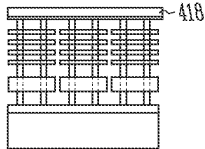
도면4d



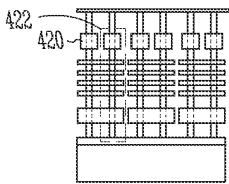
도면4e



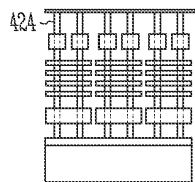
도면4f



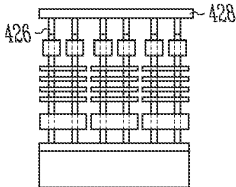
도면4g



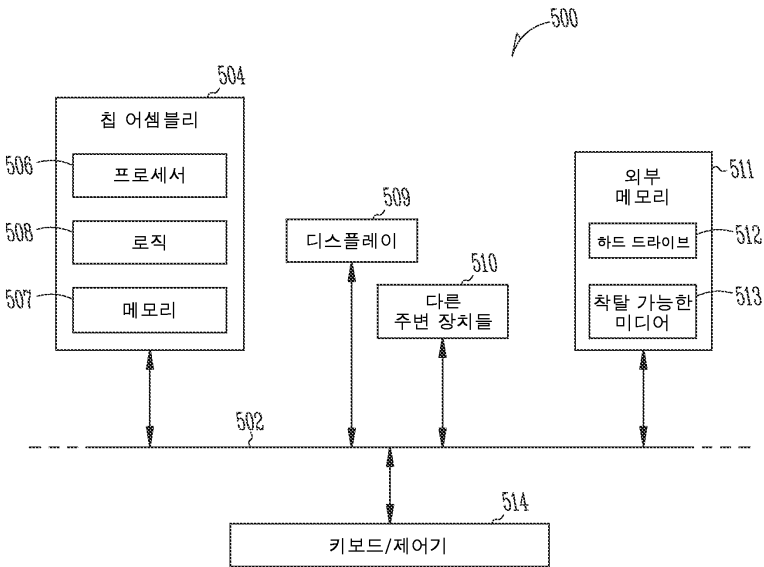
도면4h



도면4i



도면5



【심사관 직권보정사항】
【직권보정 1】
【보정항목】 청구범위
【보정세부항목】 제24,25항
【변경전】
단계는 대략

【변경후】

단계는

【식권보정 2】

【보정항목】 청구범위

【보정세부항목】 제17항

【변경전】

폴리콘

【변경후】

폴리실리콘