



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년03월15일

(11) 등록번호 10-1603747

(24) 등록일자 2016년03월09일

(51) 국제특허분류(Int. Cl.)

H04N 19/124 (2014.01) H04N 19/42 (2014.01)

(21) 출원번호 10-2010-7015723

(22) 출원일자(국제) 2009년01월15일

심사청구일자 2013년12월11일

(85) 번역문제출일자 2010년07월15일

(65) 공개번호 10-2010-0101665

(43) 공개일자 2010년09월17일

(86) 국제출원번호 PCT/US2009/000225

(87) 국제공개번호 WO 2009/091548

국제공개일자 2009년07월23일

(30) 우선권주장

61/021,687 2008년01월17일 미국(US)

(56) 선행기술조사문헌

JP2006157881 A*

JP2006067302 A

JP2002152734 A

JP2006333444 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

툼슨 라이선싱

프랑스 92130 이씨레물리노 루 잔다르크 1-5

(72) 발명자

리우 알리

미국, 캘리포니아주 95616, 데이비스, 아파트먼트 5725, 오차드 파크 서클 5000

쑤 치안

미국, 뉴저지주 08536, 플레인스보로, 라벤스 셀 스트 드라이브 5616

(뒷면에 계속)

(74) 대리인

문경진, 김학수

전체 청구항 수 : 총 10 항

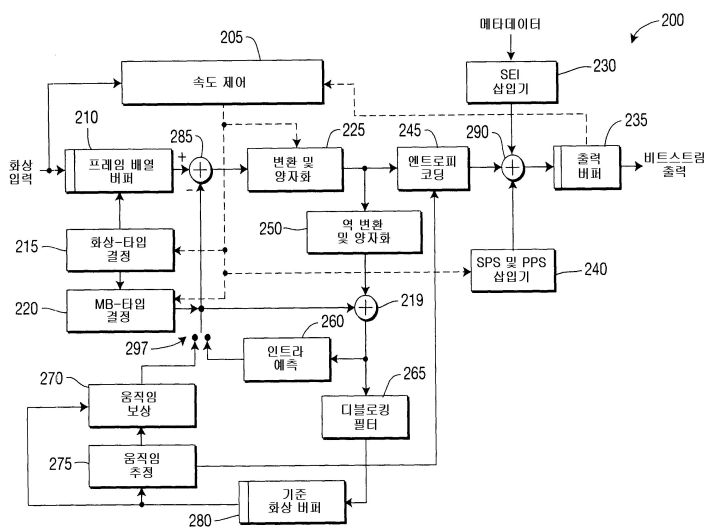
심사관 : 장석환

(54) 발명의 명칭 비디오 인코딩에서 속도 제어 정확성을 위한 방법 및 장치

(57) 요약

비디오 인코딩에서 속도 제어 정확성을 위한 방법 및 장치가 제공된다. 이 장치는 속도 제어를 사용하여 단일 인코딩 패스에서 이미지 데이터를 인코딩하기 위한 비디오 인코더(200)를 포함한다. 속도 제어는 양자화 스텝 크기 값과 라운딩 오프셋 값을 한정하는 것과, 적어도 라운딩 오프셋 값을 정제하는 것을 수반한다. 이미지 데이터는 양자화 스텝 크기 값과 정제된 라운딩 오프셋 값에 응답하여 인코딩된다.

대표도 - 도2



(72) 발명자

루 씨아오안

미국, 뉴저지주 08540, 프린스턴, 케네디 코트 30

고밀라 크리스티나

미국, 뉴저지주 08540, 프린스턴, 체스트넛 코트
25씨

명세서

청구범위

청구항 1

장치로서,

속도 제어를 사용하여 단일 인코딩 패스(pass)에서 화상에 대한 이미지 데이터를 인코딩하기 위한 비디오 인코더를 포함하며,

속도 제어는 양자화 스텝(step) 크기 값과 라운딩 오프셋(rounding offset) 값을 한정하는 것과, 양자화 스텝 크기 값과 라운딩 오프셋 값을 정제하는 것을 수반하고,

양자화 스텝 크기 값과 라운딩 오프셋 값은, 양자화 스텝 크기 값과 라운딩 오프셋 값 중 적어도 하나를 제 1 값으로서 초기에 한정하고, 제 1 값에 기초하여 양자화 스텝 크기 값과 라운딩 오프셋 값 중 다른 하나를 한정함으로써 정제되고,

제 1 값은 화상에 대한 비트들의 타깃 숫자를 모델링하는 것에 기초하며, 화상에 대한 이미지 데이터는 정제된 양자화 스텝 크기 값과 정제된 라운딩 오프셋 값에 응답하여 인코딩되는, 장치.

청구항 2

제 1항에 있어서,

라운딩 오프셋 값은 제 1 값으로서 초기에 한정되고, 제 1 값은 라운딩 오프셋과 속도 제어에 대한 타깃 비트 속도 사이의 대수 관계(logarithmic relationship)에 기초하는, 장치.

청구항 3

제 1항에 있어서,

속도 제어는 일정한-비트-속도(constant-bit-rate) 애플리케이션과 가변-비트-속도(variable-bit-rate) 애플리케이션 중 적어도 하나에 적용되는, 장치.

청구항 4

제 1항에 있어서,

상기 비디오 인코더는 ISO/IEC(International Organization for Standardization/International Electrotechnical Commission) MPEG(Moving Picture Experts Group)-4 파트(Part) 10 AVC(Advanced Video coding) 표준/ITU-T(International Telecommunication Union, Telecommunication Sector) H.264 권고안을 따르는 결과 비트스트림에서의 이미지 데이터를 인코딩하는, 장치.

청구항 5

제 1항에 있어서,

속도 제어를 위한 속도 제어 파라미터들은 p -영역 속도 모델, TM5 속도 모델, 및 TMN8 속도 모델 중 적어도 하나에 기초하는, 장치.

청구항 6

방법으로서,

속도 제어를 사용하여 단일 인코딩 패스에서 화상에 대한 이미지 데이터를 인코딩하는 단계를 포함하며,

속도 제어는 양자화 스텝 크기 값과 라운딩 오프셋 값을 한정하는 것과, 적어도 라운딩 오프셋 값을 정제하는 것을 수반하며,

양자화 스텝 크기 값과 라운딩 오프셋 값은, 양자화 스텝 크기 값과 라운딩 오프셋 값 중 적어도 하나를 제 1

값으로서 초기에 한정하고, 제 1 값에 기초하여 양자화 스텝 크기 값과 라운딩 오프셋 값 중 다른 하나를 한정함으로써 정제되고,

제 1 값은 화상에 대한 비트들의 타깃 숫자를 모델링하는 것에 기초하며, 화상에 대한 이미지 데이터는 정제된 라운딩 오프셋 값과 양자화 스텝 크기 값에 응답하여 인코딩되는, 방법.

청구항 7

제 6항에 있어서,

라운딩 오프셋 값은 제 1 값으로서 초기에 한정되고, 제 1 값은 라운딩 오프셋과 속도 제어에 대한 타깃 비트 속도 사이의 대수 관계에 기초하는, 방법.

청구항 8

제 6항에 있어서,

속도 제어는 일정한-비트-속도 애플리케이션과 가변-비트-속도 애플리케이션 중 적어도 하나에 적용되는, 방법.

청구항 9

제 6항에 있어서,

상기 인코딩하는 단계는 ISO/IEC MPEG-4 파트(Part) 10 AVC 표준/ITU-T H.264 권고안을 따르는 결과 비트스트림에서의 이미지 데이터를 인코딩하는, 방법.

청구항 10

제 6항에 있어서,

속도 제어를 위한 속도 제어 파라미터들은 ρ -영역 속도 모델, TM5 속도 모델, 및 TMN8 속도 모델 중 적어도 하나에 기초하는, 방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

발명의 설명

기술분야

[0001]

관련 출원에 대한 상호 참조

[0002]

본 출원은, 2008년 1월 17일에 출원된, 미국 가특허 출원 일련번호 61/021,687(대리인 관리 번호 PU080009)의

이익을 주장하며, 상기 가특허 출원은 그 전체가 본 명세서에 참조로서 통합된다.

[0003]

본 발명은 일반적으로 비디오 인코딩에 관한 것이며, 더욱 상세하게는, 비디오 인코딩시 속도 제어 정확성을 위한 방법 및 장치에 관한 것이다.

배경 기술

[0004]

대부분의 비디오 코딩 애플리케이션들은 주어진 타깃 비트 속도로 입력 비디오를 압축하도록 인코더에게 강제한다. 이를 달성하기 위해, 인코더는 속도 제어 시스템을 사용한다. 속도 제어 시스템은 입력 비디오 소스에서 각 화상에 다수의 비트를 할당하고, 할당된 다수의 비트에 매칭되도록 인코딩 파라미터들을 조정한다. 속도 제어 시스템의 성능은 타깃 비트 속도와 압축된 비디오의 시각 품질을 만족시키는 정확성에 의해 측정된다. 예컨대, ISO/IEC(International Organization for Standardization/International Electrotechnical Commission) MPEG(Moving Picture Experts Group)-2 표준, ISO/IEC MPEG-4 파트(Part) 10 AVC(Advanced Video coding) 표준/ITU-T(International Telecommunication Union, Telecommunication Sector) H.264 권고안(이후, "MPEG-4 AVC 표준"), 및 SMPTE(Society of Motion Picture and Television Engineers) 비디오 코덱-1 표준(이후 "VC-1 표준")과 같은 비디오 코딩 표준들에서, 양자화 스텝 크기, 라운딩 오프셋, 및 양자화 매트릭스와 같은 수 개의 양자화 파라미터들이 비트 속도에 영향을 미칠 수 있다.

[0005]

이제 MPEG-4 AVC 표준에 따른 비디오 양자화 과정의 일 예를 설명한다. 수학적으로, 인코더에서는 변환된 계수들이 다음과 같이 양자화된다:

수학식 1

$$Z = \left\lfloor \frac{|W|}{q} + s \right\rfloor \cdot \text{sgn}(W)$$

[0006]

[0007]

여기서, W는 변환된 계수들을 표시하고, Z는 변환된 계수가 양자화될 양자화 레벨을 표시하며, q는 양자화 스텝 크기를 표시하고, s는 라운딩 오프셋을 표시한다. 함수 $\lfloor \cdot \rfloor$ 는 가장 가까운 정수로 값을 올림 또는 내림하고, 함수 $\text{sgn}(\cdot)$ 는 신호의 부호를 되돌려보낸다. 양자화 매트릭스가 적용되면, 인코더에서의 양자화 과정 전에 계수들이 먼저 크기 조정된다. 0으로 양자화되는 W의 범위를 데드존(deadzone)이라고 부른다. 이러한 특별한 경우, 데드존은 $\Delta = 2 \times (1 - s) \times q$ 이다. 디코더에서, 양자화 레벨 Z는 신호 W'로 재구성된다. 이를 역 양자화라고 부르고, 다음과 같이 수학적으로 묘사된다.

수학식 2

$$W' = q \cdot Z$$

[0008]

[0009]

속도 제어 알고리즘을 주로 비트들의 타깃 숫자를 얻기 위해 양자화 파라미터들을 조정한다. 속도 제어는 일부 시간 구간에 대해 사용된 비트들의 개수가 이러한 시간 구간에 대한 비트들의 할당된 개수와 가깝거나 같을 때 정확한 것으로 간주된다. 속도 제어 정확성을 측정하기 위해 사용된 특정 시간 구간은 애플리케이션에 따라 한정된다. 일부 애플리케이션들에서, 비트 속도는 화상 레벨에서 정확해지는 것이 바람직하다. 방송과 같은 다른 애플리케이션에서는, 비트 속도가 채널 대역폭 제약으로 인해 소수의 프레임들에 대해 정확해야 한다. 게다가, 디지털 비디오 디스크(DVD: digital video disk) 저작(authoring)과 같은 일부 다른 애플리케이션에서는 비트 속도 정확성이 종종 전체 시퀀스에 대해 측정되고, 전체 영화에 의해 소비된 비트들의 개수가 요구 사항을 만족할 때 정확하다고 간주된다.

[0010]

기존의 속도 제어 알고리즘들은 보통 라운딩 오프셋을 가정하고, 양자화 매트릭스가 일정하며 양자화 스텝 크기만을 조정한다. 양자화 스텝 크기들은 오직 유한한 개수의 선택을 가진다. 그것들은 양자화 인덱스들로 나타나고, 인코딩된 비트스트림에 삽입되며, 비디오를 재구성하기 위해 디코더에 운반된다. 선택할 제한된 개수의 양자화 스텝 크기들로는, 기존의 속도 제어 알고리즘들이 품질의 손실 없이 매우 정확한 제어를 달성하기가 거의

어려울 수 있다. 속도 제어 알고리즘으로 인한 품질의 손실은, 종종 화상 내 또는 화상들에 대한 품질 불균일성(inconsistence)으로 비추어진다. 더 낮은 품질을 지닌 화상들은 화상의 부분이 왜곡된 상태로 디스플레이되게 하는 볼 수 있는 아티팩트들을 포함할 수 있다.

[0011] 화상에 대한 속도 제어 정확성을 향상시키기 위해, 기존의 알고리즘들에서의 공통 접근법은 매크로블록-레벨(MB-레벨)의 속도 제어를 적용하는 것이다. 종래 기술에 따르면, p -영역(domain) 속도 제어 방법이 사용되었다. p -영역 속도 제어 방법은 p 와 R 사이의 선형 관계를 가정하고, 여기서 p 는 인코딩된 구역에 대한 양자화된 변환된 계수들 사이의 0인 계수들의 백분율을 표시하며, R은 그 구역을 인코딩하기 위해 사용된 비트들의 개수를 표시한다. 수학적으로, 선형 속도 모델은 다음과 같이 나타내어진다:

수학식 3

[0012] $R(\rho) = \theta(1 - \rho) + R_c$

[0013] 여기서 R_c 는 구역을 인코딩하기 위해 사용된 비-텍스처(non-texture) 비트들의 개수를 표시하고, θ 는 상수(constant)를 가리킨다.

[0014] ρ 는 양자화 스텝 크기(q)에 따라 단조적으로 증가하고, 이는 그것들 사이에 1:1 맵핑이 존재함을 암시한다는 것을 주목하라. 그러므로, 비트들의 타깃 개수(R)와 추정된 파라미터들(θ, R_c)이 주어지면, p -영역 속도 제어 방법이 ρ 의 값을 얻고, 따라서 1:1 p -q 맵핑에 기초하여 양자화 스텝 크기(q)를 얻는다.

[0015] 종종 위에서 계산된 양자화 스텝 크기(q)는 인코더에서의 양자화 인덱스들에 의해 표현될 수 있는 제한된 개수의 양자화 스텝 크기 내에 들지 않을 수 있다. 한 가지 접근법은 화상 내의 매크로블록들이 q에 가장 가깝고 양자화 인덱스에 의해 표현될 수 있는 양자화 스텝 크기인 약 q'의 양자화 스텝 크기들을 사용하게 하는 것이다. 게다가, 그 화상에 의해 사용된 평균 양자화 스텝 크기는 대략 q이다. 일 실시예에서, 매크로블록은 수 개의 양자화 스텝 크기들 $\{q'_1, q'_2, \dots, q'_N\}$ 중에서 선택할 수 있다. 또 다른 접근법은 각각의 매크로블록이 인코딩된 후 θ 와 R_c 를 갱신하고 각 매크로블록에 대한 q를 계산하는 것이다.

[0016] 또 다른 인기 있는 속도 제어 알고리즘은 TMN8 속도 제어 알고리즘이다. TMN8 속도 제어 알고리즘에서는 양자화 스텝 크기(q)가 화상에 대해 먼저 계산된다. 인코더는 q를 지닌 매크로블록의 인코딩을 시작한다. 그런 다음, 더 많은 매크로블록이 인코딩될 때, 속도 제어 모델 파라미터들이 갱신되고, 그 양자화 스텝 크기가 매크로블록에 기초하여 갱신된다.

[0017] 매크로블록-레벨의 조정이 지닌 한 가지 문제점은, 양자화 스텝 크기들이 매크로블록에 따라 변한다는 점이다. 일부 경우에는, 양자화 파라미터들 사이의 차이가 화상 내의 불균일한 품질을 야기할 수 있다.

[0018] 도 1을 참조하면 비디오 인코딩에 대한 속도 제어 방법이 일반적으로 참조 번호 100으로 표시된다.

[0019] 방법(100)은 제어를 기능 블록(110)에 넘기는 시작 블록(105)을 포함한다. 기능 블록(110)은 인코딩 설정을 수행 및/또는 수반하고, 제어를 기능 블록(115)에 넘긴다. 기능 블록(115)은 속도 제어 파라미터들을 초기화하고, 제어를 루프 제한 블록(120)에 넘긴다. 루프 제한 블록(120)은 변수(i)를 사용하여 처리되는 현재 화상에서의 각 매크로블록에 대한 루프를 수행하고, 여기서 $i=1, \dots$, 화상에서의 매크로블록들의 개수(#)이며, 제어를 기능 블록(125)에 넘긴다. 기능 블록(125)은 매크로블록(i)에 대한 양자화 스텝 크기(q_i)를 계산하고, 제어를 기능 블록(130)에 넘긴다. 기능 블록(130)은 양자화 스텝 크기(q_i)에서 매크로블록(i)을 인코딩하고, 제어를 기능 블록(135)에 넘긴다. 기능 블록(135)은 속도 제어 모델 파라미터들을 갱신하고(예컨대, 이전에 인코딩된 매크로블록들에 기초하여), 제어를 루프 제한 블록(140)에 넘긴다. 루프 제한 블록은 루프를 종료하고, 제어를 종료 블록(199)에 넘긴다.

[0020] 따라서, 화상에서의 모든 매크로블록이 인코딩된 후 인코딩 과정이 종료한다. 도 1의 방법(100)에서 라운딩 오프셋 파라미터는 방법(100)을 적용하는 인코딩 과정 내내 일정하다는 점을 알아야 한다. 또한 기능 블록(110)은 오프레이터(operator)의 도움을 임의로 수반할 수 있다는 점을 알아야 한다. 게다가, 기능 블록(110)에 대응하는 인코더 설정은 인코딩 과정에서 수반된 파라미터들의 임의의 세트의 세부 사항(specification)뿐만 아니라 타깃 비트 속도의 설정을 수반할 수 있다.

[0021] 모든 매크로블록에 의해 사용된 양자화 스텝 크기들 $\{q_i\}_{i=1, \dots, \# \text{ of MBs}}$ 은 상당히 변할 수 있고, 그 화상 내의 품질 불균일성을 야기할 수 있다. 화상에서의 더 일관된 품질을 얻기 위해서, 인코더는 양자화 스텝 크기의 동적인 범위를 제한하는 것을 선택할 수 있다. 그 결과, 화상이 소비하는 비트들의 개수는 목표로 하는 것과는 상당히 상이할 수 있다.

발명의 내용

해결하려는 과제

[0022] 종래 기술의 이들 및 다른 결점 및 단점은, 비디오 인코딩에서 속도 제어 정확성을 위한 방법 및 장치에 관한 본 발명에 의해 다루어진다.

과제의 해결 수단

[0023] 본 발명의 일 양상에 따르면, 장치가 제공된다. 이 장치는 속도 제어를 사용하는 단일 인코딩 패스(pass)에서 이미지 데이터를 인코딩하기 위한 비디오 인코더를 포함한다. 속도 제어는 양자화 스텝 크기 값과 라운딩 오프셋(rounding offset) 값을 한정하는 것과, 적어도 상기 라운딩 오프셋 값을 정제하는 것을 수반한다. 이미지 데이터는 양자화 스텝 크기 값과 정제된 라운딩 오프셋 값에 응답하여 인코딩된다.

[0024] 본 발명의 또 다른 양상에 따르면, 방법이 제공된다. 이 방법은 속도 제어를 사용하는 단일 인코딩 패스에서 이미지 데이터를 인코딩하는 단계를 포함한다. 속도 제어는 양자화 스텝 크기 값과 라운딩 오프셋 값을 한정하는 것과, 적어도 라운딩 오프셋 값을 정제하는 것을 수반한다. 이미지 데이터는 양자화 스텝 크기 값과 정제된 라운딩 오프셋 값에 응답하여 인코딩된다.

[0025] 본 발명의 이들 및 다른 양상, 특징, 장점은 첨부 도면과 관련하여 읽혀질 예시적 실시예들의 후속하는 상세한 설명으로부터 명백해 질 것이다.

[0026] 본 발명은 다음의 예시적인 도면들에 따라서 더욱 잘 이해될 수 있다.

발명의 효과

[0027] 본 발명은 비디오 인코딩시 속도 제어 정확성에 기여할 수 있다.

도면의 간단한 설명

[0028] 도 1은 종래 기술에 따른 비디오 인코더에서의 속도 제어 방법에 대한 흐름도.

도 2는 본 발명의 일 실시예에 따라, 본 발명이 적용될 수 있는 예시적인 비디오 인코더에 대한 블록도.

도 3은 본 발명의 일 실시예에 따른 상수가 아닌(non-constant) 라운딩 오프셋을 포함하는, 단일-패스 비디오 인코더에서의 예시적인 속도 제어 방법에 대한 흐름도.

도 4는 본 발명의 일 실시예에 따른 상수가 아닌 라운딩 오프셋을 포함하는, 단일-패스 비디오 인코더에서의 또 다른 예시적인 속도 제어 방법에 대한 흐름도.

발명을 실시하기 위한 구체적인 내용

[0029] 본 발명의 원리는 비디오 인코딩에서 속도 제어 정확성을 위한 방법 및 장치에 관한 것이다.

[0030] 본 상세한 설명은 본 발명을 설명한다. 그러므로 당업자가, 본 명세서에 명시적으로 기재되거나 도시되지 않았으나, 본 발명을 구현하며 본 발명의 사상 및 범위 내에 포함되는, 다양한 장치를 안출하는 것이 가능할 것이라는 것이 이해될 것이다.

- [0031] 본 명세서에 상술된 모든 예시들 및 조건적 언어는 해당 기술을 진전시키기 위해 본 발명자에 의해 공헌된 본 발명 및 개념을 독자가 이해하는 것을 돕기 위한 교육적인 목적을 위한 것이며, 그러한 특정하게 상술한 예시들 및 조건들로 제한되지 않는 것으로 해석되어야 한다.
- [0032] 또한, 본 명세서에서 본 발명의 원리, 양상, 및 실시예들, 그리고 본 발명의 특정 예시들을 상술하는 모든 진술은, 본 발명의 구조적 그리고 기능적 등가물들을 모두 포함하도록 의도되었다. 또한, 그러한 등가물들은 현재 알려진 등가물 및 미래에 개발될 등가물 모두, 즉, 구조에 관계없이 동일한 기능을 수행하도록 개발되는 임의의 요소를 포함하도록 의도되었다.
- [0033] 그러므로, 예컨대, 본 명세서에 제공된 블록도는 본 발명을 구현하는 예시적 회로의 개념적 개관을 나타낸다는 것이 당업자에 의해 이해될 것이다. 마찬가지로, 임의의 순서도, 흐름도, 상태 전이도, 의사 코드(pseudocode), 그리고 이와 유사한 것들은, 실질적으로 컴퓨터 판독 가능한 매체에 제공되며 따라서, 컴퓨터 또는 프로세서가 명시적으로 도시되어있든지 그렇지 않든지 간에, 컴퓨터 또는 프로세서에 의해 실행되는 다양한 프로세스들을 나타낸다는 것이 이해될 것이다.
- [0034] 도면들에 도시된 다양한 요소들의 기능들은 전용 하드웨어 및, 적절한 소프트웨어와 결합하여 소프트웨어를 실행할 수 있는 하드웨어의 이용을 통해 제공될 수도 있다. 프로세서에 의해 제공될 때, 단일의 전용 프로세서에 의해, 단일의 공유된 프로세서에 의해, 또는 일부가 공유될 수 있는 복수의 개별적인 프로세서에 의해 기능들이 제공될 수도 있다. 또한, 용어 "프로세서(processor)" 또는 "제어기(controller)"의 명시적인 사용은 소프트웨어를 실행할 수 있는 하드웨어를 배타적으로 지칭하는 것으로 해석되어서는 안 되며, 이들은, 제한 없이, 디지털 신호 프로세서("DSP") 하드웨어, 소프트웨어를 저장하기 위한 판독-전용 메모리("ROM"), 랜덤 액세스 메모리("RAM"), 그리고 비-휘발성 저장 장치를 암묵적으로 포함할 수도 있다.
- [0035] 종래의 및/또는 맞춤형된 다른 하드웨어가 또한 포함될 수도 있다. 마찬가지로, 도면들에 도시된 임의의 스위치들은 오직 개념적인 것이다. 그러한 스위치들의 기능은 프로그램 로직의 동작을 통해, 전용 로직을 통해, 프로그램 제어와 전용 로직의 상호작용을 통해, 또는 수동으로까지 수행될 수도 있으며, 문맥으로부터 더욱 특정하게 이해되는 것과 같이, 이러한 특정 기술은 구현자에 의해 선택될 수 있다.
- [0036] 본 명세서의 청구항들에서, 특정 기능을 수행하는 수단으로 표현된 임의의 요소들은, 예컨대, a) 그러한 기능을 수행하는 회로 요소들의 결합 또는 b) 그러한 기능을 수행하기 위해 소프트웨어를 실행시키기 위한 적절한 회로와 결합된 펌웨어, 마이크로코드 또는 이와 유사한 것들을 포함하는, 임의의 형태의 소프트웨어를 포함하는, 그러한 기능을 수행하기 위한 임의의 방법을 포함하도록 의도되었다. 그러한 청구항들에 의해 한정되는 본 발명은, 다양한 상술한 수단들에 의해 제공되는 기능이 결합될 수 있으며 그러한 청구항들이 청구하는 방식으로 함께 제공될 수 있다는 사실에 존재한다. 그러므로, 그러한 기능들을 제공할 수 있는 임의의 수단은 본 명세서에 도시된 수단들과 등가인 것으로 간주된다.
- [0037] 본 명세서에서, 본 발명의 "하나의 실시예" 또는 "일 실시예"를 언급하는 것은, 그러한 실시예와 관련되어 설명되는 특정한 특징, 구조, 특성 등이 본 발명의 적어도 한 실시예에 포함된다는 것을 의미한다. 그러므로, 본 명세서 전반에 걸쳐서 다양한 위치에 나타나는 "일 실시예에서" 또는 "하나의 실시예에서"라는 구절의 출현은 반드시 모두 동일한 실시예를 언급하는 것은 아니다.
- [0038] 예컨대 "A/B", "A 및/또는 B", 및 "A와 B 중 적어도 하나"의 경우에서와 같이 "/", "및/또는(and/or)"과 "중 적어도 하나"의 사용은 첫 번째로 열거된 옵션(A)만의 선택, 또는 두 번째로 열거된 옵션(B)만의 선택, 또는 옵션(A와 B) 모두의 선택을 포함하는 것으로 의도된다는 점을 알아야 한다. 또 다른 예로서, "A,B, 및/또는 C"와 "A,B, 및 C 중 적어도 하나"의 경우들에서, 그러한 어법은 첫 번째 열거된 옵션(A)만의 선택, 또는 두 번째 열거된 옵션(B)만의 선택, 또는 세 번째 열거된 옵션(C)만의 선택, 또는 첫 번째 및 두 번째 열거된 옵션들(A,B)만의 선택, 또는 첫 번째 및 세 번째 열거된 옵션(A,C)만의 선택, 또는 두 번째 및 세 번째 열거된 옵션(B,C)만의 선택, 또는 3개의 옵션(A,B,C) 전부의 선택을 포함하는 것으로 의도된다. 이는 당업자에게 바로 명백해 지듯이, 열거된 많은 항목에 관해 확장될 수 있다.
- [0039] 게다가, 본 명세서에 제공된 설명에서, MPEG-4 AVC 표준은 본 발명의 하나 이상의 실시예를 예시하는 것뿐만 아니라 비디오 코딩 양자화 과정의 일 예를 제공하기 위해 사용된다. 하지만, 다른 표준, 권고안, 및 ITU-T H.263 권고안(이후 "H.263 권고안")과 MPEG-2 표준을 포함하지만 이들에 제한되지 않은 다른 표준, 권고안 및 이들의 확장이 유사한 양자화 절차들을 따르고, 따라서 본 명세서에 기재된 본 발명의 원리들은 예시를 위한 MPEG-4 AVC 표준 또는 임의의 다른 특별한 비디오 코딩 표준, 권고안, 및/또는 그것들의 확장에 제한되지 않는다는 것

이 당업자에게는 분명할 것이다.

- [0040] 위에서 주목된 것처럼, 본 발명의 원리들은 비디오 인코딩에서의 속도 제어 정확성을 위한 방법 및 장치에 관한 것이다.
- [0041] 도 2를 참조하면, 본 발명이 원리들이 적용될 수 있는 예시적인 비디오 인코더가 일반적으로 참조 번호 200으로 표시된다.
- [0042] 비디오 인코더(200)는 결합기(285)의 비반전 입력과 교신하는 출력을 가지는 프레임 배열 버퍼(210)를 포함한다. 결합기(285)의 출력은 변환 및 양자화기(225)의 제 1 입력과 교신하도록 연결된다. 변환 및 양자화기(225)의 출력은 엔트로피 코더(245)의 제 1 입력과, 역변환 및 역 양자화기(250)의 입력과 교신하도록 연결된다. 엔트로피 코더(245)의 출력은 결합기(290)의 제 1 비반전 입력과 교신하도록 연결된다. 결합기(290)의 출력은 출력 버퍼(235)의 제 1 입력과 교신하도록 연결된다.
- [0043] 속도 제어기(205)의 출력은 화상-타입 결정 모듈(215)의 입력, 매크로블록-타입(MB-타입) 결정 모듈(220)의 제 1 입력, 변환 및 양자화기(225)의 제 2 입력, 및 시퀀스 파라미터 세트(PS: Sequence Parameter Set) 및 화상 파라미터 세트(PPS: Picture Parameter Set) 삽입기(240)의 입력과 교신하도록 연결된다. 출력 버퍼(235)의 제 2 출력은 속도 제어기(205)의 입력과 교신하도록 연결된다.
- [0044] SEI 삽입기(230)의 출력은 결합기(290)의 제 2 비반전 입력과 교신하도록 연결된다.
- [0045] 화상-타입 결정 모듈(215)의 제 1 출력은 프레임 배열 버퍼(210)의 제 2 입력과 교신하도록 연결된다. 화상-타입 결정 모듈(215)의 제 2 출력은 매크로블록-타입 결정 모듈(220)의 제 2 입력과 교신하도록 연결된다.
- [0046] SPS 및 PPS 삽입기(240)의 출력은 결합기(290)의 제 3 비반전 입력과 교신하도록 연결된다.
- [0047] 역변환 및 역 양자화기(250)의 출력은 결합기(219)의 제 1 비반전 입력과 교신하도록 연결된다. 결합기(219)의 출력은 인트라 예측 모듈(260)의 입력과, 디블로킹 필터(265)의 입력과 교신하도록 연결된다. 디블로킹 필터(265)의 출력은 기준 화상 버퍼(280)의 입력과 교신하도록 연결된다. 기준 화상 버퍼(280)의 출력은 움직임 추정기(275)의 입력과, 움직임 보상기(270)의 제 1 입력과 교신하도록 연결된다. 움직임 추정기(275)의 제 1 출력은 움직임 보상기(270)의 제 2 입력과 교신하도록 연결된다. 움직임 추정기(275)의 제 2 출력은 엔트로피 코더(245)의 제 3 입력과 교신하도록 연결된다.
- [0048] 움직임 보상기(270)의 출력은 스위치(297)의 제 1 입력과 교신하도록 연결된다. 인트라 예측 모듈(260)의 출력은 스위치(297)의 제 2 입력과 교신하도록 연결된다. 매크로블록-타입 결정 모듈(220)의 출력은 스위치(297)의 제 3 입력과 교신하도록 연결된다. 스위치(297)의 제 3 입력은 스위치의 "데이터" 입력(제어 입력, 즉 제 3 입력에 비해)이 움직임 보상기(270)나 인트라 예측 모듈(260)에 의해 제공될지 여부를 결정한다. 스위치(297)의 출력은 결합기(219)의 제 2 비반전 입력과, 결합기(285)의 반전 입력과 교신하도록 연결된다.
- [0049] 프레임 배열 버퍼(210)의 입력은 입력 화상을 수신하기 위한 인코더(200)의 입력으로서 이용 가능하다. 게다가, SEI 삽입기(230)의 입력은 메타데이터를 수신하기 위한 인코더(200)의 입력으로서 이용 가능하다. 출력 버퍼(235)의 제 1 출력은 비트스트림을 출력하기 위한 인코더(200)의 출력으로서 이용 가능하다.
- [0050] 위에서 주목된 것처럼, 기존의 속도 제어 방법들은 속도 제어 정확성을 결여하고 있거나 품질 불균일성을 형성한다. 본 발명의 원리들에 따라 라운딩 오프셋이라고 부르는 또 다른 파라미터 또는 측정 기준(metric)을 속도 제어 알고리즘에 도입한다. 이러한 라운딩 오프셋을 포함시킴으로써, 화상 내의 균일한 품질을 지닌 각 화상에 대한 매우 정확한 속도 제어를 달성한다. 본 발명의 원리들이 비트 속도 정확성이 화상보다 긴 간격들에서 측정되는 다른 애플리케이션들에 적용될 때, 본 발명의 원리들은 쉽게 정확한 속도 제어를 달성할 수 있다.
- [0051] 일 실시예에서, 본 발명의 원리들은 계산 오버헤드(overhead)가 거의 없는 비디오 인코더에서의 화상 레벨에 관한 정확한 속도 제어 알고리즘을 설계하는 문제를 다루는 것에 관한 것이다. 기존의 속도 제어 알고리즘들은, 비트 속도 정확성을 제어하기 위해, 주로 양자화 스텝 크기 파라미터의 조정에 의존한다. 하지만, MPEG-2 표준, MPEG-4 AVC 표준, 및 VC-1 표준과 같은 비디오 코딩 표준들에서는 비트 속도에도 영향을 미치는 다른 인코딩 파라미터가 존재한다. 특히, 일 실시예에서 비트 속도 제어 정확성을 개선하기 위해 라운딩 오프셋을 이용하고, 단일 패스에서 실행하는 방법을 제공한다. 속도 제어 알고리즘이 본 발명의 원리들에 따른 화상 레벨에 관한 비트 속도 정확성을 얻을 때, 그 속도 제어 알고리즘은 더 긴 시간 간격들을 위한 비트 속도 정확성을 쉽게 달성할 수 있다.

[0052] 일 실시예에서, 화상 레벨에 관한 속도 제어 정확성을 개선하기 위해, 라운딩 오프셋이라고 하는 또 다른 양자화 파라미터를 포함하는 것을 제안한다. 양자화 스텝 크기와 라운딩 오프셋 모두 인코더에 의해 사용된 비트들의 개수인 R 에 영향을 미친다. 이는 수학적으로 다음과 같이 표현될 수 있다:

수학식 4

[0053] $R(q,s) = f(q,s)$

[0054] 여기서, 함수인 $f(\cdot)$ 는 양자화 스텝 크기와 라운딩 오프셋이 어떻게 비트들의 수에 영향을 미치는지를 설명한다. 이러한 함수의 일 예는 다음과 같다:

수학식 5

[0055] $\ln(R(q,s)) = k_s \times s + k_q \times q + c$

[0056] 여기서, k_s , k_q , 및 c 는 상수이다.

[0057] 도 3과 도 4는 속도 제어 알고리즘에서 양자화 스텝 크기 외에 라운딩 오프셋을 포함하는 예시적인 실시예들을 예시한다. 비트들의 수가 할당되는 방식에 따라, 예시된 실시예들은 가변 비트 속도(VBR: variable-bit-rate) 또는 일정한 비트 속도(CBR: constant-bit-rate) 애플리케이션의 역할을 할 수 있다. 게다가, 본 발명의 원리들은 다중-패스 인코더의 부분으로서 구현될 수 있고, 다른 패스들을 위한 정보를 제공하도록 구성될 수 있다는 점을 또한 알아야 한다.

[0058] 실시예 1

[0059] 단일 패스 비디오 인코더에 대한 속도 제어 방법의 일 실시예가 처음에 일반적으로 설명되고, 그 다음 도 3에 관해 추가로 설명된다.

[0060] 이 실시예에 따르면, 인코더는 먼저 초기 라운딩 오프셋(s)을 선택하고, 초기 라운딩 오프셋(s)에 기초하여 양자화 스텝 크기(q)를 계산한다. 목표 비트 속도를 만족시키기 위해, TM5, TMN8, p -영역 속도 제어 알고리즘들을 포함하지만 이들에 제한되지는 않는, q 를 조정하는 기존의 속도 제어 알고리즘들이 사용될 수 있다. 얻어진 양자화 스텝 크기(q)와 $R(q,s)$ 의 모델을 사용하여, 목표 비트 속도를 더 잘 만족시키기 위해 라운딩 오프셋(s)을 계산한다.

[0061] q 와 s 가 계산된 후, 추가 정제가 필요한지를 식별한다. 일 실시예에서, s 가 인접 화상들 사이의 일관된 시각적 품질을 보장하는 미리 결정된 범위 밖에 있었는지를 판단한다. 정제가 반드시 필요하지는 않거나 계산에 부과된 제약이 만족될 때까지 q 와 s 를 갱신하는 과정을 반복한다.

[0062] 정제를 더 이상 요구하지 않는 양자화 스텝 크기(q)와 라운딩 오프셋(s)이 인코딩을 위해 사용된다. 인코딩이 완료된 후, 속도 제어 파라미터들을 갱신한다. 인코딩될 다수의 화상이 존재할 때에는, 그 화상들 일부 또는 전 부분부터의 모든 정보가 속도 제어 모델 파라미터들을 갱신하기 위해 사용될 수 있다.

[0063] 도 3을 참조하면, 일정하지 않은 라운딩 오프셋을 포함하는, 단일 패스 비디오 인코더에서의 예시적인 속도 제어 방법이 일반적으로 참조 번호 300으로 표시된다.

[0064] 이 방법(300)은 제어를 기능 블록(310)에 넘기는 시작 블록(305)을 포함한다. 이 기능 블록(310)은 인코딩 설정을 수행하고/수행하거나 수반하고, 제어를 기능 블록(315)에 넘긴다. 기능 블록(315)은 속도 제어 모델 파라미터들을 초기화하고, 제어를 루프 제한 블록(320)에 넘긴다. 루프 제한 블록(320)은 변수 i (여기서 $i=1, \dots$, 화상들의 번호(#))를 사용하여 처리중인 현재 비디오 시퀀스에서의 각 화상에 대한 루프를 수행하고, 제어를 기능 블록(325)에 넘긴다. 기능 블록(325)은 화상(i)에 대한 라운딩 오프셋(s_i)을 초기화하고, 제어를 기능 블록(330)에 넘긴다. 기능 블록(330)은 화상(i)에 대한 양자화 스텝 크기(q_i)를 계산하고, 제어를 기능 블록(335)에 넘긴다. 기능 블록(335)은 화상(i)에 대한 라운딩 오프셋(s_i)을 갱신하고, 제어를 결정 블록(340)에 넘긴다. 결

정 블록(340)은 q_i 및/또는 s_i 가 정제를 필요로 하는지를 결정한다. 만약 필요로 한다면 제어는 기능 블록(330)으로 되돌아간다. 만약 필요로 하지 않는다면, 제어는 기능 블록(345)으로 넘어간다.

[0065] 기능 블록(345)은 q_i 및 s_i 에서 화상(i)을 인코딩하고, 제어를 기능 블록(350)에 넘긴다. 기능 블록(350)은 속도 제어 모델 파라미터들을 갱신하고, 제어를 루프 제한 블록(355)에 넘긴다. 루프 제한 블록(355)은 루프를 종료하고, 제어를 종료 블록(399)에 넘긴다.

[0066] 기능 블록(315)에 관해, 라운딩 오프셋은 예컨대 인트라(INTRA) 화상 및 인터(INTER) 화상 각각에 대해 1/3.0과 1/6.0으로 초기화될 수 있다. 결정 블록(340)에 관해, 그리고 양자화 스텝 크기(q) 및/또는 라운딩 오프셋(s)이 정제를 필요로 하는지에 대한 결정에 관해, 추가 정제가 필요하다면 기능 블록(330, 335)에 대응하는 과정들이 반복되어 q와 s의 더 정확한 값들을 얻는다.

[0067] 도 1에 관해 설명된 통상적인 속도 제어 방법에 비해 이 방법이 지닌 장점은, 화상 내의 모든 매크로블록이 동일한 양자화 스텝 크기들과 라운딩 오프셋들로 인코딩되고, 따라서 모든 매크로블록의 품질이 일정하게 된다는 점이다. 이 방법은 또한 도 1에 관해 설명된 방법에 매우 가까운 계산상 복잡도로 실행된다.

[0068] 실시예 2

[0069] 도 4는 도 3에 관해 설명된 방법의 일 변형예를 예시한다. 도 4의 방법에서, 먼저 화상에 대한 양자화 스텝 크기를 초기화한다. 특별한 일 실시예로서, 동일한 화상 타입의 바로 직전 화상으로부터의 것이 되도록 양자화 스텝 크기를 초기화할 수 있다. 그런 다음, 주어진 양자화 스텝 크기에 대한 라운딩 오프셋이 계산된다. 양자화 스텝 크기를 갱신한다.

[0070] 도 4를 참조하면, 일정하지 않은 라운딩 오프셋을 포함하는, 비디오 인코더에서의 예시적인 속도 제어 방법이 일반적으로 참조 번호 400으로 표시된다.

[0071] 이 방법(400)은 제어를 기능 블록(410)에 넘기는 시작 블록(405)을 포함한다. 이 기능 블록(410)은 인코딩 설정을 수행하고/수행하거나 수반하고, 제어를 기능 블록(415)에 넘긴다. 기능 블록(415)은 속도 제어 모델 파라미터들을 초기화하고, 제어를 루프 제한 블록(420)에 넘긴다. 루프 제한 블록(420)은 변수 i(여기서 $i=1, \dots$, 화상들의 번호(#))를 사용하여 처리중인 현재 비디오 시퀀스에서의 각 화상에 대한 루프를 수행하고, 제어를 기능 블록(425)에 넘긴다. 기능 블록(425)은 화상(i)에 대한 양자화 스텝 크기(q_i)를 초기화하고, 제어를 기능 블록(430)에 넘긴다. 기능 블록(430)은 화상(i)에 대한 라운딩 오프셋(s_i)를 계산하고, 제어를 기능 블록(435)에 넘긴다. 기능 블록(435)은 화상(i)에 대한 양자화 스텝 크기(q_i)를 갱신하고, 제어를 결정 블록(440)에 넘긴다. 결정 블록(440)은 q_i 및/또는 s_i 가 정제를 필요로 하는지를 결정한다. 만약 필요로 한다면 제어는 기능 블록(430)으로 되돌아간다. 만약 필요로 하지 않는다면, 제어는 기능 블록(445)으로 넘어간다.

[0072] 기능 블록(445)은 q_i 및 s_i 에서 화상(i)을 인코딩하고, 제어를 기능 블록(450)에 넘긴다. 기능 블록(450)은 속도 제어 모델 파라미터들을 갱신하고, 제어를 루프 제한 블록(455)에 넘긴다. 루프 제한 블록(455)은 루프를 종료하고, 제어를 종료 블록(499)에 넘긴다.

[0073] 이제, 본 발명의 많은 부수적인 장점/특징의 일부에 대한 설명이 주어지고, 그들 중 일부는 위에서 언급되었다. 예컨대, 한 가지 장점/특징은 속도 제어를 사용하는 단일 인코딩 패스에서 이미지 데이터를 인코딩하기 위한 비디오 인코더를 가지는 장치이다. 속도 제어는 양자화 스텝 크기 값과 라운딩 오프셋 값을 한정하는 것과, 적어도 라운딩 오프셋 값을 정제하는 것을 수반한다. 이미지 데이터는 양자화 스텝 크기 값과 정제된 라운딩 오프셋 값에 응답하여 인코딩된다.

[0074] 또 다른 장점/특징은 전술한 바와 같은 인코더를 가지는 장치로서, 이 경우 속도 제어는 양자화 스텝 크기 값을 정제하는 것을 더 수반하고, 이미지 데이터는 정제된 양자화 스텝 크기 값과 정제된 라운딩 오프셋 값에 응답하여 인코딩된다.

[0075] 또 다른 장점/특징은 전술한 바와 같은 인코더를 가지는 장치로서, 이 경우 양자화 스텝 크기 값과 라운딩 오프셋 값 중 적어도 하나는 처음에 추정치로서 한정된다.

[0076] 또 다른 장점/특징은 인코더를 가지는 장치로서, 이 경우 양자화 스텝 크기 값과 라운딩 오프셋 값 중 적어도

하나는 전술한 바와 같은 추정치로서 처음에 한정되고, 양자화 스텝 크기 값과 라운딩 오프셋 값 중 나머지 하나는 추정치에 기초하여 한정된다.

[0077] 게다가, 또 다른 장점/특징은 인코더를 가지는 장치로서, 이 경우 양자화 스텝 크기 값과 라운딩 오프셋 값 중 적어도 하나는 전술한 바와 같은 추정치로서 처음에 한정되고, 라운딩 오프셋 값은 추정치로서 처음에 한정되며, 그 추정치는 속도 제어를 위한 목표 비트 속도와 라운딩 오프셋 사이의 선형 관계에 기초한다.

[0078] 또 다른 장점/특징은 전술한 바와 같은 인코더를 가지는 장치로서, 이 경우 속도 제어는 일정한 비트-속도 애플리케이션과 가변 비트-속도 애플리케이션 중 적어도 하나에 적용된다.

[0079] 또한, 또 다른 장점/특징은 전술한 바와 같은 인코더를 가지는 장치로서, 이 경우 비디오 인코더는 ISO/IEC(International Organization for Standardization/International Electrotechnical Commission) MPEG(Moving Picture Experts Group)-4 파트(Part) 10 AVC(Advanced Video coding) 표준/ITU-T(International Telecommunication Union, Telecommunication Sector) H.264 권고안을 따르는 결과 비트스트림에서의 이미지 데이터를 인코딩한다.

[0080] 추가적으로, 또 다른 장점/특징은 전술한 바와 같은 인코더를 가지는 장치로서, 이 경우 속도 제어를 위한 속도 제어 파라미터들은 p -영역 속도 모델, TM5 속도 모델, 및 TMN8 속도 모델 중 적어도 하나에 기초한다.

[0081] 본 명세서의 가르침을 기초로 하여, 본 발명의 이러한 그리고 다른 특징들 및 이점들은 당업자에 의해 즉시 확인될 수도 있다. 본 발명의 가르침은 하드웨어, 소프트웨어, 펌웨어, 특수 목적 프로세서, 또는 그들의 조합의 다양한 형태로 구현될 수 있다는 것이 이해되어야 한다.

[0082] 가장 바람직하게, 본 발명의 가르침은 하드웨어와 소프트웨어의 조합으로서 구현된다. 또한, 소프트웨어는, 프로그램 저장 유닛 상에 실제적으로 구체화되는 응용 프로그램으로서 구현될 수도 있다. 응용 프로그램은, 임의의 적당한 구조를 포함하는 기계로 업로드되어, 그러한 기계에 의해 실행될 수도 있다. 바람직하게, 그러한 기계는 하나 이상의 중앙 처리 장치("CPU"), 랜덤 액세스 메모리("RAM"), 그리고 입력/출력("I/O") 인터페이스와 같은 하드웨어를 갖는 컴퓨터 플랫폼 상에서 구현된다. 컴퓨터 플랫폼은 또한 운영 체제 및 마이크로명령어(microinstruction) 코드를 포함할 수도 있다. 본 명세서에 기재된 다양한 프로세스 및 기능은 마이크로명령어 코드의 부분, 또는 응용 프로그램의 부분 또는 그들의 임의의 조합 중의 하나일 수도 있으며, 이들은 CPU에 의해 실행될 수도 있다. 또한, 추가적인 데이터 저장 유닛 및 프린팅 유닛과 같은 다양한 다른 주변기기 유닛이 컴퓨터 플랫폼으로 연결될 수도 있다.

[0083] 첨부 도면에 도시된 구성 시스템 구성요소들 및 방법들의 일부는 바람직하게 소프트웨어로 구현되므로, 시스템 구성요소들 또는 프로세스 기능 블록들 사이의 실제 연결은 본 발명이 프로그래밍되는 방법에 따라서 달라질 수도 있다는 것이 또한 이해되어야 한다. 본 명세서의 상기 가르침들이 주어지면, 당업자라면 본 발명의 이러한 그리고 유사한 구현들 또는 구성들을 예측하는 것이 가능할 것이다.

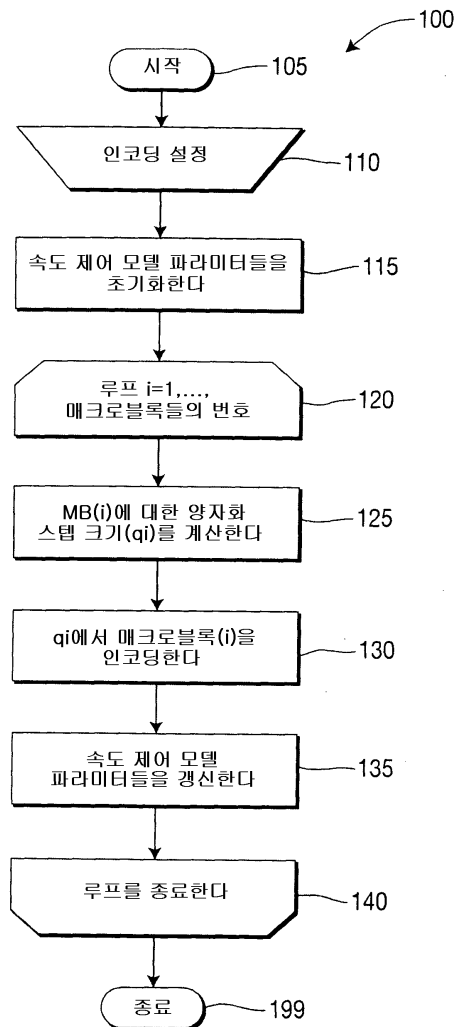
[0084] 본 명세서에서 예시적 실시예들이 첨부 도면을 참조하여 설명되었지만, 본 발명은 바로 그 실시예들로 제한되지 않으며, 본 발명의 범위 또는 사상으로 부터 벗어나지 않으면서 당업자에 의해 그러한 실시예들에 다양한 변화 및 수정이 실행될 수도 있다는 것이 이해되어야 한다. 모든 그러한 변화 및 수정은 첨부되는 청구항에 설명된 본 발명의 범위 내에 포함되도록 의도된다.

부호의 설명

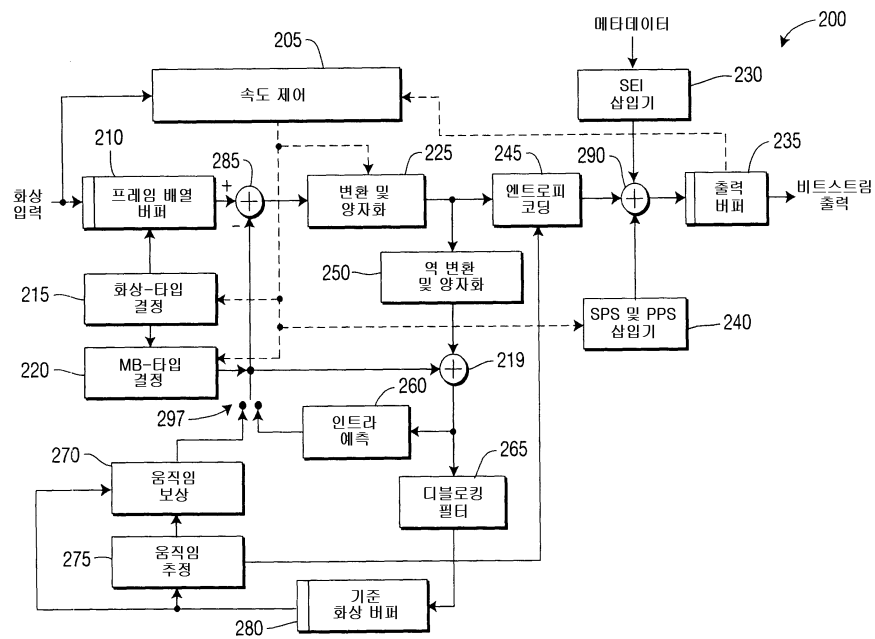
[0085]	205: 속도 제어기	210: 프레임 배열 버퍼
	215: 화상-타입 결정 모듈	220: 매크로블록-타입 결정 모듈
	225: 변환 및 양자화기	230: SEI 삽입기
	235: 출력 버퍼	240: SPS 및 PPS 삽입기
	245: 엔트로피 코딩	250: 역변환 및 역 양자화기

도면

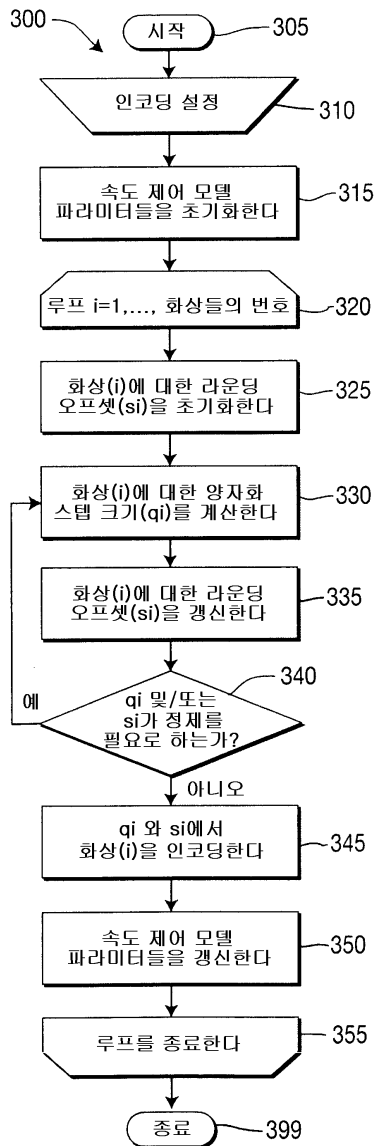
도면1



도면2



도면3



도면4

