



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I745520 B

(45) 公告日：中華民國 110 (2021) 年 11 月 11 日

(21) 申請案號：106146322

(22) 申請日：中華民國 106 (2017) 年 12 月 28 日

(51) Int. Cl. : C30B15/04 (2006.01)

C30B15/20 (2006.01)

C30B29/06 (2006.01)

(30) 優先權：2016/12/28 美國

62/439,743

(71) 申請人：環球晶圓股份有限公司 (中華民國) GLOBALWAFERS CO., LTD. (TW)

新竹市新竹科學工業園區東區工業東二路 8 號

(72) 發明人：菲利浦 理查 J PHILLIPS, RICHARD J. (US)；達葛盧 帕希夫 DAGGOLU,

PARTHIV (IN)；吉特倫 艾瑞克 GITLIN, ERIC (US)；史丹利 羅伯特

STANDLEY, ROBERT (US)；李衡敏 LEE, HYUNGMIN (KR)；張楠 ZHANG, NAN

(CN)；柳 在祐 RYU, JAE-WOO (KR)；巴薩克 舒柏 BASAK, SOUBIR (IN)

(74) 代理人：陳長文；洪榮宗

(56) 參考文獻：

TW 201317405A1

TW 201432101A

CN 105887194A

審查人員：黃敬皓

申請專利範圍項數：23 項 圖式數：12 共 31 頁

(54) 名稱

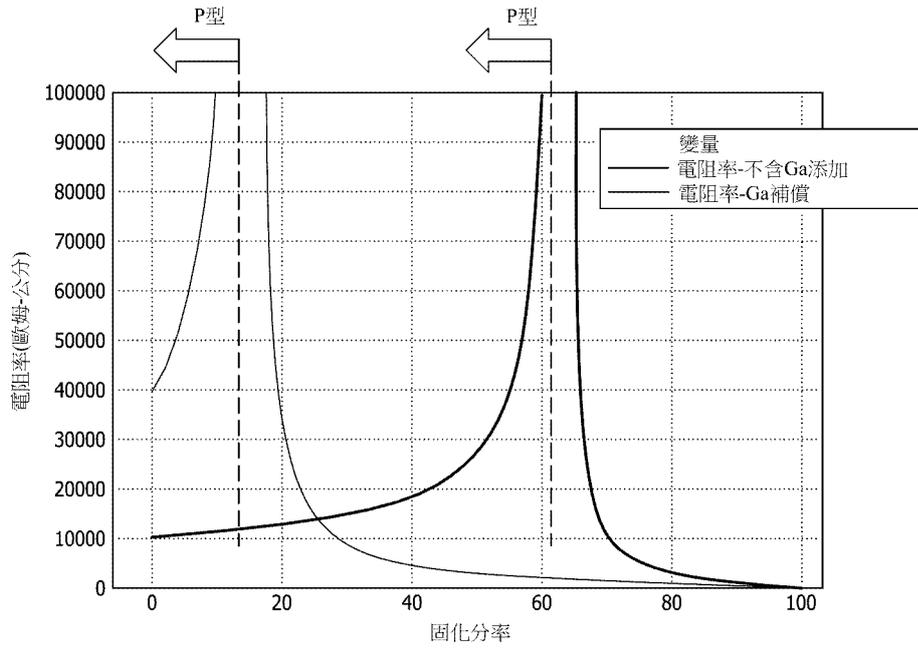
形成具有經改善之電阻率控制之單晶矽錠之方法

(57) 摘要

本發明揭示形成具有經改善之電阻率控制之單晶矽錠之方法，尤其為涉及鎵或銦摻雜之方法。在一些實施例中，該等錠之特徵在於相對較高的電阻率。

Methods for forming single crystal silicon ingots with improved resistivity control and, in particular, methods that involve gallium or indium doping are disclosed. In some embodiments, the ingots are characterized by a relatively high resistivity.

指定代表圖：



【圖5】



公告本

I745520

【發明摘要】

【中文發明名稱】

形成具有經改善之電阻率控制之單晶矽錠之方法

【英文發明名稱】

METHODS FOR FORMING SINGLE CRYSTAL SILICON INGOTS
WITH IMPROVED RESISTIVITY CONTROL

【中文】

本發明揭示形成具有經改善之電阻率控制之單晶矽錠之方法，尤其為涉及鎵或銦摻雜之方法。在一些實施例中，該等錠之特徵在於相對較高的電阻率。

【英文】

Methods for forming single crystal silicon ingots with improved resistivity control and, in particular, methods that involve gallium or indium doping are disclosed. In some embodiments, the ingots are characterized by a relatively high resistivity.

【指定代表圖】

圖5

【代表圖之符號簡單說明】

無

【發明說明書】

【中文發明名稱】

形成具有經改善之電阻率控制之單晶矽錠之方法

【英文發明名稱】

METHODS FOR FORMING SINGLE CRYSTAL SILICON INGOTS
WITH IMPROVED RESISTIVITY CONTROL

【技術領域】

本發明之技術領域係關於形成具有經改善之電阻率控制之單晶矽錠之方法，尤其為涉及鎳或銻摻雜之方法。在一些實施例中，該等錠之特徵在於相對較高的電阻率。

【先前技術】

單晶矽係大部分用於製造半導體電子組件之方法的起始物質，其通常藉由所謂的柴可拉斯基(CZ)法製備，其中單晶晶種浸沒至熔融矽中，接著藉由緩慢提拉生長。熔融矽混雜多種雜質，其中主要為其含有於石英坩堝中期間混雜的氧。一些應用，諸如先進無線通信應用、絕緣閘雙極電晶體(IGBT)及低功率、低洩漏器件，需要具有諸如1500歐姆-公分($\Omega\text{-cm}$)或大於1500 $\Omega\text{-cm}$ 之相對較高電阻率的晶圓。產品規格可需要晶圓目標電阻率容差在約300 $\Omega\text{-cm}$ 之內或可需要最小電阻率。產品規格亦可需要在給定批次之晶圓中材料不改變類型(即，P型至N型或反過來)。

因為晶體使用柴可拉斯基法生長，熔融物中雜質可因使雜質在熔融物中積聚的分凝係數而分凝，其使併入至錠中的雜質含量隨著錠生長而提高。此雜質/摻雜物分凝效應造成錠之電阻率隨其長度改變。此外，熔融物中不同雜質可以不同速率分凝，其造成雜質比率隨其長度而變化，可導

致錠中類型改變。此造成錠之一部分不符合產品規格，其使錠「非優等 (non-prime)」部分增加。

高純多晶矽用於生產高電阻率錠。高純多晶矽以雜質特徵中之分佈及其類型表徵，該分佈造成在未摻雜材料內部電阻率區間寬的分佈。此外，對於諸如1500歐姆-公分或大於1500歐姆-公分之相對較高電阻率的晶圓，加入額外摻雜物以控制電阻率及錠類型可為困難的，因為只加入極少量摻雜物以維持錠之高電阻率。

需要提高錠優等部分及允許較好電阻率控制及/或簡化外質摻雜方法之高電阻率矽錠的製備方法。

此部分意欲向讀者介紹可能相關於本發明之各種態樣之技術的各種態樣，在下文中描述且/或主張此等態樣。此論述被認為有助於為讀者提供背景資訊，以促進對本發明之各態樣的較佳理解。因此，應理解，應鑒於此來閱讀此等陳述，而非作為對先前技術之認可。

【發明內容】

本發明之一個態樣係關於自容納於坩堝內之矽熔融物生產單晶矽錠之方法。多晶矽加入坩堝。加熱多晶矽直至使矽熔融物在坩堝中形成。第一種摻雜物加入坩堝，其選自由以下組成之群：鎳及鈦。樣本錠自熔融物中提拉。量測樣本錠電阻率。第二種摻雜物加入矽熔融物。加入熔融物之第二種摻雜物之量部分基於樣本錠之經量測的電阻率。產品錠自熔融物中提拉。

本發明之另一態樣係關於自容納於坩堝內之矽熔融物生產單晶矽錠之方法。多晶矽加入坩堝。加熱多晶矽直至使矽熔融物在坩堝中形成。合金加入坩堝，其選自由以下組成之群：矽-鎳及矽-鈦。產品錠自熔融物中

提拉。

可相關於上述本發明之各個態樣作出對構件的各種改進。其他構件同樣也可併入於上述本發明的態樣中。此等改進及額外構件可單獨地或以任何組合存在。舉例而言，下文論述之相關於本發明之任一圖示說明之實施例的各種構件可單獨或以任何組合併入至本發明上述態樣中之任一者中。

【圖式簡單說明】

圖1係一種用於形成單晶矽之提拉裝置的示意性側視圖；

圖2係含具有分凝係數小於1之雜質「A」之矽的二元相圖；

圖3係矽固體部分中雜質A的濃度分佈；

圖4係固化固體分率之電阻率分佈；

圖5-8係如實例1中描述之含或不含鎵摻雜之錠的電阻率分佈圖式；

圖9係展示根據實例1生產之錠的硼、磷及鎵成份分凝曲線圖；

圖10係如實例1中描述之含或不含鎵摻雜、具有提高電阻率之氧供體之錠的電阻率分佈圖式；

圖11係展示一種具有熱供體影響之鎵補償系統的模型化及所量測的電阻率分佈圖式；及

圖12係根據實例2製備之粒狀鎵-矽合金的像片。

在整個圖式中，對應的參考標號指示對應的部件。

【實施方式】

相關申請案之交互參照

本申請案主張2016年12月28日申請之美國臨時專利申請案第62/439,743號之權益，其以全文引用之方式併入本文中。

本發明之條款係關於藉由柴可拉斯基法生產單晶矽錠的方法，其中鎂或鈮用於補償多晶矽起始物質中之雜質。在一些態樣中，鎂或鈮以固相合金加入以使相對較少量之摻雜物加入。在此等或其他實施例中，鎂或鈮在樣本或試驗性錠生產前加入以確定在加入其他摻雜物之前熔融物的電阻率。

根據本發明之實施例且參看圖1，錠藉由所謂的柴可拉斯基法生長，其中錠自拉晶機23之坩堝22內容納的矽熔融物44中取出。

拉晶機23包括外殼25，其界定晶體生長室16及具有與生長室相比較小橫軸面尺寸的提拉室20。生長室16具有大體上呈穹狀的上壁45，其自生長室16向較窄的提拉室20過渡。拉晶機23包括入口7及出口11，其可用於在晶體生長期間將處理氣體引入至及移除出外殼25。

拉晶機23內之坩堝22含有矽熔融物44，矽錠自其中拉出。矽熔融物44係藉由熔融裝入至坩堝22中的多晶矽獲得。坩堝22安裝於轉盤29上以用於使坩堝繞拉晶機23之中心縱軸X旋轉。

加熱系統39(例如，電阻加熱器39)包圍坩堝22，用於熔化矽裝料以生產熔融物44。加熱器39亦可延伸至坩堝以下，如美國專利第8,317,919號中所示。加熱器39藉由控制系統(未圖示)控制，從而使得熔融物44之溫度在整個提拉程序中受到精確控制。環繞加熱器39之隔熱材料(未圖示)可減少通過外殼25損失的熱量。拉晶機23亦可包括在熔融物表面上方之熱屏蔽成(未圖示)，其用於為錠屏蔽坩堝22中之熱量以提高固體-熔融物界面之軸向溫度梯度。

一種提拉機構(未圖示)附接於自該機構中向下伸展之提拉線24。該機構可升高及降低提拉線24。視拉晶機之類型而定，拉晶機23可具有拉桿

而非線。提拉線24端接提拉總成58，該總成包括晶種夾頭32，其固持用以生長矽錠的晶種6。在錠生長中，提拉機構降低晶種6直至其接觸矽熔融物44之表面。一旦晶種6開始熔化，則提拉機構緩慢升高晶種通過生長室16及提拉室20，以生長單晶錠。提拉機構旋轉晶種6之速度及提拉機構升高晶種之速度(即，提拉速率 v)由控制系統控制。

處理氣體通過入口7引入至外殼25中，自出口11中排出。處理氣體在外殼內產生氣氛，且熔融物與氣氛形成熔融物-氣體界面。出口11與拉晶機之抽氣系統(未圖示)成流體連通。

就此而言，圖1中所示及本文所述之拉晶機23係例示性的，且除非另外陳述，否則可使用其他拉晶機構型及佈置以自熔融物中提拉單晶矽錠。

作為普通凝固或普通晶體生長之部分，可充當晶體中之摻雜物之熔融物44中的雜質分凝成晶體。雜質(雜質「A」)分凝成晶體繪示於在圖2。圖2展示在矽A系統中繪製之溫度與成份的關係。對此混合物，邊界係表示固相線及液相線之相界。處於固相線以下溫度，混合物全部為固體。相反，處於液相線以上溫度，混合物全部為液體。對於顯示為 T_x 之給定溫度，分凝係數定義為A在固體 $[C_A]_s$ 中之濃度與A在液體 $[C_A]_L$ 中之濃度之比。

由此分凝以分凝係數 k_0 定義，其中 $k_0=[C_A]_s/[C_A]_L$ 。在柴可拉斯基晶體生長中稱為「正常」凝固下，雜質A在固體中之濃度可使用下式表示為固化分率(fraction solidified)之函數：

$$[C]_s = k_0 [C]_0 (1 - g)^{k_0-1} \quad (\text{等式1})$$

其中 $[C]_s$ 係雜質A在固體中之濃度，選擇的固化分率為 g ，初始液體中雜質A起始濃度為 $[C]_0$ 。知道雜質A之分凝係數及起始液體濃度，逐漸

增加之固化分率對應的濃度可測定。對於分凝係數小於1之雜質，A在固體中之濃度分佈的典型行為於圖3中所示。

電阻率以下式與摻雜物元素濃度相關：

$$\text{電阻率} = 1/(n q u) \quad (\text{等式2})$$

其中n係電荷載流子之數目，q係基本庫侖電荷，且u係電荷載流子遷移率。通常摻雜物視為充分電離，且n可視為等於所關注的摻雜物之濃度。電阻率分佈可如圖4表示。

因為多種元素可表現為供體或受體，大部分載流子淨值可以絕對值計算，如：

$$n_{\text{淨}} = |n_{\text{供體}} - n_{\text{受體}}| \quad (\text{等式3})$$

若供體的數目超出受體的數目，則隨後電阻率可如下式計算：

$$\text{電阻率} = (n_{\text{淨}} q u_{e'}) \quad (\text{等式4})$$

其中 $u_{e'}$ 係電子遷移率。相反，若供體的數目小於受體的數目，則電阻率可如下式計算：

$$\text{電阻率} = 1/(n_{\text{淨}} q u_{h'}) \quad (\text{等式5})$$

其中 $u_{h'}$ 係電洞遷移率。

給定正常凝固模型，對於多摻雜物系統中固定初始濃度，分凝成固體的濃度分佈可看作藉由所關注的元素之分凝係數調節之固化分率的函數。即使在起始液相濃度相同的情況下，固體中之濃度分佈會導致固體中對應的摻雜物非等積累。因為電阻率係摻雜物與來自氧之熱供體求和淨值，晶體類型(即n型或p型)可因逐漸增加之固化分率以及電阻率之極大變化而改變。

在柴可拉斯基拉晶法中用作製備熔融物44之原料的多晶矽可包括內

在量之P型摻雜物硼及N型摻雜劑磷。磷之分凝係數(0.35)小於硼(0.80)，造成磷相對於硼積聚。如圖5中所示，錠之第一部分可為P型。隨著磷積聚，其補償硼，造成電阻率中之峰值，其後錠係N型。

為了補償在含有諸如硼及磷之系統中較大電阻率變化，以及避免晶體類型由於分凝係數差而改變，在本發明之具體實例中，諸如與諸如硼及磷之雜質相比分凝係數較小之鎂或銮(分別為0.008、 4×10^{-4})的摻雜物在錠生長之前加入坩堝。

對於與高電阻率半導體產物相關之電阻率範圍，鎂補償連同磷及硼以及4 nppma以下或甚至3.5 nppma以下、小於約3 nppma或小於約2.5 nppma之持續氧可避免晶體內類型改變以及減少電阻率之較大變化。

根據本發明之實施例，多晶矽加入坩堝22。加熱多晶矽至使矽液化且在坩堝中形成熔融物。第一種摻雜物加入坩堝(在多晶矽熔化之前或之後)，其選自由以下組成之群：鎂及/或銮。樣本錠或「棒」自熔融物中提拉且測定該樣本棒之電阻率。第二種摻雜物加入熔融物，熔融物中加入之第二種摻雜物之量部分基於樣本棒測定的電阻率，且部分基於產品錠所需的電阻率。產品錠隨後自熔融物中提拉，錠之本體部分的至少一部分具有所需的目標電阻率。

加入第一種摻雜物及自其中提拉樣本錠及產品錠之多晶矽可為半導體級多晶矽。當半導體級多晶矽使用時，在一些實施例中多晶矽具有大於4,000 Ω -cm之電阻率且含有不超過0.02 ppba硼或磷。在此類多晶矽中總塊體金屬含量較佳可小於2 ppma。

在一些實施例中，第一種即加入坩堝中之摻雜物係鎂。一般而言，將相對較少量之鎂加入坩堝。舉例而言，熔融物可含有小於約0.5 ppma鎂

(如在加入鎵之後且提拉樣本錠之前測定)或甚至小於約0.1 ppma、小於0.01 ppma或小於約0.001 ppma鎵。在一些實施例中，在加入鎵之後鎵在熔融物中之濃度為約0.00001 ppma至約0.5 ppma或約0.0001 ppma至約0.1 ppma。就此而言，所陳述之鎵(及以下之銮)之濃度範圍係例示性的，且鎵之量可部分基於所需電阻率及其他電活性摻雜物(例如，硼、磷、鋁及類似元素)之量選擇。

就體積濃度而言，所得熔融物可具有小於約 5×10^{15} 原子/立方公分、小於約 1×10^{15} 原子/立方公分、小於約 5×10^{14} 原子/立方公分或小於約 1×10^{14} 原子/立方公分之鎵濃度。

替代鎵或除鎵之外，銮可用作第一種摻雜物。在銮加入坩堝之後，銮在熔融物中之濃度可小於約0.5 ppma(如在加入銮之後且提拉樣本錠之前測定)或甚至小於約0.1 ppma、小於0.01 ppma或小於約0.001 ppma銮。在一些實施例中，在加入銮之後銮在熔融物中之濃度為約0.00001 ppma至約0.5 ppma或約0.0001 ppma至約0.1 ppma。就體積濃度而言，所得熔融物可具有小於約 5×10^{15} 原子/立方公分、小於約 1×10^{15} 原子/立方公分、小於約 5×10^{14} 原子/立方公分或小於約 1×10^{14} 原子/立方公分之銮濃度。應注意所列第一種摻雜物之量係例示性的，且除非另外說明，否則可使用其他量。

在一些實施例中，第一種摻雜物以固相合金加入多晶矽裝料。舉例而言，鎵或銮可以固相鎵-矽合金或銮-矽合金加入。該等固相鎵/銮-矽合金可包括小於約20 wt%鎵或銮或小於約5 wt%鎵或銮或小於約1 wt%鎵或銮或小於0.5 wt%鎵或銮，約0.001 wt%至約5 wt%或0.01 wt%至約1 wt%鎵或銮。加入坩堝之合金的量可視裝料之大小及併入其中之鎵的量而定。

在一些實施例中，加入約0.5公克至約50公克或約1公克至約15公克之鎵或銮合金至坩堝。

合金可藉由稱重第一種摻雜物(例如,鎵)及矽之所需量、熔化材料及在低梯度爐中固化而製備。材料可與其容器(例如，石英容器)分離且經酸洗(例如，HF)。酸洗之材料可經乾燥、壓碎及尺寸化。在一些實施例中，材料以最大大小為5 mm或小於5 mm、3 mm或小於3 mm或甚至1 mm或小於1 mm尺寸化。

在多晶矽加入坩堝之後，加入第一種摻雜物(即，鎵及/或銮)且熔化多晶矽材料。作為替代方案，第一種摻雜物可在多晶矽熔化期間或之後加入。

在選自鎵或銮之第一種摻雜物加入且多晶矽裝料液化之後，樣本錠自熔融物中提拉且測定樣本錠之電阻率。一般而言，樣本錠可為任何合適的尺寸且，在一些實施例中，具有約200 mm至約300 mm之直徑及至少100 mm、300 mm或大於300 mm之長度。

在一些實施例中，加入之第一種摻雜物之量足以調節樣本錠之電阻率至約10,000歐姆-公分或小於10,000歐姆-公分或約5,000歐姆-公分或小於5,000歐姆-公分或約2,500歐姆-公分或小於2,500歐姆-公分(例如，約500歐姆-公分至約10,000歐姆-公分或約500歐姆-公分至約5,000歐姆-公分或約1000歐姆-公分至約3000歐姆-公分)。

在樣本錠生產之後，測定樣本錠之電阻率。電阻率可於沿著固體分率及/或在晶圓或塊之直徑上的多個點量測(例如，藉由四點電阻率探針)。

第二種摻雜物(例如，磷或硼)在樣本錠之電阻率測定之後加入坩堝。一般而言，加入至熔融物以獲得目標電阻率之第二種摻雜物係任何n型摻

雜物且通常係磷。在其他實施例中，視樣本錠之電阻率量測的量值而定，硼摻雜物可用於獲得所需的目標電阻率。

加入之第二種摻雜物之量至少部分基於樣本棒之所量測電阻率及產品錠之主要部分的目標電阻率。所使用之第二種摻雜物之量可基於上文提供的式2-5而確定。

在一些實施例中，錠之主要部分的目標電阻率可為最小電阻率。在一些實施例中，錠之整體長度(例如，錠之本體的長度)具有目標電阻率(例如，最小電阻率)。在一些實施例中，目標電阻率為至少約1,500 $\Omega\text{-cm}$ 之最小電阻率或者，如同其他實施例，至少約2,000 $\Omega\text{-cm}$ 、至少約4,000 $\Omega\text{-cm}$ 、至少約6,000 $\Omega\text{-cm}$ 、至少約8,000 $\Omega\text{-cm}$ 、至少約10,000 $\Omega\text{-cm}$ 或約1,500 $\Omega\text{-cm}$ 至約50,000 歐姆-公分或約8,000 $\Omega\text{-cm}$ 至約50,000 $\Omega\text{-cm}$ 。

在第二種摻雜物加入之後，產品錠自熔融物中取出。產品錠可具有約150 mm或者，如同其他實施例，約200 mm、約300 mm或大於300 mm(例如，450 mm或大於450 mm)之直徑。

與常規方法相比，本發明之實施例之單晶矽錠生長方法具有幾個優點。用以製造相對較高電阻率之單晶矽之相對較高純度的多晶矽具有在硼及磷雜質量中寬的分佈，其造成在內部電阻率中之寬的分佈。電阻率中之寬的分佈及高電阻率自身導致電阻率量測中之錯誤。藉由在樣本錠生長之前加入鎂或銮，電阻率之變化量及電阻率自身被降低，其減少電阻率量測中之錯誤。舉例而言，減少之量測錯誤可藉由調節鎂或銮之量以得到例如約1,000歐姆-公分至約2,000歐姆-公分之電阻率而觀測。藉由在加入第二種摻雜物(例如，磷)之前加入鎂，加入之第二種摻雜物之量增加以補償產生所需電阻率所需之淨電荷載流子濃度。加入較高含量之第二種摻雜物

(例如，增加10倍量，諸如加入數公克而非數毫克第二種摻雜物)減少在重量量測中之錯誤且提高第二種摻雜物之轉移效率(例如，摻雜物杯至多晶矽堆疊)。此外，加入諸如鎵之第一種摻雜物消除或至少延緩錠類型變化，因為第一種摻雜物以甚至小於磷摻雜物之較小分凝係數表徵。此使得鎵緊緊跟隨且抵消磷濃度之陡升，如圖9中所示。在使用第一種摻雜物之固相合金(例如，含有小於5 wt%鎵/銮)之實施例中，摻合物合金具有相對於單獨的純第一種摻雜物較大的質量及體積，其減少在材料量測中之錯誤且提高轉移效率。藉由使用鎵或銮合金，材料熔化溫度升高(例如，當使用鎵時自純鎵之29.7°C 熔化溫度)，其使轉移至坩堝變得容易。固相合金亦保持固態直至其在多晶矽裝料中熔化，使得易於操作而不需要保持材料(例如，純鎵)冷凍或冷卻至其熔化溫度以下。

實例

本發明之方法藉由以下實例進一步進行說明。此等實例不應以限制性意義看待。

實例1：鎵摻雜以延緩錠類型改變

單晶矽晶圓之類型改變產生於硼及磷雜質積聚之建立，其經模型化且於圖5中所示。如圖5中所示，自P型至N型之類型改變由於磷相對於硼之積聚出現於約17%固化分率。加入鎵延緩自P型至N型之類型改變至約62%固化分率。此表明鎵用以補償磷雜質積聚。給定約10,000歐姆-公分至約50,000歐姆-公分之電阻率，使用鎵得到40%產率提高。

含 2.1×10^{13} 原子/立方公分硼、 2.73×10^{13} 原子/立方公分磷且含或不含 1.0×10^{14} 原子/立方公分鎵之錠的電阻率分佈於圖6中所示。如圖6中所示，使用鎵使類型改變約70%固化分率至約80%延緩。

含 8×10^{12} 原子/立方公分硼、 1.75×10^{13} 原子/立方公分磷且含或不含 3×10^{14} 原子/立方公分銻之錠的電阻率分佈於圖7中所示。如圖7中所示，當銻未使用時，類型改變至N型出現於約10%固化分率處。使用銻使錠在整個主體長度中保持P型。

含 5.7×10^{12} 原子/立方公分硼、 1.52×10^{13} 原子/立方公分磷且含或不含 2.67×10^{14} 原子/立方公分銻之錠的電阻率分佈於圖8中所示。不含銻摻雜之錠係N型且摻雜有銻之錠係P型。硼、磷及銻之成份分凝曲線於圖9中所示。

具有與圖8相同之摻雜物分佈之錠的電阻率分佈在考慮氧(即，熱供體)之影響的情況下經模型化。如圖10中所示，考慮熱供體之錠於約75%處類型變化至N型，且未考慮熱供體之錠在整個本體部分中為P型。考慮到熱供體影響，需要維持氧處於相對低值從而管理熱供體影響。增加氧會引起淨電阻率增加，但可使得類型改變在主體長度內較早發生。4 nppma以下或甚至3.5 nppma以下之氧的目標幫助抑制類型改變以及補償摻雜物管理。

圖11展示一種考慮熱供體影響之銻補償系統的電阻率分佈。在一個實例中，錠經受熱供體刪除退火以消除氧對電阻率的貢獻，在另一實例中錠經受熱處理以充分電離熱供體。如圖11中所示，電阻率量測值接近地符合模型化值。

實例2：銻合金形成

為了輔助用以控制電阻率之少量銻，生產母體銻-矽合金。合金具有0.1至0.3 wt%範圍內之銻濃度。稱量矽及銻之量。材料在低梯度爐中之石英容器中熔化及凝固。合金材料與容器分離且在HF中酸洗。合金隨後經

乾燥、壓碎、尺寸化及清潔至小於3 mm。所得合金材料於圖12中所示。所得鎂-矽合金材料適合於如描述於實例1中之鎂摻雜使用。

如本文所使用，術語「約(about)」、「實質上(substantially)」、「基本上(essentially)」及「大約(approximately)」當與尺寸、濃度、溫度或其他物理或化學特性或特徵之範圍結合使用時，意謂涵蓋可存在於該等特性或特徵範圍之上限及/或下限的偏差，包括，例如產生於捨入、量測方法或其他統計變異之偏差。

當引入本發明或其一或多個實施例之元件時，冠詞「一(a/an)」、「該(the/said)」意欲意謂存在一或多個元件。術語「包含(comprising)」、「包括(including)」、「含有(containing)」及「具有(having)」意欲為包含性的，且意謂可存在除所列要素之外的額外要素。表明具體方位之術語(例如，「頂部(top)」、「底部(bottom)」、「側面(side)」等)之使用係為了說明之方便且不需要所描述之物品的任何具體方位。

由於在不脫離本發明之範疇的情況下，可對上述構造及方法作出各種變化，因此意欲將包含於以上描述及隨附圖式中展示的所有物質解釋為示意性的且非限制性意義的。

【符號說明】

6	晶種
7	入口
11	出口
16	晶體生長室
20	提拉室

22	坩堝
23	拉晶機
24	提拉線
25	外殼
29	轉盤
32	晶種夾頭
39	加熱系統
44	矽熔融物
45	上壁
58	提拉總成
X	中心軸線

【發明申請專利範圍】

【第1項】

一種用於自容納於坩堝內之矽熔融物生產單晶矽錠的方法，該方法包含：

加入多晶矽至該坩堝；

加熱該多晶矽以使得在該坩堝中形成矽熔融物；

加入第一種摻雜物至該坩堝，該第一種摻雜物選自由鎵及銮組成之群；

自該矽熔融物中提拉樣本錠；

量測該樣本錠之電阻率；

加入第二種摻雜物至該矽熔融物，加入至該矽熔融物之第二種摻雜物之量係部分基於該樣本錠之所量測電阻率；及

自該矽熔融物中提拉產品錠。

【第2項】

如請求項1之方法，其中加入該矽熔融物之第二種摻雜物之量係部分基於該產品錠之主要部分的目標電阻率，該主要部分具有該目標電阻率。

【第3項】

如請求項2之方法，其中該目標電阻率係最小電阻率。

【第4項】

如請求項3之方法，其中該最小電阻率至少為1,500 Ω -cm。

【第5項】

如請求項2之方法，其中該目標電阻率係最大電阻率。

【第6項】

如請求項1之方法，其中該第二種摻雜物係選自磷及硼。

【第7項】

如請求項1之方法，其中該第二種摻雜物係磷。

【第8項】

如請求項1之方法，其中該第一種摻雜物係鎵。

【第9項】

如請求項8之方法，其中在鎵加入至該坩堝之後鎵在該矽熔融物中之濃度小於0.5 ppma。

【第10項】

如請求項8之方法，其中鎵係以矽-鎵合金之形式加入至該坩堝。

【第11項】

如請求項1之方法，其中該第一種摻雜物係銮。

【第12項】

如請求項11之方法，其中在銮加入至該坩堝之後銮在該矽熔融物中之濃度小於0.5 ppma。

【第13項】

如請求項11之方法，其中銮係以矽-銮合金之形式加入至該坩堝。

【第14項】

如請求項1之方法，其中該樣本錠具有10,000歐姆-公分或小於10,000歐姆-公分之電阻率。

【第15項】

如請求項1之方法，其中該多晶矽係半導體級矽。

【第16項】

一種用於自容納於坩堝內之矽熔融物生產單晶矽錠的方法，該方法包含：

加入多晶矽至該坩堝；

加熱該多晶矽以使得在該坩堝中形成矽熔融物；

加入第一種摻雜物至該坩堝，該第一種摻雜物係選自由矽-鎳及矽-鈳組成之群之合金

加入該合金後，自該矽熔融物中提拉樣本錠；

提拉該樣本錠後，加入第二種摻雜物至該矽熔融物；及

自該矽熔融物中提拉產品錠。

【第17項】

如請求項16之方法，其中該合金係矽-鎳且包含小於5 wt%鎳。

【第18項】

如請求項16之方法，其中該合金係矽-鎳且在鎳加入至該坩堝之後鎳在該矽熔融物中之濃度小於0.1 ppma。

【第19項】

如請求項16之方法，其中該合金係矽-鈳且包含小於5 wt%鈳。

【第20項】

如請求項16之方法，其中該合金係矽-鈳且在鈳加入至該坩堝之後鈳在該矽熔融物中之濃度小於0.1 ppma。

【第21項】

如請求項16之方法，其中該錠具有電阻率為至少1,500 Ω -cm之主要部分。

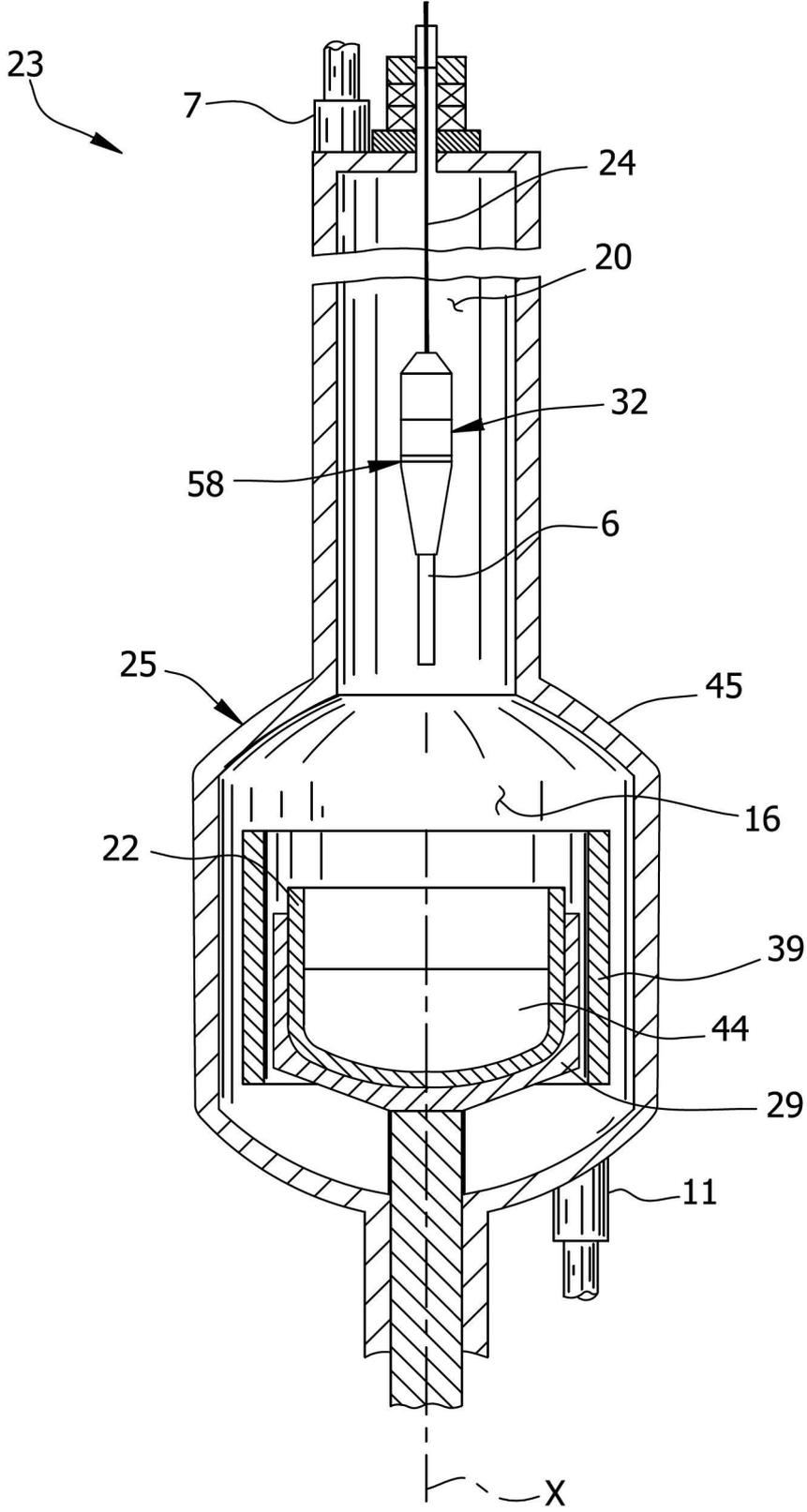
【第22項】

如請求項16之方法，其中該多晶矽係半導體級矽。

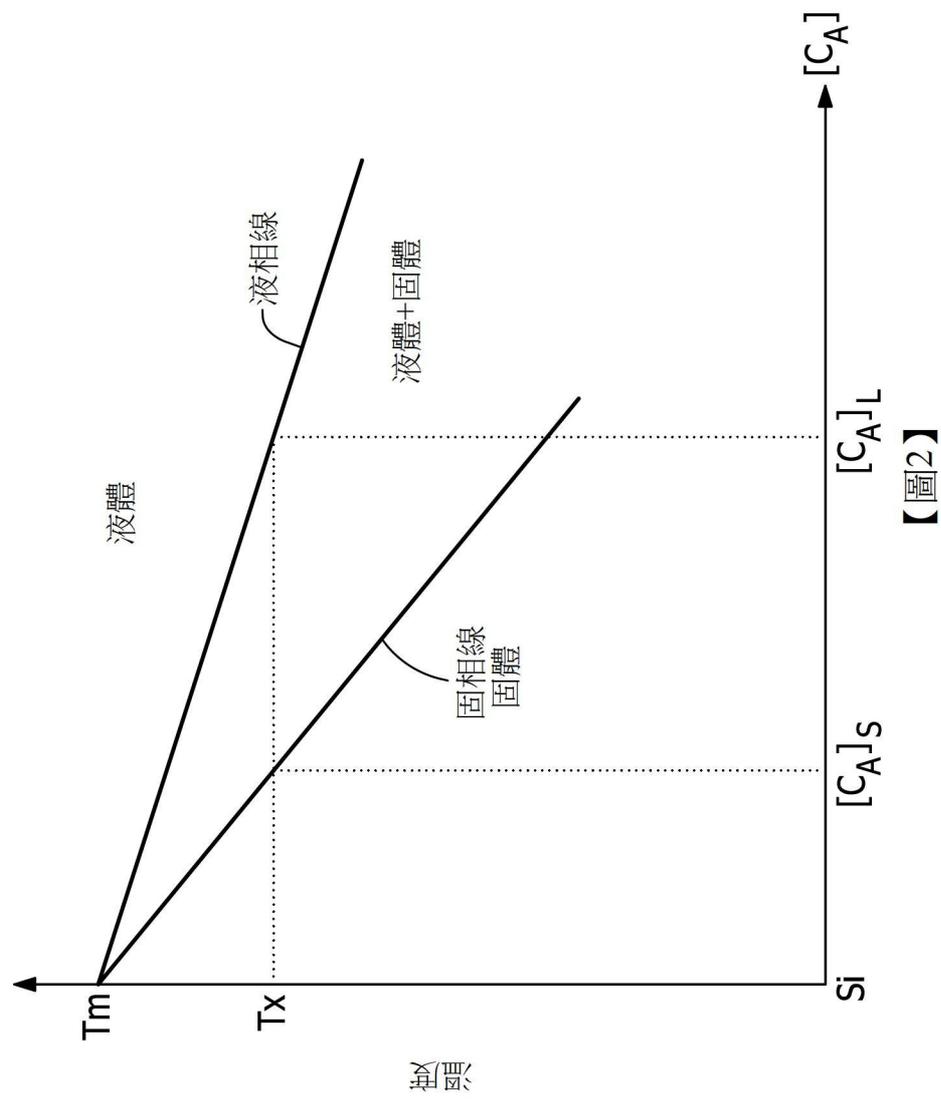
【第23項】

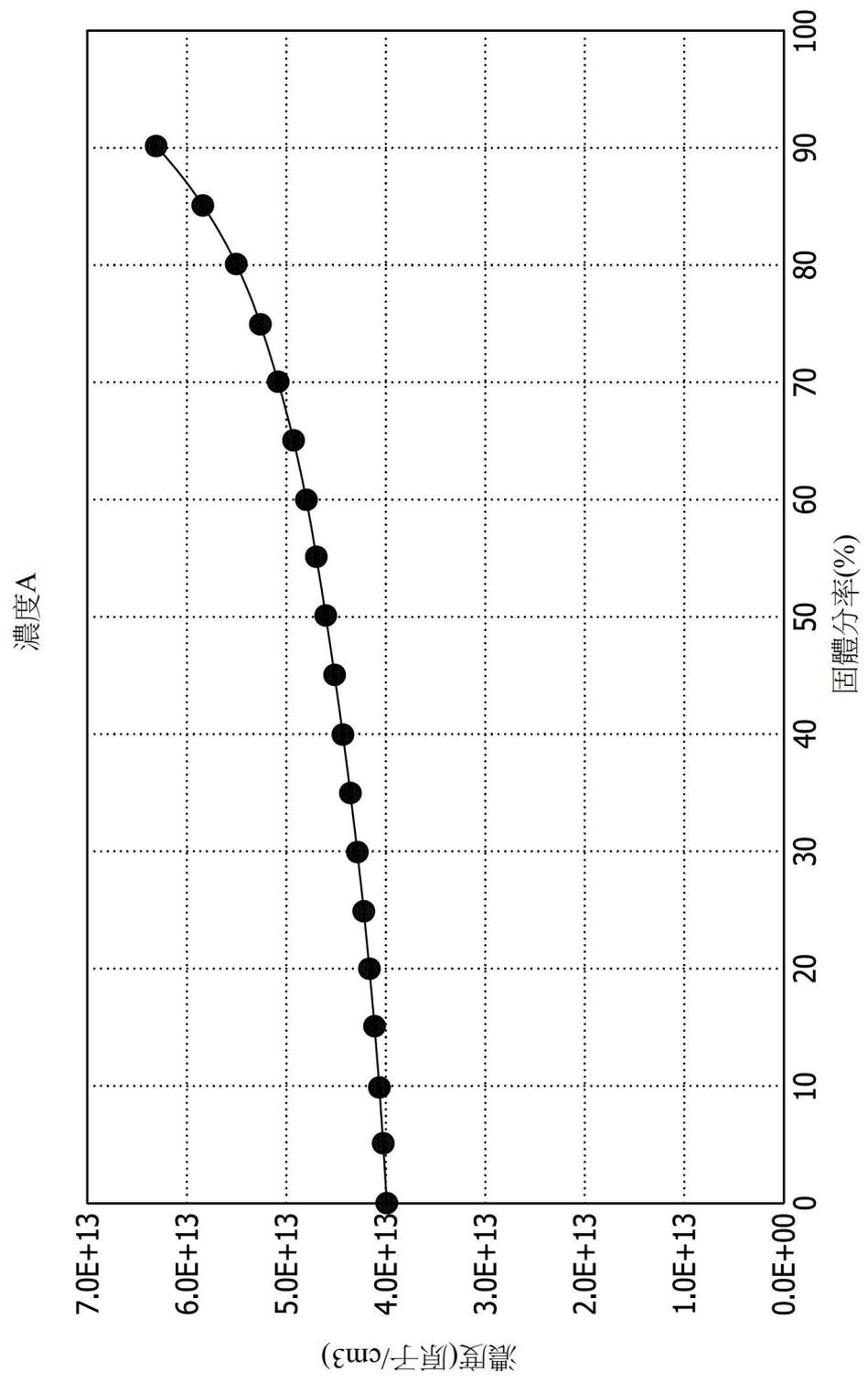
如請求項16之方法，其中該第二種摻雜物係選自由磷及硼組成之群。

【發明圖式】

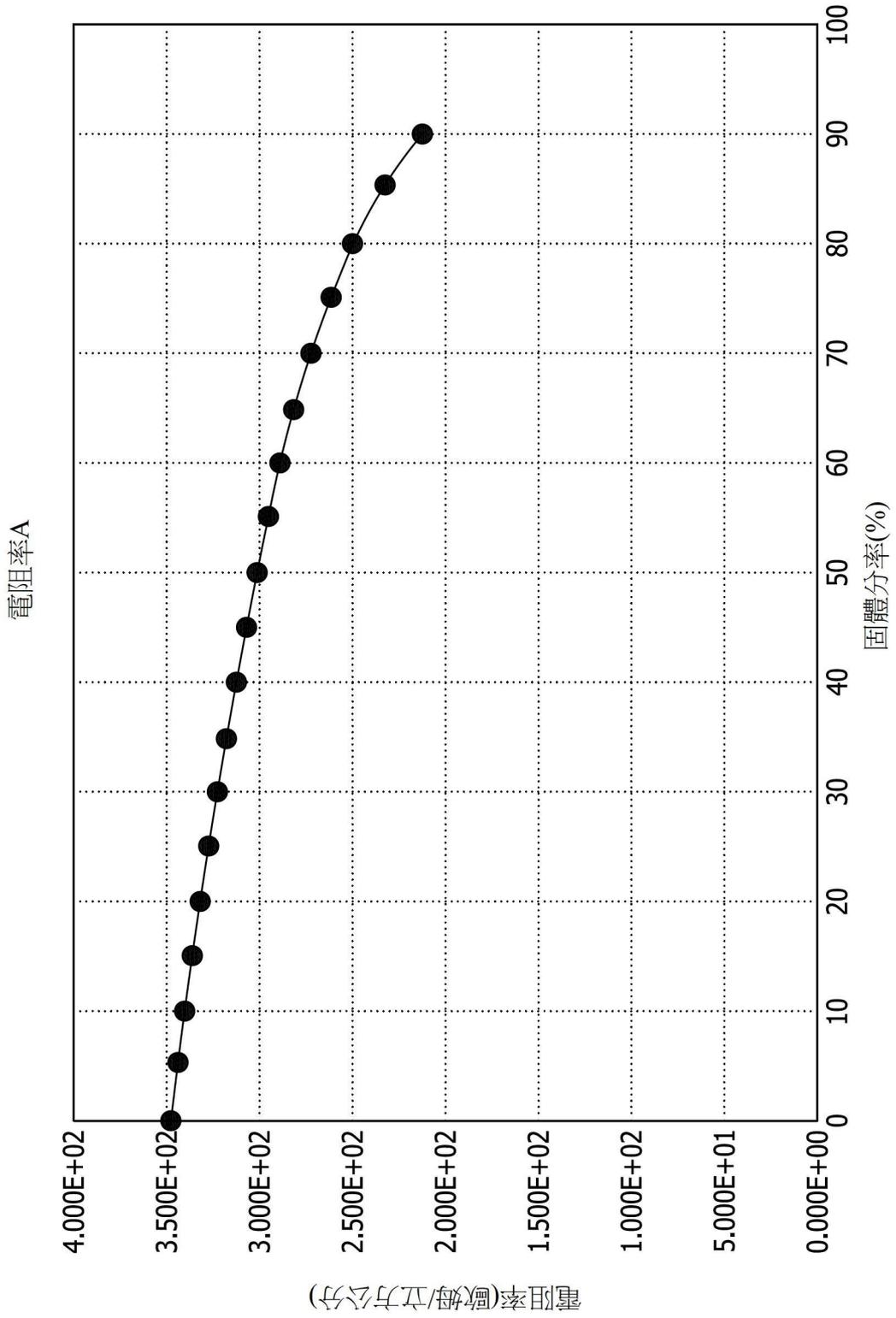


【圖1】

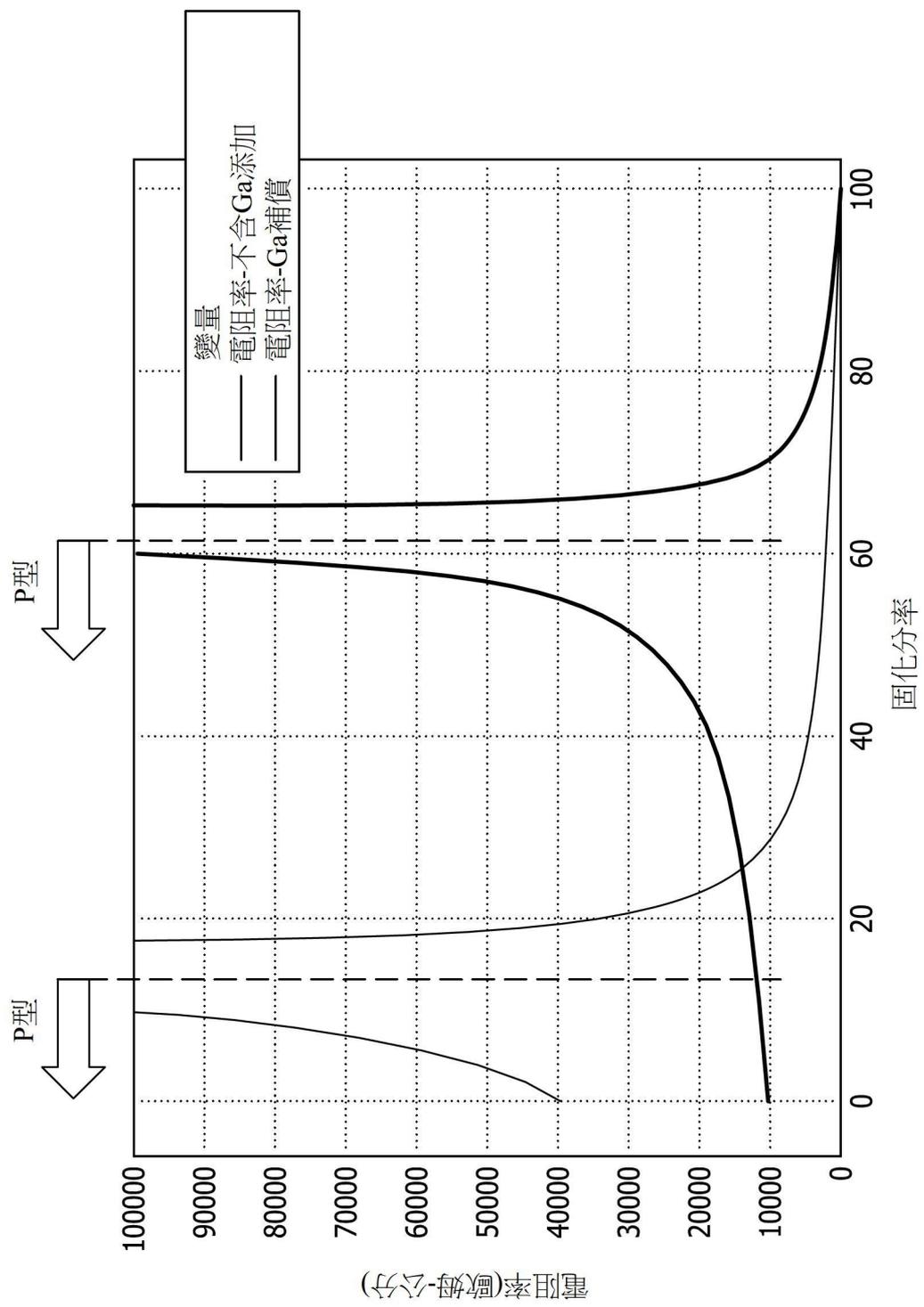




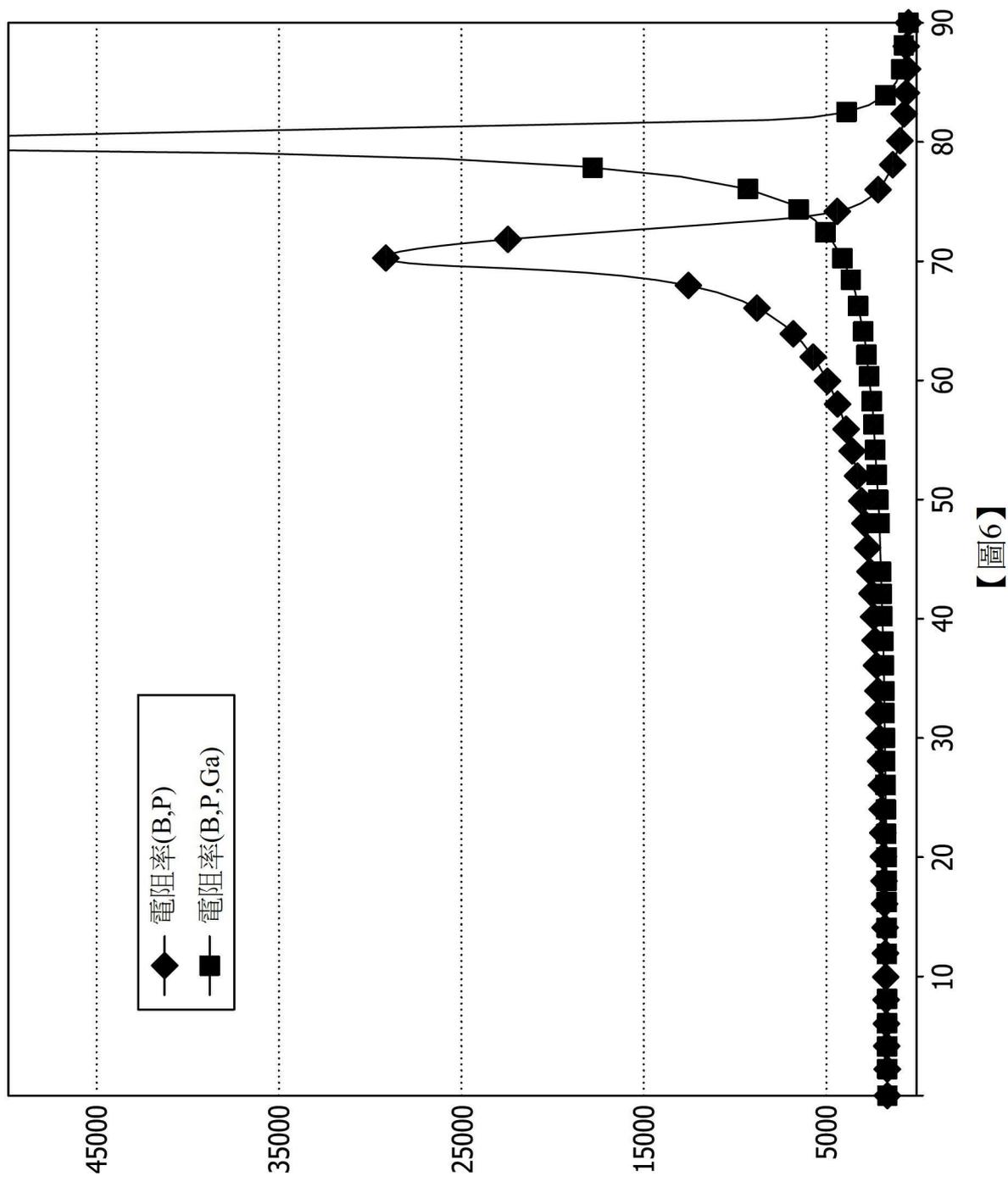
【圖3】



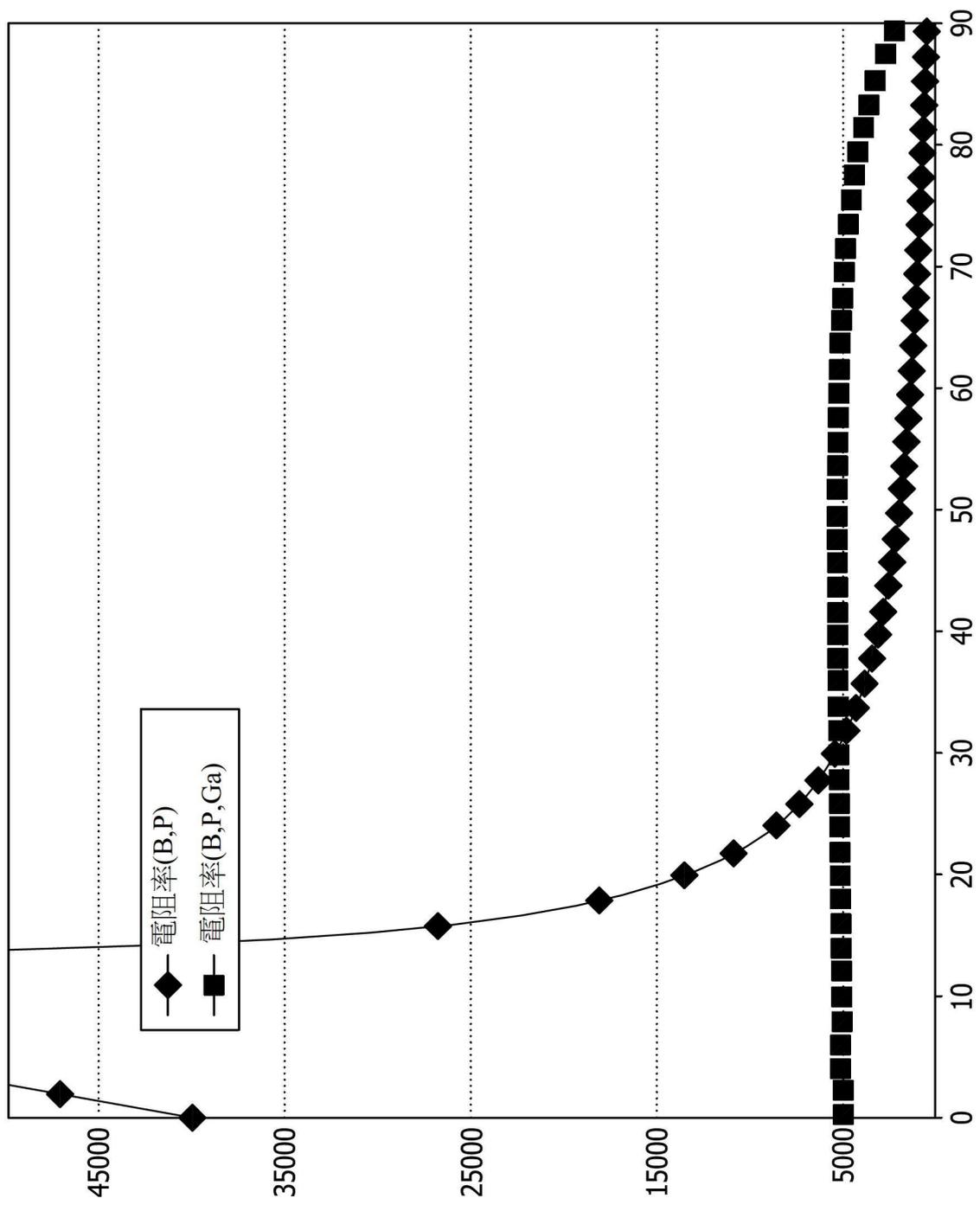
【圖4】



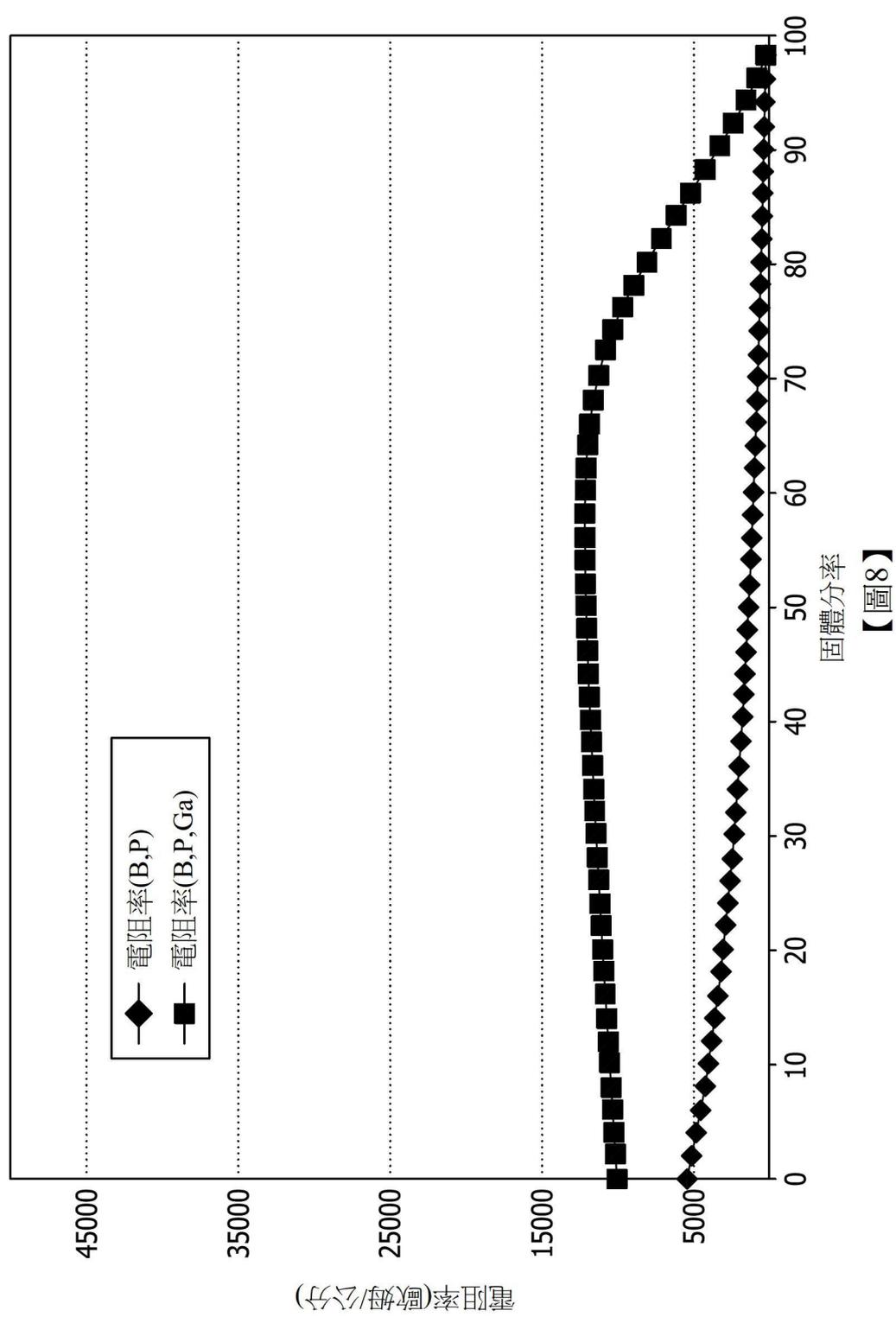
【圖5】



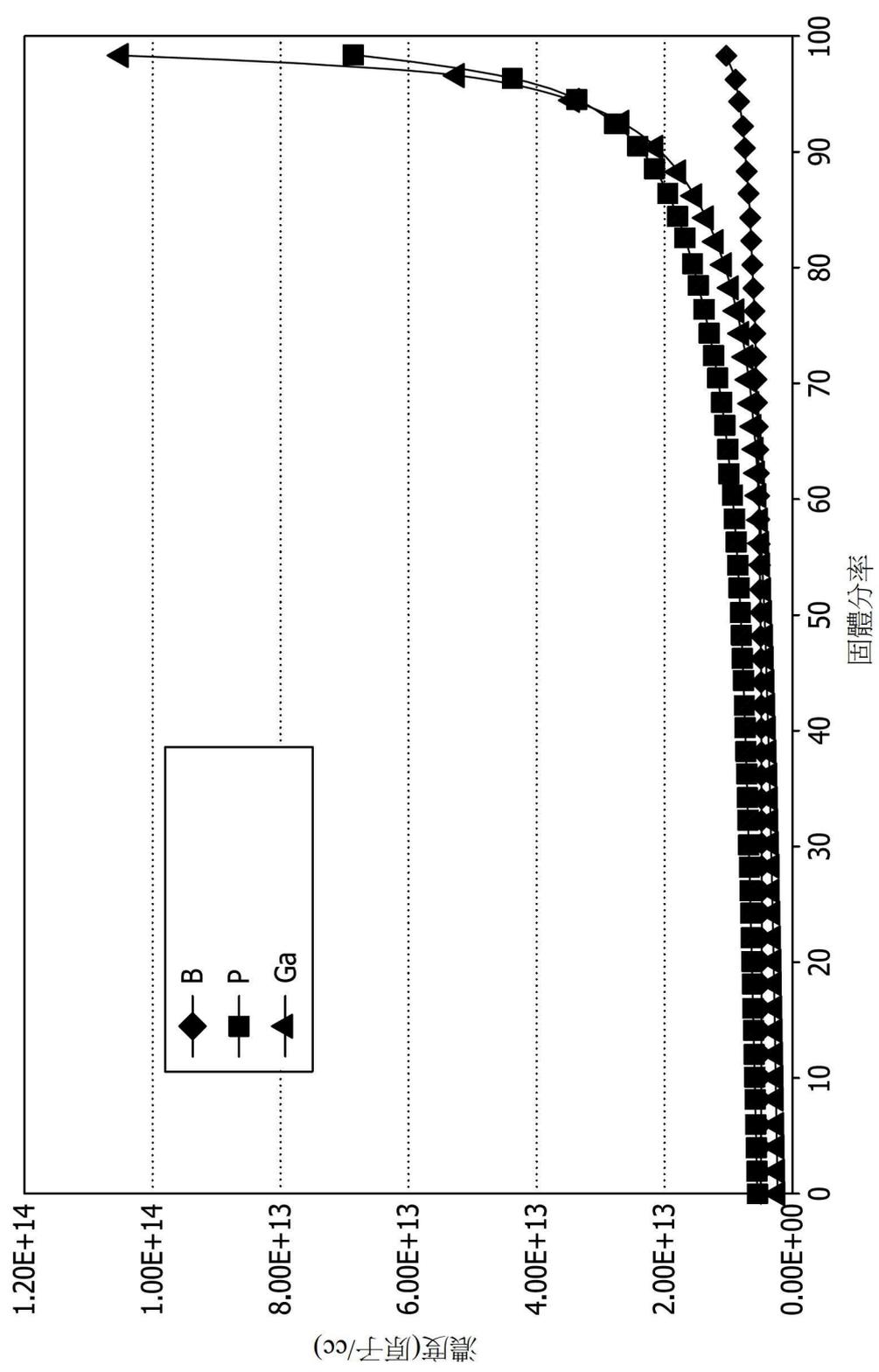
【圖6】



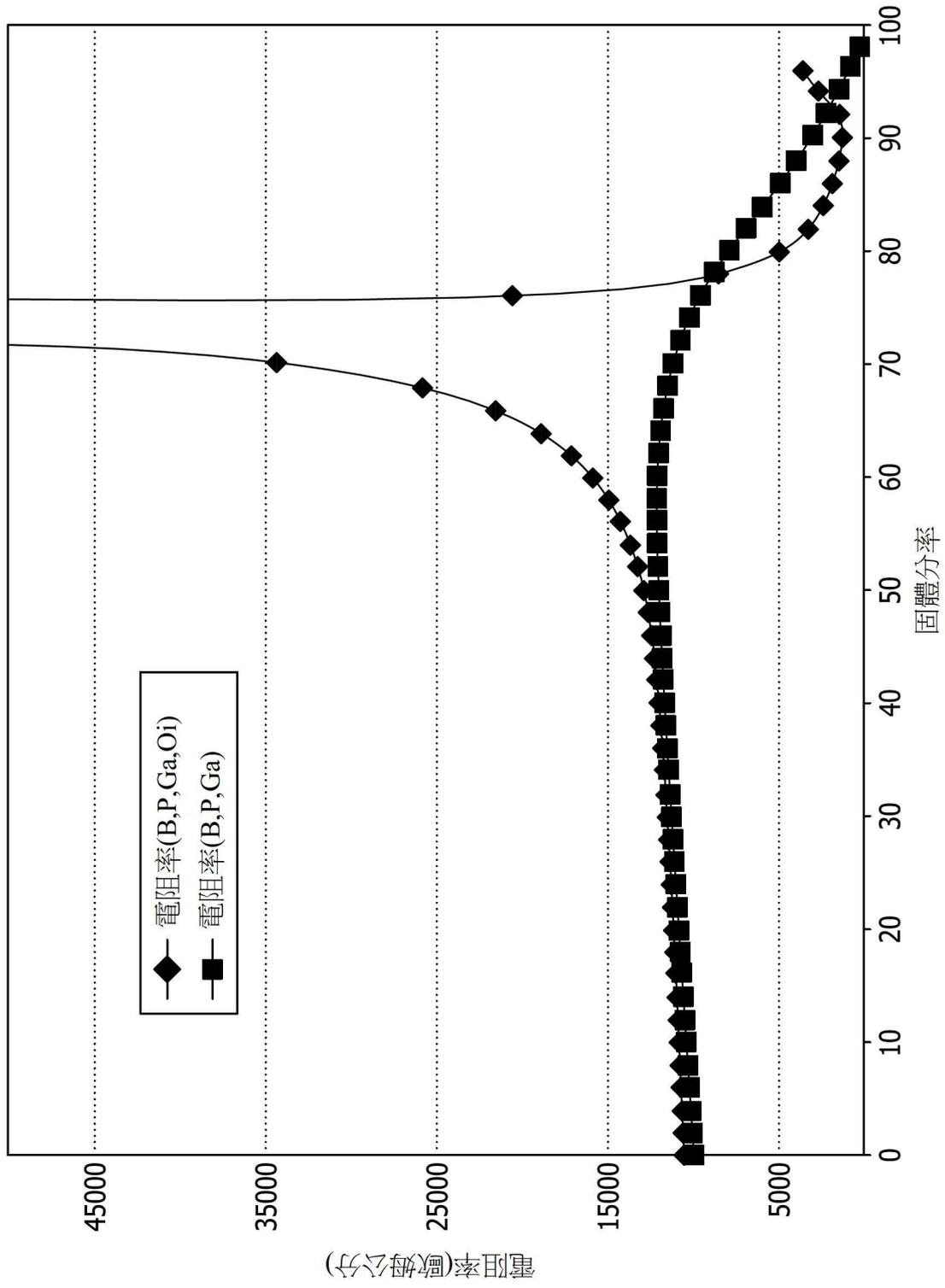
【圖7】



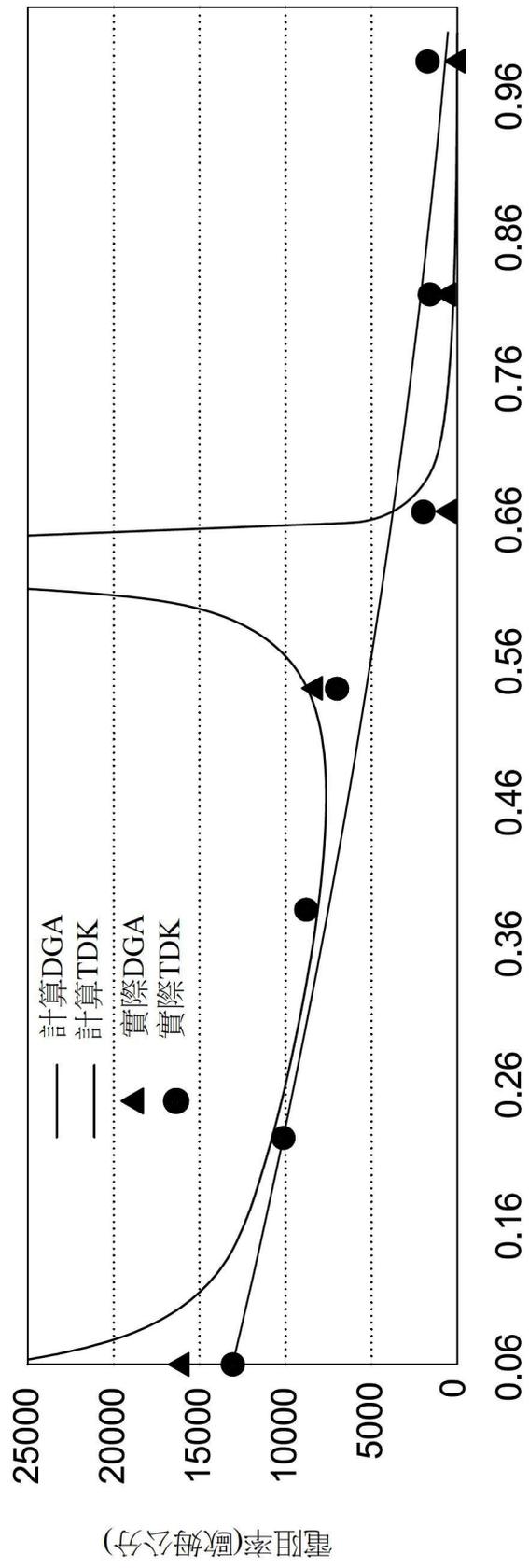
【圖8】



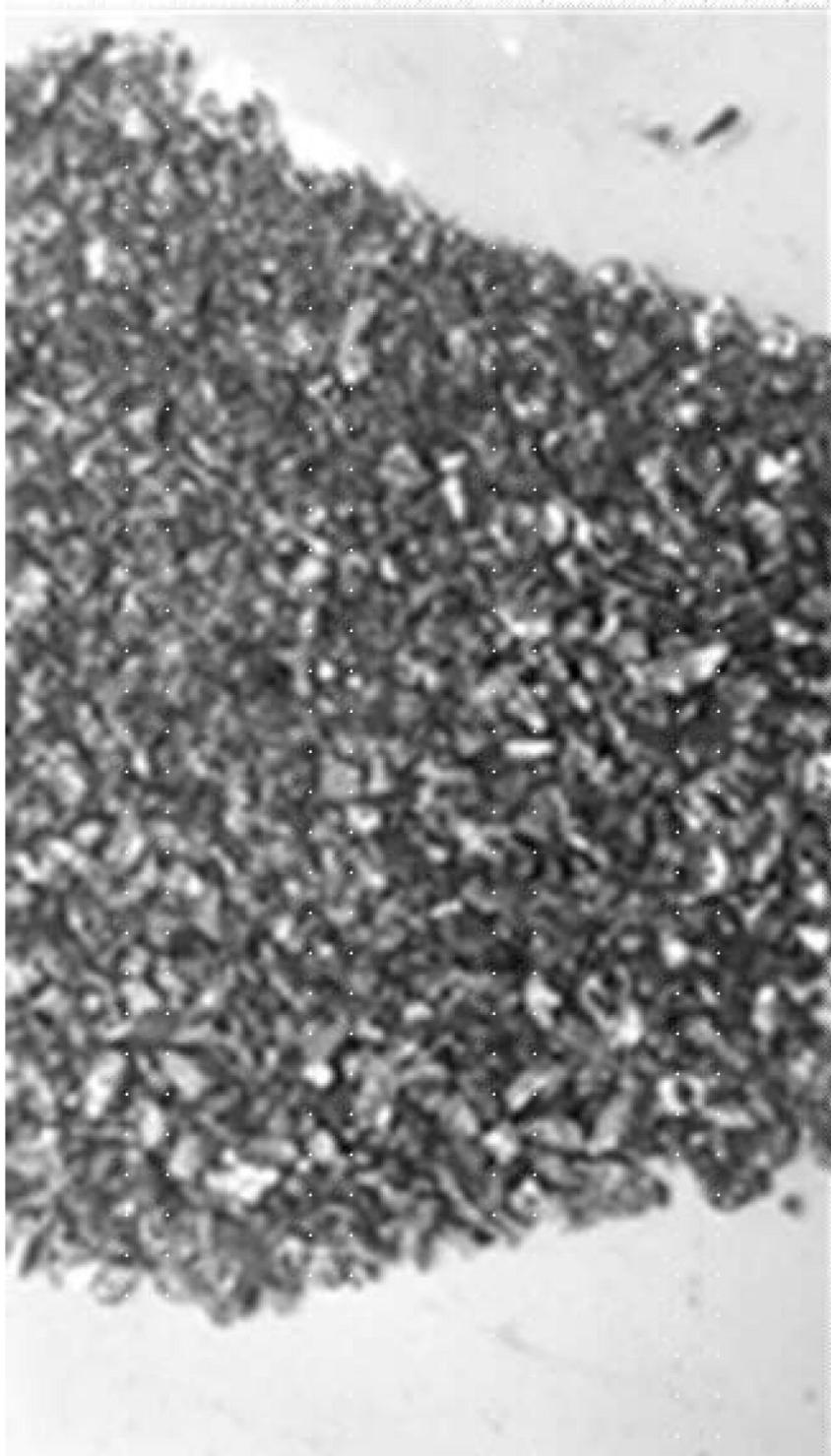
【圖9】



【圖10】



【圖11】



【圖12】