(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2010-103563
(P2010-103563A)
(43)公開日　平成22年5月6日(2010.5.6)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 21/8246	(2006.01)	H01L	27/10	433	5B125
H01L 27/112	(2006.01)	G11C	17/00	623Z	5F083
G11C 16/04	(2006.01)				

審査請求 有　請求項の数 3　OL　（全 22 頁）

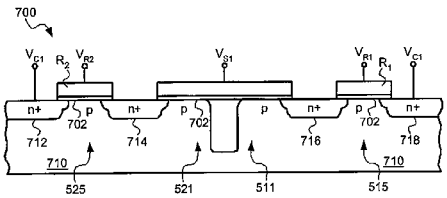
(21)出願番号　特願2010-18432(P2010-18432)
(22)出願日　平成22年1月29日(2010.1.29)
(62)分割の表示　特願2003-529475(P2003-529475)の分割
原出願日　平成14年9月17日(2002.9.17)
(31)優先権主張番号　09/955,641
(32)優先日　平成13年9月18日(2001.9.18)
(33)優先権主張国　米国(US)
(31)優先権主張番号　10/024,327
(32)優先日　平成13年12月17日(2001.12.17)
(33)優先権主張国　米国(US)

(71)出願人　504103467
キロパス　テクノロジー　インコーポレイテッド
ＫＩＬＯＰＡＳＳ　ＴＥＣＨＮＯＬＯＧＹ，ＩＮＣ．
アメリカ合衆国　９５０５４　カリフォルニア州　サンタ　クララ　オクタビウス　ドライブ　３３３３　スイート　１０１
(74)代理人　100068755
弁理士　恩田　博宣
(74)代理人　100105957
弁理士　恩田　誠
(74)代理人　100142907
弁理士　本田　淳

最終頁に続く

(54)【発明の名称】超薄膜誘電体のブレークダウン現象を利用した半導体メモリセルセル及びメモリアレイ

(57)【要約】
【課題】　超薄膜誘電体のブレークダウン現象を利用した半導体メモリセルセル及びメモリアレイを提供する。
【解決手段】　超薄膜誘電体（３１２）の周りに構成されるデータ記憶素子（１１５）を有する半導体メモリセル（３００）を使用し、超薄膜誘電体（３１２）にストレスを与えてブレークダウン（ソフトまたはハードブレークダウン）させてメモリセル（３００）のリーク電流レベルを設定することにより情報を記憶する。セル（３００）が引き込む電流を検知することによりメモリセル（３００）からの読出しが行なわれる。適切と考えられる超薄膜誘電体（３１２）は約５０オングストローム以下の厚さの高信頼度のゲート酸化膜である。
【選択図】　図７



【特許請求の範囲】
【請求項１】
選択ライン及びアクセスラインを有したメモリアレイに使用可能なプログラマブル読み取り専用メモリセルであって、
ゲート、該ゲートの下方にあるゲート誘電体、及び、該ゲート誘電体及び前記ゲートの両方の下方にあるとともに、互いに離間する関係に配置されてチャネル領域をそれらの間に画定する第１不純物半導体領域及び第２不純物半導体領域を有するＭＯＳ電界効果トランジスタと、
ＭＯＳデータ記憶素子と、該ＭＯＳデータ記憶素子は導電性構造物、該導電性構造物の下方に設けられるとともに５０オングストローム未満の厚さを有する超薄膜ゲート酸化物誘電体、及び前記超薄膜ゲート酸化物誘電体及び前記導電性構造物の両方の下方にある第１不純物半導体領域を有することと、前記ＭＯＳデータ記憶素子の前記第１不純物半導体領域は前記ＭＯＳ電界効果トランジスタの前記第１不純物半導体領域に接続されていることと、
前記ＭＯＳ電界効果トランジスタの前記ゲートに接続される選択ラインセグメントと、
前記ＭＯＳ電界効果トランジスタの前記第２不純物半導体領域に接続される第１アクセスラインセグメントと、
前記ＭＯＳデータ記憶素子の前記導電性構造物に接続される第２アクセスラインセグメントとを備え、
前記ＭＯＳデータ記憶素子は、前記超薄膜ゲート酸化物誘電体及び前記導電性構造物の両方の下方にあるとともに、前記ＭＯＳデータ記憶素子の前記第１不純物領域に隣接する反転可能領域を備え、及び、前記ＭＯＳデータ記憶素子の超薄膜ゲート酸化物誘電体は、前記ＭＯＳデータ記憶素子の前記導電性構造物と前記反転可能領域の間に設けられ、かつ前記導電性構造物及び前記反転可能領域に接続し、
前記メモリセルは、前記導電性構造物と前記第１不純物半導体領域の間に書込み電圧を加えて前記反転可能領域に反転層を形成することによって、前記ＭＯＳデータ記憶素子の超薄膜ゲート酸化物誘電体をブレークダウンさせる結果、書込みが行われるべく形成され、
前記メモリセルは、前記導電性構造物と前記第１不純物半導体領域の間に読み出し電圧を加えて前記反転可能領域に反転層を形成する間に、前記ＭＯＳデータ記憶素子の超薄膜ゲート酸化物誘電体に流れる電流を検知することによって読み出しを行うべく形成されている、メモリセル。
【請求項２】
前記ＭＯＳ電界効果トランジスタの前記ゲート誘電体及び前記ＭＯＳデータ記憶素子の前記超薄膜誘電体は共通の超薄膜ゲート酸化膜層から形成され、前記メモリセルは、前記導電性構造物と前記第１不純物半導体領域の間に加えられる書込み電圧では前記ＭＯＳ電界効果トランジスタのゲートの下方にある超薄膜ゲート酸化物誘電体が破壊されないように形成されている、請求項１記載のメモリセル。
【請求項３】
前記ＭＯＳ電界効果トランジスタの前記ゲート誘電体は前記ＭＯＳデータ記憶素子の前記超薄膜ゲート酸化物誘電体よりも厚い請求項１記載のメモリセル。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は不揮発性で書込み可能な半導体メモリに関し、より詳細には、ＭＯＳゲート誘電体などの超薄膜誘電体のブレークダウン現象を使用してデジタル情報を記憶する不揮発性で書込み可能な半導体メモリセル及びそのようなセルを組み込んだメモリアレイに関する。
【背景技術】
【０００２】

不揮発性メモリは電源供給が断たれたときに保存データを保持するものであり、この特性は多くの異なるタイプのコンピュータ及び他の電子デバイスにおいて必要とされる、または少なくとも強く望まれるものである。一般的に利用可能なタイプの不揮発性メモリはプログラマブル読み取り専用メモリ（「ＰＲＯＭ」）であり、このメモリはフューズ、アンチフューズなどの、ワードラインとビットラインとの交点に位置する素子と、フローティングゲートアバランシェ注入金属酸化膜半導体（「ＦＡＭＯＳ」）トランジスタなどの電荷捕獲素子を使用して論理情報を記憶する。ＰＲＯＭは通常、再書込みができない。

【０００３】

キャパシタの二酸化シリコン層のブレークダウンを使用してデジタルデータを記憶する一つのタイプのＰＲＯＭセルの例が、ライシンガらによる２００１年４月１０日発行の特許文献１に開示されている。ライシンガらが開示した基本的なＰＲＯＭは酸化物キャパシタ及び接合ダイオードの直列接続を交点素子として使用する。ストレスを加えられていないキャパシタは論理値０を表し、電気的なブレークダウンを経たキャパシタは論理値１を表す。二酸化シリコン層の厚さを調整して所望の動作特性を得る。二酸化シリコンは約１０Ｃ／ｃｍ^2（クーロン／ｃｍ^2）の破壊寿命を有する。１０ボルトの電圧を１０ｎｍの厚さのキャパシタ誘電体に印加すると（１０ｍＶ／ｃｍの電界強度となる）約１ｍＡ／ｃｍ^{2}の電流が流れる。１０ボルトの電圧印加では、メモリセルに書込みを行なうためにそれ相応の時間を要する。しかしながら、キャパシタ誘電体をより薄く設計して電気破壊の間に生じる大きな電力損失を減らすとより大きな利点が得られる。例えば、３～４ｎｍの厚さのキャパシタ誘電体を有するメモリセル構造は約１．５Ｖで動作させることができる。キャパシタ誘電体はその電圧ではまだ破壊されないので、１．５Ｖはメモリセルからデータを読み出すのに十分な電圧である。データを例えば５Ｖで記憶させると、メモリセル構造の一つのセル集合体に約１ｍｓ以内で書込みを行なうことが出来る。この場合に生じるキャパシタ誘電体１ｃｍ^{2}当たりのエネルギー損失は約５０ワット（１０クーロン＊５Ｖ）である。所望の電力損失が約０．５ワットであるとすると、１ギガビットのメモリに書込みを行なうためには約１００秒かかる。許容電力損失がさらに大きいと、書込みはそれに応じてより高速に行なうことができる。

【０００４】

或るタイプの不揮発性メモリは書込み、消去を繰り返し行なうことができ、ＥＰＲＯＭとして公知の消去可能なプログラマブル読み出し専用半導体メモリと、ＥＥＰＲＯＭとして公知の電気的消去可能なプログラマブル読み出し専用半導体メモリを含む。ＥＰＲＯＭメモリは、紫外光照射により消去が行なわれ、種々の電圧印加により書込みが行なわれるのに対し、ＥＥＰＲＯＭメモリは、種々の電圧印加により消去及び書込みの両方が行なわれる。ＥＰＲＯＭ及びＥＥＰＲＯＭは一般的に浮遊ゲートとして知られる適切な構造を有し、この浮遊ゲートは記憶するデータに依存する形で充電及び放電される。浮遊ゲートの電荷は素子のしきい値電圧V_Tを決定し、この値はメモリからの読出しを行なってそこに記憶されているデータを求めるときに感知される。通常、これらのタイプのメモリセルのゲート酸化膜ストレスを最小化するために精力が注がれる。

【０００５】

金属酸窒化シリコン（「ＭＮＯＳ」）素子として知られる素子はソースとドレインとの間のシリコンに位置し、二酸化シリコン層、窒化シリコン層及びアルミニウム層を含むゲート構造により覆われるチャネルを有する。ＭＮＯＳ素子は、適切な電圧パルスをゲートに印加して電子を酸窒化ゲートに捕獲させる（$V_{TH(high)}$）、または電子を酸窒化ゲートから放出させる（$V_{TH(low)}$）ことにより２つのしきい電圧状態、（$V_{TH(high)}$）と（$V_{TH(low)}$）との間で切り替わる。通常、これらのタイプのメモリセルのゲート酸化膜ストレスを最小化するために精力が注がれる。

【０００６】

ゲートコントロールダイオードのゲートに保存する電荷を使用して論理値０及び１を記憶する接合ブレークダウンメモリセルはホフマンらによる１９７７年７月１９日発行の特許文献２に開示されている。電荷は、ゲートコントロールダイオードのｐ型電極とゲート

電極との間に形成される容量を使用することによりゲートに保存される。電荷保存は、二酸化シリコン層及び二酸化シリコンに代わる窒化シリコン層から形成されるキャパシタの複合誘電体を使用することにより加速させる。消去電圧をゲートコントロールダイオードの電極に印加すると、酸化膜－窒化膜界面が負電荷で満たされ、この負電荷は消去動作が終了した後も保持される。この負の界面電荷によりゲートコントロールダイオードは消去電圧の供給を停止した後でも誘起型接合モードで動作することができる。その後ゲートコントロールダイオードからの読出しが行なわれると、このダイオードのチャネルが電界誘起型接合ブレークダウンを起こし、飽和電流が流れる。電界誘起型接合ブレークダウン電圧は金属学的な接合ブレークダウン電圧よりも低い。しかしながら、書込み電圧をゲートコントロールダイオードの電極に印加すると、二酸化シリコン膜／窒化シリコン膜界面が正電荷で埋まり、この電荷は書込み動作が完了した後も保持される。その後ゲートコントロールダイオードからの読出しが行なわれると、チャネルが存在しないのでこのダイオードはブレークダウンしない。ほんのわずかな電流が流れる。異なる電流フローが感知されるので異なる論理状態を示すことになる。

【０００７】

種々のタイプの不揮発性メモリを形成するために使用する種々のプロセスを改善すると、先端ＣＭＯＳロジックプロセスのような広く使用されるプロセスの改善を遅れさせてしまう傾向がある。例えば、フラッシュＥＥＰＲＯＭデバイスのデバイス用などのプロセスは、標準先端ＣＭＯＳロジックプロセスよりも３０％多いマスク工程を使用する傾向にあり、これらのマスク工程の使用により、このようなデバイスに通常見られる高電圧発生回路、トリプルウェル、浮遊ゲート、ＯＮＯ層、及び特殊なソース及びドレイン接合に必要な種々の特殊な領域及び構造を形成する。従って、フラッシュデバイス用のプロセスは標準先端ＣＭＯＳロジックプロセスよりも一世代または二世代遅れたものとなり、ウェハ当たりのコストベースで約３０％高くつく傾向にある。別の例として、アンチフューズ用のプロセスは種々のアンチフューズ構造及び高電圧回路の形成に適したものでなければならないので、これも標準先端ＣＭＯＳプロセスよりも約一世代遅れたものとなる傾向にある。

【０００８】

一般的に、キャパシタ及びトランジスタのような金属－酸化膜－シリコン（ＭＯＳ）素子に使用する二酸化シリコン層の形成には細心の注意が求められる。二酸化シリコン層が集積回路の製造中または後に続く正常な動作の間にストレスを受けないことを保証するために高度なレベルで注意を払う必要があり、そうすることにより所望の素子特性を実現し、長期に亘って安定したものとする。製造中にどの位多くの注意を払うべきかについての一例が黒田による１９９３年８月３１日発行の特許文献３に開示されている。黒田は、拡散層及び分流器を使用してウェハ製造プロセス中にワード線に蓄積される電荷を放電させることを示している。この電荷蓄積を回避することにより、大きな電界をゲート絶縁膜に印加させないで、ワード線をゲート配線として使用するトランジスタの特性の変動及びゲート絶縁膜の劣化及びブレークダウンを防止できることが保証される。回路設計においてどの位多くの注意を払って正常回路動作中のトランジスタの二酸化シリコン層にストレスを与えないようにするかについての一例が田村らによる２００１年６月１９日発行の特許文献４に開示されている。田村らは、一の実施形態においてｐチャネルＭＯＳトランジスタと直列接続され、別の実施形態においてｎチャネルＭＯＳトランジスタと直列接続されたアンチフューズを有するアンチフューズ回路を開示している。アンチフューズをアンチフューズ回路の形成に通常必要な膜形成プロセスを追加することなく形成するが、田村らは別の問題に遭遇している。アンチフューズが一旦短絡してしまうと、それに直列接続されたトランジスタはトランジスタの二酸化シリコン層をブレークダウンさせるのに十分な高電圧に晒される。田村らは、第１のトランジスタがブレークダウン電位に晒されるのを回避するために回路に別のトランジスタを付加することを示している。

【先行技術文献】

【特許文献】

【０００９】
【特許文献１】米国特許第６，２１５，１４０号
【特許文献２】米国特許第４，０３７，２４３号
【特許文献３】米国特許第５，２４１，２００号
【特許文献４】米国特許第６，２４９，４７２号
【発明の概要】
【発明が解決しようとする課題】
【００１０】
有利な点として、本発明によるメモリセルは、データを保存電荷の形ではなくむしろセルに物理的に保存するため、極めて安定である。有利な点として、本発明によるこのようなセルを組み込んだメモリアレイは短時間で開発可能であり、より大きな密度を有し、そして低いウェハコストで形成することができる。何故なら、メモリセル及びそれに関連する回路は、多くの他のタイプの不揮発性メモリに固有の、より複雑でコストのかさむプロセスを使用するのではなく、標準先端ＣＭＯＳロジックプロセスを含む標準ＣＭＯＳプロセスを使用して形成し得るからである。
【課題を解決するための手段】
【００１１】
本発明の一実施形態によると、選択ライン及びアクセスラインを有したメモリアレイに使用可能なプログラマブル読み取り専用メモリセルであって、
ゲート、該ゲートの下方にあるゲート誘電体、及び、該ゲート誘電体及び前記ゲートの両方の下方にあるとともに、互いに離間する関係に配置されてチャネル領域をそれらの間に画定する第１不純物半導体領域及び第２不純物半導体領域を有するＭＯＳ電界効果トランジスタと、
ＭＯＳデータ記憶素子と、該ＭＯＳデータ記憶素子は導電性構造物、該導電性構造物の下方に設けられるとともに５０オングストローム未満の厚さを有する超薄膜ゲート酸化物誘電体、及び前記超薄膜ゲート酸化物誘電体及び前記導電性構造物の両方の下方にある第１不純物半導体領域を有することと、前記ＭＯＳデータ記憶素子の前記第１不純物半導体領域は前記ＭＯＳ電界効果トランジスタの前記第１不純物半導体領域に接続されていることと、
前記ＭＯＳ電界効果トランジスタの前記ゲートに接続される選択ラインセグメントと、
前記ＭＯＳ電界効果トランジスタの前記第２不純物半導体領域に接続される第１アクセスラインセグメントと、
前記ＭＯＳデータ記憶素子の前記導電性構造物に接続される第２アクセスラインセグメントとを備え、
前記ＭＯＳデータ記憶素子は、前記超薄膜ゲート酸化物誘電体及び前記導電性構造物の両方の下方にあるとともに、前記ＭＯＳデータ記憶素子の前記第１不純物領域に隣接する反転可能領域を備え、及び、前記ＭＯＳデータ記憶素子の超薄膜ゲート酸化物誘電体は、前記ＭＯＳデータ記憶素子の前記導電性構造物と前記反転可能領域の間に設けられ、かつ前記導電性構造物及び前記反転可能領域に接続し、
前記メモリセルは、前記導電性構造物と前記第１不純物半導体領域の間に書込み電圧を加えて前記反転可能領域に反転層を形成することによって、前記ＭＯＳデータ記憶素子の超薄膜ゲート酸化物誘電体をブレークダウンさせる結果、書込みが行われるべく形成され、
前記メモリセルは、前記導電性構造物と前記第１不純物半導体領域の間に読み出し電圧を加えて前記反転可能領域に反転層を形成する間に、前記ＭＯＳデータ記憶素子の超薄膜ゲート酸化物誘電体に流れる電流を検知することによって読み出しを行うべく形成されている、メモリセルを要旨とする。
【００１２】
さらなる実施形態によると、上記のメモリセルにおいて、前記ＭＯＳ電界効果トランジスタの前記ゲート誘電体及び前記ＭＯＳデータ記憶素子の前記超薄膜誘電体は共通の超薄

膜ゲート酸化膜層から形成され、前記メモリセルは、前記導電性構造物と前記第１不純物半導体領域の間に加えられる書込み電圧では前記ＭＯＳ電界効果トランジスタのゲートの下方にある超薄膜ゲート酸化物誘電体が破壊されないように形成されていることを要旨とする。

【００１３】

さらに、一実施形態によると、前記ＭＯＳ電界効果トランジスタの前記ゲート誘電体は前記ＭＯＳデータ記憶素子の前記超薄膜ゲート酸化物誘電体よりも厚い。

【図面の簡単な説明】

【００１４】

【図１】本発明によるメモリアレイの一部の概略を示す回路図。

【図２】図１に示すメモリアレイの一部の部分レイアウトを示す回路図。

【図３】図２に対応するメモリアレイの一部の集積回路構造の断面図。

【図４】図３の集積回路構造の変形例の断面図。

【図５】本発明による別のタイプのメモリアレイの一部の概略を示す回路図。

【図６】図５が示すメモリアレイの一部の部分レイアウトを示す回路図。

【図７】図６に対応するメモリアレイの一部の集積回路構造を示す断面図。

【図８】電圧を示す表。

【図９】電圧を示す表。

【図１０】電圧を示す表。

【図１１】実験装置の断面図。

【図１２】超薄膜ゲート酸化膜に一定電圧のストレスを加えたときの効果を示すグラフ。

【図１３】劣化が進行するときの超薄膜ゲート酸化膜の電流－電圧特性の種々の段階を示すグラフ。

【図１４】ｎチャネルＦＥＴ（反転）に対して測定した、６３％の信頼度水準でのブレークダウンに到る時間対ゲート電圧の特性を半対数目盛で示したグラフ。

【図１５】連続ブレークダウン現象を検出した後に測定したｎ型素子の電流－電圧特性を示すグラフ。

【図１６】半導体メモリのブロック模式図。

【図１７】半導体デバイスを示す回路図。

【図１８】半導体メモリを示す上面図。

【発明を実施するための形態】

【００１５】

これらの、そして他の利点は本発明の種々の実施形態により個々に、または全体として実現することができる。例えば本発明の一の実施形態は、選択ライン及びアクセスラインを有するメモリアレイに有用なプログラマブル読み取り専用メモリである。このメモリセルは、ＭＯＳ電界効果トランジスタと、このＭＯＳ電界効果トランジスタはゲート、ゲートの下方のゲート誘電体、ゲート誘電体及びゲートの両方の下方にあり、離間する関係に配置されてチャネル領域をそれらの間に画定する第１及び第２不純物半導体領域を有することと、ＭＯＳデータ記憶素子と、このＭＯＳデータ記憶素子は導電性構造物、導電性構造物の下方の超薄膜誘電体、及び超薄膜誘電体及び導電性構造物の両方の下方にある第１不純物半導体領域を有することと、ＭＯＳデータ記憶素子の第１不純物半導体領域はＭＯＳ電界効果トランジスタの第１不純物半導体領域に接続されることと、ＭＯＳ電界効果トランジスタのゲートに接続される選択ラインセグメントと、ＭＯＳ電界効果トランジスタの第２不純物半導体領域に接続される第１アクセスラインセグメントと、ＭＯＳデータ記憶素子の導電性構造物に接続される第２アクセスラインセグメントと、を備える。

【００１６】

本発明の別の実施形態は、選択ライン及びアクセスラインを有するメモリアレイに有用なプログラマブル読み取り専用メモリであり、このメモリセルは、２本のアクセスライン間のデータ記憶素子に直列に接続され、選択ラインの内の一つに接続されるゲートをさらに有する選択トランジスタを備え、データ記憶素子はデータを物理的に記憶するための超

薄膜誘電体を含む。

【００１７】

本発明のさらに別の実施形態は、プログラマブル読み取り専用メモリアレイを動作させる方法であり、このメモリアレイは、複数の行ライン、複数の列ライン、少なくとも一つのソースライン、及び行ラインと列ラインのそれぞれの交点に位置する複数のメモリセルを備え、メモリセルの各々は、列ラインの一つと少なくとも一つのソースラインの内の一つとの間のＭＯＳデータ記憶素子に直列に接続されるＭＯＳ電界効果トランジスタを備え、このＭＯＳトランジスタはさらに、行ラインの一つに接続されるゲートを有し、そしてＭＯＳデータ記憶素子はデータを物理的に記憶する超薄膜誘電体を備える。この方法においては、行ラインの内の１つの選択ラインに第１電圧を印加して、選択行ラインに接続されるゲートを有するＭＯＳ電界効果トランジスタの各々をオンにする工程と、列ラインの内の一の選択ラインに第２電圧を印加する工程と、少なくとも一つのソースラインに第３電圧を印加する工程とを備える。第２電圧及び第３電圧により、選択行ライン及び選択列ラインに接続されるメモリセルの超薄膜誘電体に、メモリセルの超薄膜誘電体をブレークダウンさせるのに十分な電位差を生じさせる。

【００１８】

ゲート酸化膜などの超薄膜誘電体の周りに構成するデータ記憶素子を有する半導体メモリセルを使用し、超薄膜誘電体にストレスを与えてブレークダウン（ソフトまたはハードブレークダウン）させ、メモリセルのリーク電流レベルを設定することにより情報を記憶する。メモリセルからの読出しは、セルが引き込む電流をセンスすることにより行なわれる。適切な超薄膜誘電体は、例えば約５０オングストローム厚さ以下の高品質ゲート酸化膜であり、この酸化膜は、例えば現在利用可能な先端ＣＭＯＳロジックプロセスにおいて普通に使用されている。このような酸化膜は一般的に、膜堆積、シリコン活性領域における酸化膜成長、またはこれらの組み合わせにより形成する。他の適切な誘電体には、酸化膜－窒化膜－酸化膜複合体、複合酸化膜などが含まれる。

【００１９】

以下の記載において、特定の形での詳細について多く説明することにより本発明の実施形態を完全に理解できる。しかしながらこの関連分野の当業者であれば、本発明は一つ、またはそれより多くの特定の形での詳細に関する説明を受けなくても実施することができる、或いは他の方法、構成要素、材料などにより実施することができることを理解できるであろう。他の例においては、本発明の態様が不明瞭にならないように、公知の構造、材料、または動作は詳細には示さない、或いは記載しない。

【００２０】

この明細書を通じて「一実施形態」または「一態様」と表現することにより、実施形態に関連する形で記載される特定の性能、構造、または特性が本発明の少なくとも一つの実施形態に含まれることを示唆している。このようにこの明細書を通じて色々な箇所で出てくる「一実施形態」または「一態様」という表現は、必ずしも全てが同じ実施形態を指しているのではない。また、特定の性能、構造、または特性は一つ以上の実施形態において適切であればどのような形にでも組み合わせることができる。

【００２１】

このような幾つかのメモリセルを含むメモリアレイ１００の任意の４×４部分の例を図１の模式図に示す。図１は１６個のメモリセルを示し、これらのメモリセルの各々は１個のＭＯＳトランジスタ及び１個のＭＯＳハーフトランジスタを含む。メモリセルは、例えば第１行Ｒ１と第１列Ｃ１の交点においてｎチャネルＭＯＳトランジスタ１１５を含み、このトランジスタはそのゲートが第１行ラインＲ１、そのソースがソースラインＳ１、そしてそのドレインがＭＯＳハーフトランジスタ１１１の一端子に接続される。

【００２２】

ＭＯＳトランジスタ１１５はこの明細書においては選択トランジスタとも呼ばれ、特定のメモリセルを「選択して」書込み又は読出しを行なうために使用する。以下の記載からわかるように、書込み工程の間、大きな電圧を選択トランジスタ及びＭＯＳハーフトラン

ジスタ１１１に印加してＭＯＳハーフトランジスタ１１１のゲート酸化膜をブレークダウンさせる。しかしながら、選択トランジスタのゲート酸化膜をブレークダウンさせることは望ましくない。従って、選択トランジスタのゲート酸化膜は、別の幾つかの実施形態においては、ＭＯＳハーフトランジスタ１１１のゲート酸化膜よりも厚い酸化膜となるように形成される。さらに、または別の形態として、選択トランジスタをブレークダウンに対してより大きな耐性を示すＩ／Ｏ素子に置き換えることができる。

【００２３】

ＭＯＳハーフトランジスタ１１１のゲートは列ラインＣ１に接続される。図１に示す他のメモリセルは、ハーフトランジスタートランジスタの組１１２，１１６と、１１３，１１７と、１１４，１１８と、１２５，１２１と、１２６，１２２と、１２７，１２３と、１２８，１２４と、１３１，１３５と、１３２，１３６と、１３３，１３７と、１３４，１３８と、１４５，１４１と、１４６，１４２と、１４７，１４３と、１４８，１４４とから形成される。

【００２４】

ＭＯＳハーフトランジスタは次のように動作する。書込み又は読出しの間、（ｐ型活性領域用の）正の電圧をキャパシタの一端子であるゲートに印加する。ゲートはキャパシタの一のプレートとして機能し、そしてｎ型反転層をゲート下に形成する機能も有する。反転層はキャパシタの他のプレートとして機能し、そしてソース／ドレイン領域とともにキャパシタの第２端子を形成する。

【００２５】

図１のアレイ１００のハーフトランジスタ型データ記憶素子を使用すると、ハーフトランジスタを多くの従来のＭＯＳ及びＣＭＯＳプロセスを使用して形成することができ、このプロセスに一切マスク工程を追加することがないので有利である。しかしながら、必要に応じて他のタイプの超薄膜誘電体データ記憶素子を使用することができる。例えば、キャパシタ型データ記憶素子はいずれの方向にも書込みを行なうことができ、そして超薄膜誘電体にストレスを加えると抵抗が小さくなるという利点があるが、幾つかのプロセスでは余分のマスク工程が必要となる。ハーフトランジスタ型データ記憶素子を図３の断面図に示し、キャパシタ型データ記憶素子を図４の断面図に示す。

【００２６】

メモリアレイ１００の４×４部分のみを示すが、実際はそのようなメモリアレイは、例えば先端０．１３マイクロメートルＣＭＯＳロジックプロセスを使用して形成する場合に約１ギガビットオーダーのメモリセルを含み、そしてＣＭＯＳロジックプロセスがさらに改善されると、より大規模のメモリを実現することができる。メモリ１００は実際にはバイト単位及びページ単位及び冗長行（図示せず）に配置するが、所望の形であればどのように配置してもよい。多くの適切なメモリ配置方法がこの技術分野で公知になっている。

【００２７】

図２はメモリアレイ１００の一部の部分レイアウト図を示し、図３は例示としてのＭＯＳ集積回路３００の断面を示し、この断面により、図２のレイアウト図に従ってトランジスターハーフトランジスタペア１１５及び１１１、及び１２１及び１２５により形成されるペアメモリセルに対応するＭＯＳ集積回路の基本的な構造形態が示される。図２のレイアウト図は、例えば先端ＣＭＯＳロジックプロセスに適している。この明細書で使用する「ＭＯＳ」とはその文字の通り、金属－酸化膜－シリコンを意味する。文字「Ｍ」は「金属」ゲート構造を表し、そして文字「Ｏ」は酸化膜を表し、ＭＯＳという用語は、不純物のドープされたポリシリコン及び他の良好な導電体を含むあらゆるゲート材料だけでなく、二酸化シリコンに限定されない種々の異なるタイプのゲート誘電体に関するものとして一般的に理解され、そしてこの用語はこの明細書ではその意味で使用される。例えば、誘電体は酸化膜または窒化膜のようなどのようなタイプの誘電体であってもよく、この誘電体は或る時間の間に亘って電圧が印加されるとハードまたはソフトブレークダウンを起こす。一の実施形態においては、約５０オングストロームの厚さの熱成長ゲートシリコン酸化膜を使用する。

【００２８】
メモリアレイ１００は格子の形状にレイアウトすることが好ましく、この場合Ｃ１及びＣ２のような列ラインがＲ１、Ｒ２、Ｒ３及びＲ４のような行ラインだけでなく拡散ソースラインにも直交する。パターン２１３（図２）を含む活性領域マスクを使用して酸化膜トレンチ３０２及び３１４（図３）を含む酸化膜絶縁構造を形成し、そして３１３（図３）のような活性領域を画定するが、この活性領域にはメモリアレイの種々のトランジスタ、ハーフトランジスタ及び拡散ソースラインが含まれることになる。行ラインＲ１と列ラインＣ１の交点のＭＯＳハーフトランジスタ１１１及びＭＯＳトランジスタ１１５、及び行ラインＲ２と列ラインＣ１の交点のＭＯＳハーフトランジスタ１２５及びＭＯＳトランジスタ１２１は次の方法によりｐウェル活性領域３１３に形成される。

【００２９】
超薄膜ゲート酸化膜層３１２を形成した後にポリシリコンの成膜とポリシリコンへのドーピングが続き、このポリシリコンは、２１１，２１４，２２１，２２４などの、ハーフトランジスタ１１１，１２５のゲート３１１，３０１（だけでなくハーフトランジスタ１１２及び１２６、及び他のハーフトランジスタのゲート（図示せず））用のパターン、及び選択トランジスタ１１５，１２１，１１６，１２２（だけでなく他の選択トランジスタ）のゲートとしても機能するＲ１及びＲ２のような行ラインＲ１及びＲ２用のＲ１及びＲ２のようなパターンを含むゲートマスクを使用してパターニングされる。種々のソース及びドレイン領域をＮＬＤＤ（Ｎ型低濃度ドープドレイン）プロセス工程（注入、スペーサ、及びn^+ソース／ドレイン注入）により形成し、n^+領域３０６，３０８，３１０を形成する。領域３０８も拡散ソースラインの一部である。パターン２１０，２１５，２２０及び２２５（図２）を含むコンタクトマスクを使用してゲート３０１，３１１（図３）、及び他のゲート（図示せず）にコンタクトするコンタクトビアを形成する。メタルマスクはＣ１，Ｃ２などの列ラインを形成するＣ１及びＣ１（図２）で示す破線パターンを含み、これらの列ラインはＲ１、Ｒ２、Ｒ３及びＲ４のようなポリシリコン行ラインだけでなく拡散ソースラインに直交する。メモリ１００の他のトランジスターハーフトランジスタペアは同じ方法で同時に形成される。

【００３０】
図４は例示としてのＭＯＳ集積回路４００の断面を示し、この断面はＭＯＳ集積回路の基本的な構造形態を示している。断面４００は、図３のハーフトランジスタ１２５及び１１１を別のタイプの超薄膜誘電体データ記憶素子、すなわちキャパシタ４２５及び４１１で置き換えたことを除いて図３の断面３００と同様である。行ラインＲ１と列ラインＣ１の交点のキャパシタ４１１はポリシリコンゲート３１１により形成し、このポリシリコンゲートにはパターン２１０で画定されるメタルコンタクトがコンタクトし、そしてこのポリシリコンゲートはゲート酸化膜３１２及び深く拡散したn^+領域４１０を覆う。同様に、行ラインＲ２と列ラインＣ１の交点のキャパシタ４２５はポリシリコンゲート３０１により形成し、このポリシリコンゲートにはパターン２１５で画定されるメタルコンタクトがコンタクトし、そしてこのポリシリコンゲートはゲート酸化膜３１２及び深く拡散したn^+領域４０６を覆う。

【００３１】
n^+領域４０６及び４１０により、電流を流すために反転層の形成状態に依存する図３のハーフトランジスタ１２５及び１１１に比べて、キャパシタ４２５及び４１１が非常に低い抵抗の導電状態を有することができる。キャパシタ４２５及び４１１の別の利点は、電流をいずれかの方向に流すことによりこれらに書込みを行なうことができるということである。キャパシタ４０６及び４１０の不利な点は、これらが通常、商業化レベルで利用されているプロセスの変更を必要とし、マスク工程及び／又は注入工程を追加する必要があることである。例えば、n^+領域４０６及び４１０の形成に適した技術として、ゲートポリシリコン成膜前に埋込みn^+注入層を形成する、またはポリシリコン成膜及びエッチング後に注入不純物を側方に拡散させて埋込みn^+注入層を形成するという方法を使用する。n^+領域４０６及び４１０は、それらと一体化した不純物領域３０６及び３１０より

も深く拡散しているように示されているが、この拡散深さは所望通りに変えることができる。

【００３２】

メモリアレイ１００の変形は図５に示すメモリアレイ５００であり、この図にはメモリセルの大規模なメモリアレイの任意の４×４部分を示しており、メモリセルの各々は一のＭＯＳトランジスタ及び一のＭＯＳハーフトランジスタを含んでいる。例えば、第１行Ｒ１と第１列Ｃ１の交点のメモリセルはｎチャネルＭＯＳトランジスタ５１５を含み、このトランジスタはそのゲートが行ラインＲ１、そのドレインが第１列Ｃ１、そしてそのソースがＭＯＳハーフトランジスタ５１１の一端子に接続される。ＭＯＳハーフトランジスタ５１１のゲート端子はソースラインＳ１に接続される。図１に示す他のメモリセルは同様のハーフトランジスタートランジスタの組み５１２，５１６と、５１３，５１７と、５１４，５１８と、５２１，５２５と、５２２，５２６と、５２３，５２７と、５２４，５２８と、５３１，５３５と、５３２，５３６と、５３３，５３７と、５３４，５３８と、５４１，５４５と、５４２，５４６と、５４３，５４７と、５４４，５４８とにより形成される。

【００３３】

図１のメモリアレイの場合のように、ＭＯＳキャパシタを図５のメモリアレイのＭＯＳハーフトランジスタ５１１に代えて使用することができる。

図６はメモリアレイ５００の一部の部分レイアウト図６００を示し、そして図７は例示としてのＭＯＳ集積回路７００の断面を示し、この断面により、図５のレイアウト図に従ってトランジスターハーフトランジスタの組５１５，５１１と、５２５，５２１とにより形成されるペアメモリセルに対応するＭＯＳ集積回路の基本的な構造形態が示される。図６のレイアウト図は、例えば先端ＣＭＯＳロジックプロセスに適している。メモリアレイ５００は格子の形状にレイアウトすることが好ましく、この場合Ｃ１及びＣ２のような列ラインがＲ１，Ｒ２，Ｒ３，Ｒ４などの行ラインだけでなくＳ１のようなソースラインにも直交する。パターン６１２，６１４，６２２，６２４（図６）を含むｎ$^+$拡散及び活性領域マスクを使用して酸化膜トレンチ７０４（図７）を含む酸化膜絶縁構造を形成し、そして７１０（図７）のような活性領域を画定するが、この活性領域にはメモリアレイの種々のトランジスタ及びハーフトランジスタが含まれることになる。行ラインＲ１と列ラインＣ１の交点のＭＯＳハーフトランジスタ５１１及びＭＯＳトランジスタ５１５、及び行ラインＲ２と列ラインＣ１の交点のＭＯＳハーフトランジスタ５２１及びＭＯＳトランジスタ５２５は次の方法によりｐウェル活性領域７１０に形成される。超薄膜ゲート酸化膜層７０２を形成した後にポリシリコンの成膜とポリシリコンへのドーピングが続き、このポリシリコンは、選択トランジスタ５１５，５２５，５１６及び５２６、及びハーフトランジスタ５１１，５２１，５１２及び５２２のゲートとして機能するＲ１，Ｓ１及びＲ２のようなパターンを含むゲートマスクを使用してパターニングされる。種々のソース及びドレイン領域をＮＬＤＤ（Ｎ型低濃度ドープドレイン）プロセス工程（注入、スペーサ、及びｎ$^+$ソース／ドレイン注入）により形成すると、ｎ$^+$領域７１２，７１４，７１６及び７１８が形成される（図７）。パターン６１０，６１６，６２０及び６２６（図６）を含むコンタクトマスクを使用してドレイン７１２及び７１８（図７）だけでなく他のドレイン（図示せず）にコンタクトするコンタクトビアを形成する。メタルマスクはＣ１及びＣ２（図６）で示す破線パターンを含み、これらのパターンによりＣ１及びＣ２のような列ラインを形成し、これらの列ラインはＲ１、Ｒ２、Ｒ３及びＲ４のようなポリシリコン行ラインだけでなくＳ１のようなポリシリコンソースラインに直交する。メモリ５００の他のトランジスターハーフトランジスタペアは同じ方法で同時に形成される。

【００３４】

次に、メモリアレイ１００の動作を図８の例示としての電圧を参照しながら説明する。これらの電圧は例示であり、そして異なる電圧は異なる用途において、または異なるプロセス技術を使用する場合に使用される可能性がある。書込み動作の間、メモリアレイ１００の種々のメモリセルには、図８の行８０１，８０２，８０３，８０４に示す４つの可能

な電圧組み合わせの内の一つが印加される。読出し電圧は行８０５，８０６，８０７，８０８に示される。

【００３５】

選択行及び選択列（「ＳＲ／ＳＣ」）をＲ１及びＣ１とし、これによりトランジスタ１１５及びハーフトランジスタ１１１が構成するメモリセルに書込みを行なうものとする。行８０１に示すように、行ラインＲ１の電圧は２．５Ｖ、そしてソースラインＳ１の電圧は０Ｖであり、これらの電圧はトランジスタ１１５をオンさせ、そしてトランジスタ１１５のドレインを０Ｖにするのに十分である。列ラインＣ１の電圧は７．０Ｖであり、この電圧によりハーフトランジスタ１１１の両端に７Ｖの電位差を生じさせる。ハーフトランジスタ１１１のゲート酸化膜２１２はこの電位差によりブレークダウンするように設計されており、このブレークダウンによりメモリセルに書込みが行なわれる。ハーフトランジスタ１１１がブレークダウンすると、その結果として得られる導電パスは十分な抵抗値を示すことになり、トランジスタ１１５のゲート酸化膜２１２は劣化またはブレークダウンしない。一例として、幾つかの装置においては、トランジスタ１１５のチャネル抵抗は約１０ＫΩオーダーであり、ブレークダウンした酸化膜の抵抗は約１００ＫΩ超のオーダーである。

【００３６】

Ｒ１及びＣ１が選択行及び選択列である場合、トランジスタ１１６及びハーフトランジスタ１１２が構成し、選択行と非選択列（「ＳＲ／ＵＣ」）の交点に位置するメモリセルに与える衝撃を考える。行８０２に示すように、行ラインＲ１の電圧は２．５Ｖであり、そしてソースラインＳ１の電圧は０Ｖであり、この行ライン電圧はトランジスタ１１６をオンさせ、そしてトランジスタ１１５のドレインを０Ｖにするのに十分である。しかしながら、列ラインＣ２の電圧は０Ｖであり、この電圧によりハーフトランジスタ１１２の両端の電位差が０Ｖとなる。メモリセルに書込みは行なわれない。

【００３７】

Ｒ１及びＣ１が選択行及び選択列である場合、トランジスタ１２１及びハーフトランジスタ１２５が構成し、非選択行と選択列（「ＵＲ／ＳＣ」）の交点に位置するメモリセルに与える衝撃を考える。行８０３に示すように、行ラインＲ２の電圧は０Ｖであり、そしてソースラインＳ１の電圧は０Ｖであるので、トランジスタ１２１はオンせず、そしてトランジスタ１２１のドレインとハーフトランジスタ１２５との間のノードはフローティングとなる。列ラインＣ１の電圧は７．０Ｖであり、この電圧によりハーフトランジスタ１２５の両端に約４Ｖ未満の電位差を生じさせる。メモリセルに書込みは行なわれず、そして電流を流さない約４Ｖ未満の電位差は、ハーフトランジスタ１２５またはトランジスタ１２１のいずれに対しても、そのゲート酸化膜に損傷を与える、またはゲート酸化膜を劣化させるのには十分ではない。

【００３８】

Ｒ１及びＣ１が選択行及び選択列である場合、トランジスタ１２２及びハーフトランジスタ１２６が構成し、非選択行と非選択列（「ＵＲ／ＵＣ」）の交点に位置するメモリセルに与える衝撃を考える。行８０４に示すように、行ラインＲ２の電圧は０Ｖであり、そしてソースラインＳ１の電圧は０Ｖであるので、トランジスタ１２２はオンしない。列ラインＣ２の電圧も０Ｖであるので、ハーフトランジスタ１２６の両端には電位差は生じない。メモリセルに書込みは行なわれない。

【００３９】

メモリアレイ１００からの読出しは次のように行なわれる。２．５Ｖの読出し選択電圧を選択行（「ＳＲ」）に印加し、そして１．５Ｖの読出し列選択電圧を選択列（「ＳＣ」）に印加する。非選択行（「ＵＲ」）である他の全ての行及び非選択列（「ＵＣ」）である他の全ての列を０Ｖに設定する。Ｒ１及びＣ１を選択行及び選択列（「ＳＲ／ＳＣ」）とし、トランジスタ１１５及びハーフトランジスタ１１１が構成するメモリセルに書込みが行なわれているとする。行８０５に示すように、２．５Ｖ（読出し選択電圧）をトランジスタ１１５のゲートに行ラインＲ１を通して印加し、そして０Ｖをソースにソースライ

ンＳ１を通して印加して１．５Ｖの電位の列ラインＣ１から電流を引くことによってメモリセルに書込みが行なわれていることが判明する。メモリセルに書込みが行なわれていない場合、電流が流れないことによってメモリセルに書込みが行なわれていないことが判明する。

【００４０】

非選択行または非選択列のいずれかを有する交点のメモリセルは電流を引き込まない。選択行ラインと非選択列ラインの場合に対応する行８０６に示すように、２．５Ｖをメモリセルのトランジスタのゲートに印加するが、列ラインに０Ｖが印加されていると、電流は流れない。非選択行ラインと選択列ラインの場合に対応する行８０７に示すように、０Ｖをメモリセルのトランジスタのゲートに印加する。列ラインには１．５Ｖが印加されているが、トランジスタはオフしたままであるので電流は流れない。非選択行ラインと非選択列ラインの場合に対応する行８０８に示すように、０Ｖをメモリセルのトランジスタのゲートに印加し、そして列ラインに０Ｖが印加されているので電流は流れない。

【００４１】

次にメモリアレイ５００の動作について図９，１０に示す電圧を参照しながら説明する。これらの電圧は例示であり、そして異なる用途においては、または異なるプロセス技術を使用する場合には異なる電圧を使用することも可能である。また、図８，９，１０の表に示す電圧は異なるが、種々の電圧の背景にある原理は同じであり、そして有用な電圧の範囲を示唆していることも理解され得るものと思われる。

【００４２】

まず、図９の表に示す例示としての書込み電圧について考える。これらの電圧は、ハーフトランジスタが超薄膜ゲート酸化膜を含む一方で、選択トランジスタが５０オングストローム超のゲート酸化膜厚を有する入力／出力型素子である場合に適する。書込み動作中において、メモリアレイ５００の種々のメモリセルには、図９の行９０１，９０２，９０３及び９０４に示す４つの考えられる電圧組み合わせの内の一つが印加される。全ての電圧組み合わせに共通するのは、ソースラインＳ１電圧の値が０Ｖであることである。

【００４３】

選択行及び選択列（「ＳＲ／ＳＣ」）をＲ１及びＣ１とし、これによりトランジスタ５１５及びハーフトランジスタ５１１が構成するメモリセルに書込みを行なうものとする。行９０１に示すように、行ラインＲ１の電圧は７．０Ｖ、そして列ラインＣ１の電圧は７．０Ｖであるので、ゲート及びドレインに７．０Ｖの電圧が掛かり、トランジスタ５１５をオンさせるのに十分である。トランジスタ５１５のソースは７．０Ｖからトランジスタ５１５の両端のほんの少しの電圧降下を差し引いた電圧となり、これによりハーフトランジスタ５１１の両端には６．６Ｖの電位差が生じる。ハーフトランジスタ５１１のゲート酸化膜７１２はこの電位差によりブレークダウンするように設計されており、このブレークダウンによりメモリセルに書込みが行なわれる。ハーフトランジスタ５１１がブレークダウンすると、その結果として得られる導電パスは十分な抵抗値を示すことになり、トランジスタ５１５のゲート酸化膜７１２は劣化またはブレークダウンしない。

【００４４】

Ｒ１及びＣ１が選択行及び選択列である場合、トランジスタ５１６及びハーフトランジスタ５１２が構成し、選択行と非選択列（「ＳＲ／ＵＣ」）の交点に位置するメモリセルに与える衝撃を考える。行９０２に示すように、行ラインＲ１の電圧は７．０Ｖであり、そして列ラインＣ１の電圧は０Ｖであるので、ゲートに７．０Ｖが掛かり、そしてトランジスタ５１６をオンさせるのに十分であり、トランジスタ５１６のソースをほぼ列ラインＣ２の電圧、すなわち０Ｖにする。ハーフトランジスタ５１２の両端に生じる電位差は約０Ｖであるので、メモリセルに書込みは行なわれない。

【００４５】

Ｒ１及びＣ１が選択行及び選択列である場合、トランジスタ５２５及びハーフトランジスタ５２１が構成し、非選択行と選択列（「ＵＲ／ＳＣ」）の交点に位置するメモリセルに与える衝撃を考える。行９０３に示すように、行ラインＲ２の電圧は０Ｖであり、そし

て列ラインＣ１の電圧は７．０Ｖであるので、ゲートに０Ｖが掛かり、そしてドレインには７．０Ｖが掛かる。ドレインの電位とソースラインＳ１の電位との間の７．０Ｖ差がトランジスタ５２５とハーフトランジスタ１２５との間でほぼ分割されて４Ｖ未満の電圧がハーフトランジスタ５２１のゲート酸化膜の両端に生じるが、トランジスタ５２５はオンしない。メモリセルに書込みは行なわれず、そして電流を流さない４Ｖ未満の電位差ではハーフトランジスタ５１２またはトランジスタ５２５のいずれに対しても、それらのゲート酸化膜に損傷を与える、またはゲート酸化膜を劣化させるのには十分ではない。

【００４６】

Ｒ１及びＣ１が選択行及び選択列である場合、トランジスタ５２６及びハーフトランジスタ５２２が構成し、非選択行と非選択列（「ＵＲ／ＵＣ」）の交点に位置するメモリセルに与える衝撃を考える。行９０４に示すように、行ラインＲ２の電圧は０Ｖであり、そしてドレインラインＣ２の電圧は０Ｖであるので、トランジスタ５２６はオンしない。ソースラインＳ１の電圧も０Ｖであるので、ハーフトランジスタ５２２の両端には電位差は生じない。メモリセルに書込みは行なわれない。

【００４７】

次に図１０の表に示す例示としての書込み電圧について考える。これらの電圧は、ハーフトランジスタ及び選択トランジスタが共に超薄膜ゲート酸化膜を含む場合に適する。書込み動作中において、メモリアレイ５００の種々のメモリセルには、図１０の行１００１，１００２，１００３及び１００４に示す４つの考えられる電圧組み合わせの内の一つが印加される。全ての電圧組み合わせに共通するのは、ソースラインＳ１電圧の値が－４．５Ｖであることである。

【００４８】

選択行及び選択列（「ＳＲ／ＳＣ」）をＲ１及びＣ１とし、これによりトランジスタ５１５及びハーフトランジスタ５１１が構成するメモリセルに書込みを行なうものとする。行１００１に示すように、行ラインＲ１の電圧は２．５Ｖ、そして列ラインＣ１の電圧は２．５Ｖであるので、ゲート及びドレインに２．５Ｖの電圧が掛かり、トランジスタ５１５をオンさせるのに十分である。トランジスタ５１５のソースは２．５Ｖからトランジスタ５１５の両端のほんの少しの電圧降下を差し引いた電圧となり、これによりハーフトランジスタ５１１の両端には６．６Ｖの電位差が生じる。ハーフトランジスタ５１１のゲート酸化膜７１２はこの電位差によりブレークダウンするように設計されており、このブレークダウンによりメモリセルに書込みが行なわれる。ハーフトランジスタ５１１がブレークダウンすると、その結果として得られる導電パスは十分な抵抗値を示すことになり、トランジスタ５１５のゲート酸化膜７１２は劣化またはブレークダウンしない。

【００４９】

Ｒ１及びＣ１が選択行及び選択列である場合、トランジスタ５１６及びハーフトランジスタ５１２が構成し、選択行と非選択列（「ＳＲ／ＵＣ」）の交点に位置するメモリセルに与える衝撃を考える。行１００２に示すように、行ラインＲ１の電圧は２．５Ｖであり、そして列ラインＣ１の電圧は０Ｖであるので、ゲートに２．５Ｖが掛かり、そしてトランジスタ５１６をオンさせるのに十分であり、トランジスタ５１６のソースをほぼ列ラインＣ２の電圧、すなわち０Ｖにする。ハーフトランジスタ５１２の両端の電位差は約４．０Ｖであるので、メモリセルに書込みは行なわれない。

【００５０】

Ｒ１及びＣ１が選択行及び選択列である場合、トランジスタ５２５及びハーフトランジスタ５２１が構成し、非選択行と選択列（「ＵＲ／ＳＣ」）の交点に位置するメモリセルに与える衝撃を考える。行１００３に示すように、行ラインＲ２の電圧は０Ｖであり、そして列ラインＣ１の電圧は２．５Ｖであるので、ゲートに０Ｖが掛かり、そしてドレインには２．５Ｖが掛かる。ドレインの電位とソースラインＳ１の電位との間の６．５Ｖ差がトランジスタ５２５とハーフトランジスタ１２５との間でほぼ分割されて４Ｖ未満の電圧がハーフトランジスタ５２１のゲート酸化膜の両端に生じる。メモリセルに書込みは行なわれず、そして電流を流さない４Ｖ未満の電位差ではハーフトランジスタ５１２またはト

ランジスタ５２５のいずれに対しても、それらのゲート酸化膜に損傷を与える、またはゲート酸化膜を劣化させるのには十分ではない。

【００５１】

Ｒ１及びＣ１が選択行及び選択列である場合、トランジスタ５２６及びハーフトランジスタ５２２が構成し、非選択行と非選択列（「ＵＲ／ＵＣ」）の交点に位置するメモリセルに与える衝撃を考える。行１００４に示すように、行ラインＲ２の電圧は０Ｖであり、そしてドレインラインＣ２の電圧は０Ｖであるので、トランジスタ５２６はオンしない。ソースラインＳ１の電圧は－４．５Ｖであるので、ハーフトランジスタ５２２の両端の電位差は４Ｖ未満である。メモリセルに書込みは行なわれず、そして電流を流さない４Ｖ未満の電位差ではハーフトランジスタ５２２またはトランジスタ５２６のいずれに対しても、それらのゲート酸化膜に損傷を与える、またはゲート酸化膜を劣化させるのには十分ではない。

【００５２】

図９の表または図１０の表の書込み電圧を使用するかどうかに係わらず、メモリアレイ５００からの読出しは次のようにして行なわれる。２．５Ｖの読出し選択電圧が選択行（「ＳＲ」）に掛かり、そして１．５Ｖの読出し列選択電圧が選択列（「ＵＲ」）に掛かる。非選択行（「ＵＲ」）である他の全ての行、及び非選択列（「ＵＣ」）である他の全ての列は０Ｖに設定される。Ｒ１及びＣ１を選択行及び選択列（「ＳＲ／ＳＣ」）とし、トランジスタ５１５及びハーフトランジスタ５１１が構成するメモリセルが書込まれているとする。行９０５及び１００５に示すように、２．５Ｖ（読出し選択電圧）をトランジスタ５１５のゲートに行ラインＲ１を通して印加し、そして１．５Ｖをドレインに列ラインＣ１を通して印加して列ラインＣ１から電流を引くことによりメモリセルに書込みが行なわれていることが判明する。メモリセルに書込みが行なわれていない場合、電流は流れないのでメモリセルに書込みが行なわれていないことが判明する。

【００５３】

非選択行または非選択列のいずれかを有する交点のメモリセルは電流を引き込まない。選択行ラインと非選択列ラインの場合に対応する行９０６及び１００６に示すように、２．５Ｖをメモリセルのトランジスタのゲートに印加するが、列ラインには０Ｖが印加されているので電流は流れない。非選択行ラインと選択列ラインの場合に対応する行９０７及び１００７に示すように、０Ｖをメモリセルのトランジスタのゲートに印加する。列ラインには１．５Ｖが印加されているが、トランジスタはオフしたままであるので電流は流れない。非選択行ラインと非選択列ラインの場合に対応する行９０８及び１００８に示すように、０Ｖをメモリセルのトランジスタのゲートに印加し、そして列ラインには０Ｖが印加されているので電流は流れない。

【００５４】

アレイ１００（図１）及びアレイ５００（図５）に示すメモリセルとは異なる配列に対して行なわれた、酸化膜ブレークダウンについての種々の研究により、超薄膜ゲート酸化膜をブレークダウンさせてそのブレークダウンを制御可能にする適切な電圧レベルが示されている。超薄膜ゲート酸化膜が電圧誘起ストレスに晒されると、ゲート酸化膜にブレークダウンが生じる。ゲート酸化膜に固有のブレークダウンに至る実際のメカニズムは良くは解明されていないが、ブレークダウンプロセスは進行型のプロセスであり、ソフトブレークダウン（「ＳＢＤ」）段階を通ってハードブレークダウン（「ＨＢＤ」）段階に至る。ブレークダウンの原因の一つは酸化膜の欠陥サイトであると考えられている。これらの欠陥サイトだけでブレークダウンを生じさせるように作用する、またはこれらの欠陥サイトが電荷をトラップして局所的な高電界及び高電流を、そして熱暴走に至らしめる正のフィードバック状態を生じさせる。より少ない酸化膜欠陥を実現する改良型形成プロセスによりこの種のブレークダウンの発生を減らすことができる。ブレークダウンの別の原因は、欠陥の無い酸化膜においても見られる種々のサイトにおける電子とホールのトラップと考えられ、これによっても熱暴走に至る。

【００５５】

ラスラスらはキャリア分離実験を行なって、正のゲートバイアスでの基板における電子衝撃イオン化現象が基板ホール電流の支配的供給源であることを示した（マームード ラスラス（Ｍａｈｍｏｕｄ Ｒａｓｒａｓ）、イングリッド ドゥウルフ（Ｉｎｇｒｉｄ Ｄｅ Ｗｏｌｆ）、ギド グルーセネケン（Ｇｕｉｄｏ Ｇｒｏｅｓｅｎｅｋｅｎ）、ロビン デグレーヴ（Ｒｏｂｉｎ Ｄｅｇｒａｅｖｅ）、 ハーマン イー．マエス（Ｈｅｒｍａｎ ｅ． Ｍａｅｓ）による「酸化膜ブレークダウン後の基板ホール電流源」ＩＥＤＭ ００－５３７ ２０００参照）。一定電圧ストレス実験をチャネル反転を含む配列の超薄膜酸化膜に対して行い、そしてこの実験によりＳＢＤ及びＨＢＤを共にデータ記憶に使用し、そして所望レベルのＳＢＤまたはＨＢＤが、ゲート酸化膜記憶素子がストレスを受ける時間を制御することにより得られることが確認できた。図１１は実験装置の模式断面図を示している。超薄膜ゲート酸化膜に一定電圧ストレスを加えると図１２のグラフに示す現象が観察されるが、図１２では、ｘ軸が秒単位の時間を表し、ｙ軸は電流をアンペア単位で対数で表す。図１２は、一定電圧ストレスを加えた状態で、ソフト及びハードブレークダウン前後で測定したゲート－基板間ホール電流を示す。凡そ１２．５秒間に亘って、合計電流は実質的に一定であり、I_gにより測定される電子電流が支配的となる。リークはファウラー・ノードハイム（Ｆｏｗｌｅｒ－Ｎｏｒｄｈｅｉｍ：「ＦＮ」）トンネル及びストレス誘起リーク電流（「ＳＩＬＣ」）が原因であると考えられる。約１２．５秒の時点で測定基板ホール電流に大きなジャンプが見られ、ソフトブレークダウン（「ＳＢＤ」）開始の兆候を示している。合計電流は、基板電流に揺らぎが見られるものの、約１２．５秒から約１９秒に亘って実質的にこの新規のレベルで一定のままである。約１９秒の時点での電子電流及び基板ホール電流の両方の大きなジャンプが、ハードブレークダウン（「ＨＢＤ」）開始の兆候を示している。図１０は、所望レベルのＳＢＤまたはＨＢＤが、ゲート酸化膜記憶素子がストレスを受ける時間を制御することにより得られることを示している。

【００５６】

スーンらは超薄膜二酸化シリコン膜のＳＢＤ後の伝導について研究した（ジョルディ スーン（Ｊｏｒｄｉ Ｓｕｎｅ）、エンリク ミランダ（Ｅｎｒｉｑｕｅ Ｍｉｒａｎｄａ）による「SiO_2ゲート酸化膜のソフトブレークダウン後の伝導」ＩＥＤＭ ００－５３３，２０００参照）。劣化が進んでいるときの超薄膜ゲート酸化膜の電流－電圧（「Ｉ－Ｖ」）特性の種々の段階を図１３に示すが、この図においてｘ軸はボルト単位の電圧を表し、ｙ軸は電流をアンペア単位で対数で表す。図１３は、広範囲の電圧を使用してゲート酸化膜記憶素子に書込みを行ない、そしてＳＢＤまたはＨＢＤのいずれかを利用してゲート酸化膜記憶素子に情報を記憶することを示している。この図にはブレークダウン後の幾つかのＩ－Ｖ特性も含まれ、ＳＢＤからＨＢＤへの進行を示している。ＳＢＤ及びＨＢＤだけでなくこれらの２つの両極端の中間の状態でのリーク電流量はラフに見て約２．５Ｖ～６Ｖの範囲における電圧の大きさにリニアに変化する。

【００５７】

Ｗｕらは超薄膜酸化膜に対する印加電圧を増やして行った場合の電圧依存性について研究した（イー．ワイ．ウー（Ｅ．Ｙ．Ｗｕ）らによる「超薄膜酸化膜における電圧依存－電圧加速型酸化膜ブレークダウン」，ＩＥＤＭ ００－５４１， ２０００参照）。図１４は、６３％の信頼度水準（T_{BD}の値がばらつきのある測定値として得られ、小さい値から順に並べて６３％のところの時間を指す）でのブレークダウンに到る時間対ゲート電圧のグラフを半対数目盛で示したものであり、酸化膜厚が２．３ｎｍ～５．０ｎｍの範囲で変化するｎチャネルＦＥＴ（反転）を測定して得られたものである。分布はほぼ一致していてリニアであり、さらにプロセスが制御可能であることを示している。

【００５８】

ミランダらは、連続ブレークダウンを検出した後の、酸化膜厚が３ｎｍで、６．４×10^{-5}ｃｍ^{2}の面積のｎＭＯＳＦＥＴ素子のＩ－Ｖ特性を測定した――ミランダらによる「SiO_2膜の複数ブレークダウンパスを通るリーク電流の解析モデル」，ＩＥＥＥ 第３９回 アニュアル インターナショナル リライアビリティ フィジックス シンポジ

ウム、フロリダ州オーランド、２００１年、第３６７～３７９ページ参照）。図１５はリニア領域に対応する結果を示し、このリニア領域では「Ｎ」は導電チャネルの数である。結果は全くリニアであり、パスが基本的に抵抗性であることを示している。

【００５９】

図１に示すメモリアレイ１００は実際には、センスアンプ、プルアップ回路、ワードラインアンプ、センスアンプ、デコーダ、電圧乗算器など多くの他の公知の構成要素を含むメモリ集積回路の一部である。例示としてのメモリ１６００を図１６に示し、そしてこのメモリは、制御ロジック１６０２、アドレスラッチ１６０４、高電圧ポンプ１６０６、Ｙデコーダ１６０８、Ｘデコーダ１６１０、入出力バッファ１６１２、センスアンプ１６１４、及びメモリアレイ１００またはメモリアレイ５００に類似するメモリセルアレイ１６１６を含む。高電圧ポンプ１６０６は図８及び９の表に示し、７．０Ｖといった高い書込み電圧を必要とする或る種の配列において有用である。高電圧は要求通りにラインに供給される。図１６においては、高電圧は、図８の表の数値配列が示すように、列またはＹラインにのみ必要である。これらの構成要素、及び動作パラメータが明確に定義されたメモリアレイと関連する形でのこれらの構成要素の使用はこの技術分野では別の形で公知であるので、これらについてはここではこれ以上記載しない。メモリ１６００は単なる例示であり、メモリアレイのアドレスを指定する、データをメモリアレイに、そしてメモリアレイから転送する、メモリアレイが必要とする種々の動作電圧を供給するといった多くの他の技術を必要に応じて使用することができることが理解されるであろう。

【００６０】

メモリアレイ１００を組み込んだメモリは先端プロセスを使用して形成することが好ましいが、この場合この先端プロセスは、それを用いることによりｎ型ゲート素子、ｐ型ゲート素子、または両タイプの素子を形成することができ、接合電圧または利用可能な最大膜厚酸化膜ブレークダウン電圧よりも低い電圧を使用して、ストレスを加えると実用的な時間内でＳＢＤまたはＨＢＤを生じるのに十分なゲート誘電体を実現することができるものであればどのようなプロセスでもよい。先端ＣＭＯＳロジックプロセスが丁度適していて、文献に記載されており、例えば１９９７年１２月２３日発行のＬｅｅらによる米国特許第５，７００，７２９号を参照されたい。このようなプロセスを使用するプロセスは種々の製造業者を通して利用することができ、台湾新竹及びカリフォルニア州サンノゼのタイワン　セミコンダクタ　マニュファクチュリング　カンパニー　リミテッド（「ＴＳＭＣ」）、台湾新竹のユナイテッド　マイクロエレクトロニクス　コーポレイション（ＵＭＣ）、及びシンガポール及びカリフォルニア州サンノゼのカータード　セミコンダクタ　リミテッドなどが挙げられる。しかしながら、異なるリソグラフィを用いる極めて多くの異なるＭＯＳプロセスの内のいずれを使用してもよく、これらのリソグラフィには現在一般的に利用可能な０．２５μｍ，０．１８μｍ，０．１５μｍ，０．１３μｍなどが限定されない形で含まれ、将来は０．１０μｍ以下のリソグラフィが利用可能になると考えられる。

【００６１】

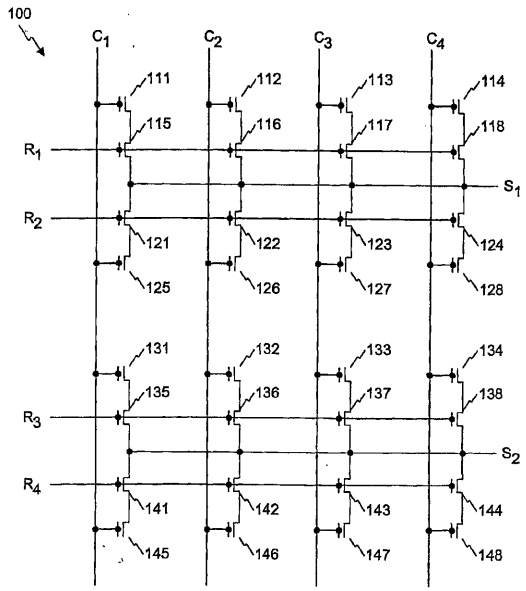
この明細書の中で記載してきた種々のメモリセルに使用する種々のＭＯＳトランジスタ、ＭＯＳハーフトランジスタ、及びＭＯＳキャパシタの全ては、ほとんどの場合、通常の低電圧ロジックトランジスタであり、このトランジスタは、例えば０．２５μｍプロセスの場合には５０オングストロームのオーダー、または０．１３μｍプロセスの場合には２０オングストロームのオーダーの超薄膜ゲート酸化膜厚を有する。このような超薄膜ゲート酸化膜に掛かる電圧は書込み動作中においては一時的にV_{CC}よりもずっと高くなるが、このV_{CC}は通常、０．２５μｍプロセスを使用して形成した集積回路の場合には２．５Ｖであり、０．１３μｍプロセスを使用して形成した集積回路の場合には１．２Ｖである。このような超薄膜酸化膜は通常、４または５Ｖまでの電圧に耐えることが出来、トランジスタ性能に重大な劣化を生じさせない。セル選択トランジスタを約４Ｖ超の電圧に晒す、図９の表に示す電圧の場合に相当するメモリアレイに上記のような電圧を使用する場合には、セル選択トランジスタはより厚いゲート酸化膜を有するように形成し、ハーフト

ランジスタまたはキャパシタは超薄膜ゲート酸化膜を有するように形成することが好ましい。多くのＣＭＯＳロジックプロセスにより、超薄膜ゲート酸化膜及び入出力（Ｉ／Ｏ）用の厚い酸化膜の両方を形成することができ、この場合厚い酸化膜は、例えば３．３ボルトＩ／Ｏ用に形成する集積回路においては約７０オングストローム、２．５ボルトＩ／Ｏ用に形成する集積回路においては約５０オングストロームとなる。

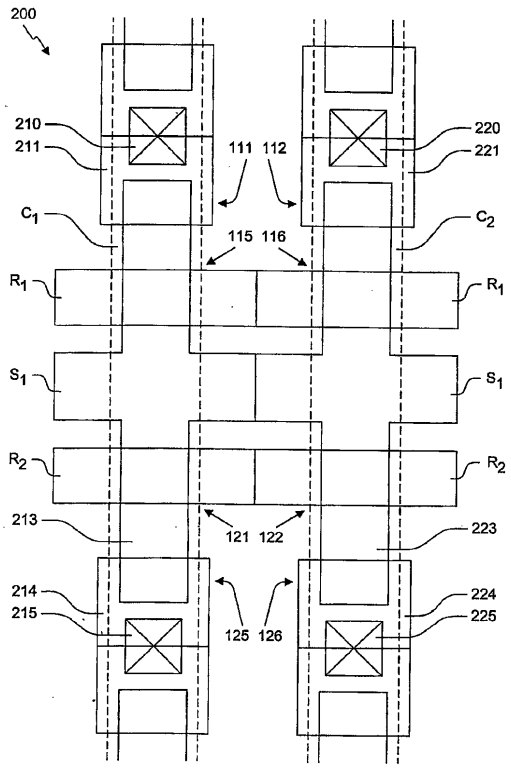
【００６２】

この明細書において示した本発明及びその応用の記載は例示であり、本発明の技術範囲を限定するために為されたものではない。この明細書において開示した実施形態の変更及び変形は可能であり、また実用上、実施形態の種々の構成要素の代替物及び等価物を実施することができることはこの技術分野の当業者には明らかである。例えば、正確な電圧ということに関してはそれは或る電圧範囲内である程度自由に選択することができるものであり、いずれにせよ電圧は素子特性に依存するので、種々の例の中で示した種々の電圧は単なる例示に過ぎない。行ライン、列ライン、及びソースラインという用語はメモリで一般的に使用するタイプのラインを記載するために使用してきたが、上記のメモリに替わる幾つかのメモリには適用されない。一般的に言って、行ラインは選択ラインの特殊なタイプと考えることができ、そして列ライン及びソースラインはアクセスラインの特殊なタイプと考えることができる。この明細書に開示した実施形態のこれらの、そして他の変更及び変形は本発明の技術範囲及び技術思想を逸脱しない範囲において行なうことができる。

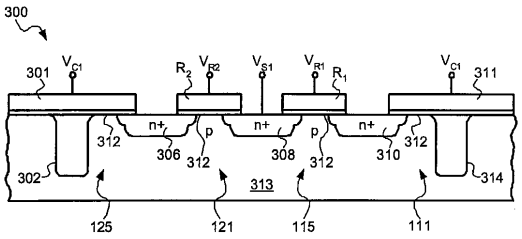
【図１】



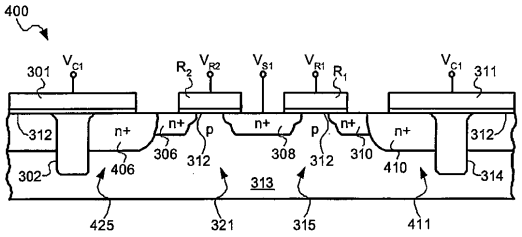
【図２】



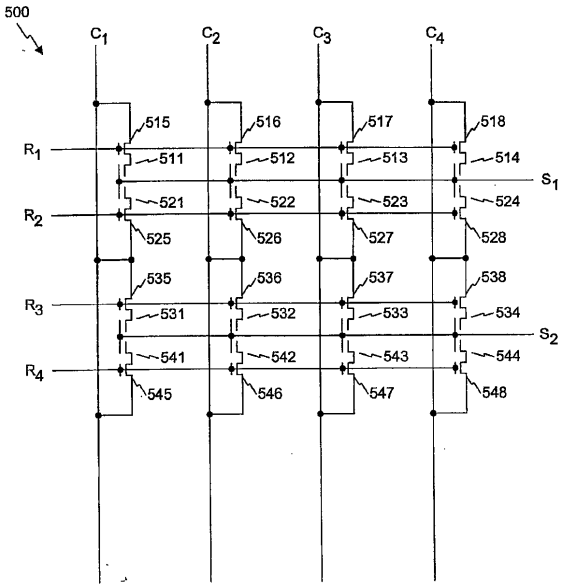
【図３】


300
301
V_{C1}
R_2
V_{R2}
V_{S1}
V_{R1}
R_1
V_{C1}
311
312
n+
306
p
312
n+
308
p
312
n+
310
312
302
313
314
125
121
115
111

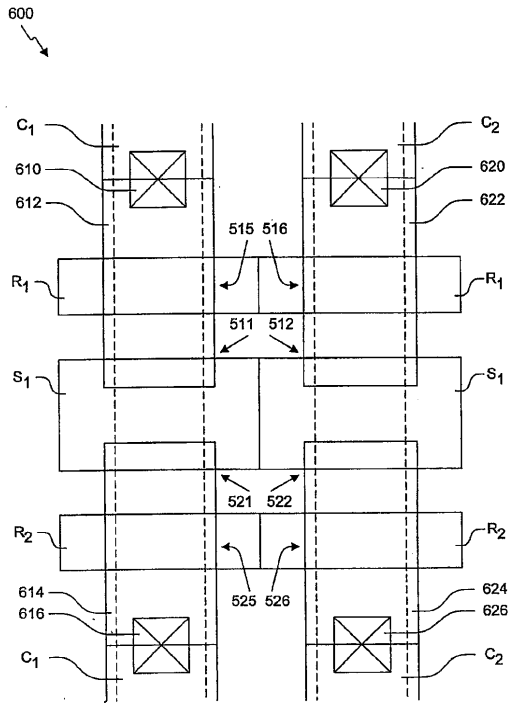
【図４】


400
301
V_{C1}
R_2
V_{R2}
V_{S1}
V_{R1}
R_1
V_{C1}
311
312
n+
406
306
p
312
n+
308
p
312
n+
310
n+
410
312
302
313
314
425
321
315
411

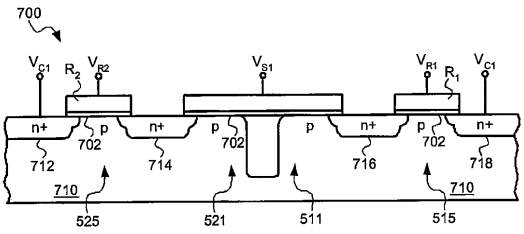
【図５】


500
C_1
C_2
C_3
C_4
R_1
R_2
R_3
R_4
S_1
S_2
515
516
517
518
511
512
513
514
521
522
523
524
525
526
527
528
535
536
537
538
531
532
533
534
541
542
543
544
545
546
547
548

【図６】


600
C_1
C_2
610
620
612
622
515 516
R_1
R_1
511 512
S_1
S_1
521 522
R_2
R_2
525 526
614
624
616
626
C_1
C_2

【図７】


700
V_{C1}
R_2
V_{R2}
V_{S1}
V_{R1}
R_1
V_{C1}
n+
p
n+
p
p
n+
p
n+
702
702
712
714
716
718
710
710
525
521
511
515

【図８】

	動作	R／C選択状態	行の電圧	列の電圧	ソースラインの電圧	酸化膜の電圧	結果
801→	書込み	SR/SC	2.5	7.0	0	7.0	書込み
802→		SR/UC	2.5	0	0	0	変化なし
803→		UR/SC	0	7.0	0	< 4	変化なし
804→		UR/UC	0	0	0	0	変化なし
805→	読出し	SR/SC	2.5	1.5	0		電流検出
806→		SR/UC	2.5	0	0		電流なし
807→		UR/SC	0	1.5	0		電流なし
808→		UR/UC	0	0	0		電流なし

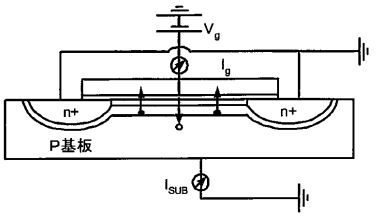
【図９】

	動作	R／C選択状態	行の電圧	列の電圧	ソースラインの電圧	酸化膜の電圧	結果
901→	書込み	SR/SC	7.0	7.0	0	6.6	書込み
902→		SR/UC	7.0	0	0	0	変化なし
903→		UR/SC	0	7.0	0	< 4.0	変化なし
904→		UR/UC	0	0	0	0	変化なし
905→	読出し	SR/SC	2.5	1.5	0		電流検出
906→		SR/UC	2.5	0	0		電流なし
907→		UR/SC	0	1.5	0		電流なし
908→		UR/UC	0	0	0		電流なし

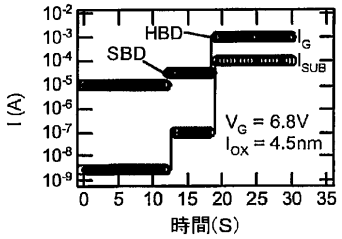
【図１０】

	動作	R／C選択状態	行の電圧	列の電圧	ソースラインの電圧	酸化膜の電圧	結果
1001→	書込み	SR/SC	2.5	2.5	-4.5	6.6	書込み
1002→		SR/UC	2.5	0	-4.5	4.0	変化なし
1003→		UR/SC	0	2.5	-4.5	< 4.0	変化なし
1004→		UR/UC	0	0	-4.5	< 4.0	変化なし
1005→	読出し	SR/SC	2.5	1.5	0		電流検出
1006→		SR/UC	2.5	0	0		電流なし
1007→		UR/SC	0	1.5	0		電流なし
1008→		UR/UC	0	0	0		電流なし

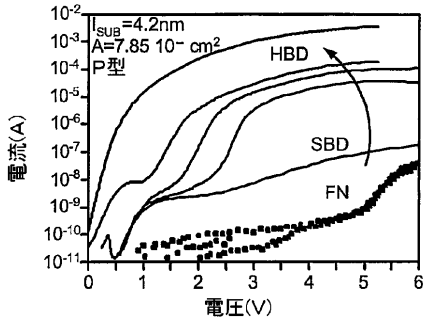
【図１１】



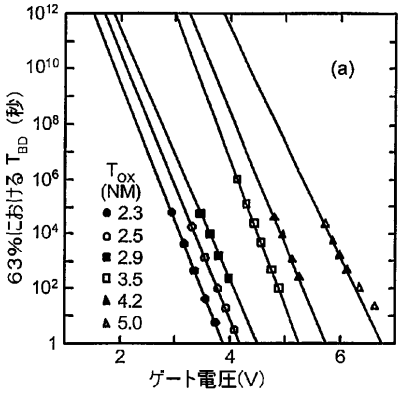
【図１２】



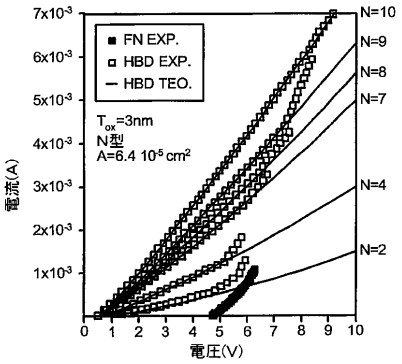
【図１３】



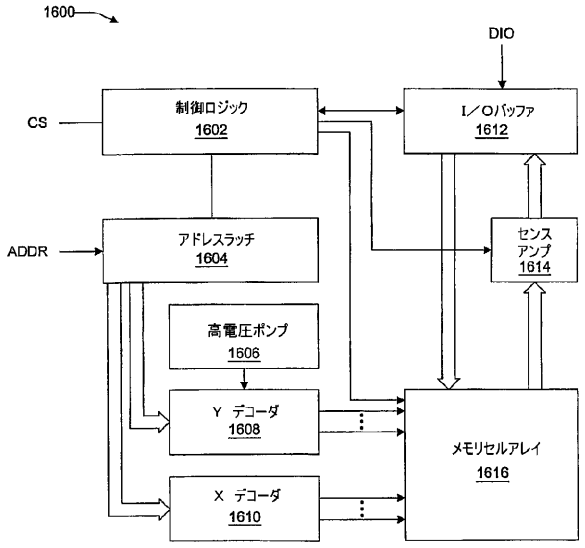
【図１４】



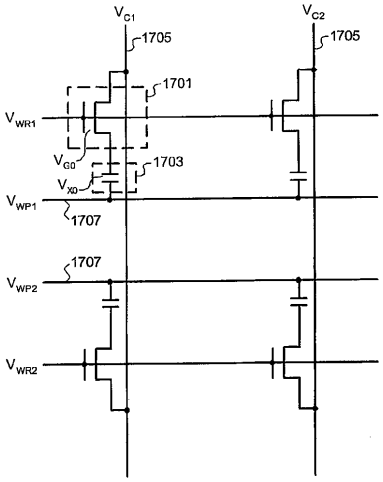
【図１５】



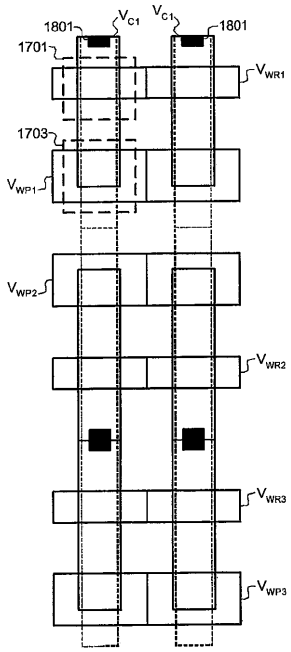
【図１６】



【図１７】



【図１８】



フロントページの続き

(74)代理人 100149641
弁理士 池上 美穂
(72)発明者 ペン、ジャック ゼジョン
アメリカ合衆国 ９５１２９ カリフォルニア州 サンノゼ エディントン プレイス １５３９

Ｆターム(参考) 5B125 BA09 CA06 CA11 DA01 DA09 DB01 DB11 FA06 FA07
5F083 CR14 GA27